

表 1: 8086 寄存器

| Category | Bits | Register Names |
|-------------|------|--|
| General | 16 | AX(Accumulator), BX(Base), CX(Count), DX(Data) |
| | 8 | AH, AL, BH, BL, CH, CL, DH, DL |
| Pointer | 16 | SP(Stack Pointer), BP(Base Pointer) |
| Segment | 16 | CS(Code Segment), DS(Data Segment), SS(Stack Segment), ES(Extra Segment) |
| Instruction | 16 | IP(Instruction Pointer) |
| Flag | 16 | FR(Flag Register) |

表 2: 8086 接脚

| Signal | Description | 0 | 1 |
|---------------------------|--|--|---|
| ALE | Address Latch Enabled | | Latched |
| BHE | Bank High Enabled | AD ₈ ~ AD ₁₅ Enabled | AD ₈ ~ AD ₁₅ Disabled |
| DT/R | direction of Data Transfer | sending data | receiving data |
| $\overline{\text{DEN}}$ | Data transceiver ENabled | enabled | disabled |
| WR | WRiting to Mem/IO | writing | |
| $\overline{\text{RD}}$ | ReaDing from mem/IO | reading | |
| M/ $\overline{\text{IO}}$ | CPU accessing Memory / IO | IO | Memory |
| INTR | INTerrupt Request, maskable by clearing IF | | Requesting |
| $\overline{\text{INTA}}$ | INTerrupt Acknowledge | | Acknowledge |
| NMI | Non-Maskable Interrupt, CPU is interrupted after finishing the current instruction; cannot be masked by software | | will be interrupted |
| HOLD | HOLD the bus request | | hold |
| HLDA | HoLD request acknowledge | | hold req ack |
| $\overline{\text{TEST}}$ | for debug | test | |
| READY | mem/IO is READY for transfer | | ready |
| RESET | reset the CPU, IP, DS, SS, ES and 6 inst in instruction queue are cleared | | CS=0FFFFH |

8086 16-bit, 20-bit address.

8088 16-bit internal, 8-bit external.

只有两段:

BIU (Bus Interface Unit) 连接内存与外设。

EU (Execution Unit) 执行之前获取的指令。

双工作模式

最小模式 $\text{MN}/\overline{\text{MX}} = 1$ 单 CPU。

最大模式 $\text{MN}/\overline{\text{MX}} = 0$ 多 CPU(8086+8087), 8288控制芯片。

8086读周期时序: 在8086读周期内,有关总线信号的变化如下:

1. M/IO在整个读周期保持有效,当进行存储器读操作时,M/IO为高电平;当进行I/O端口读操作时,M/IO为低电平。
2. A19/S6~A16/S3是在T1期间,输出CPU要读取的存储单元的地址高4位.T2~T4期间输出状态信息S6~S3。
3. BHE/S7在T1期间输出BHE有效信号(BHE为低电平),表示高8位数据总线上的信息可以使用,BHE信号通常作为奇地址存储体的选择信号(偶地址存储体的选择信号是最低地址位A0).T2~T4期间输出高电平。
4. AD15~AD0在T1期间输出CPU要读取的存储单元或I/O端口的地址A15~A0.T2期间为高阻态,T3~T4期间,存储单元或I/O端口将数据送上数据总线.CPU从AD15~AD0上接收数据。
5. ALE:在T1期间地址锁存有效信号,为一正脉冲,系统中的地址锁存器正是利用该脉冲的下降沿来锁存A19/S6~A16/S3,AD15~AD0的20位地址信息以及BHE。
6. RD在T2期间输出低电平,送到被选中的存储器或I/O接口.要注意的是,只有被地址信号选中的存储单元或I/O端口,才会被RD信号从中读出数据(数据送上数据总线AD15~AD0)。
7. DT/R在整个总线周期内保持低电平,表示本总线周期为读周期.在接有数据总线收发器的系统中,用来控制数据传输的方向。
8. DEN在T2~T3期间输出有效低电平,表示数据有效.在接有数据总线收发器的系统中,用来实现数据的选通。

8086写周期时序总线写操作的时序与读操作时序相似,其不同处在于:

1. AD15~AD0在T2~T4期间送上欲输出的数据,而无高阻态。
2. WR在T2~T4期间输出有效低电平,该信号送到所有的存储器和I/O接口.要注意的是,只有被地址信号选中的存储单元或I/O端口才会被WR信号写入数据。
3. DT/R在整个总线周期内保持高电平,表示本总线周期为写周期.在接有数据总线收发器的系统中,用来控制数据传输方

buscycle.png

向.