



사전지식

논리회로

부경대 컴퓨터·인공지능공학부 최필주

- 반도체 개요
- 다이오드
- 트랜지스터
- 디지털 논리 소자의 설계

반도체 개요

● 고유 반도체

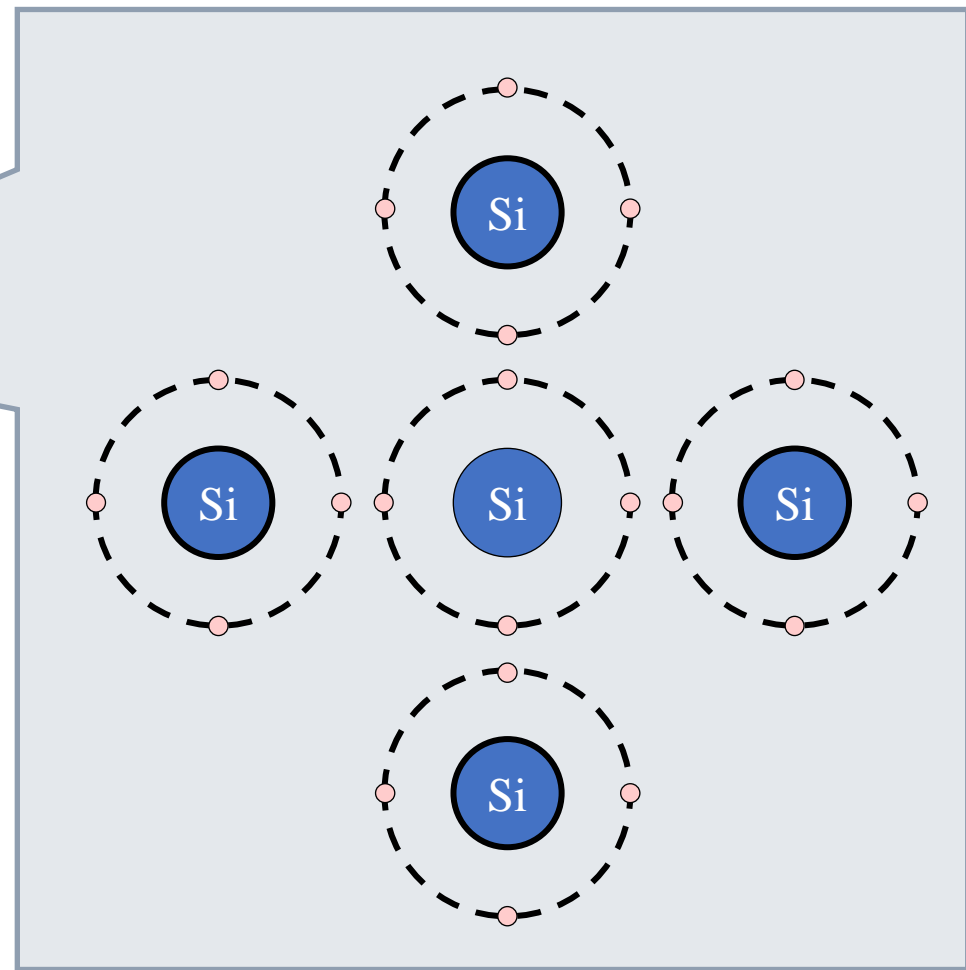
Group →	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Period ↓	1 1 H																	2 He
2	3 Li	4 Be											5 B	6 C	7 N	8 O	9 F	10 Ne
3	11 Na	12 Mg											13 Al	14 Si	15 P	16 S	17 Cl	18 Ar
4	19 K	20 Ca	21 Sc	22 Ti	23 V	24 Cr	25 Mn	26 Fe	27 Co	28 Ni	29 Cu	30 Zn	31 Ga	32 Ge	33 As	34 Se	35 Br	36 Kr
5	37 Rb	38 Sr	39 Y	40 Zr	41 Nb	42 Mo	43 Tc	44 Ru	45 Rh	46 Pd	47 Ag	48 Cd	49 In	50 Sn	51 Sb	52 Te	53 I	54 Xe
6	55 Cs	56 Ba	* 71 Lu	72 Hf	73 Ta	74 W	75 Re	76 Os	77 Ir	78 Pt	79 Au	80 Hg	81 Tl	82 Pb	83 Bi	84 Po	85 At	86 Rn
7	87 Fr	88 Ra	* 103 Lr	104 Rf	105 Db	106 Sg	107 Bh	108 Hs	109 Mt	110 Ds	111 Rg	112 Cn	113 Nh	114 Fl	115 Mc	116 Lv	117 Ts	118 Og
			* 57 La	58 Ce	59 Pr	60 Nd	61 Pm	62 Sm	63 Eu	64 Gd	65 Tb	66 Dy	67 Ho	68 Er	69 Tm	70 Yb		
			* 89 Ac	90 Th	91 Pa	92 U	93 Np	94 Pu	95 Am	96 Cm	97 Bk	98 Cf	99 Es	100 Fm	101 Md	102 No		

- Si(실리콘, 규소)의 전자 수: $2 + 8 + 4$
 - Ge(게르마늄)의 전자 수: $2 + 8 + 18 + 4$
- ※ 갈륨 비소(GaAs) 화합물도 반도체 재료로 사용됨

반도체 개요

● 고유 반도체

Group Period →	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1	1 H																	2 He
2	3 Li	4 Be											5 B	6 C	7 N	8 O	9 F	10 Ne
3	11 Na	12 Mg											13 Al	14 Si	15 P	16 S	17 Cl	18 Ar
4	19 K	20 Ca	21 Sc	22 Ti	23 V	24 Cr	25 Mn	26 Fe	27 Co	28 Ni	29 Cu	30 Zn	31 Ga	32 Ge	33 As	34 Se	35 Br	36 Kr
5	37 Rb	38 Sr	39 Y	40 Zr	41 Nb	42 Mo	43 Tc	44 Ru	45 Rh	46 Pd	47 Ag	48 Cd	49 In	50 Sn	51 Sb	52 Te	53 I	54 Xe
6	55 Cs	56 Ba	* 71 Lu	72 Hf	73 Ta	74 W	75 Re	76 Os	77 Ir	78 Pt	79 Au	80 Hg	81 Tl	82 Pb	83 Bi	84 Po	85 At	86 Rn
7	87 Fr	88 Ra	* 103 Lr	104 Rf	105 Db	106 Sg	107 Bh	108 Hs	109 Mt	110 Ds	111 Rg	112 Cn	113 Nh	114 Fl	115 Mc	116 Lv	117 Ts	118 Og
			* 57 La	58 Ce	59 Pr	60 Nd	61 Pm	62 Sm	63 Eu	64 Gd	65 Tb	66 Dy	67 Ho	68 Er	69 Tm	70 Yb		
			* 89 Ac	90 Th	91 Pa	92 U	93 Np	94 Pu	95 Am	96 Cm	97 Bk	98 Cf	99 Es	100 Fm	101 Md	102 No		

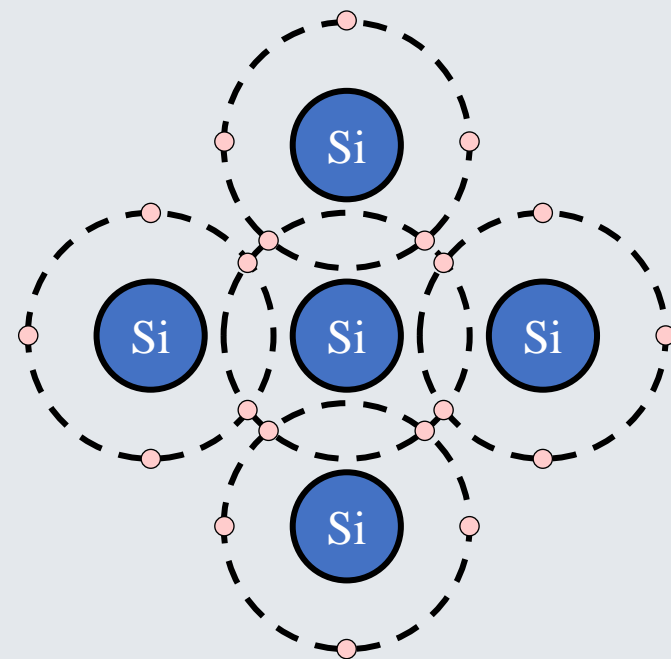


- Si(실리콘, 규소)의 전자 수: $2 + 8 + 4$
 - Ge(게르마늄)의 전자 수: $2 + 8 + 18 + 4$
- ※ 갈륨 비소(GaAs) 화합물도 반도체 재료로 사용됨

반도체 개요

● 고유 반도체

Group Period	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1	1 H																	2 He
2	3 Li	4 Be											5 B	6 C	7 N	8 O	9 F	10 Ne
3	11 Na	12 Mg											13 Al	14 Si	15 P	16 S	17 Cl	18 Ar
4	19 K	20 Ca	21 Sc	22 Ti	23 V	24 Cr	25 Mn	26 Fe	27 Co	28 Ni	29 Cu	30 Zn	31 Ga	32 Ge	33 As	34 Se	35 Br	36 Kr
5	37 Rb	38 Sr	39 Y	40 Zr	41 Nb	42 Mo	43 Tc	44 Ru	45 Rh	46 Pd	47 Ag	48 Cd	49 In	50 Sn	51 Sb	52 Te	53 I	54 Xe
6	55 Cs	56 Ba	* 71 Lu	72 Hf	73 Ta	74 W	75 Re	76 Os	77 Ir	78 Pt	79 Au	80 Hg	81 Tl	82 Pb	83 Bi	84 Po	85 At	86 Rn
7	87 Fr	88 Ra	* 103 Lr	104 Rf	105 Db	106 Sg	107 Bh	108 Hs	109 Mt	110 Ds	111 Rg	112 Cn	113 Nh	114 Fl	115 Mc	116 Lv	117 Ts	118 Og
			* 57 La	58 Ce	59 Pr	60 Nd	61 Pm	62 Sm	63 Eu	64 Gd	65 Tb	66 Dy	67 Ho	68 Er	69 Tm	70 Yb		
			* 89 Ac	90 Th	91 Pa	92 U	93 Np	94 Pu	95 Am	96 Cm	97 Bk	98 Cf	99 Es	100 Fm	101 Md	102 No		



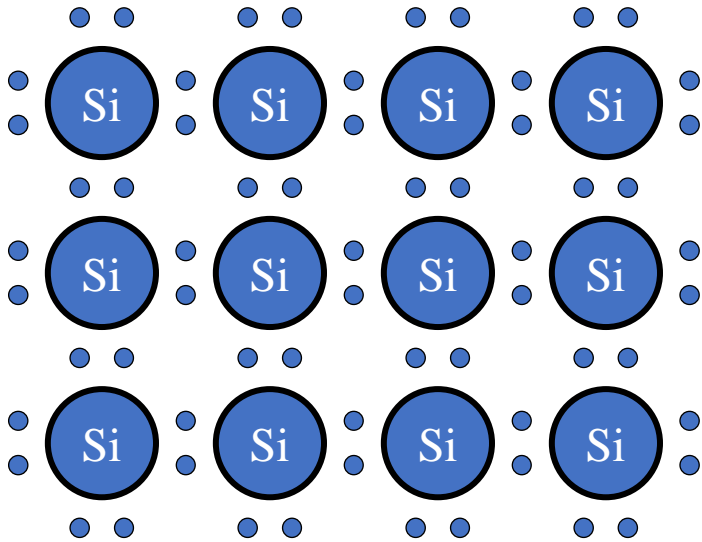
윗텟 규칙 충족을 위해 공유 결합

- Si(실리콘, 규소)의 전자 수: $2 + 8 + 4$
- Ge(게르마늄)의 전자 수: $2 + 8 + 18 + 4$ } **최외각 전자**가 4개
- ※ 갈륨 비소(GaAs) 화합물도 반도체 재료로 사용됨

반도체 개요

- 고유 반도체

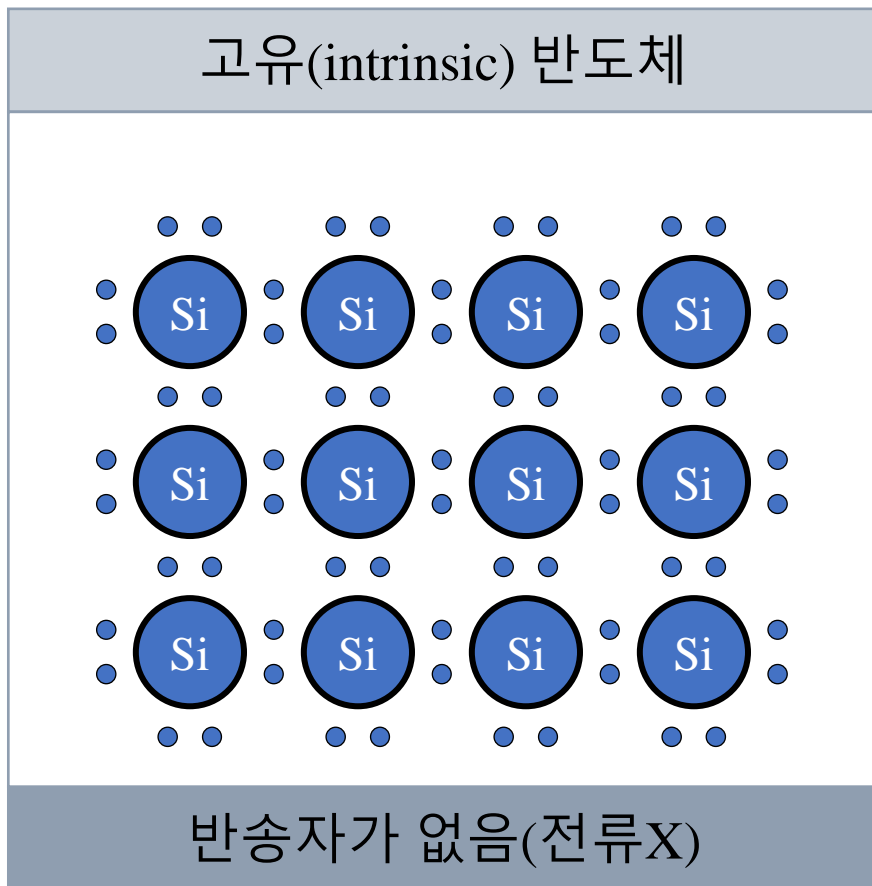
고유(intrinsic) 반도체



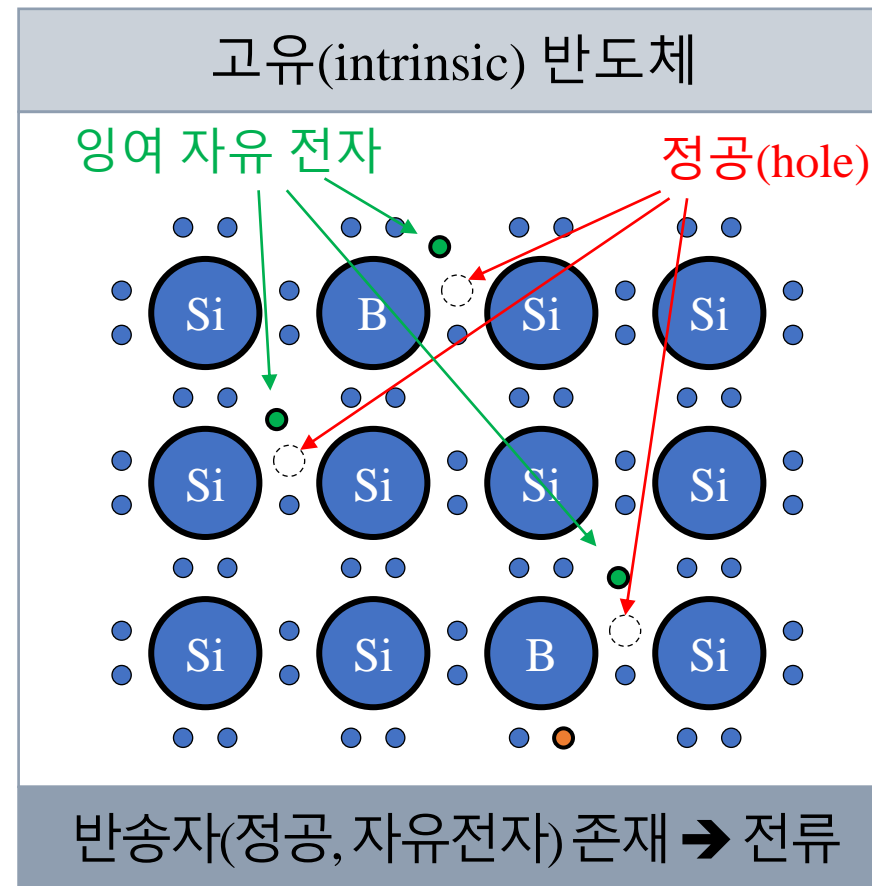
반송자가 없음(전류X)

반도체 개요

- 고유 반도체

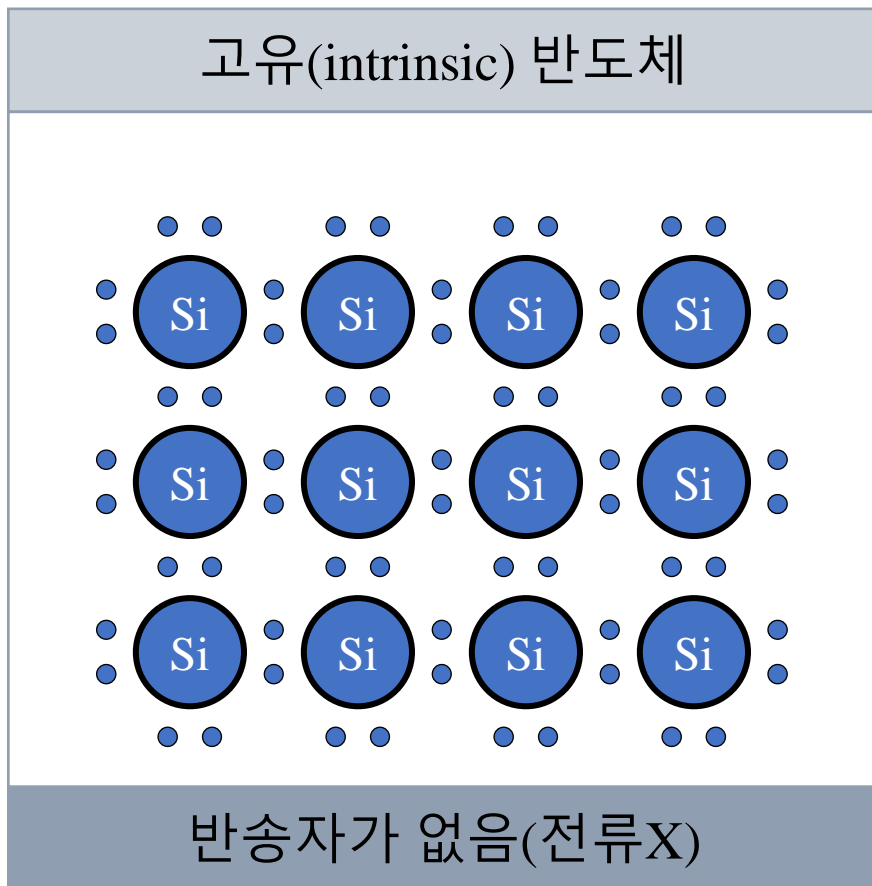


온도 상승

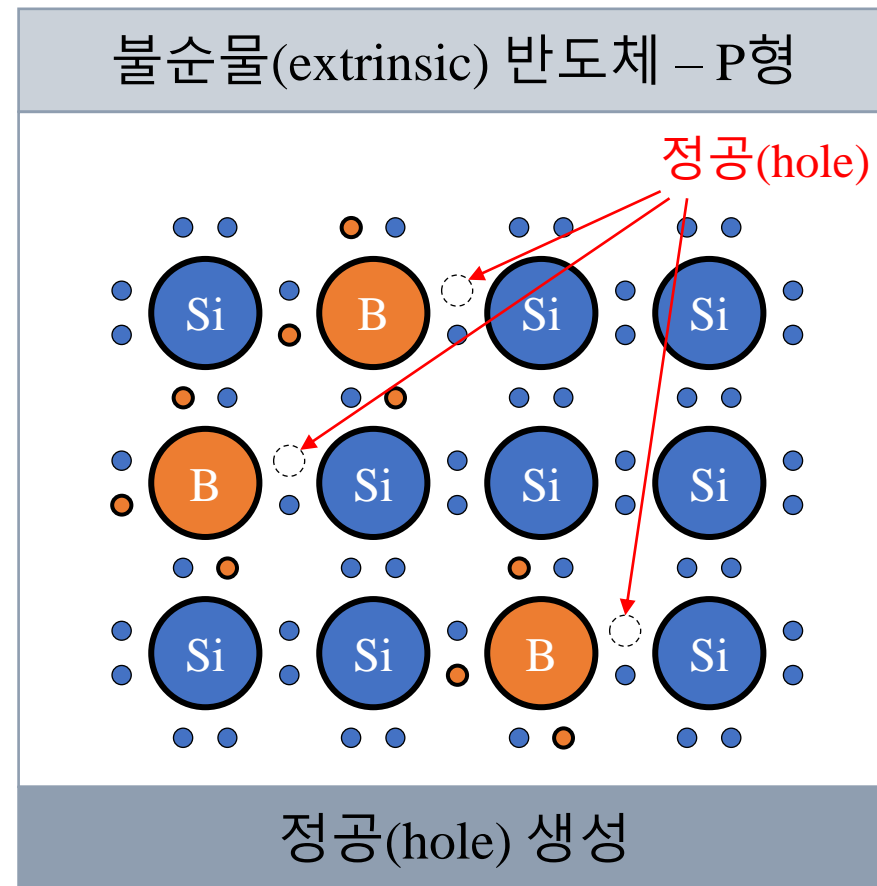


반도체 개요

- 고유 반도체 vs. 불순물 반도체

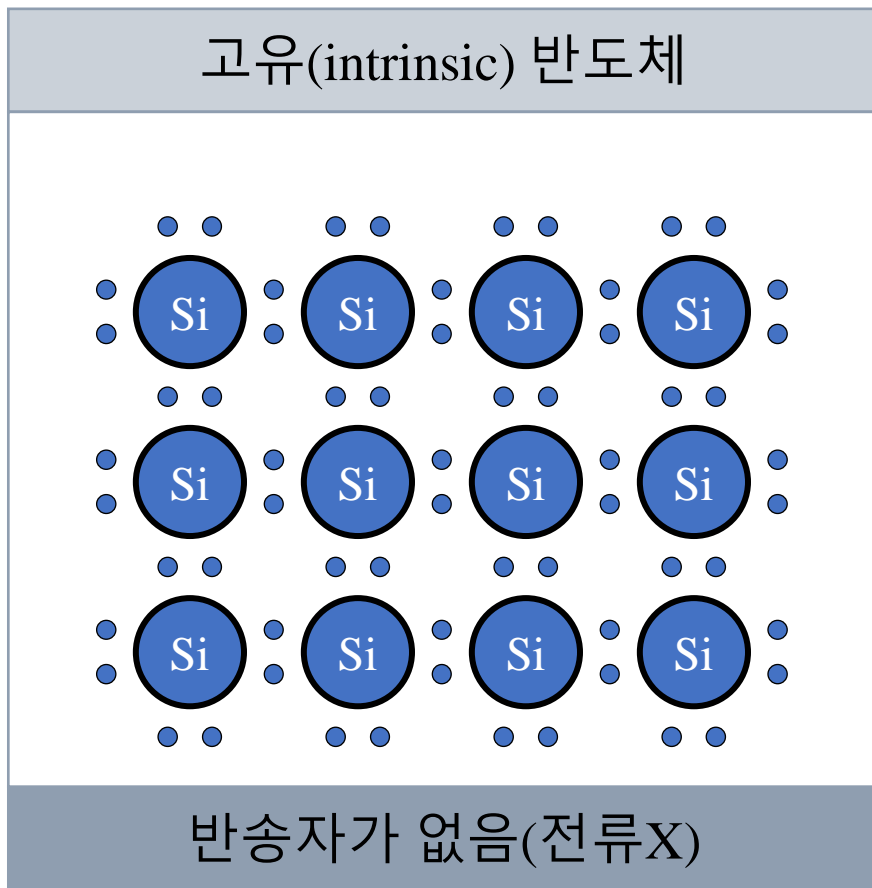


3족 원소 추가
(예: 붕소)

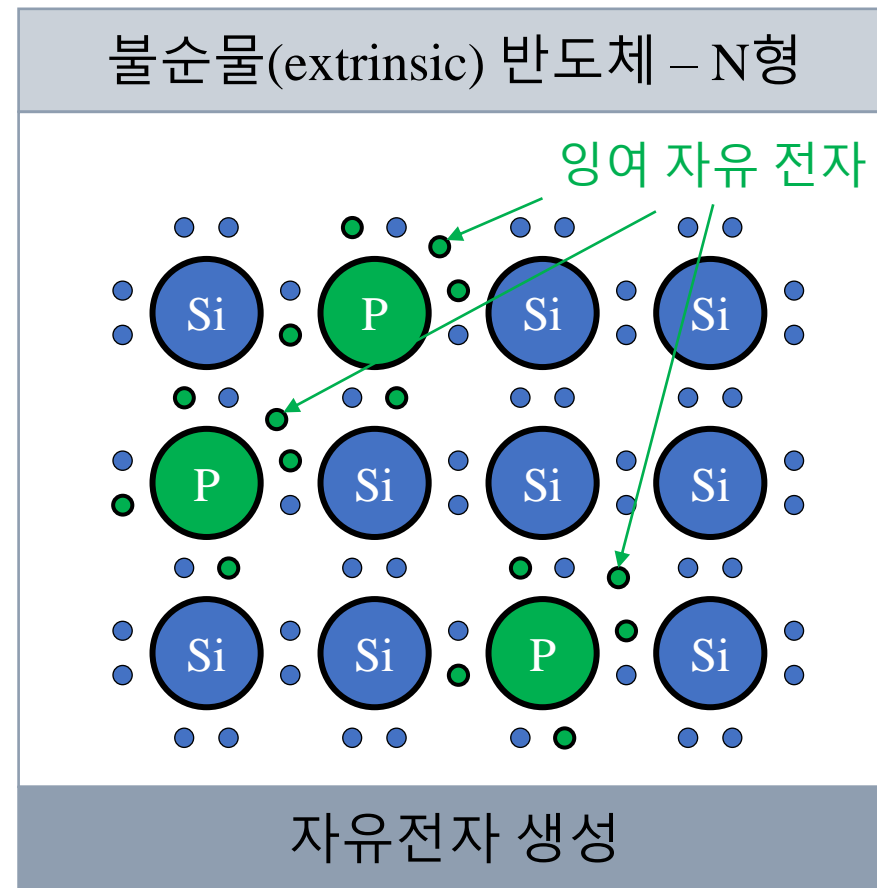
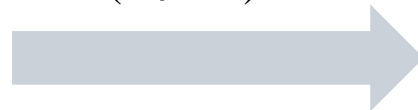


반도체 개요

- 고유 반도체 vs. 불순물 반도체



5족 원소 추가
(예: 인)



반도체 개요

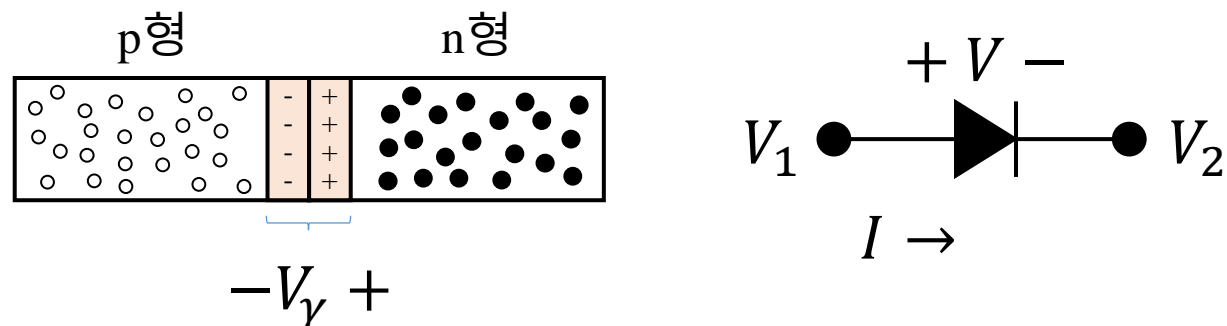
- 고유 반도체 vs. 불순물 반도체

	고유 반도체	P형 반도체	N형 반도체
사용되는 원소	4족 원소	4족 원소 + acceptor(3족)	4족 원소 + donor(5족)
반송자(절대0도)	없음	정공	자유 전자
반송자 수(온도↑)	정공=자유전자	정공>자유전자	정공<자유전자
전기적 특성	중성	중성	중성

다이오드

- 다이오드 개요

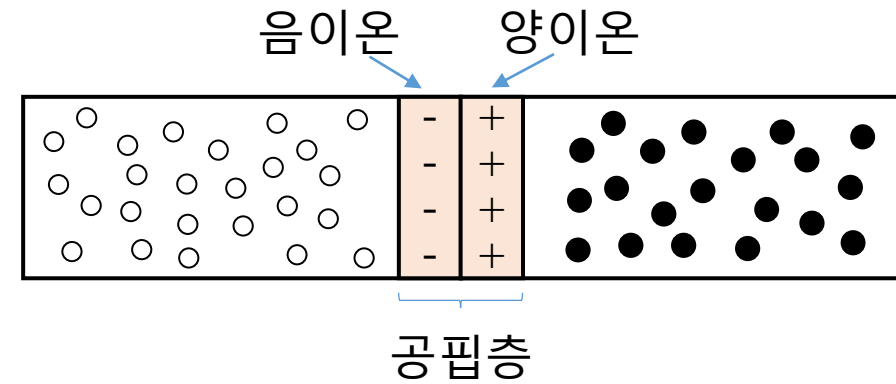
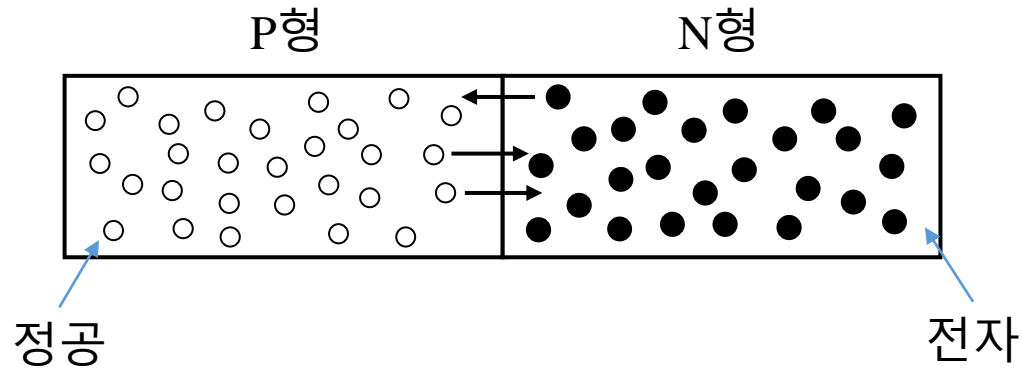
- P형 반도체와 N형 반도체를 접합하여 만든 반도체 소자
- 전류의 흐름: p형(anode) → n형(cathode)



- V_g : 문턱 전압, 순방향 브레이크 오버 전압
 - 다이오드에 전류가 흐르기 위해 필요한 최소 공급 전압
 - 반도체 물질에 따라 달라짐

다이오드

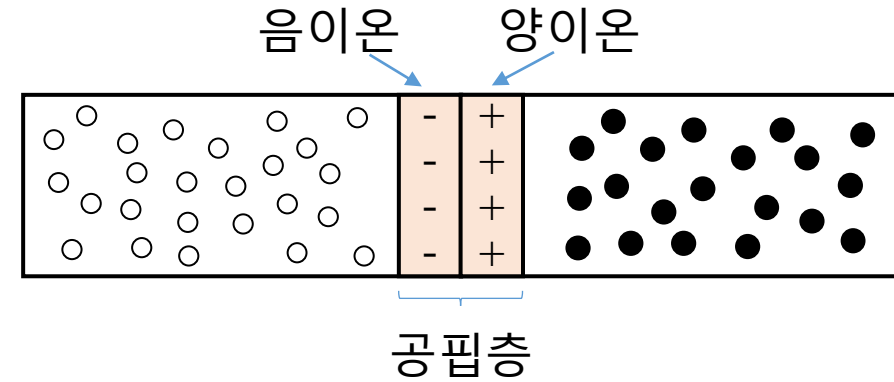
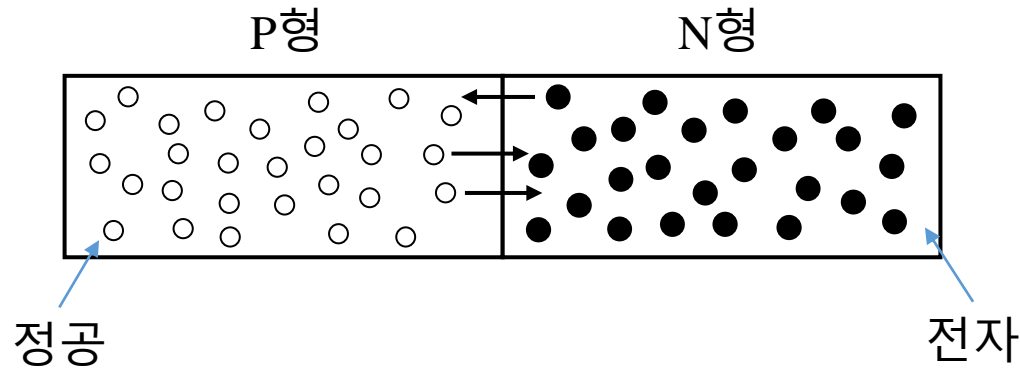
- 접합 부위에서 발생하는 현상



- 농도 차로 인한 확산
- 농도차가 0이 될 때까지 확산이 지속될까??

다이오드

- 접합 부위에서 발생하는 현상

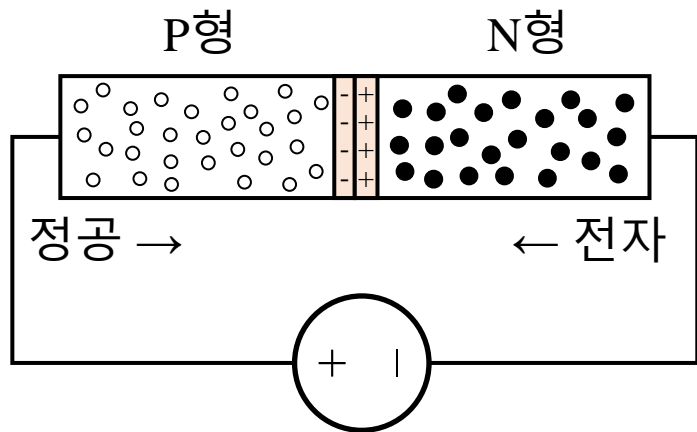


- 농도 차로 인한 확산 → 공핍층 생성 → 전위차로 인한 전기장 생성
→ 확산 방해 (절열체처럼 기능)
 - 전위차: 실리콘 0.7V, 게르마늄 0.3V

다이오드

- 전원 연결 – 순방향 연결

- P형에 (+)극, N형에 (-)극을 연결하는 경우



- 반송자 제공

- P형: 전원의 (+)극에서 정공을 공급받음 → (-)극을 갖는 공핍층 감소
- N형: 전원의 (-)극에서 전자를 공급받음 → (+)극을 갖는 공핍층 감소

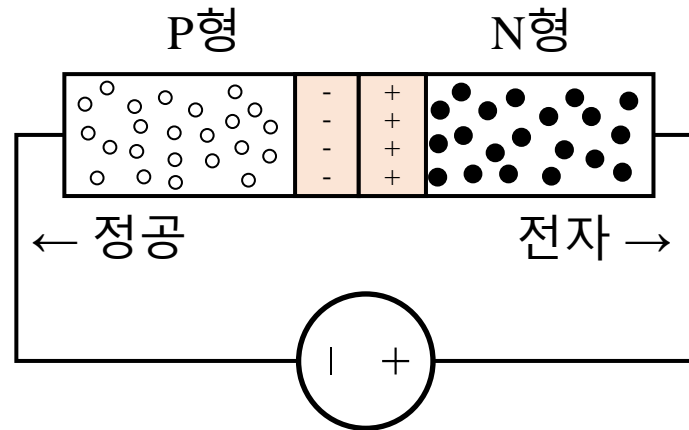
- 공핍층의 전압의 **반대**로 외부 전압 인가 ➔ 공핍층의 전위차 감소

- 공핍층 전압보다 더 높은 전압이 걸리면 전류가 흐름

다이오드

- 전원 연결 – 역방향 연결

- P형에 (-)극, N형에 (+)극을 연결하는 경우



- 반송자 제공
 - P형: 전원의 (-)극으로 정공을 빼앗김 → (-)극을 갖는 공핍층 증가
 - N형: 전원의 (+)극으로 전자를 빼앗김 → (+)극을 갖는 공핍층 증가
- 공핍층의 전압의 **반대**로 외부 전압 인가 ➔ 공핍층의 전위차 증가
- 전류가 흐르지 않음

다이오드

● 정리

	순방향 전원 연결	역방향 전원 연결
회로 연결	<p>P형 → N형</p> <p>정공 → ← 전자</p>	<p>P형 → N형</p> <p>← 정공 전자 →</p>
P형	정공 증가	정공 감소
N형	전자 증가	전자 감소
접합부	공핍층 감소 → 전류가 흐름	공핍층 증가 (절연체처럼 동작)

- 트랜지스터 개요

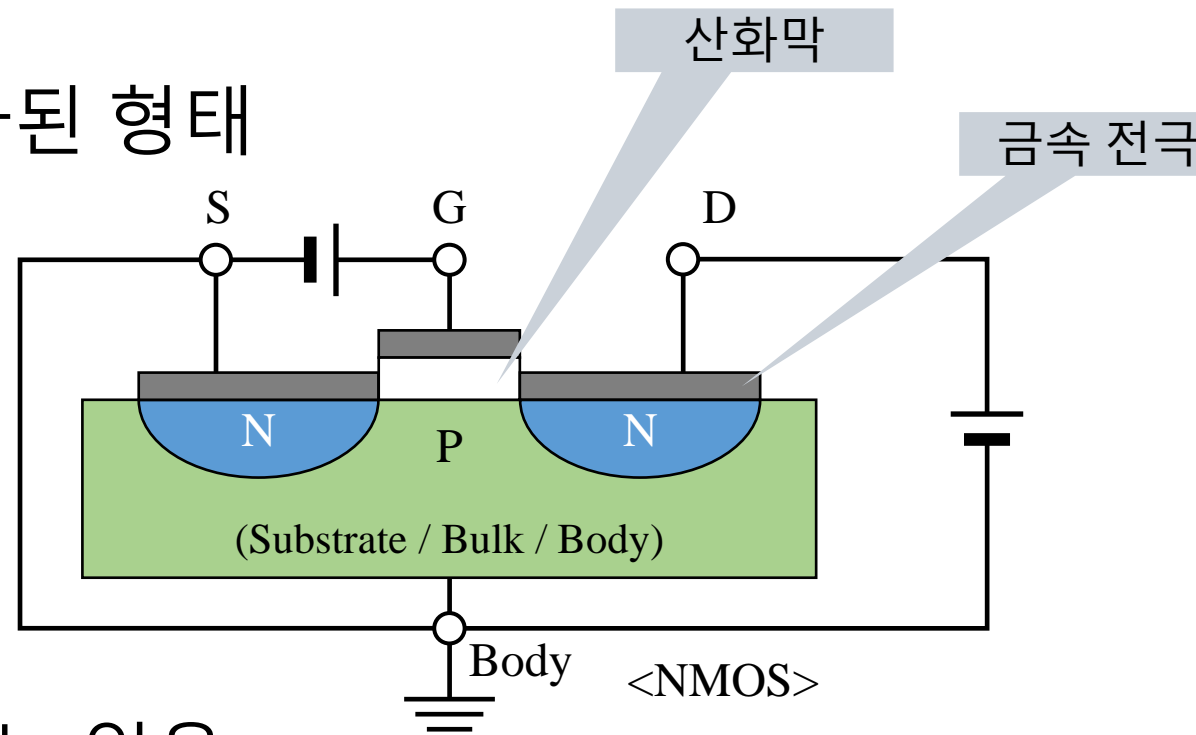
- P형+N형+P형 또는 N형+P형+N형 반도체를 접합하여 만든 반도체 소자
- 종류
 - 양극 접합 트랜지스터(BJT, Bipolar Junction Transistors)
 - 전계 효과 트랜지스터(FET, Field Effect Transistors)
 - JFET, **MOSFET**, MESFET, MODFET 등
- 용도
 - 증폭, 스위칭
 - 디지털 집적회로(IC, integrated circuit)에는 보통 MOSFET의 사용
 - NOT, AND, OR 등의 논리 게이트를 만드는데 사용됨

트랜지스터 – MOSFET

● 구조

- Gate에 절연체(SiO_2 산화막)가 추가된 형태
- Gate 전류가 없음

	PMOS	NMOS
구조	PNP	NPN
On 조건	$V_{GS} < -V_T$	$V_{GS} > V_T$
채널	P채널	N채널
반송자	정공	전자



- Source와 drain 사이의 구조적 차이는 없음

	역할	PMOS	NMOS	비고
Source	반송자 제공	전원 연결	접지 연결	보통 body와 연결(전류X)
Drain	반송자 회수	접지 연결	전원 연결	

트랜지스터 – MOSFET

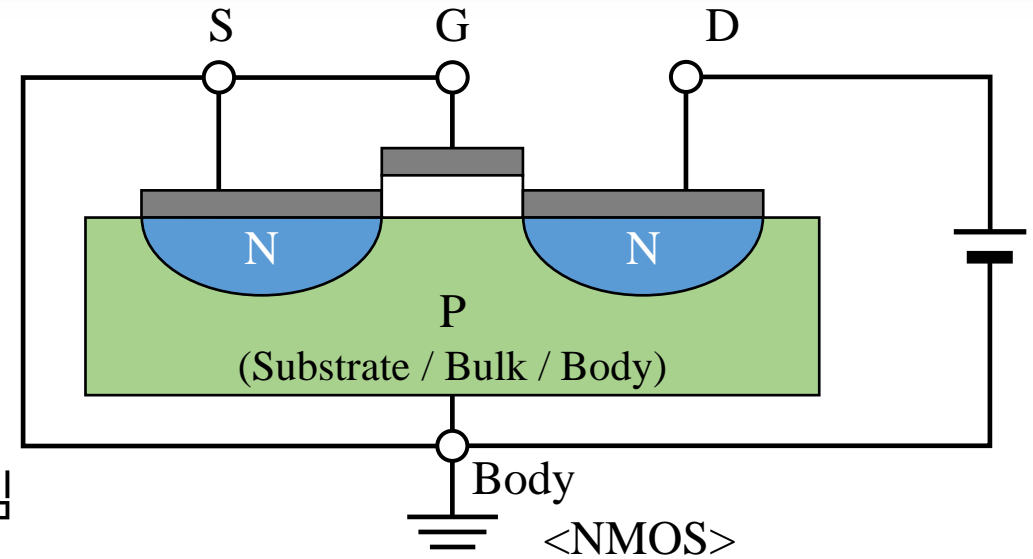
- 종류

- 증가형(Enhancement-type) MOSFET: Gate 전압 인가 시 채널 생성
- 공핍형(Depletion-type) MOSFET: 제조 시 채널 생성 → Gate 전압 인가 시 채널 감소

트랜지스터 – MOSFET

● N채널 EMOSFET의 동작

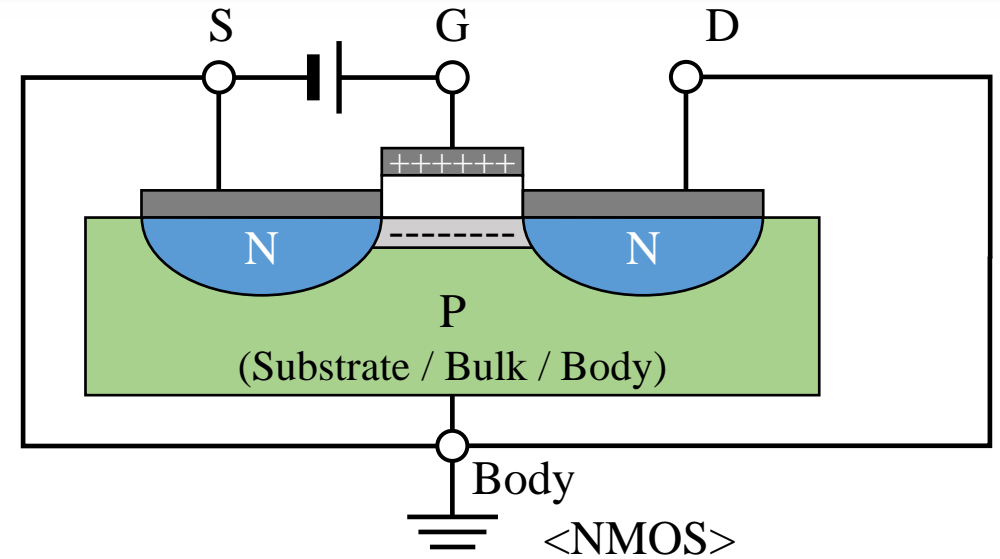
- Off mode: $V_{GS} < V_{th}$
 - 공핍층으로 인해 S-D 전류 X
 - Cut-off mode라고도 함
 - 문턱 전압 V_{th}
 - 도핑 상태, 절연체 재료/두께 등에 의해 달라짐
 - 보통 0.7 ~ 0.8 V



트랜지스터 – MOSFET

● N채널 EMOSFET의 동작

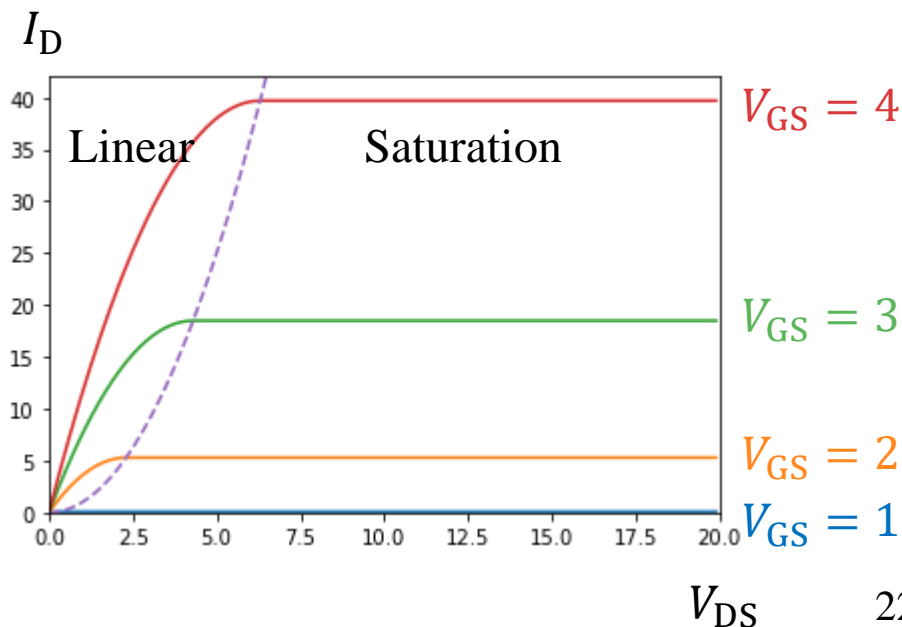
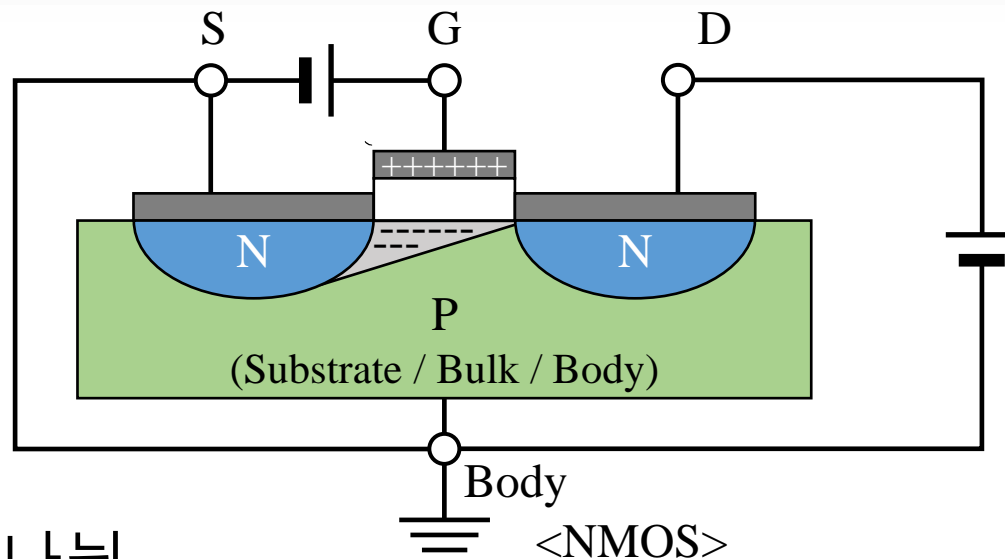
- Off mode: $V_{GS} < V_{th}$
- On mode: $V_{GS} > V_{th}$
 - 반전층이 생성되어 채널 역할
 - 반전층: 기판의 다수 반송자의 반대 반송자가 모여 있는 상태



트랜지스터 – MOSFET

● N채널 EMOSFET의 동작

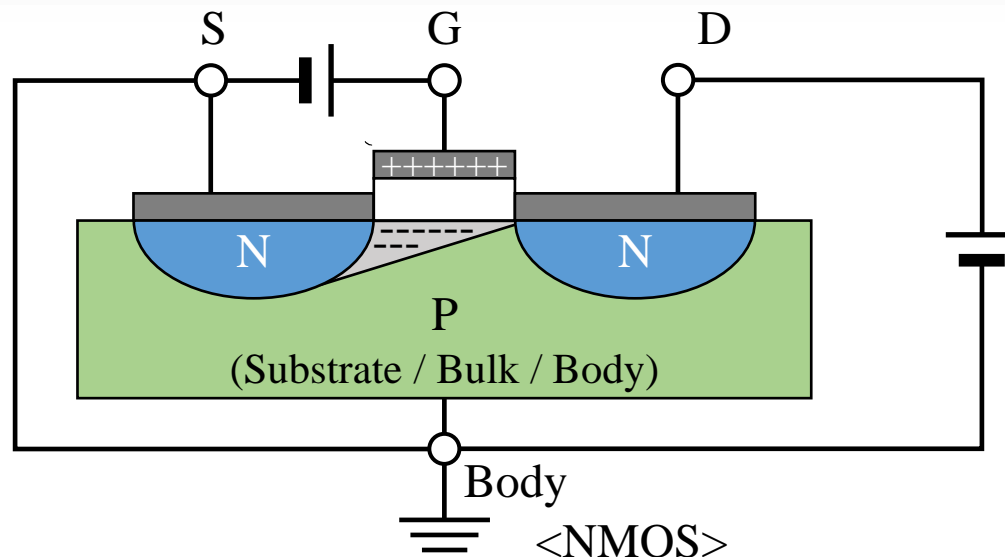
- Off mode: $V_{GS} < V_{th}$
- On mode: $V_{GS} > V_{th}$
 - 반전층이 생성되어 채널 역할
 - 반전층: 기판의 다수 반송자의 반대 반송자가 모여 있는 상태
 - $V_{GD} = V_{GS} - V_{DS}$ 에 따라 두 가지 모드로 나뉨
 - Linear (triode) mode ($V_{GD} > V_{th}$): I_D 선형 증가
 - ✓ 수도꼭지가 열린 상태에서 물을 튄 상태
 - ✓ 물을 세게 틀수록(I_D 가 커질수록) 더 빠르게
 - ✓ 문이 크게 열릴수록(V_{GS} 가 커질수록) 더 빠르게
 - Saturation mode ($V_{GD} < V_{th}$): I_D 일정
 - ✓ 물을 세게 틀어도 어느 한계이상 빨라질 수 없음



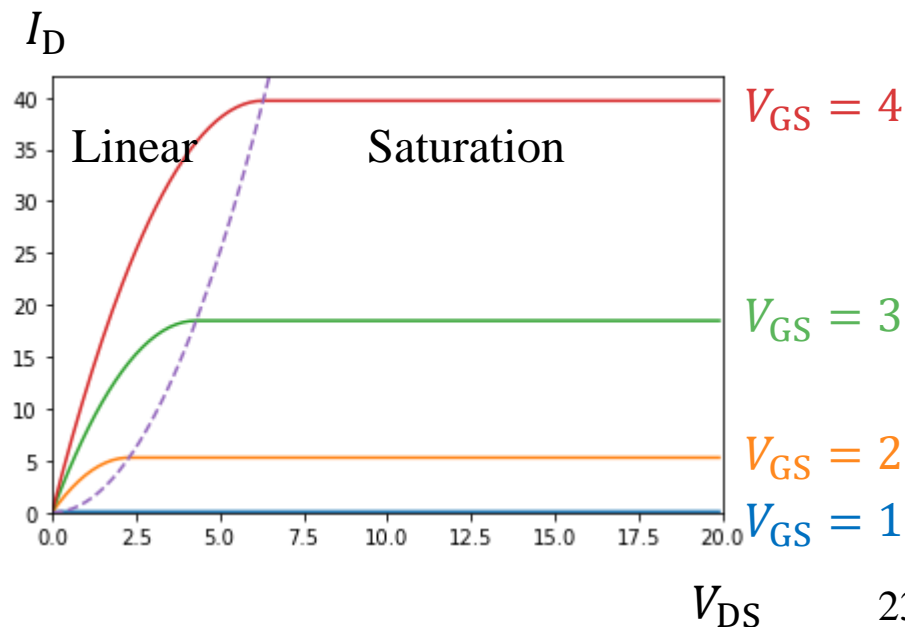
트랜지스터 – MOSFET

● N채널 EMOSFET의 동작

Mode	V_{GS}	V_{GD}	I_D
Cut-off	$< V_{th}$	-	0
Linear	$> V_{th}$	$> V_{th}$	V_{DS} 에 비례
Saturation		$< V_{th}$	일정

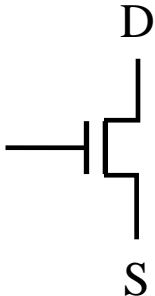
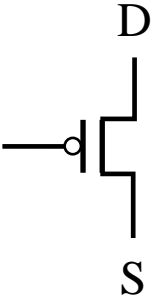


- Linear: 신호 증폭기로 사용
- Cut-off, Saturation: 스위칭에 사용
 - $V_{GD} = V_{GS} - V_{DS}$ 이므로
S와 D에 일정한 전압이 걸려 있는 경우
G에 걸리는 전압으로 on/off 제어 가능



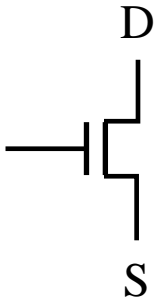
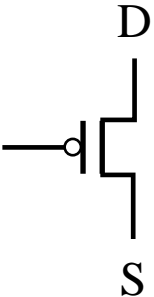
트랜지스터 – MOSFET

- EMOSFET – NMOS vs. PMOS

	NMOS	PMOS
회로 기호		
source와 body의 연결	보통 GND에 연결	보통 V_{DD} 에 연결
cut-off 조건	$V_{GS} < V_{th}$	$V_{GS} > -V_{th}$
Saturation 조건	$V_{GS} > V_{th}$	$V_{GS} < -V_{th}$

트랜지스터 – MOSFET

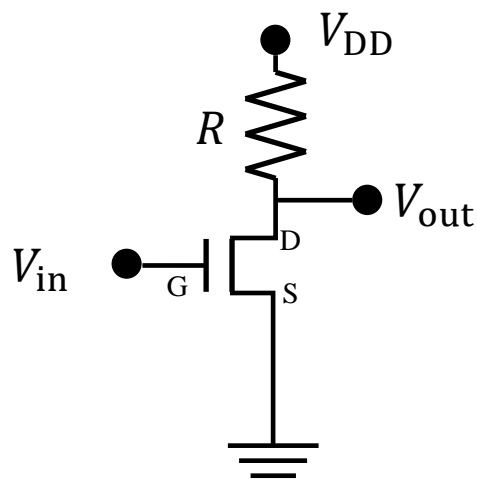
● EMOSFET – NMOS vs. PMOS

	NMOS	PMOS
회로 기호		
source와 body의 연결	보통 GND에 연결	보통 V_{DD} 에 연결
cut-off 조건	$V_{GS} < V_{th} \rightarrow V_G = 0$ 일 때 충족	$V_{GS} > -V_{th} \rightarrow V_G = V_{DD}$ 일 때 충족
Saturation 조건	$V_{GS} > V_{th} \rightarrow V_G = V_{DD}$ 일 때 충족	$V_{GS} < -V_{th} \rightarrow V_G = 0$ 일 때 충족

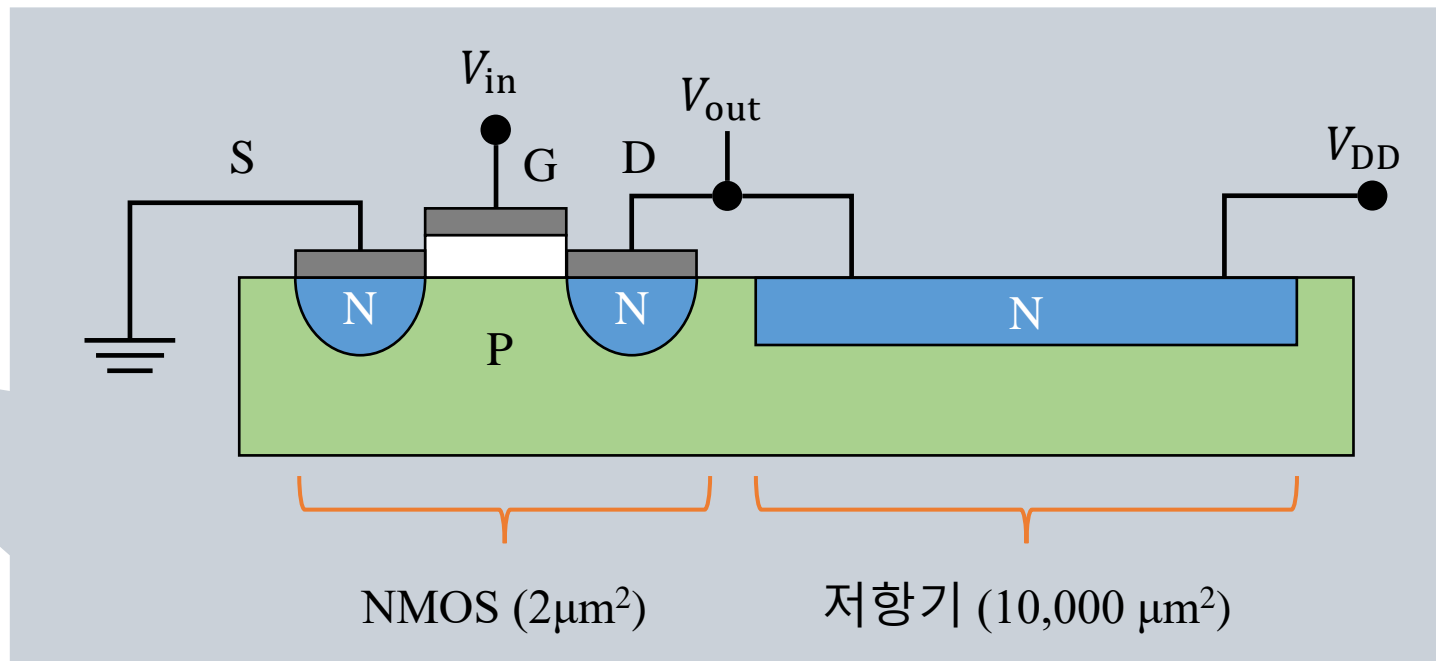
디지털 논리 소자의 설계

- NOT gate

- NMOS + 저항기: 높은 저항 값을 얻기 위해 큰 면적 차지



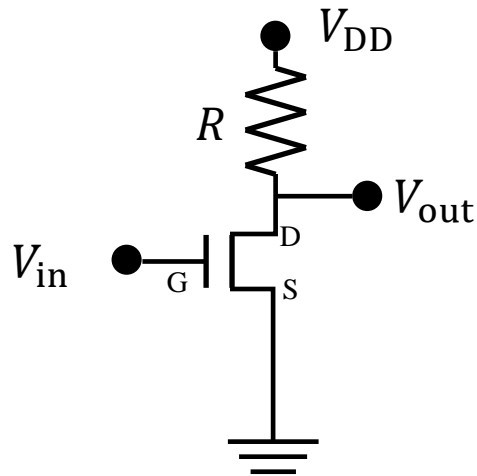
<NMOS + 저항>



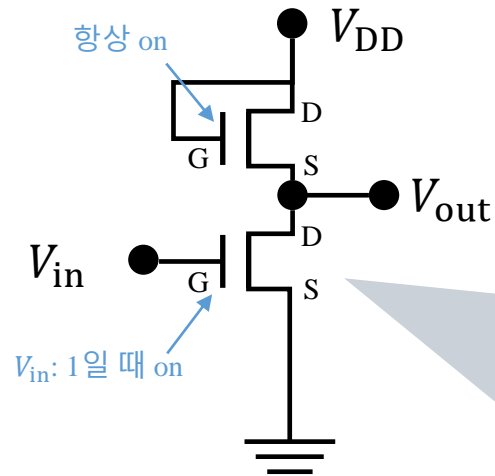
디지털 논리 소자의 설계

● NOT gate

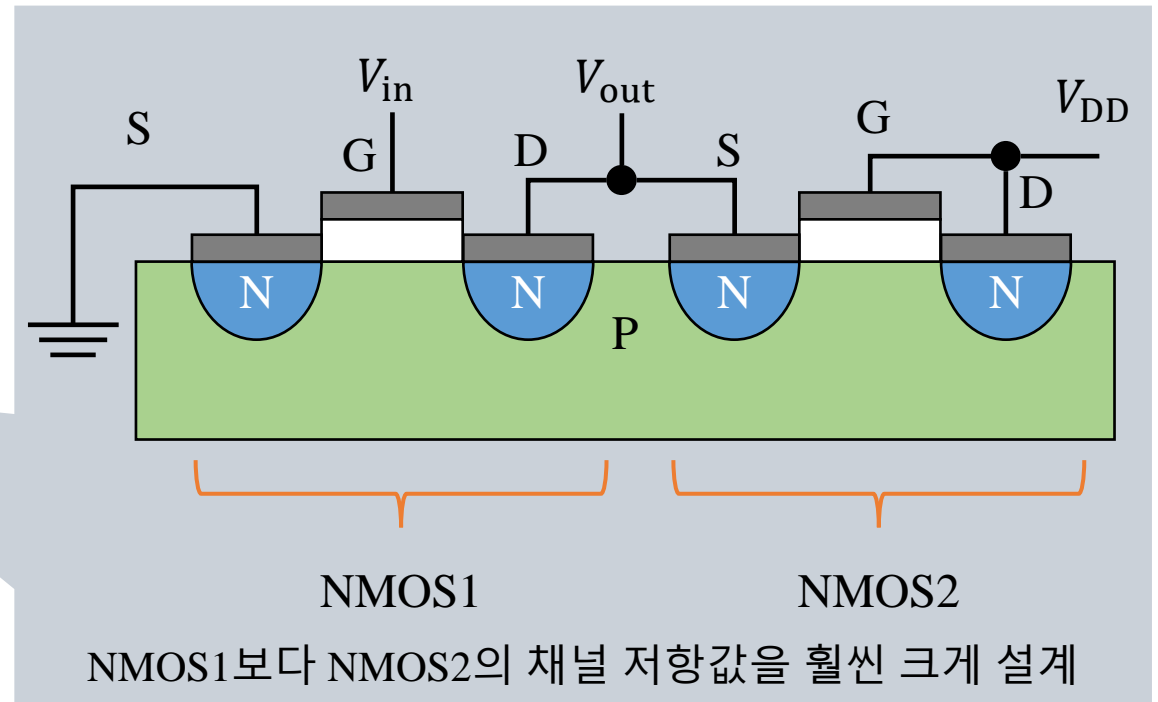
- NMOS + 저항기: 높은 저항 값을 얻기 위해 큰 면적 차지
- NMOS + NMOS: 더 적은 면적



<NMOS + 저항>



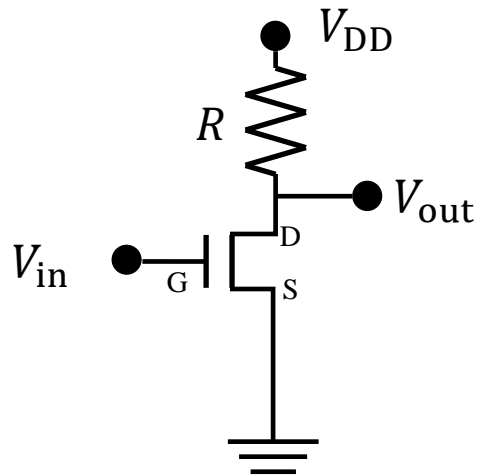
<NMOS + NMOS>



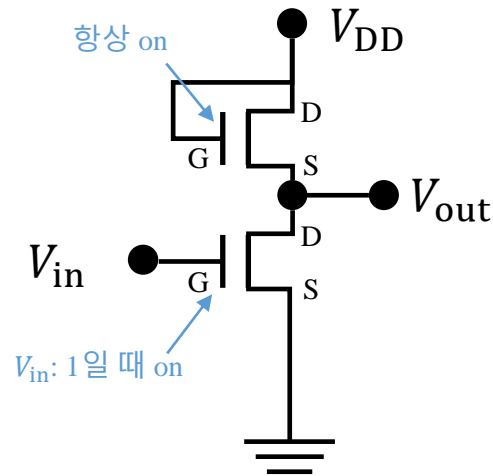
디지털 논리 소자의 설계

● NOT gate

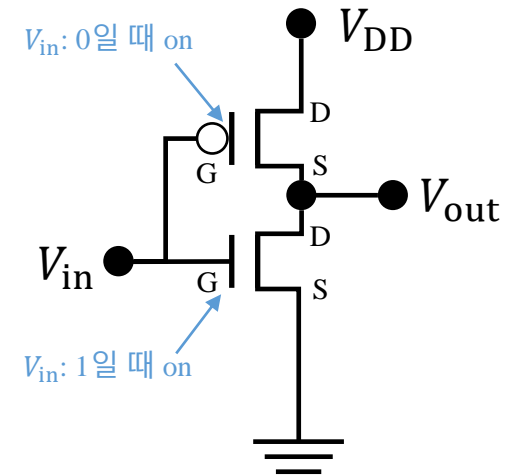
- NMOS + 저항기: 높은 저항 값을 얻기 위해 큰 면적 차지
- NMOS + NMOS: 더 적은 면적
- NMOS + PMOS: 더 적은 전력 소비 ... Complementary MOS (CMOS)



<NMOS + 저항>



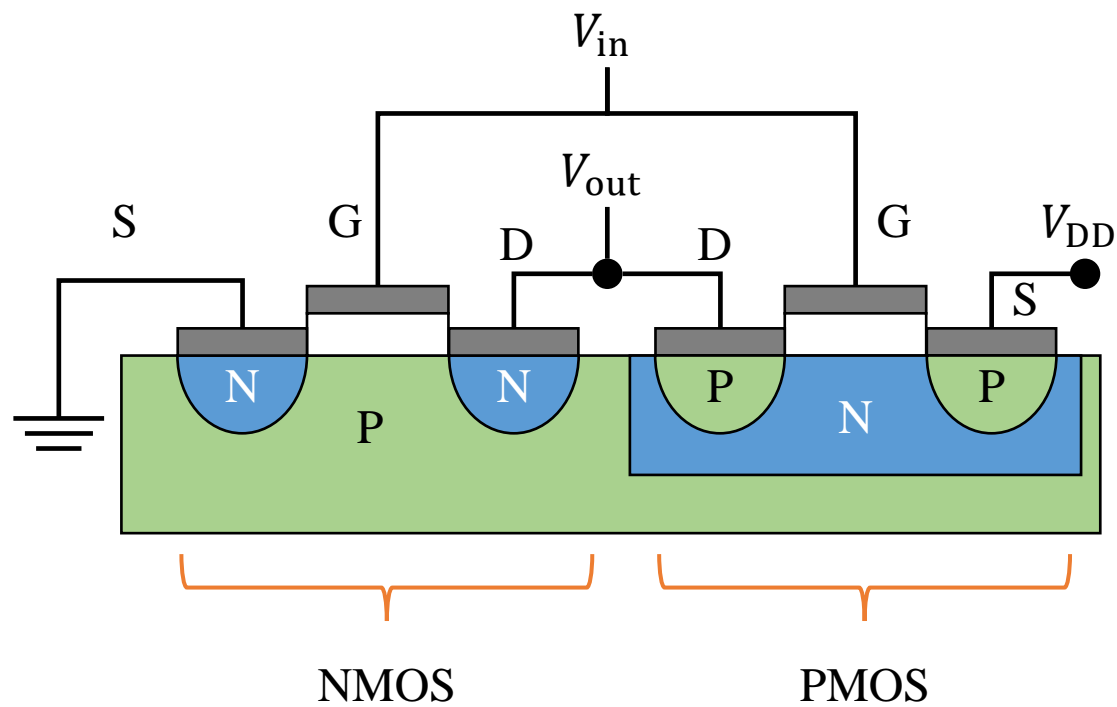
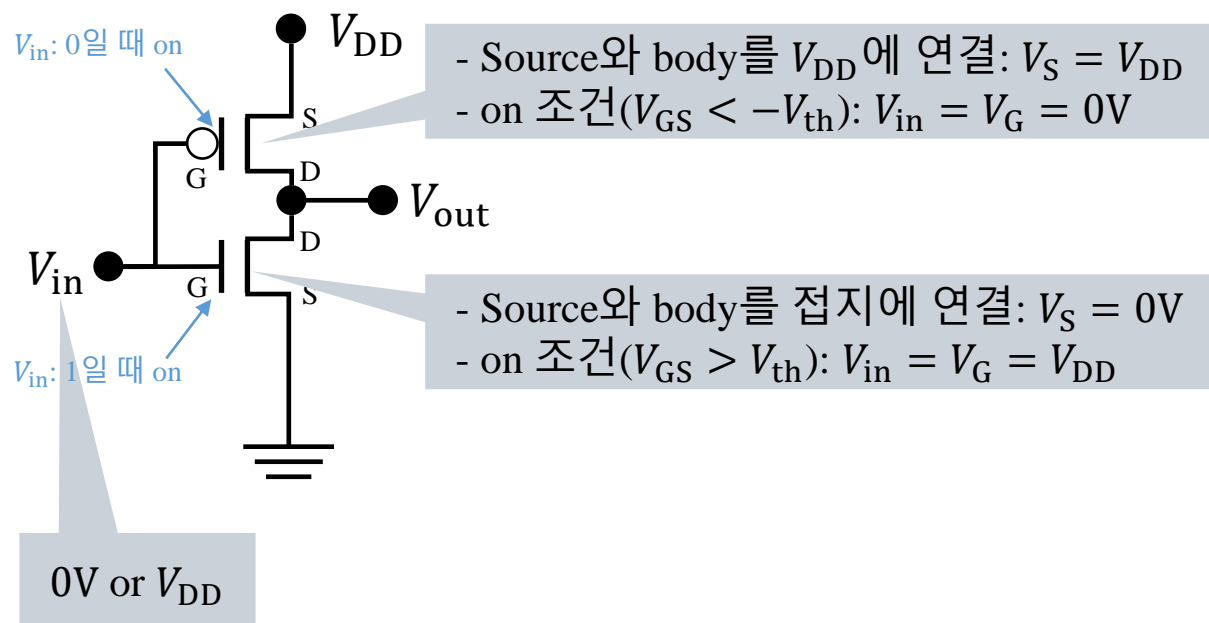
<NMOS + NMOS>



<NMOS + PMOS>

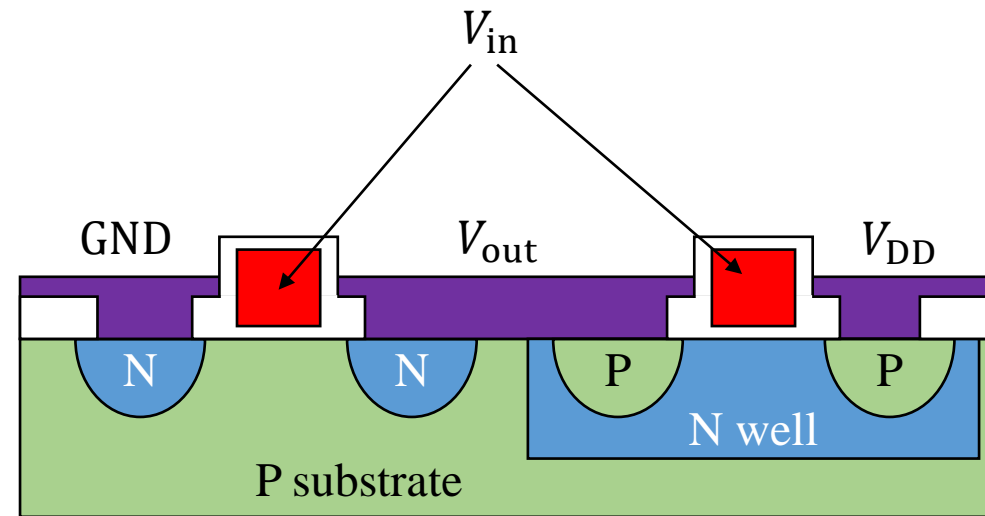
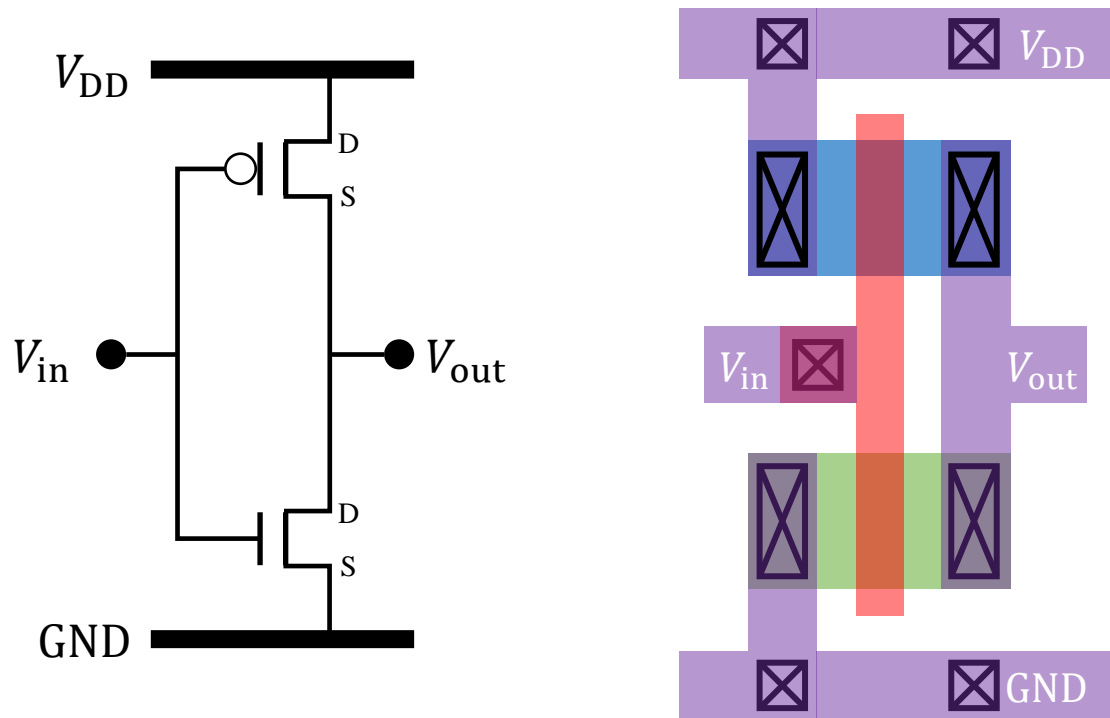
디지털 논리 소자의 설계

● CMOS 기반 NOT gate



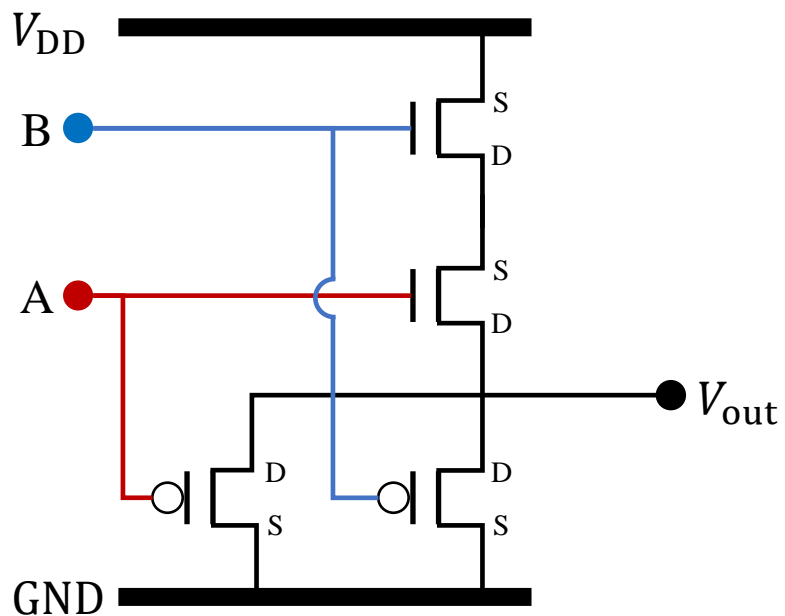
디지털 논리 소자의 설계

- CMOS 기반 NOT gate

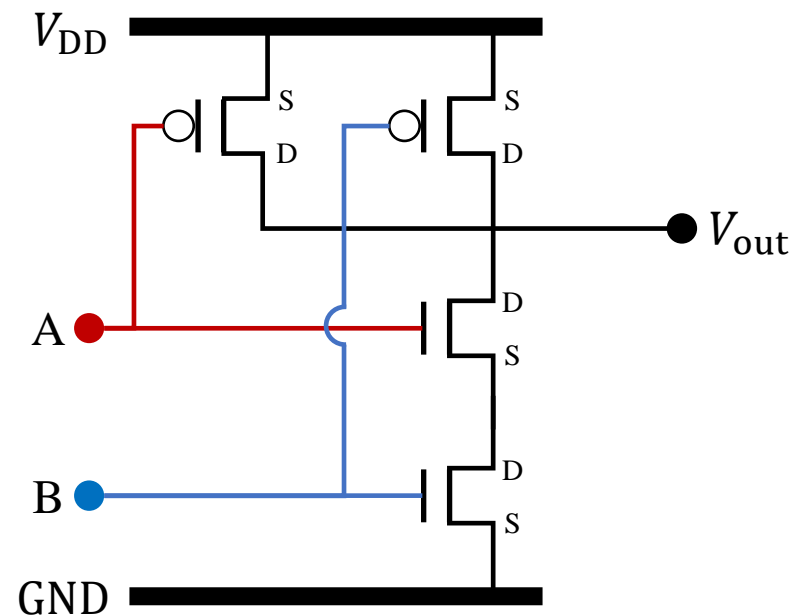


디지털 논리 소자의 설계

CMOS 기반 AND vs. NAND



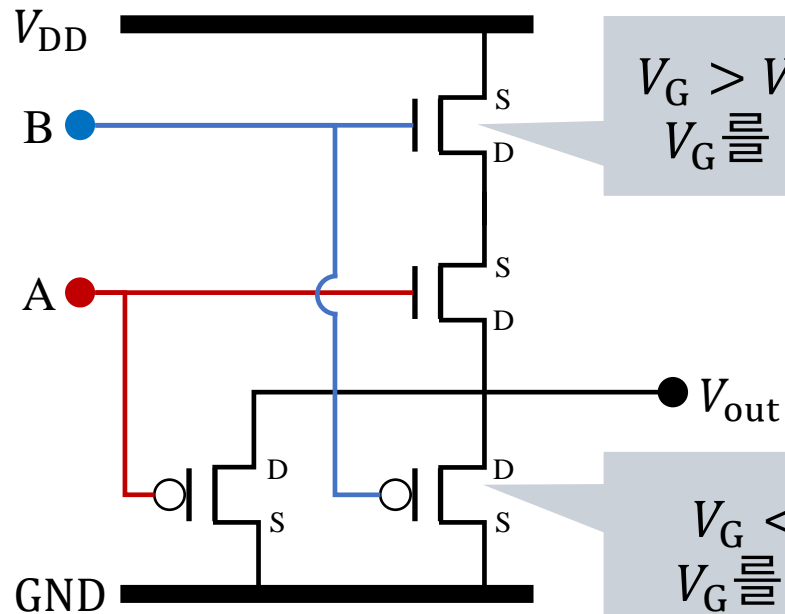
A	B	V_{out}
0	0	0
0	1	0
1	0	0
1	1	1



A	B	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0

디지털 논리 소자의 설계

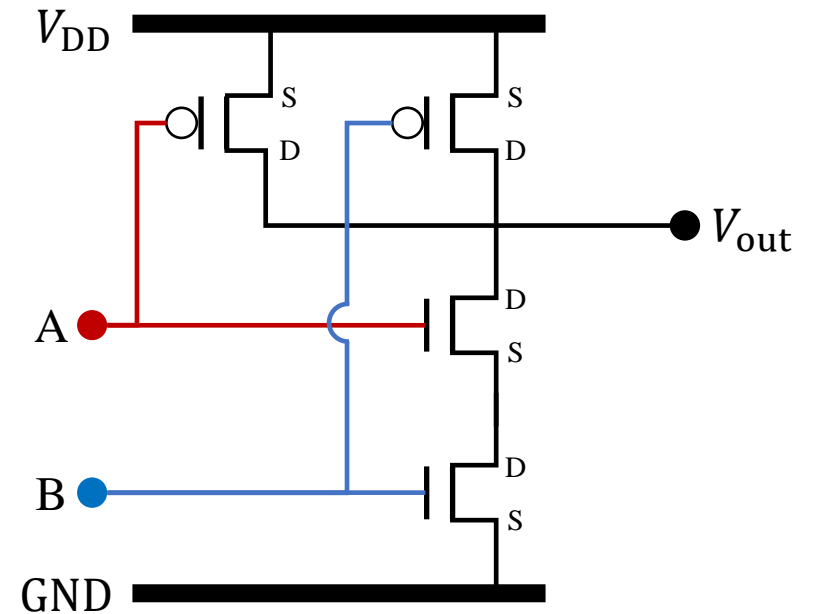
CMOS 기반 AND vs. NAND



$V_G > V_S + V_{th} = V_{DD} + V_{th}$ 일 때 on
 V_G 를 V_{DD} 보다 높게 하기 어려움

$V_G < V_S - V_{th} = -V_{th}$ 일 때 on
 V_G 를 0V보다 낮게 하기 어려움

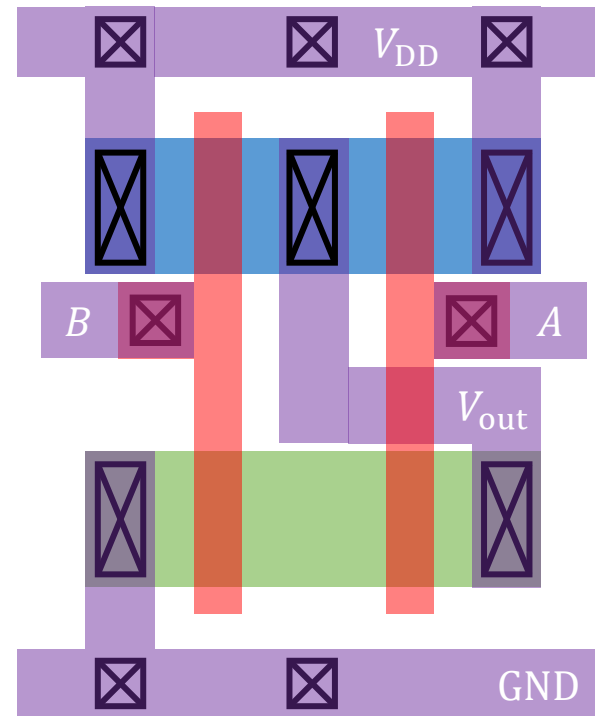
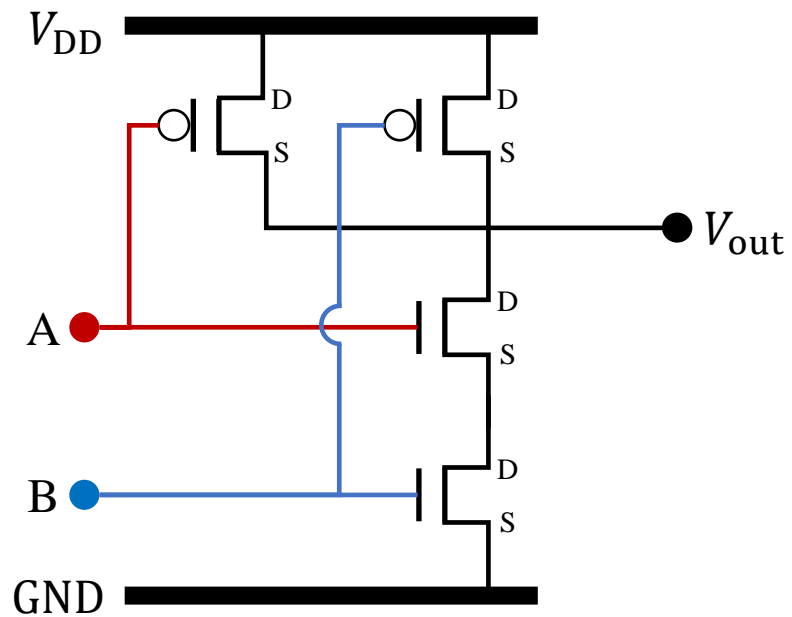
A	B	V_{out}
0	0	0
0	1	0
1	0	0
1	1	1



A	B	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0

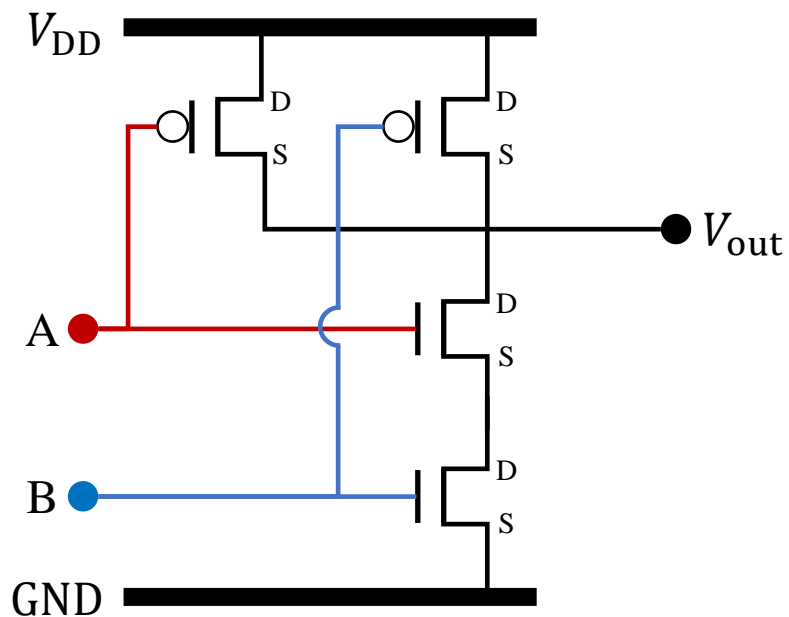
- 구현의 어려움으로 인해 AND는 NAND + NOT으로 구현

- CMOS 기반 NAND

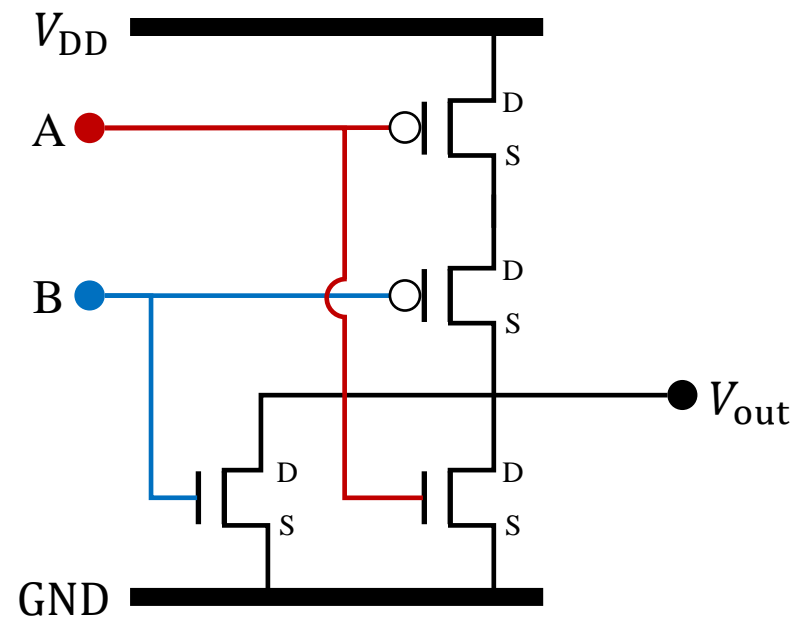


디지털 논리 소자의 설계

- CMOS 기반 NAND vs. NOR



A	B	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0



A	B	V_{out}
0	0	1
0	1	0
1	0	0
1	1	0

디지털 논리 소자의 설계

- 디지털 소자들의 배치

