



به نام خدا
دانشگاه تهران
پردیس دانشکده‌های فنی
دانشکده مهندسی برق و کامپیوتر



درس الکترونیک دیجیتال

نیمسال اول (01-02)

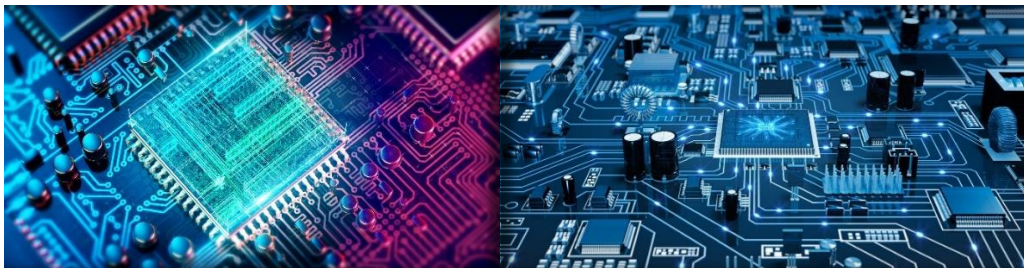
استاد درس: دکتر شقایق وحدت

تمرین کامپیوتری چهارم:

طراحی Layout مدارها با استفاده از نرم‌افزارهای L-Edit و S-Edit

محمد مهدی عبدالحسینی

810 198 434



Digital Electronic Circuits

فهرست مطالب

بخش اول: L-Edit 1

1 الف) طراحی Layout گیت NAND

2 ب) فایل .sp :

بخش دوم: S-Edit 3

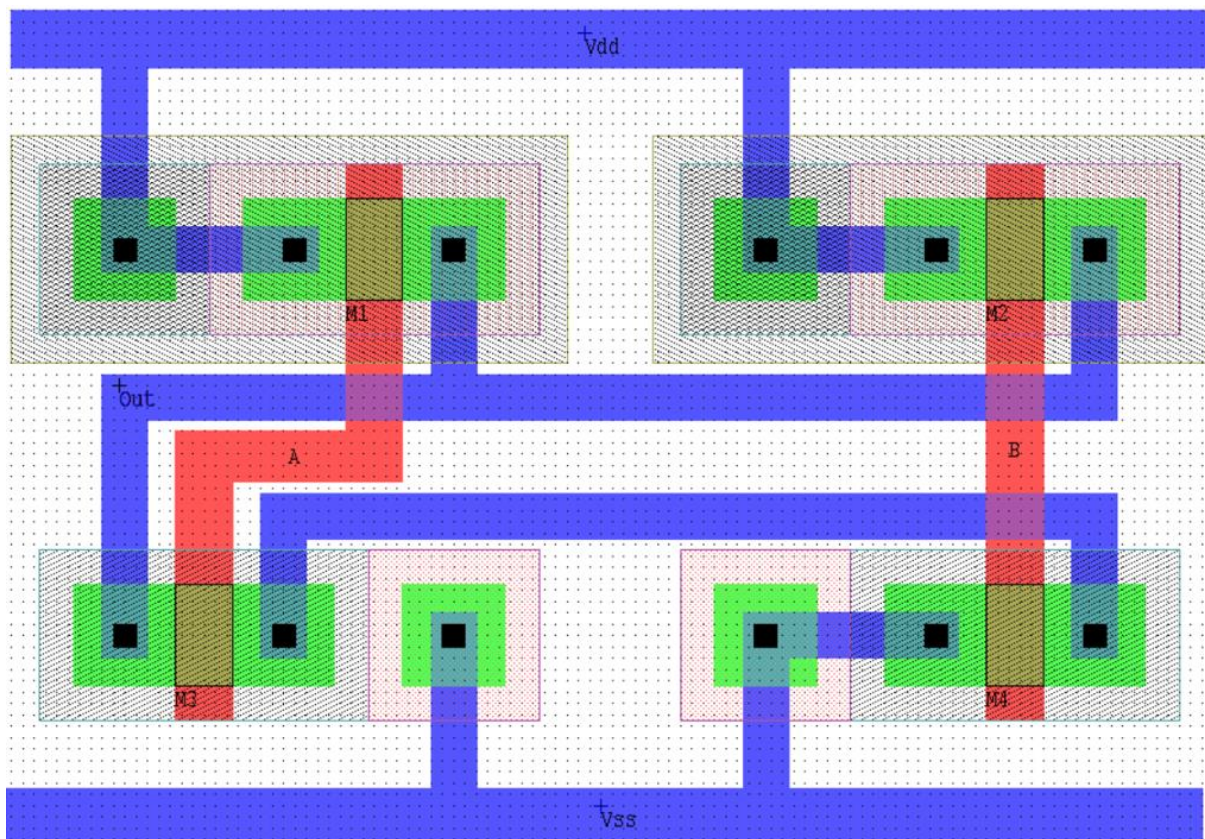
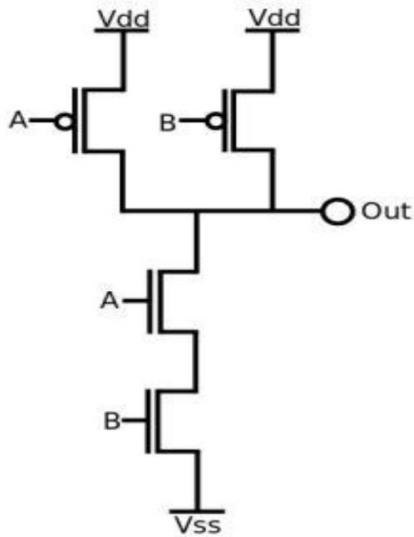
3 الف) طراحی مدار Master-Slave D Flip-Flop

4 ب) طراحی مدار Shift Register :

5 ج) Layout :

بخش اول: L-Edit

الف) طراحی Layout گیت NAND :



(ب) فایل .sp :

```

Cpar1 Out 0 C=213.165f
Cpar2 2 0 C=100.89f
Cpar3 Vss 0 C=219.123f
Cpar4 Vdd 0 C=265.5f
* Warning: Node B has zero nodal parasitic capacitance.
* Warning: Node A has zero nodal parasitic capacitance.

M1 Out A Vdd Vdd PMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M1 DRAIN GATE SOURCE BULK (-96.5 53.5 -91.5 62.5)
M2 Out B Vdd Vdd PMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M2 DRAIN GATE SOURCE BULK (-40 53.5 -35 62.5)
M3 2 A Out Vss NMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M3 DRAIN GATE SOURCE BULK (-111.5 19.5 -106.5 28.5)
M4 2 B Vss Vss NMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M4 DRAIN GATE SOURCE BULK (-40 19.5 -35 28.5)

```

قطعه کد زده شده برای صحت عملکرد فایل .sp. بصورت زیر میباشد.

```

*oooooooooooooooooooooooooooooooooooo*
*      ==> LIBRARY      *
*oooooooooooooooooooooooooooooooooooo*
.inc      '0.5micron.lib'

*oooooooooooooooooooooooooooooooooooo*
*      ==> PARAMETERS   *
*oooooooooooooooooooooooooooooooooooo*
.param      Vdd = 1
+           Vss = -1

*oooooooooooooooooooooooooooooooooooo*
*      ==> COMPONENTS   *
*oooooooooooooooooooooooooooooooooooo*
Vdd          Vdd      gnd      Vdd
Vss          Vss      gnd      Vss

Cpar1 Out 0 C=213.165f
Cpar2 2 0 C=100.89f
Cpar3 Vss 0 C=219.123f
Cpar4 Vdd 0 C=265.5f

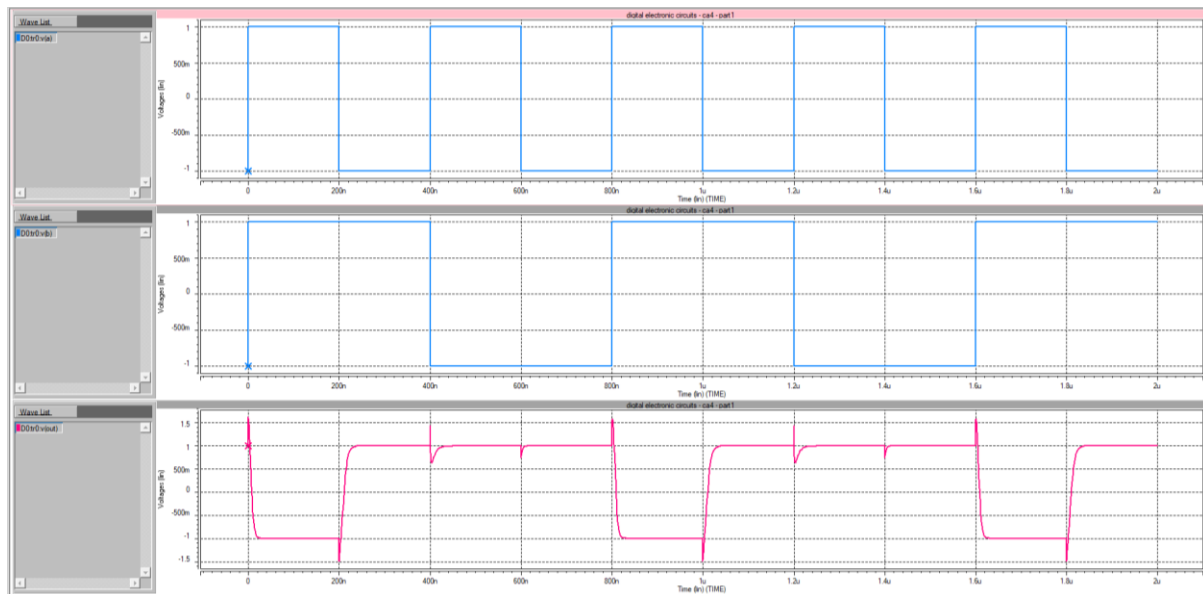
M1 Out A Vdd Vdd PMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M1 DRAIN GATE SOURCE BULK (-96.5 53.5 -91.5 62.5)
M2 Out B Vdd Vdd PMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M2 DRAIN GATE SOURCE BULK (-40 53.5 -35 62.5)
M3 2 A Out Vss NMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M3 DRAIN GATE SOURCE BULK (-111.5 19.5 -106.5 28.5)
M4 2 B Vss Vss NMOS L=5u W=9u AD=81p PD=36u AS=81p PS=36u
* M4 DRAIN GATE SOURCE BULK (-40 19.5 -35 28.5)

*oooooooooooooooooooooooooooooooooooo*
*      ==> INPUTS      *
*oooooooooooooooooooooooooooooooooooo*
VA          A      gnd      Pulse   Vss      Vdd      0      0      0      200ns  400ns
VB          B      gnd      Pulse   Vss      Vdd      0      0      0      400ns  800ns

*oooooooooooooooooooooooooooooooooooo*
*      ==> SIMULATIONS  *
*oooooooooooooooooooooooooooooooooooo*
.option      post=2
.tran      10p      2000n
.END

```

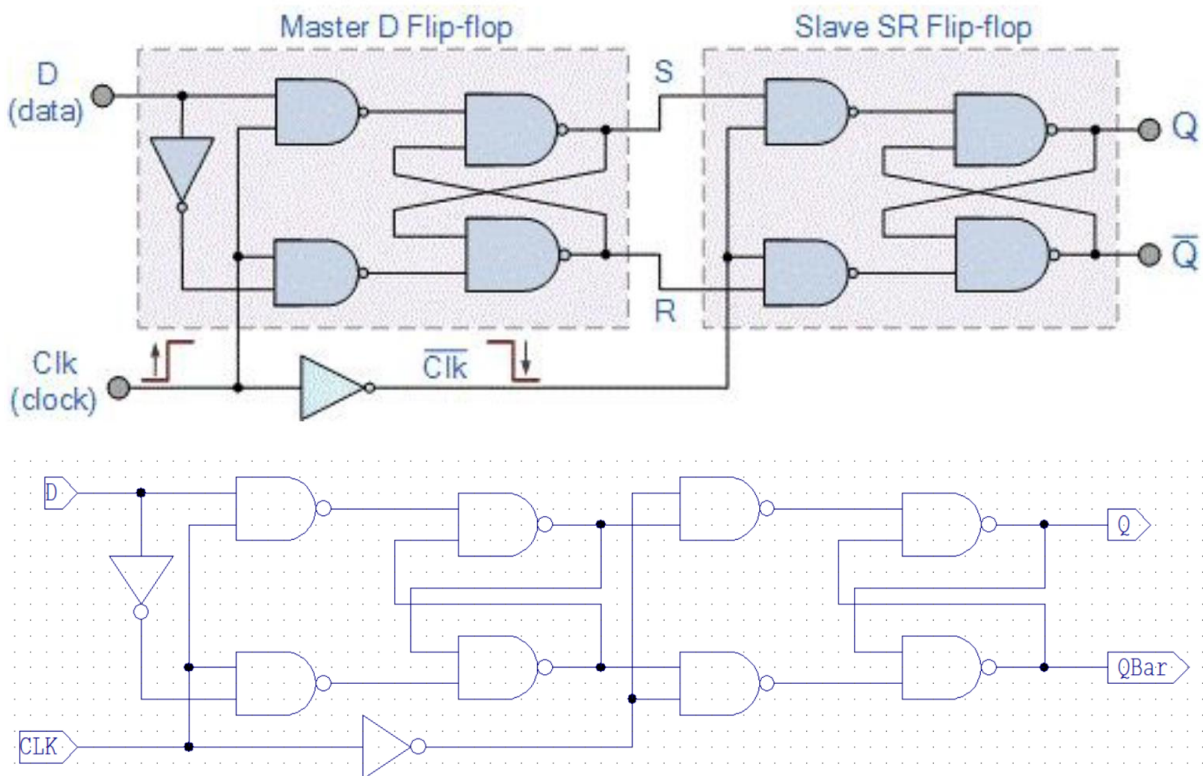
شکل موج ورودی‌ها و خروجی بصورت زیر خواهد بود.



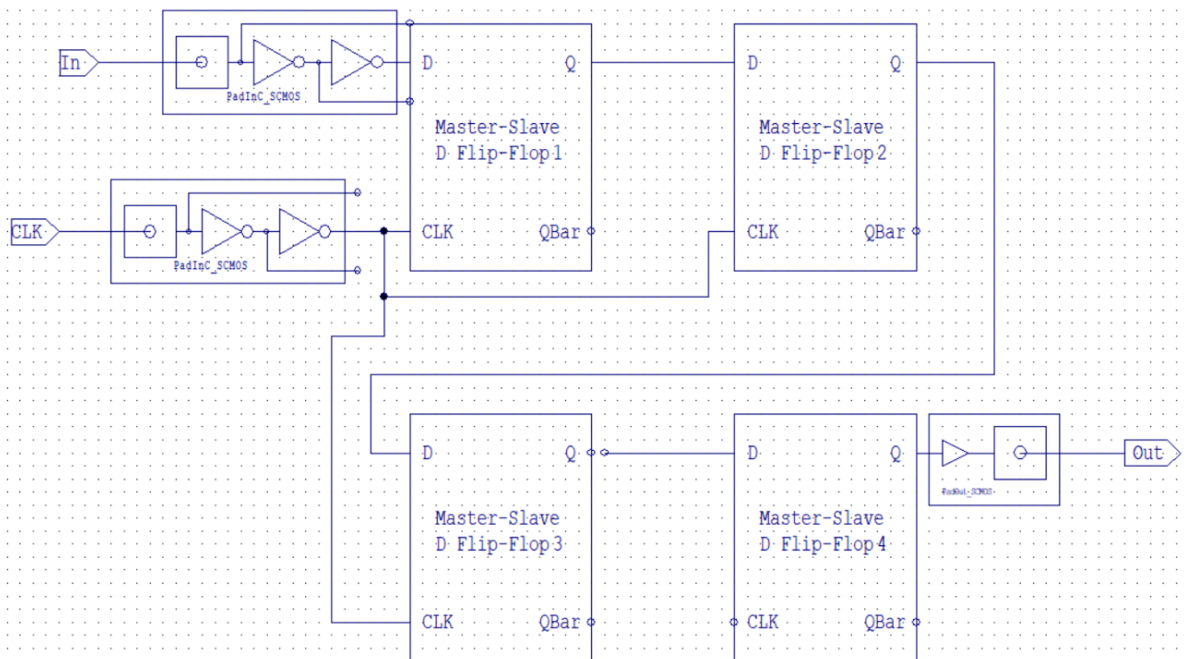
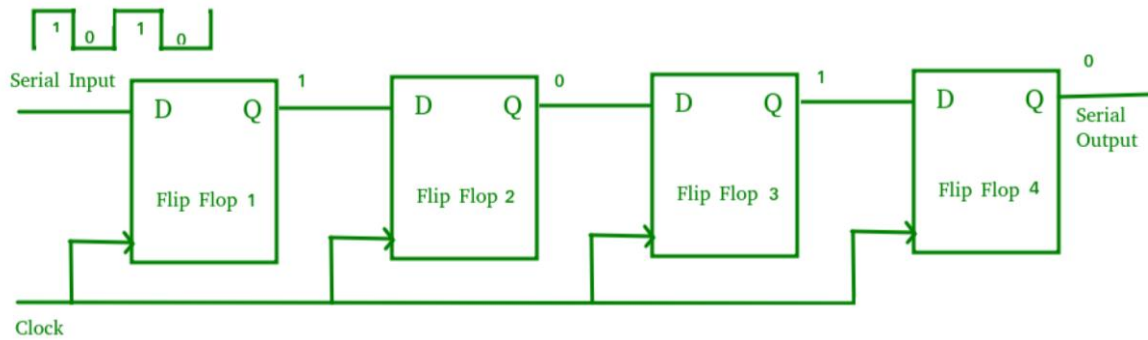
همانطور که مشاهده میشود، مدار طراحی شده عملکرد صحیحی دارد.

بخش دوم: S-Edit

الف) طراحی مدار Master-Slave D Flip-Flop:



ب) طراحی مدار Shift Register :



ج) Layout :

