



IS42S83200J, IS42S16160J

IS45S83200J, IS45S16160J

32 Мб x 8, 16 Мб x 16
256 Мб СИНХРОННАЯ DRAM

СЕНТЯБРЬ 2020

ОСОБЕННОСТИ

- Частота тактового генератора: 166, 143, 133 МГц
- Полностью синхронная; все сигналы привязаны к положительному фронту тактового импульса
- Внутренний банк для скрытия доступа к строке/предварительной зарядки
- Одно питание: 3,3 В \pm 0,3 В
- Интерфейс LVTTTL
- Программируемая длина пакета – (1, 2, 4, 8, полная страница)
- Программируемая последовательность пакетов: последовательная/чередующаяся
- Автоматическое обновление (CBR)
- Самообновление
- 8К циклов обновления каждые 32 мс (класс A2) или 64 мс (коммерческий, промышленный, класс A1)
- Случайный адрес столбца каждый такт
- Программируемая задержка $\bar{C}\bar{A}\bar{S}$ (2, 3 тактовых цикла)
- Возможность выполнения операций пакетного чтения/записи и пакетного чтения/одиночной записи
- Прерывание пакетной передачи с помощью команды останова пакетной передачи и предварительной зарядки

ОПЦИИ

- Корпус:
54-контактный TSOP-II
54-шариковый BGA
- Диапазон рабочих температур:
Коммерческий (от 0° C до +70° C)
Промышленная (-40° C до +85° C)
Автомобильный класс A1 (от -40° C до +85° C)
Автомобильный класс A2 (от -40° C до +105° C)

ОБЗОР

256-мегабайтная синхронная DRAM от ISSI обеспечивает высокоскоростную передачу данных благодаря конвейерной архитектуре. Все входные и выходные сигналы относятся к нарастающему фронту тактового входа. 256-мегабайтная SDRAM организована следующим образом.

IS42/45S83200J IS42/45S16160J

8 Мб x 8 x 4 банки 4 Мб x 16 x 4 банки 54-

контактный TSOPII 54-контактный TSOPII

54-контактный BGA 54-контактный BGA

КЛЮЧЕВЫЕ ПАРАМЕТРЫ СИНХРОНИЗАЦИИ

Параметр	-6	-7	Единица
Время цикла Clk			
Задержка $\bar{C}\bar{A}\bar{S}$ = 3	6	7	нс
$\bar{C}\bar{A}\bar{S}$ Задержка = 2	10	7,5	нс
Частота тактового генератора			
$\bar{C}\bar{A}\bar{S}$ Задержка = 3	166	143	МГц
Задержка $\bar{C}\bar{A}\bar{S}$ = 2	100	133	МГц
Время доступа от тактового генератора			
$\bar{C}\bar{A}\bar{S}$ Задержка = 3	5,4	5,4	нс
$\bar{C}\bar{A}\bar{S}$ Задержка = 2	5,4	5,4	нс

ТАБЛИЦА АДРЕСОВ

Параметр	32М x 8	16М x 16
Конфигурация	8М x 8 x 4	4М x 16 x 4
	Банки	банки
Количество обновлений	Com./Ind.	8К/64 мс
	A1 A2	8К/64 мс
Адреса строк	8К/64 мс	8К/64 мс
Адреса столбцов	A0 A9	A0 A8
Контакты адреса банка	BA0, BA1	BA0, BA1
Контакты автоматической предварительной зарядки	A10/AP	A10/AP

Copyright © 2020 Integrated Silicon Solution, Inc. Все права защищены. ISSI оставляет за собой право вносить изменения в настоящую спецификацию и свои продукты в любое время без предварительного уведомления. ISSI не несет никакой ответственности, возникающей в результате применения или использования любой информации, продуктов или услуг, описанных в настоящем документе. Клиентам рекомендуется получить последнюю версию спецификации данного устройства, прежде чем полагаться на любую опубликованную информацию и размещать заказы на продукты.

Компания Integrated Silicon Solution, Inc. не рекомендует использовать какие-либо из своих продуктов в системах жизнеобеспечения, где отказ или неисправность продукта может привести к выходу из строя системы жизнеобеспечения или существенно повлиять на ее безопасность или эффективность. Продукты не разрешены к использованию в таких системах, если компания Integrated Silicon Solution, Inc. не получит письменного заверения, удовлетворяющего ее требованиям, о том, что:

- риск травм или повреждений сведен к минимуму;
- пользователь принимает на себя все такие риски; и
- потенциальная ответственность Integrated Silicon Solution, Inc. адекватно защищена в данных обстоятельствах.

ОБЗОР УСТРОЙСТВА

256 Мб SDRAM — это высокоскоростная динамическая оперативная память CMOS, разработанная для работы в системах памяти с напряжением питания 3,3 В VDD и 3,3 В VDDQ, содержащих 268 435 456 бит. Внутренне сконфигурирована как DRAM с четырьмя банками и синхронным интерфейсом. Каждый банк объемом 67 108 864 бита организован в виде 8192 строк по 512 столбцов по 16 бит или 8192 строк по 1024 столбца по 8 бит.

256Mb SDRAM включает в себя режим автоматического обновления (AUTO REFRESH MODE) и энергосберегающий режим отключения питания. Все сигналы регистрируются на положительном фронте тактового сигнала CLK. Все входы и выходы совместимы с LVTTTL.

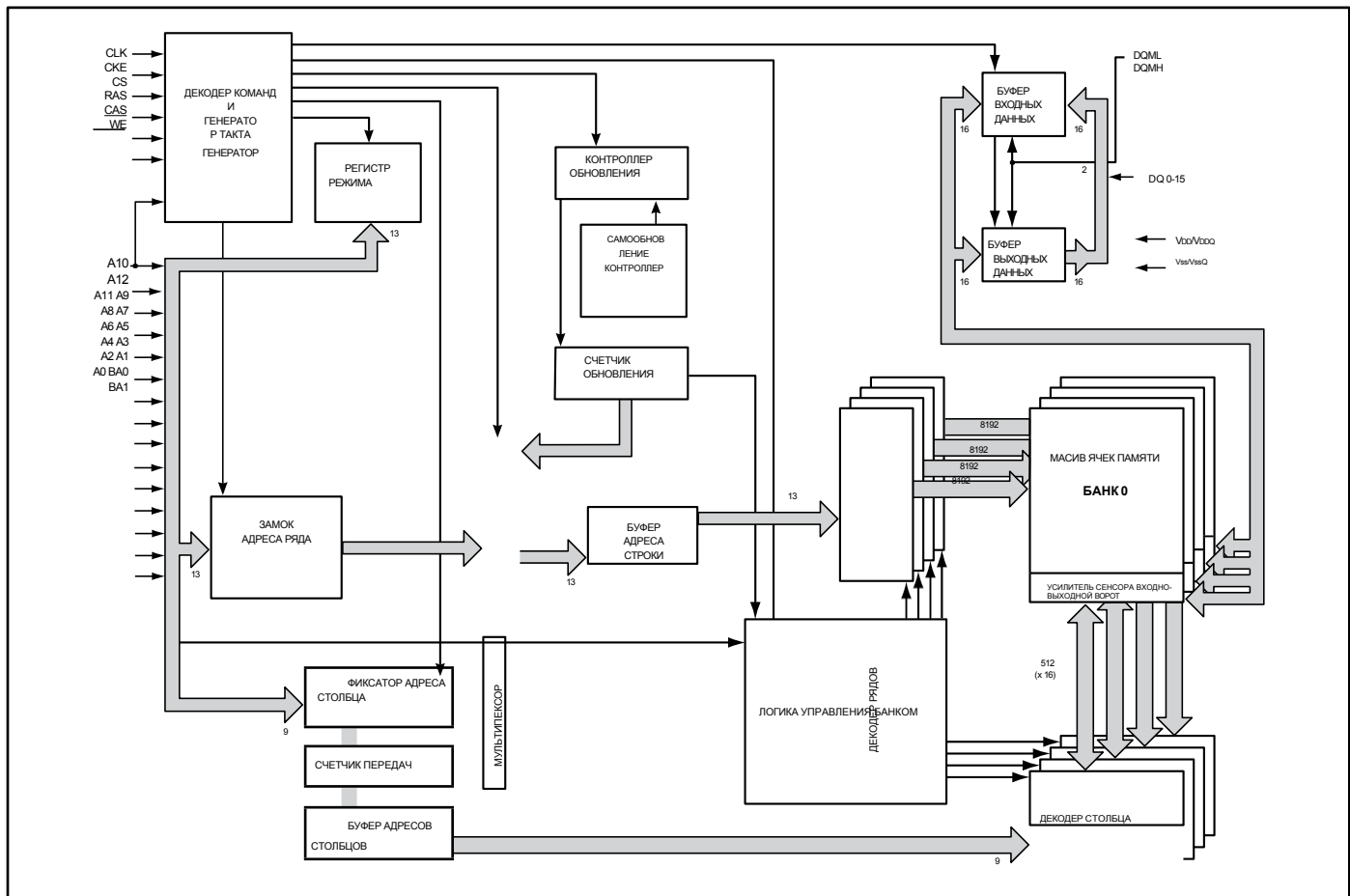
256-мегабайтная SDRAM имеет возможность синхронной передачи данных с высокой скоростью с автоматическим формированием адресов столбцов, возможность чередования между внутренними банками для скрытия времени предварительной зарядки и возможность произвольного изменения адресов столбцов на каждом тактовом цикле во время пакетного доступа.

При включенной функции AUTO PRECHARGE доступна самосинхронизированная предварительная зарядка строк, запускаемая в конце последовательности пакетов. Предварительная зарядка одного банка при доступе к одному из трех других банков скрывает циклы предварительной зарядки и обеспечивает бесперебойную высокоскоростную работу с произвольным доступом.

Доступ к SDRAM для чтения и записи ориентирован на пакетную передачу данных, начинается с выбранного места и продолжается в течение запрограммированного количества мест в запрограммированной последовательности. Регистрация команды ACTIVE запускает доступ, за которым следует команда READ или WRITE. Команда ACTIVE в сочетании с зарегистрированными битами адреса используется для выбора банка и строки, к которым будет осуществляться доступ (BA0, BA1 выбирают банк; A0-A12 выбирают строку). Команды READ или WRITE в сочетании с зарегистрированными битами адреса используются для выбора начального местоположения столбца для пакетного доступа.

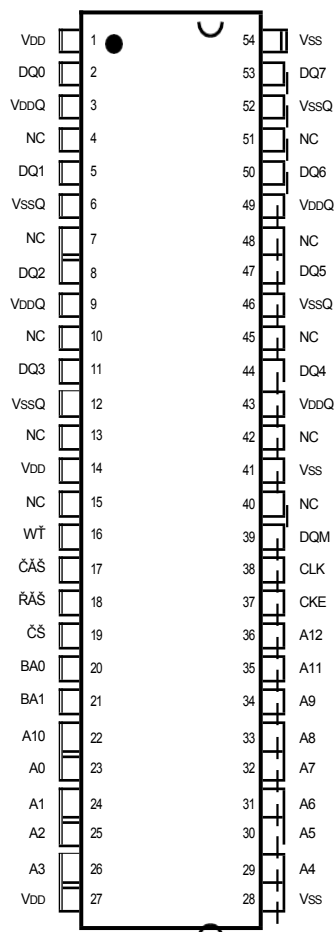
Программируемая длина пакета READ или WRITE состоит из 1, 2, 4 и 8 ячеек или полной страницы с опцией завершения пакета.

ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА (ДЛЯ 4МХ16Х4 БАНКОВ)



КОНФИГУРАЦИЯ КОНТАКТОВ

54-контактный TSOP - Тип II для x8

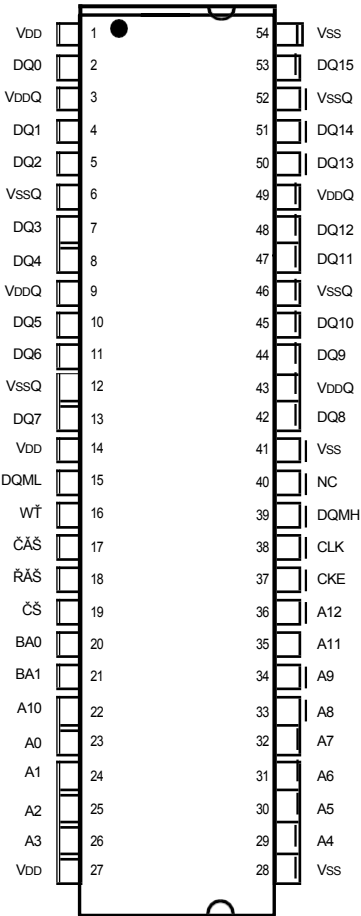


ОПИСАНИЕ КОНТАКТОВ

A0-A12	Вход адреса строки
A0-A9	Вход адреса столбца
BA0, BA1	Адрес выбора банка
DQ0-DQ7	Ввод/вывод данных
CLK	Вход системного тактового генератора
CKE	Разрешение тактового генератора
CS	Выбор микросхемы
RAS	Команда строчного адреса строка
CAS	Команда стробирования адреса столбца

WT	Разрешение записи
DQM	Маска ввода/вывода данных
VDD	Питание
VSS	Заземление
VDDQ	Источник питания для вывода
вывода/вывода VSSQ	Заземление для
вывода ввода/вывода	
NC	Без подключения

КОНФИГУРАЦИЯ КОНТАКТОВ
54-контактный TSOP - Тип II для x16



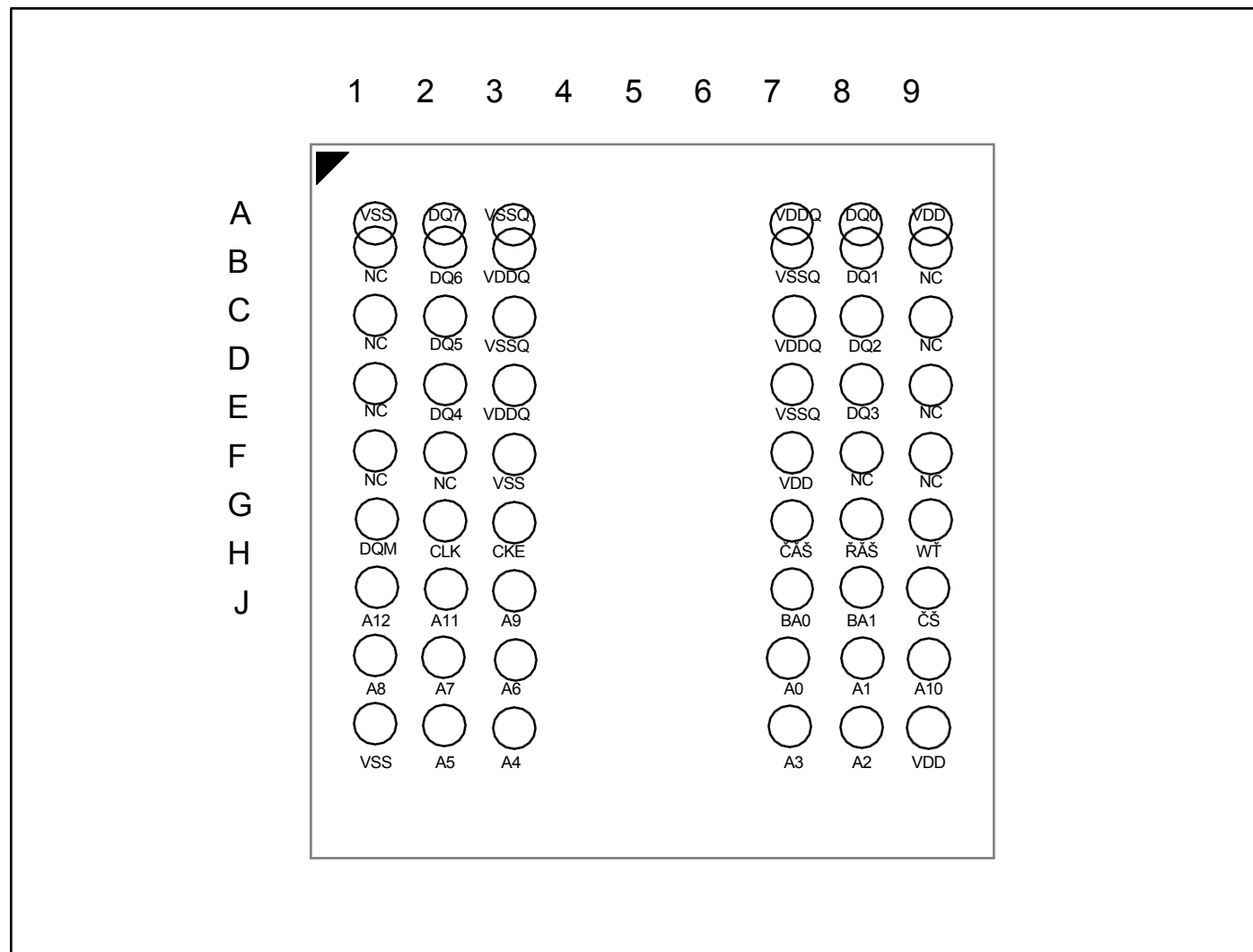
ОПИСАНИЕ КОНТАКТОВ

A0-A12	Вход адреса строки
A0-A8	Вход адреса столбца
BA0, BA1	Адрес выбора банка DQ0–
DQ15	Ввод/вывод данных
CLK	Вход системного тактового генератора
CKE	Разрешение тактовой частоты
CS	Выбор микросхемы
RAS	Команда строчного адреса строка
CAS	Команда стробирования адреса столбца

WT	Разрешение записи
DQML x16	Нижний байт, маска ввода/вывода DQMH x16
Верхний байт, маска ввода/вывода VDD	Питание
VSS	Заземление
VDDQ	Источник питания для вывода
вывода/вывода VSSQ	Заземление для
вывода ввода/вывода	
NC	Без подключения

КОНФИГУРАЦИЯ КОНТАКТОВ

54-контактный TF-BGA для x8 (вид сверху) (корпус 8,00 мм x 8,00 мм, шаг контактов 0,8 мм) код корпуса: B



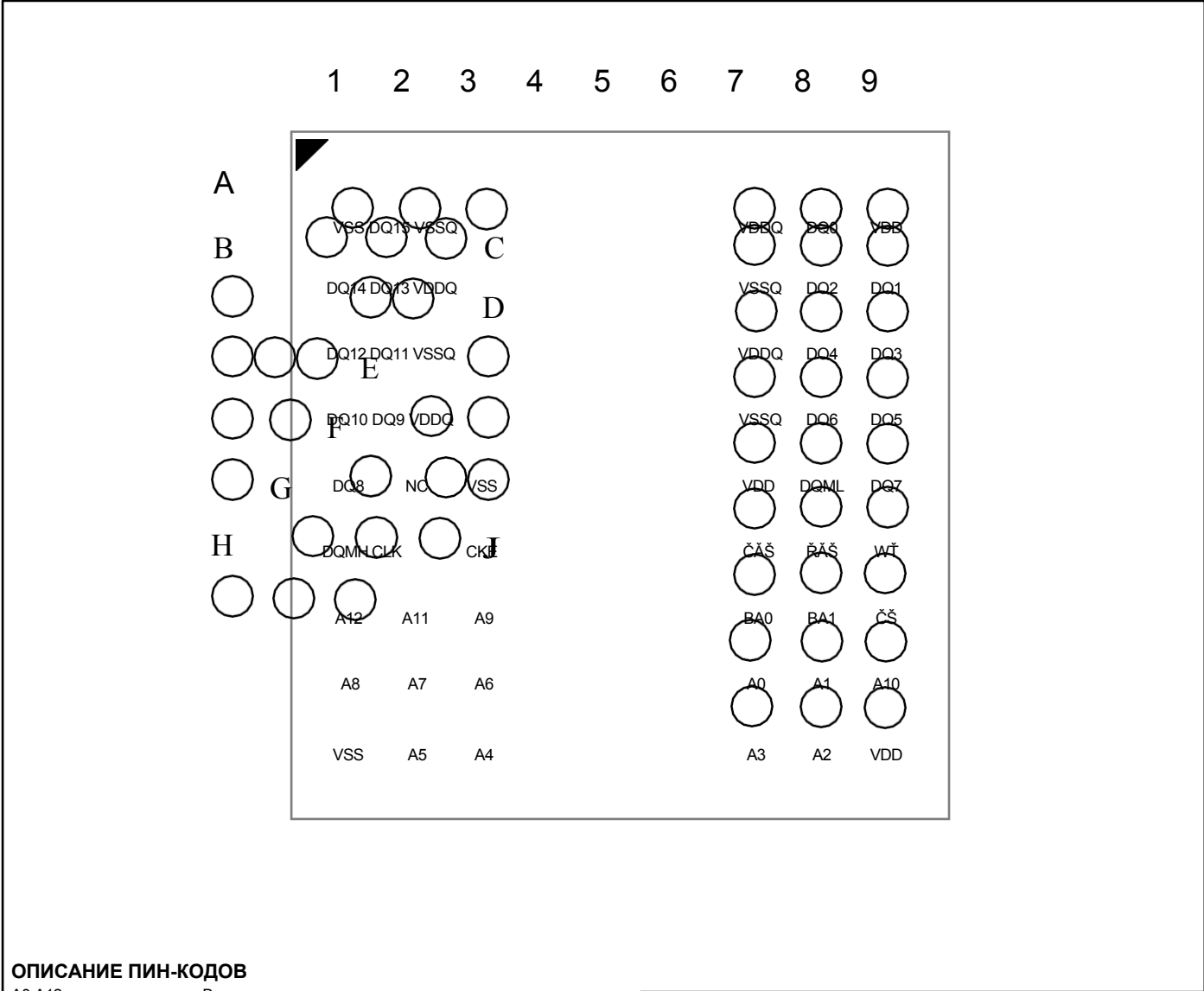
ОПИСАНИЕ КОНТАКТОВ

A0-A12	Вход адреса строки
A0-A9	Вход адреса столбца
BA0, BA1	Адрес выбора банка
DQ0 до DQ7	Ввод/вывод данных
CLK	Вход системного тактового генератора
CKE	Разрешение тактового генератора
CS	Выбор микросхемы
RAS	Команда строчного адреса строка
CAS	Команда стробирования адреса столбца

WT	Разрешение записи
DQM	Маска ввода/вывода данных
VDD	Питание
VSS	Заземление
VDDQ	Источник питания для вывода
вывода/вывода VSSQ	Заземление для
вывода ввода/вывода	
NC	Без подключения

КОНФИГУРАЦИЯ КОНТАКТОВ

54-контактный TF-BGA для x16 (вид сверху) (корпус 8,00 мм x 8,00 мм, шаг контактов 0,8 мм) код корпуса: B



ОПИСАНИЕ ПИН-КОДОВ

A0-A12	Вход адреса строки
A0-A8	Вход адреса столбца
BA0, BA1	Адрес выбора банка DQ0–
DQ15	Ввод/вывод данных
CLK	Вход системного тактового генератора
CKE	Разрешение тактового генератора
CS	Выбор микросхемы
RAS	Команда строчного адреса строка
CAS	Команда стробирования адреса столбца

WT	Разрешение записи
DQML	x16 Маска ввода/вывода нижнего байта DQMH
	x16 Маска ввода/вывода верхнего байта vdd
	Питание
Vss	Заземление
vddq	Источник питания для вывода ввода/вывода
vssq	Заземление для вывода ввода/вывода
NC	Без подключения

ФУНКЦИИ КОНТАКТОВ

Символ	Тип	Функция (подробно)
A0-A12	Вход	Входы адреса: A0-A12 отбираются во время команды ACTIVE (адрес строки A0-A12) и команды READ/WRITE (адрес столбца A0-A9 (x8) или A0-A8 (x16); при этом A10 определяет автоматическую предварительную зарядку) для выбора одного места из массива памяти в соответствующем банке. A10 отбирается во время команды PRECHARGE для определения, должны ли все банки быть предварительно заряжены (A10 HIGH) или банк, выбранный BA0, BA1 (LOW). Входы адреса также предоставляют код операции во время команды LOAD MODE REGISTER.
BA0, BA1	Вход	Адрес выбора банка: BA0 и BA1 определяют, к какому банку применяется команда ACTIVE, READ, WRITE или PRECHARGE.
$\bar{C}\bar{A}\bar{S}$	Вход	$\bar{C}\bar{A}\bar{S}$ в сочетании с $\bar{R}\bar{A}\bar{S}$ и $\bar{W}\bar{T}$ образует команду устройства. Подробные сведения о командах устройства см. в «Таблице истинности команд».
CKE	Вход	Вход CKE определяет, включен ли вход CLK. Следующий нарастающий фронт сигнала CLK будет действителен, когда CKE HIGH, и недействителен, когда LOW. Когда CKE LOW, устройство будет находиться в режиме отключения питания, режиме приостановки тактовой частоты или режиме самообновления. CKE является асинхронным входом.
CLK	Вход	CLK — это вход главного тактового генератора для этого устройства. За исключением CKE, все входы этого устройства синхронизируются с нарастающим фронтом этого вывода.
$\bar{C}\bar{S}$	Вход	Вход $\bar{C}\bar{S}$ определяет, включен ли вход команд в устройстве. Вход команд включен, когда $\bar{C}\bar{S}$ находится в состоянии LOW, и отключен, когда $\bar{C}\bar{S}$ находится в состоянии HIGH. Устройство остается в предыдущем состоянии, когда $\bar{C}\bar{S}$ находится в состоянии HIGH.
DQML, DQMN	Вход	DQML и DQMN управляют нижним и верхним байтами буферов ввода-вывода. При чтении Режим, DQML и DQMN управляют выходным буфером. Когда DQML или DQMN находятся в состоянии LOW, соответствующий байт буфера включается, а когда в состоянии HIGH — отключается. Выходы переходят в состояние высокого импеданса, когда DQML/DQMN находятся в состоянии HIGH. Эта функция соответствует $\bar{O}\bar{T}$ в обычных DRAM. В режиме записи DQML и DQMN управляют входным буфером. Когда DQML или DQMN находятся в состоянии LOW, соответствующий байт буфера включается, и данные могут быть записаны в устройство. Когда DQML или DQMN находятся в состоянии HIGH, входные данные маскируются и не могут быть записаны в устройство. Только для x16.
DQM	Вход	Только для x8.
DQ0-DQ7 или DQ0- DQ15	Вход/выход	Данные на шине данных фиксируются на контактах DQ во время команд записи и буферизируются для вывода после команд чтения.
$\bar{R}\bar{A}\bar{S}$	Ввод	$\bar{R}\bar{A}\bar{S}$ в сочетании с $\bar{C}\bar{A}\bar{S}$ и $\bar{W}\bar{T}$ образует команду устройства. Подробные сведения о командах устройств см. в разделе «Таблица истинности команд».
$\bar{W}\bar{T}$	Ввод	$\bar{W}\bar{T}$ в сочетании с $\bar{R}\bar{A}\bar{S}$ и $\bar{C}\bar{A}\bar{S}$ формирует команду устройства. Подробные сведения о командах устройства см. в разделе «Таблица истинности команд».
VDDQ	Источник питания	VDDQ — источник питания выходного буфера.
VDD	Источник питания	VDD — внутренний источник питания устройства.
VSSQ	Источник питания	VSSQ — заземление выходного буфера.
VSS	Источник питания	VSS — это внутренний заземляющий контакт устройства.

ОБЩЕЕ ОПИСАНИЕ

ЧИТАТЬ

Команда READ выбирает банк из входов BA0, BA1 и запускает пакетный доступ к активной строке. Входы A0-A9 (x8); A0-A8 (x16) определяют начальную позицию столбца. Когда A10 находится в состоянии HIGH, эта команда функционирует как команда AUTO PRECHARGE. Когда выбрана автоматическая предварительная зарядка, строка, к которой осуществляется доступ, будет предварительно заряжена в конце пакетного чтения READ. Строка останется открытой для последующих обращений, если AUTO PRECHARGE не выбрана. Данные чтения DQ зависят от логического уровня на входах DQM за два такта до этого. Когда данный сигнал DQM был зарегистрирован как HIGH, соответствующие DQ будут High-Z через два такта. DQ будут предоставлять действительные данные, когда сигнал DQM был зарегистрирован как LOW.

WRITE

Быстрый доступ к записи в активную строку инициируется командой WRITE. Входы BA0, BA1 выбирают банк, а начальное положение столбца задается входами A0-A9 (x8); A0-A8 (x16). Использование AUTO-PRECHARGE определяется A10.

Строка, к которой осуществляется доступ, будет предварительно заряжена в конце пакета WRITE, если выбрана опция AUTO PRECHARGE. Если опция AUTO PRECHARGE не выбрана, строка останется открытой для последующих обращений.

Массив памяти записывается с соответствующими входными данными на DQ и DQM, уровень логики входа появляется одновременно. Данные будут записаны в память, когда сигнал DQM будет LOW. Когда DQM будет HIGH, соответствующие входные данные будут игнорироваться, и WRITE не будет выполняться для этого байта/столбца.

ПРЕДВАРИТЕЛЬНАЯ ЗАРЯДКА

Команда PRECHARGE используется для деактивации открытой строки в определенном банке или открытой строки во всех банках. BA0, BA1 могут использоваться для выбора банка, который будет предварительно заряжен, или они рассматриваются как «неважные». A10 определяет, будет ли предварительно заряжен один или все банки. После выполнения этой команды следующая команда для выбранного банка (банков) выполняется по истечении периода t_{RP} , который является периодом, необходимым для предварительной зарядки банка. После предварительной зарядки банк находится в состоянии ожидания и должен быть активирован перед выдачей любой команды READ или WRITE для этого банка.

АВТОМАТИЧЕСКАЯ ПРЕДВАРИТЕЛЬНАЯ ЗАРЯДКА

Функция AUTO PRECHARGE обеспечивает запуск предварительной зарядки на самом раннем допустимом этапе в пределах пакета. Эта функция позволяет выполнять предварительную зарядку отдельных банков без необходимости явной команды. A10 для включения функции AUTO

PRECHARGE в сочетании с конкретной командой READ или WRITE. Для каждой отдельной команды READ или WRITE автоматическая предварительная зарядка включается или отключается. Функция AUTO PRECHARGE не применяется, за исключением режима полностраничного пакета. По завершении пакета READ или WRITE автоматически выполняется предварительная зарядка адресованного банка/строки.

КОМАНДА AUTO REFRESH

Эта команда выполняет операцию AUTO REFRESH. Адрес строки и банк, которые необходимо обновить, генерируются автоматически во время этой операции. Для одной операции обновления требуется установленный период (t_{RC}), и в течение этого периода не могут выполняться другие команды. Эта команда выполняется не менее 8192 раз для каждого tREF. Во время выполнения команды AUTO REFRESH биты адреса не имеют значения. Эта команда соответствует CBR Auto-refresh.

BURST TERMINATE

Команда BURST TERMINATE принудительно прерывает операции пакетного чтения и записи, усекая пакеты фиксированной длины или полные страницы, а также последнюю зарегистрированную команду READ или WRITE, предшествующую команде BURST TERMINATE.

COMMAND INHIBIT

COMMAND INHIBIT предотвращает выполнение новых команд. На выполняемые операции это не влияет, за исключением того, включен ли сигнал CLK.

NO OPERATION

Когда CS находится в низком состоянии, команда NOP предотвращает регистрацию нежелательных команд во время состояний простоя или ожидания.

РЕГИСТР РЕЖИМА ЗАГРУЗКИ

Во время команды LOAD MODE REGISTER регистр режима загружается из A0-A12. Эта команда может быть выдана только тогда, когда все банки находятся в режиме ожидания.

АКТИВНАЯ КОМАНДА

Когда команда ACTIVE COMMAND активирована, входы BA0, BA1 выбирают банк для доступа, а входы адреса на A0-A12 выбирают строку. До тех пор, пока команда PRECHARGE не будет выдана банку, строка остается открытой для доступа.

ТАБЛИЦА ИСТИННОСТИ КОМАНД

Функция	CKE						A12, A11 A9 -			
	n - 1	n	ČŠ	ŘAŠ	ČĀŠ	WŤ	BA1	BA0	A10	A0
Отмена выбора устройства (DESL)	H	x	H	x	x	x	x	x	x	x
Без операции (NOP)	H	x	L	H	H	H	x	x	x	x
Предохранитель от разрыва (BST)	H	x	L	H	H	L	x	x	x	x
Читать	H	x	L	H	L	H	V	V	L	V
Чтение с автозарядкой	H	x	L	H	L	H	V	V	H	V
Написать	H	x	L	H	L	L	V	V	L	V
Запись с автозарядкой	H	x	L	H	L	L	V	V	H	V
Активация банка (ACT)	H	x	L	L	H	H	V	V	V	V
Выбор банка предварительной зарядки (PRE)	H	x	L	L	H	L	V	V	L	x
Предварительная зарядка всех банков (PALL)	H	x	L	L	H	L	x	x	H	x
СБР Автоматическое обновление (REF)	H	H	L	L	L	H	x	x	x	x
Автообновление (SELF)	H	L	L	L	L	H	x	x	x	x
Набор регистров режимов (MRS)	H	x	L	L	L	L	L	L	L	V

Примечание: H = VIH, L = VIL, x = VIH или VIL, V = действительные данные.

ТАБЛИЦА ИСТИННОСТИ DQM

Функция	CKE			
	n-1	n	DQMH	DQML
Разрешение записи/вывода данных	H	x	L	L
Маска данных / запрет вывода данных	H	x	H	H
Разрешение записи верхнего байта / разрешение вывода	H	x	L	x
Разрешение записи нижнего байта / разрешение вывода	H	x	x	L
Запрет записи верхнего байта / запрет вывода	H	x	H	x
Запрет записи нижнего байта / отключение вывода	H	x	x	H

Примечание: H = VIH, L = VIL, x = VIH или VIL, V = действительные данные.

ТАБЛИЦА ИСТИННОСТИ СKE

Текущее состояние/функция	СKE						Адрес
	n – 1	n	ČŠ	ŘĀŠ	ČĀŠ	WĚ	
Активация перехода в режим приостановки часов	H	L	x	x	x	x	x
Любой режим приостановки часов	L	L	x	x	x	x	x
Выход из режима приостановки часов	L	H	x	x	x	x	x
Команда автоматического обновления Простой режим (REF)	H	H	L	L	L	H	x
Самообновление записи Простой (SELF)	H	L	L	L	L	H	x
Вход в режим снижения мощности Простой	H	L	x	x	x	x	x
Выход с самообновлением	L	H	L	H	H	H	x
	L	H	H	x	x	x	x
Выход при отключении питания	L	H	x	x	x	x	x

Примечание: H = VIH, L = VIL, x = VIH или VIL, V = действительные данные.

ФУНКЦИОНАЛЬНАЯ ТАБЛИЦА ИСТИННОСТИ

Текущее состояние	CS	RAS	CAS	WT	Адрес	Команда	Действие
Бездействие	H	X	X	X	X	DESL	Отключение или выключение питания ⁽²⁾
	L	H	H	H	X	NOP	Nop или отключение питания ⁽²⁾
	L	H	H	L	X	BST	Отключение или выключение питания
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО ⁽³⁾
	L	H	L	L	A, CA, A10	WRIT/WRITA	НЕЗАКОННО ⁽³⁾
	L	L	H	H	BA, RA	ACT	Активация ряда
	L	L	H	L	BA, A10	PRE/PALL	Нет
	L	L	L	H	X	REF/SELF	Автоматическое обновление или Самообновление ⁽⁴⁾
	L	L	L	L	OC, BA1=L	MRS	Набор регистров режима
Активная строка	H	X	X	X	X	DESL	Нет
	L	H	H	H	X	NOP	Nop
	L	H	H	L	X	BST	Нет
	L	H	L	H	BA, CA, A10	READ/READA	Начать чтение ⁽⁵⁾
	L	H	L	L	BA, CA, A10	WRIT/WRITA	Начать писать ⁽⁵⁾
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	Предварительная зарядка Предварительная зарядка всех банков ⁽⁶⁾
	L	L	L	H	X	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
Читать	H	X	X	X	X	DESL	Продолжить серию до конца до Row active
	L	H	H	H	X	NOP	Продолжить серию до конца ряда Ряд активен
	L	H	H	L	X	BST	Блокировка пакета, ряд активен
	L	H	L	H	BA, CA, A10	ЧТ/ЧТ	Прервать пакет, начать новое чтение ⁽⁷⁾
	L	H	L	L	BA, CA, A10	WRIT/WRITA	Прервать пакет, начать запись ^(7,8)
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	Прерывание всплеска Предварительная зарядка
	L	L	L	H	X	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
Написать	H	X	X	X	X	DESL	Продолжить пакетную передачу до конца Восстановление записи
	L	H	H	H	X	NOP	Продолжить всплеск до конца Восстановление записи
	L	H	H	L	X	BST	Блокировка пакета, ряд активен
	L	H	L	H	BA, CA, A10	ЧТ/ЧТ	Прервать пакет, начать чтение: Определить AP ^(7,8)
	L	H	L	L	BA, CA, A10	WRIT/WRITA	Прекратить пакет, новая запись: Определить AP ⁽⁷⁾
	L	L	H	H	BA, RA	RA ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	Прерывание всплеска Предварительная зарядка ⁽⁹⁾
	L	L	L	H	X	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	НЕЗАКОННО

Примечание: H = VIH, L = VIL X = VIH или VIL, V = действительные данные, BA = адрес банка, CA = адрес столбца, RA = адрес строки, OC = операционный код

ФУНКЦИОНАЛЬНАЯ ТАБЛИЦА ИСТИННОСТИ Продолжение:

Текущее состояние	CS	RA#	CA#	WT	Адрес	Команда	Действие
Чтение с автозарядкой	H	x	x	x	x	DESL	Продолжить пакет до конца, предварительная зарядка
	L	H	H	H	x	NOP	Продолжить пакет до конца, предварительная зарядка
	L	H	H	L	x	BST	НЕЗАКОННО
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО ⁽¹¹⁾
	L	H	L	L	BA, CA, A10	WRITE/WRITA	НЕЗАКОННО ⁽¹¹⁾
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	НЕЗАКОННО ⁽¹¹⁾
	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
Писать с автозарядкой	H	x	x	x	x	DESL	Продолжить пакетную передачу до конца, восстановление записи с автоматической предварительной зарядкой
	L	H	H	H	x	NOP	Продолжить пакетную передачу до конца, запись с восстановлением с автозарядкой
	L	H	H	L	x	BST	НЕЗАКОННО
	L	H	L	H	BA, CA, A10	READ/READA	ILLEGAL ⁽¹¹⁾
	L	H	L	L	BA, CA, A10	WRITE/WRITA	НЕЗАКОННО ⁽¹¹⁾
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ^(3,11)
	L	L	H	L	BA, A10	PRE/PALL	НЕЗАКОННО ^(3,11)
	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
Предварительная зарядка	H	x	x	x	x	DESL	Нет, вход в режим ожидания после tRP
	L	H	H	H	x	NOP	Нор, переход в режим ожидания после tRP
	L	H	H	L	x	BST	Нет, переход в режим ожидания после tRP
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО ⁽³⁾
	L	H	L	L	BA, CA, A10	WRITE/WRITA	НЕЗАКОННО ⁽³⁾
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	Нет Вход в режим ожидания после tRP
	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
Активация строки	H	x	x	x	x	DESL	Нет, вход в банк активен после tRCD
	L	H	H	H	x	NOP	Нор, вход в банк активен после tRCD
	L	H	H	L	x	BST	Нет, вход в банк активен после tRCD
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО ⁽³⁾
	L	H	L	L	BA, CA, A10	WRITE/WRITA	НЕЗАКОННО ⁽³⁾
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ^(3,9)
	L	L	H	L	BA, A10	PRE/PALL	НЕЗАКОННО ⁽³⁾
	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	НЕЗАКОННО

Примечание: H = VIH, L = VIL x = VIH или VIL, V = действительные данные, BA = адрес банка, CA + адрес столбца, RA = адрес строки, OC = операционный код

ФУНКЦИОНАЛЬНАЯ ТАБЛИЦА ИСТИННОСТИ Продолжение:

Текущее состояние	ČS	ŘÄŠ	ČÄŠ	WĚ	Адрес	Команда	Действие
Запись Восстановление	H	x	x	x	x	DESL	Нет, ввод строки активен после tDPL
	L	H	H	H	x	NOP	Нор, ввод строки активен после tDPL
	L	H	H	L	x	BST	Нет, ввод строки активен после tDPL
	L	H	L	H	BA, CA, A10	READ/READA	Начать чтение ⁽⁶⁾
	L	H	L	L	BA, CA, A10	WRIT/WRITA	Начать новую запись
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ⁽³⁾
	L	L	H	L	BA, A10	PRE/PALL	НЕЗАКОННО ⁽³⁾
	L	L	L	H	x	REF/SELF	НЕЗАКОННО
Написать Восстановление	L	L	L	L	OC, BA	MRS	ILLEGAL
	H	x	x	x	x	DESL	Нет, ввести предварительную зарядку после tDPL
	L	H	H	H	x	NOP	Нор, вход в режим предварительной зарядки после tDPL
	L	H	H	L	x	BST	Нет, ввод строки активен после tDPL
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО ^(3,8,11)
	L	H	L	L	BA, CA, A10	WRIT/WRITA	НЕЗАКОННО ^(3,11)
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО ^(3,11)
	L	L	H	L	BA, A10	PRE/PALL	НЕЗАКОННО ^(3,11)
Предварительная зарядка	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
	H	x	x	x	x	DESL	Нет, вход в режим ожидания после tRC
	L	H	H	x	x	NOP/BST	Нор, переход в режим ожидания после tRC
	L	H	L	H	BA, CA, A10	READ/READA	НЕЗАКОННО
	L	H	L	L	BA, CA, A10	WRIT/WRITA	ILLEGAL
	L	L	H	H	BA, RA	ACT	НЕЗАКОННО
	L	L	H	L	BA, A10	PRE/PALL	ILLEGAL
Обновить	L	L	L	H	x	REF/SELF	НЕЗАКОННО
	L	L	L	L	OC, BA	MRS	ILLEGAL
	H	x	x	x	x	DESL	Нет, переход в режим ожидания после 2 тактов
	L	H	H	H	x	NOP	Нор, переход в режим ожидания после 2 тактов
	L	H	H	L	x	BST	НЕЗАКОННО
	L	H	L	x	BA, CA, A10	ЧТЕНИЕ/ЗАПИСЬ	НЕЗАКОННО
	L	L	x	x	BA, RA	ACT/PRE/PALL REF/MRS	НЕЗАКОННО
	L	L	x	x	BA, RA	ACT/PRE/PALL REF/MRS	НЕЗАКОННО
Регистр режима	H	x	x	x	x	DESL	Нет, переход в режим ожидания после 2 тактов
Доступ	L	H	H	H	x	NOP	Нор, переход в режим ожидания после 2 тактов
	L	H	H	L	x	BST	НЕЗАКОННО
	L	H	L	x	BA, CA, A10	ЧТЕНИЕ/ЗАПИСЬ	НЕЗАКОННО
	L	L	x	x	BA, RA	ACT/PRE/PALL REF/MRS	НЕЗАКОННО
	L	L	x	x	BA, RA	ACT/PRE/PALL REF/MRS	НЕЗАКОННО

Примечание: H=V_{HH}, L=V_{LL} x= V_{HH} или V_{LL}, V = Действительные данные, BA= Адрес банка, CA=Адрес столбца, RA=Адрес строки, OC= Операционный код Примечания:

1. Все записи предполагают, что СКЕ активен (СКЕп-1=СКЕп=H).
2. Если оба банка неактивны, а СКЕ неактивен (Low), устройство перейдет в режим отключения питания. Все входные буферы, кроме СКЕ, будут отключены.
3. Недопустимо для банка в указанных состояниях; функция может быть допустима в банке, указанном адресом банка (BA), в зависимости от состояния этого банка.
4. Если оба банка находятся в режиме ожидания, а СКЕ неактивен (Low), устройство перейдет в режим самообновления. Все входные буферы, кроме СКЕ, будут отключены.
5. Незаконно, если tRCD не удовлетворяется.
6. Недопустимо, если tRAS не удовлетворяется.
7. Должно удовлетворять условию прерывания пакета.
8. Должно удовлетворять требованиям по конфликту шины, развороту шины и/или восстановлению записи.
9. Должно маскировать предшествующие данные, которые не удовлетворяют tDPL.
10. Недопустимо, если tRRD не выполняется.
11. Недопустимо для одного банка, но допустимо для других банков.

ТАБЛИЦА ИСТИННОСТИ КОМАНД СВЯЗАННЫХ С СКЕ⁽¹⁾

Текущее состояние	Операция	СКЕ						Адрес
		n-1	n	ČŠ	ŘÄŠ	ČÄŠ	WŤ	
Самообновление (S.R.)	INVALID, CLK (n - 1) выйдет из S.R.	H	X	X	X	X	X	X
	Восстановление с самообновлением ⁽²⁾	L	H	H	X	X	X	X
	Восстановление с самообновлением ⁽²⁾	L	H	L	H	H	X	X
	Незаконно	L	H	L	H	L	X	X
	Незаконно	L	H	L	L	X	X	X
	Поддерживать S.R.	L	L	X	X	X	X	X
Самообновление	Восстановление	H	H	H	X	X	X	X
	Простой после ĩс	H	H	L	H	H	X	X
	Незаконно	H	H	L	H	L	X	X
	Незаконно	H	H	L	L	X	X	X
	Начать приостановку часов следующего цикла ⁽³⁾	H	L	H	X	X	X	X
	Начать приостановку часов следующего цикла ⁽³⁾	H	L	L	H	H	X	X
	Незаконно	H	L	L	H	L	X	X
	Незаконно	H	L	L	L	X	X	X
	Выход из режима приостановки часов в следующем цикле ⁽²⁾	L	H	X	X	X	X	X
	Поддерживать приостановку часов	L	L	X	X	X	X	X
Отключение питания (P.D.)	НЕДЕЙСТВИТЕЛЬНО, CLK (n - 1) выйдет из P.D.	H	X	X	X	X	X	—
	EXIT P.D. –> Idle ⁽²⁾	L	H	X	X	X	X	X
	Поддерживать режим отключения питания	L	L	X	X	X	X	X
Все банки простаивают	См. операции в таблице оперативных команд	H	H	H	X	X	X	—
	См. операции в таблице оперативных команд	H	H	L	H	X	X	—
	См. операции в таблице оперативных команд	H	H	L	L	H	X	—
	Автоматическое обновление	H	H	L	L	L	H	X
	См. операции в таблице оперативных команд	H	H	L	L	L	L	Операция - Код
	См. операции в таблице оперативных команд	H	L	H	X	X	X	—
	См. операции в таблице оперативных команд	H	L	L	H	X	X	—
	См. операции в таблице оперативных команд	H	L	L	L	H	X	—
	Самообновление ⁽³⁾	H	L	L	L	L	H	X
	См. операции в таблице оперативных команд	H	L	L	L	L	L	Операционный код
	Отключение питания ⁽³⁾	L	X	X	X	X	X	X
	Отключение питания ⁽³⁾	L	X	X	X	X	X	X
Любое состояние кроме указанных выше	См. операции в таблице оперативных команд	H	H	X	X	X	X	X
	Начать приостановку часов следующего цикла ⁽⁴⁾	H	L	X	X	X	X	X
	Выход из режима ожидания следующего цикла	L	H	X	X	X	X	X
	Поддерживать приостановку часов	L	L	X	X	X	X	X

Примечания:

1. H : высокий уровень, L : низкий уровень, X : высокий или низкий уровень (не имеет значения).
2. Переход СКЕ с низкого уровня на высокий уровень приведет к повторной асинхронной активации CLK и других входов. Перед выполнением любой команды, кроме EXIT, должно пройти минимальное время настройки.
3. Выключение питания и самообновление могут быть запущены только из состояния простоя обоих банков.
4. Должна быть допустимой командой, как определено в таблице оперативных команд.
5. Недопустимо, если ĩSR не выполняется.

АБСОЛЮТНЫЕ МАКСИМАЛЬНЫЕ НОМИНАЛЬНЫЕ ХАРАКТЕРИСТИКИ⁽¹⁾

Символ	Параметры	Номинальные	Единица
VDD MAX	Максимальное напряжение питания	От -0,5 до +4,6	V
VDDQ MAX	Максимальное напряжение питания выходного буфера	От -0,5 до +4,6	V
VIN	Входное напряжение	От -0,5 до VDD + 0,5	V
VOUT	Выходное напряжение	От -1,0 до VDDQ + 0,5	V
PD MAX	Допустимая рассеиваемая мощность	1	В
ICS	Ток короткого замыкания на выходе	5	мА
TOPR	Рабочая температура	Com. Ind. A1 A2 От 0 до +70 От -40 до +85 От -40 до +85 От -40 до +105	°C
TSTG	Температура хранения	От -65 до +150	°C

Примечания:

- Нагрузка, превышающая значения, указанные в разделе «АБСОЛЮТНЫЕ МАКСИМАЛЬНЫЕ НОМИНАЛЬНЫЕ ХАРАКТЕРИСТИКИ», может привести к необратимому повреждению устройства. Это только номинальные характеристики нагрузки, и функциональная работа устройства в этих или любых других условиях, превышающих указанные в разделах по эксплуатации данной спецификации, не подразумевается. Длительное воздействие условий, превышающих абсолютные максимальные номинальные характеристики, может повлиять на надежность.
- Все напряжения приведены относительно Vss.

РЕКОМЕНДУЕМЫЕ УСЛОВИЯ ЭКСПЛУАТАЦИИ

(TA = от 0° C до +70° C для коммерческого класса. TA = от -40° C до +85° C для промышленного и A1 класса. TA = от -40° C до +105° C для A2 класса.)

Символ	Параметр	Мин.	Тип.	Макс.	Единица
VDD	Напряжение питания	3,0	3,3	3,6	V
VDDQ	Напряжение питания ввода/вывода	3,0	3,3	3,6	V
VIN ⁽¹⁾	Входное высокое напряжение	2,0	—	VDDQ + 0,3	В
VIL ⁽²⁾	Низкое входное напряжение	-0,3	—	+0,8	В

Примечание:

- VIN (перерегулирование): VIN (макс.) = VDDQ + 1,2 В (длина импульса < 3 нс).
- VIL (подброс): VIL (min) = -1,2 В (ширина импульса < 3 нс).
- Все напряжения приведены к Vss.

ХАРАКТЕРИСТИКИ ЕМКОСТИ (при TA = от 0 до +25 °C, VDD = VDDQ = 3,3 ± 0,3 В)

Символ	Параметр	Мин.	Макс.	Единица
CIN1	Входная емкость: CLK	2,0	4,0	пФ
CIN2	Входная емкость: все остальные входные контакты	1,5	4,0	пФ
CI/O	Емкость входа/выхода данных: DQ	4,0	6,0	пФ

ТЕРМОСТОЙКОСТЬ (при TA = от 0 до +25 °C, VDD = VDDQ = 3,3 ± 0,3 В)

Корпус	Подложка	Theta-ja (поток воздуха = 0 м/с)	Theta-ja (Воздушный поток = 1 м/с)	Theta-ja (Воздушный поток = 2 м/с)	Theta-jc	Единицы
Alloy42 TSOP2 (54)	4-слойный	74,6	67,4	63,5	12,3	C/W
Медь TSOP2 (54)	4-слой	50,2	44,9	42,3	10,8	C/W
BGA (54)	4-слой	41,3	37,4	35,1	11,3	C/W

ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПЕРЕНОСНОГО ПИТАНИЯ 1^(1,3) (Рекомендуемые условия эксплуатации, если не указано иное.)

Символ	Параметр	Условия испытания	-6	-7	Единица
I _{DD1} ⁽¹⁾	Рабочий ток	Один банк активен, CL = 3, BL = 1, t _{CLK} = t _{CLK} (МИН.), t _{RC} = t _{RC} (МИН.)	100	90	мА
I _{DD2P}	Ток ожидания предварительной зарядки (в режиме отключения питания) ⁴	CKE ≤ V _{IL} (МАКС.), t _{CK} = 15 нс	4	4	мА
I _{DD2PS}	Ток ожидания предварительной зарядки (в режиме отключения питания)	CKE ≤ V _{IL} (МАКС.), CLK ≤ V _{IL} (МАКС.)	4	4	мА
I _{DD2N} ⁽²⁾	Ток ожидания предварительной зарядки (в режиме без отключения питания)	ČŠ ≥ V _{CC} - 0,2 В, CKE ≥ V _{IL} (МИН.) t _{CK} = 15 нс	25	25	мА
I _{DD2NS}	Ток ожидания предварительной зарядки (в режиме без отключения питания)	ČŠ ≥ V _{CC} - 0,2 В, CKE ≥ V _{IL} (МИН.) или CKE ≤ V _{IL} (МАКС.), все входы стабильны	15	15	мА
I _{DD3P}	Ток в активном режиме ожидания (Режим отключения питания)	CKE ≤ V _{IL} (МАКС.), t _{CK} = 15 нс	8	8	мА
I _{DD3PS}	Ток в активном режиме ожидания (Режим отключения питания)	CKE ≤ V _{IL} (МАКС.), CLK ≤ V _{IL} (МАКС.)	8	8	мА
I _{DD3N} ⁽²⁾	Ток в активном режиме ожидания (в режиме без отключения питания)	ČŠ ≥ V _{CC} - 0,2 В, CKE ≥ V _{IL} (МИН.) t _{CK} = 15 нс	30	30	мА
I _{DD3NS}	Ток в активном режиме ожидания (в режиме без отключения питания)	ČŠ ≥ V _{CC} - 0,2 В, CKE ≥ V _{IL} (МИН.) или CKE ≤ V _{IL} (МАКС.), все входы стабильны	20	20	мА
I _{DD4}	Рабочий ток	Все банки активны, BL = 4, CL = 3, t _{CK} = t _{CK} (МИН.)	140	120	мА
I _{DD5}	Ток автообновления	t _{RC} = t _{RC} (МИН.), t _{CLK} = t _{CLK} (МИН.)	100	85	мА
I _{DD6}	Ток самообновления	CKE ≤ 0,2 В	5	5	мА

Примечания:

1. I_{DD} (МАКС) указано при открытом состоянии выхода.
2. Входные сигналы изменяются один раз в течение 30 нс.
3. Для температурного класса A2 с t_A > 85 °C: I_{DD1}, I_{DD3P}, I_{DD3PS} и I_{DD4} снижаются до 10 % выше этих значений; I_{DD2P}, I_{DD2PS} и I_{DD6} снижаются до 25% выше этих значений.

ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПОСТОЯННОГО ТОКА 2 (Рекомендуемые условия эксплуатации, если не указано иное.)

Символ	Параметр	Условия испытания	Мин	Мак	Единица
I _{IL}	Ток утечки на входе	0 В ≤ V _{in} ≤ V _{CC} , с выводами, отличными от тестируемым выводом при 0 В	-5	5	µА
I _{OL}	Ток утечки на выходе	Выход отключен, 0 В ≤ V _{out} ≤ V _{CC} ,	-5	5	мкА
V _{OH}	Высокий уровень выходного напряжения	I _{OH} = -2 мА	2,4	—	V
Вольт	Выходной низкий уровень напряжения	I _{OL} = 2 мА	—	0,4	V

ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПЕРЕМЕННОГО ТОКА
(1,2,3)

Символ	Параметр		-6		-7		Единицы
			Мин.	Макс.	Мин.	Макс.	
tCK3	Время тактового цикла	ČĀŠ Задержка = 3	6	—	7	—	нс
tCK2		ČĀŠ Задержка = 2	10	—	7,5	—	нс
tAC3	Время доступа от CLK	ČĀŠ Задержка = 3	—	5,4	—	5,4	нс
tAC2		ČĀŠ Задержка = 2	—	5,4	—	5,4	нс
tCH	CLK HIGH Ширина уровня		2,5	—	2,5	—	нс
tCL	CLK LOW Ширина уровня		2,5	—	2,5	—	нс
tOH3	Время удержания выходных данных	Задержка ČĀŠ = 3	2,5	—	2,5	—	нс
tOH2		ČĀŠ Задержка = 2	2,5	—	2,5	—	нс
tLZ	Выход Низкий импеданс Время		0	—	0	—	нс
tHZ3	Выход HIGH Импеданс Время	ČĀŠ Задержка = 3	2,5	5,4	2,5	5,4	нс
tHZ2		ČĀŠ Задержка = 2	2,5	5,4	2,5	5,4	нс
tDS	Время настройки входных данных ⁽²⁾		1,5	—	1,5	—	нс
tDH	Время удержания входных данных ⁽²⁾		0,8	—	0,8	—	нс
tAS	Время установления адреса ⁽²⁾		1,5	—	1,5	—	нс
tAH	Время удержания адреса ⁽²⁾		0,8	—	0,8	—	нс
tCKS	Время настройки СKE ⁽²⁾		1,5	—	1,5	—	нс
tCKH	Время удержания СKE ⁽²⁾		0,8	—	0,8	—	нс
tCMS	Время настройки команды (ČŠ, ŘĀŠ, ČĀŠ, WĪ, DQM) ⁽²⁾		1,5	—	1,5	—	нс
tCMH	Время удержания команды (ČŠ, ŘĀŠ, ČĀŠ, WĪ, DQM) ⁽²⁾		0,8	—	0,8	—	нс
tRC	Период команды (REF к REF / ACT к ACT)		60	—	60	—	нс
tRAS	Период команды (ACT до PRE)		42	100K	37	100K	нс
tRP	Период командования (от PRE до ACT)		18	—	15	—	нс
tRCD	Активная команда чтения/записи Время задержки команды		18	—	15	—	нс
tRRD	Период команды (ACT [0] до ACT[1])		12	—	14	—	нс
tDPL	Ввод данных для предварительной зарядки Команда Время задержки		12	—	14	—	нс
tDAL	Ввод данных для активации/обновления Время задержки команды (во время автоматической предварительной зарядки)		30	—	30	—	нс
tMRD	Время программирования регистра режима		12	—	14	—	нс
tDOE	Время настройки выхода при отключении питания ⁽³⁾		6	—	7	—	нс
tXSR	Выход из режима самообновления в активное время ⁽⁴⁾		66	—	70	—	нс
tT	Время перехода		0,3	1,2	0,3	1,2	нс
tREF	Время цикла обновления (8192)						
	T _A ≤ 70° C Ком., Инф., A1, A2		—	64	—	64	мс
	T _A ≤ 85° C Ind., A1, A2		—	64	—	64	мс
	T _A & 85° C A2		—	32	—	32	мс

Примечания:

1. Перед началом работы с памятью необходимо выполнить последовательность включения питания.
2. Измерено с t_T = 1 нс. Если время нарастания тактового сигнала превышает 1 нс, к параметру следует добавить (t_T/2 - 0,5) нс.
3. Опорный уровень составляет 1,4 В при измерении синхронизации входного сигнала. Время нарастания и спада измеряется между v_{in}(min.) и v_{in}(max).
4. Режим самообновления не поддерживается для класса A2 при T_A > 85 °C.
5. Время определяется tCKS. Часы, указанные в качестве эталона, только при минимальной частоте цикла.

СООТНОШЕНИЯ МЕЖДУ РАБОЧЕЙ ЧАСТОТОЙ И ЗАДЕРЖКОЙ

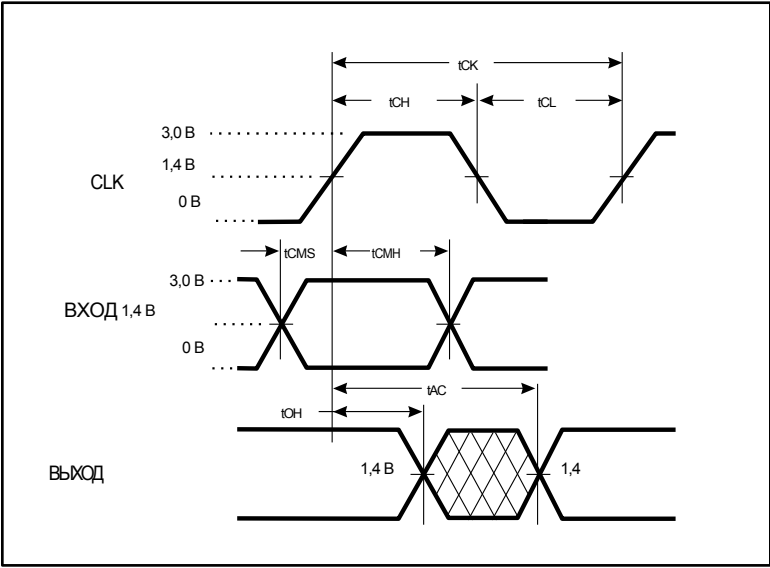
СИМВОЛ	ПАРАМЕТР		-6	-	ЕДИНИЦЫ
t _{CK}	Время тактового цикла	ČĀŠ Задержка = 3	6	7	нс
		ČĀŠ Задержка = 2	10	7,5	
Частота	Рабочая частота	ČĀŠ Задержка = 3	166	143	МГц
		ČĀŠ Задержка = 2	100	133	
t _{RC}	Время задержки между активной командой чтения/записи и командой	ČĀŠ Задержка = 3	3	3	цикл
		ČĀŠ Задержка = 2	2	2	
t _{RAC}	Задержка ĀĀŠ (t _{RC} + t _{CAC})	ČĀŠ Задержка = 3	6	6	цикл
		ČĀŠ Задержка = 2	4	4	
t _{RC}	Период команды (REF к REF / ACT к ACT)	ČĀŠ Задержка = 3	10	9	цикл
		ČĀŠ Задержка = 2	6	8	
t _{RAS}	Период команды (ACT до PRE)	ČĀŠ Задержка = 3	7	6	цикл
		ČĀŠ Задержка = 2	5	5	
t _{RP}	Период команды (от PRE до ACT)	ČĀŠ Задержка = 3	3	3	цикл
		ČĀŠ Задержка = 2	2	2	
t _{RRD}	Период команды (ACT[0] до ACT [1])		2	2	цикл
t _{CCD}	Время задержки команды столбца (READ, READA, WRIT, WRITA)		1	1	цикл
t _{DPL}	Время задержки команды предварительной зарядки входных данных		2	2	цикл
t _{DAL}	Входные данные для команды активации/обновления. Время задержки (во время автоматической предварительной зарядки)	ČĀŠ Задержка = 3	5	5	цикл
		ČĀŠ Задержка = 2	4	4	
t _{RBD}	Команда остановки пакета для вывода в HIGH-Z. Время задержки (Чтение)	ČĀŠ Задержка = 3	3	3	цикл
		ČĀŠ Задержка = 2	2	2	
t _{WBD}	Команда остановки пакета для ввода в недействительное время задержки (запись)		0	0	цикл
t _{RQL}	Команда предварительной зарядки для вывода в HIGH-Z. Время задержки (Чтение)	ČĀŠ Задержка = 3	3	3	цикл
		ČĀŠ Задержка = 2	2	2	
t _{WDL}	Команда предварительной зарядки для ввода в недействительное время задержки (запись)		0	0	цикл
t _{PQL}	Последний выход к времени начала автоматической предварительной зарядки (чтение)	ČĀŠ Задержка = 3	-2	-2	цикл
		ČĀŠ Задержка = 2	-1	-1	
t _{QMD}	DQM. Время задержки вывода (чтение)		2	2	цикл
t _{DMD}	DQM. Время задержки ввода (запись)		0	0	цикл
t _{MRD}	Регистр режима. Установить время задержки команды		2	2	цикл

Примечание: Количество тактов, указанное в этой таблице, является примером, основанным на значениях t_{CK} в этой таблице и временных ограничениях из таблицы электрических характеристик переменного тока.

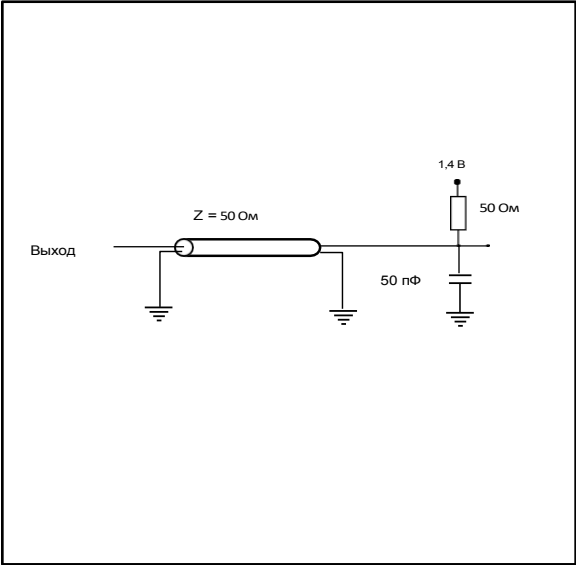


УСЛОВИЯ ИСПЫТАНИЯ ПЕРЕМЕННОГО ТОКА

Входная нагрузка



Выходная нагрузка



УСЛОВИЯ ИСПЫТАНИЯ ПЕРЕМЕННОГО ТОКА

Параметр	Номинальная
Уровни входного переменного тока	От 0 В до 3,0 В
Время нарастания и спада входного сигнала	1 нс
Уровень синхронизации входа	1,4 В
Уровень эталонного измерения времени выхода	1,4 В

ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

256-мегабайтные SDRAM представляют собой четырехбанковые DRAM, работающие при напряжении 3,3 В и включающие синхронный интерфейс (все сигналы регистрируются по положительному фронту тактового сигнала CLK). Каждый из 67 108 864-битных банков организован в виде 8192 строк по 512 столбцов по 16 бит или 8192 строк по 1024 столбца по 8 бит.

Доступ к SDRAM для чтения и записи осуществляется в режиме пакетной передачи; доступ начинается в выбранном месте и продолжается в течение запрограммированного количества мест в запрограммированной последовательности. Доступ начинается с регистрации команды ACTIVE, за которой следует команда READ или WRITE. Биты адреса, зарегистрированные одновременно с командой ACTIVE, используются для выбора банка и строки, к которым будет осуществляться доступ (BA0 и BA1 выбирают банк, A0-A12 выбирают строку). Биты адреса A0-A9 (x8); A0-A8 (x16), зарегистрированные одновременно с командой READ или WRITE, используются для выбора начального местоположения столбца для пакетного доступа.

Перед началом нормальной работы SDRAM необходимо инициализировать. В следующих разделах приведена подробная информация об инициализации устройства, определении регистров, описании команд и работе устройства.

Инициализация

SDRAM-память должна быть включена и инициализирована определенным образом.

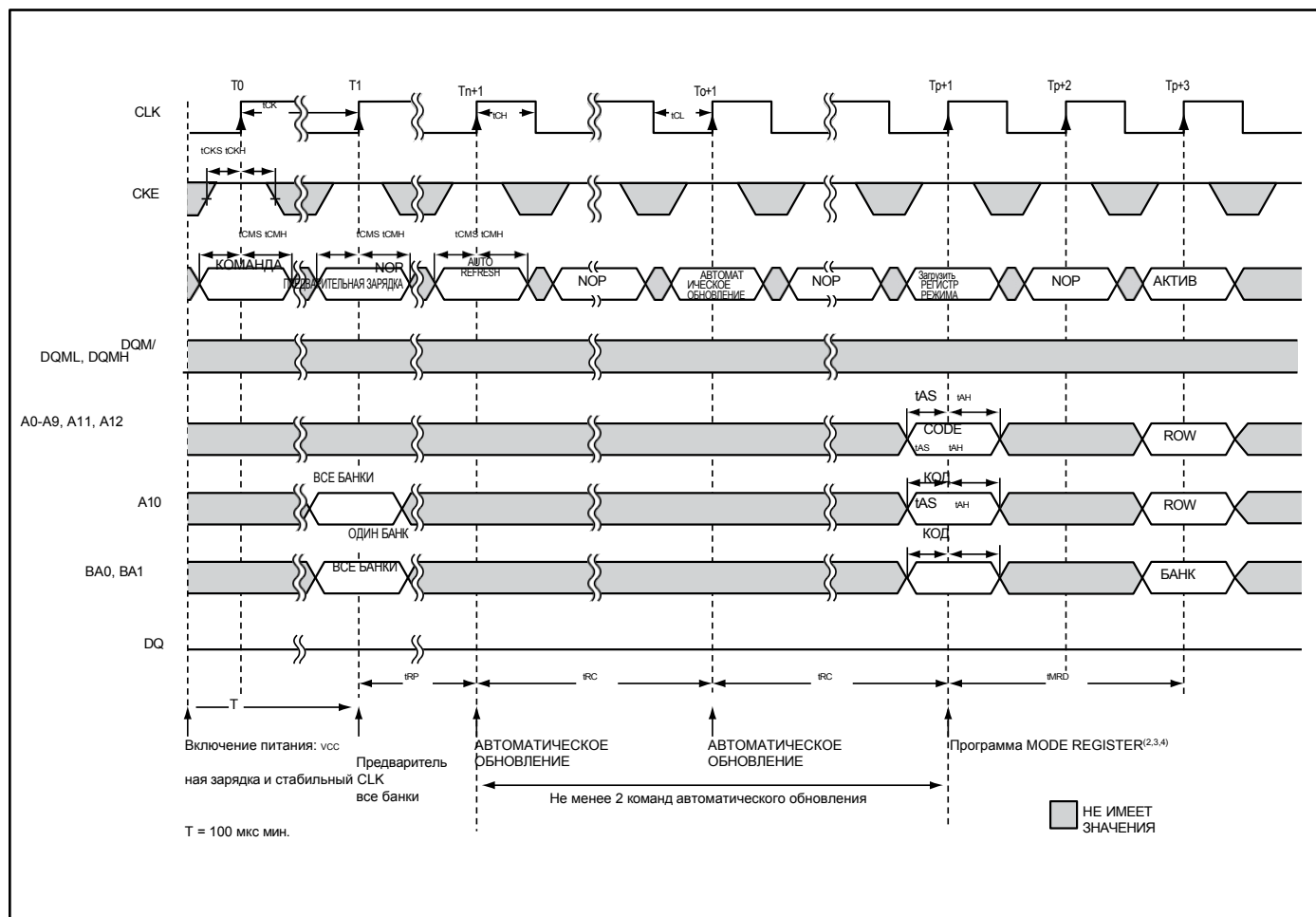
256-мегабайтная SDRAM инициализируется после подачи питания на VDD и VDDQ (одновременно) и стабилизации тактовой частоты с CKE High.

Перед выдачей любой команды, кроме COMMAND INHIBIT или NOP, требуется задержка 100 мкс. COMMAND INHIBIT или NOP могут применяться в течение периода 200 мкс и должны продолжаться по крайней мере до конца этого периода.

После применения по крайней мере одной команды COMMAND INHIBIT или NOP, по истечении задержки 100 мкс следует применить команду PRECHARGE. Все банки должны быть предварительно заряжены. После этого все банки останутся в режиме ожидания, после чего необходимо выполнить по крайней мере два цикла AUTO REFRESH. По завершении циклов AUTO REFRESH SDRAM будет готова к программированию регистра режима.

Регистр режима должен быть загружен до применения любой операционной команды, поскольку он будет включен в неизвестном состоянии.

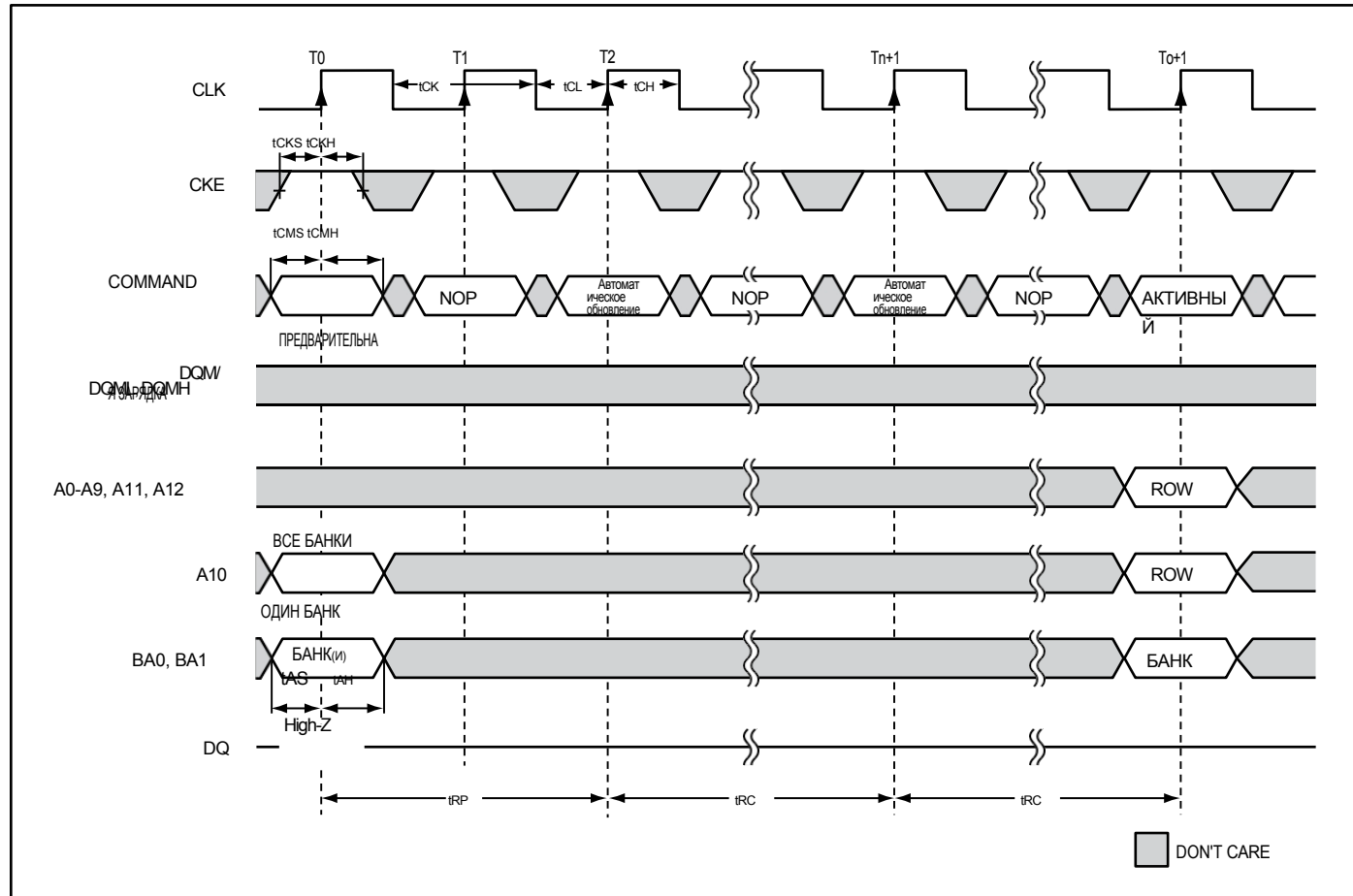
ИНИЦИАЛИЗАЦИЯ И ЗАГРУЗКА РЕГИСТРА РЕЖИМА⁽¹⁾



Примечания:

1. Если \bar{CS} находится в состоянии High в момент высокого уровня тактового сигнала, все применяемые команды являются NOP.
2. Регистр режима может быть загружен до циклов автоматического обновления, если это необходимо.
3. JEDEC и PC100 определяют три тактовых сигнала.
4. Выходы гарантированно находятся в состоянии High-Z после выдачи команды.

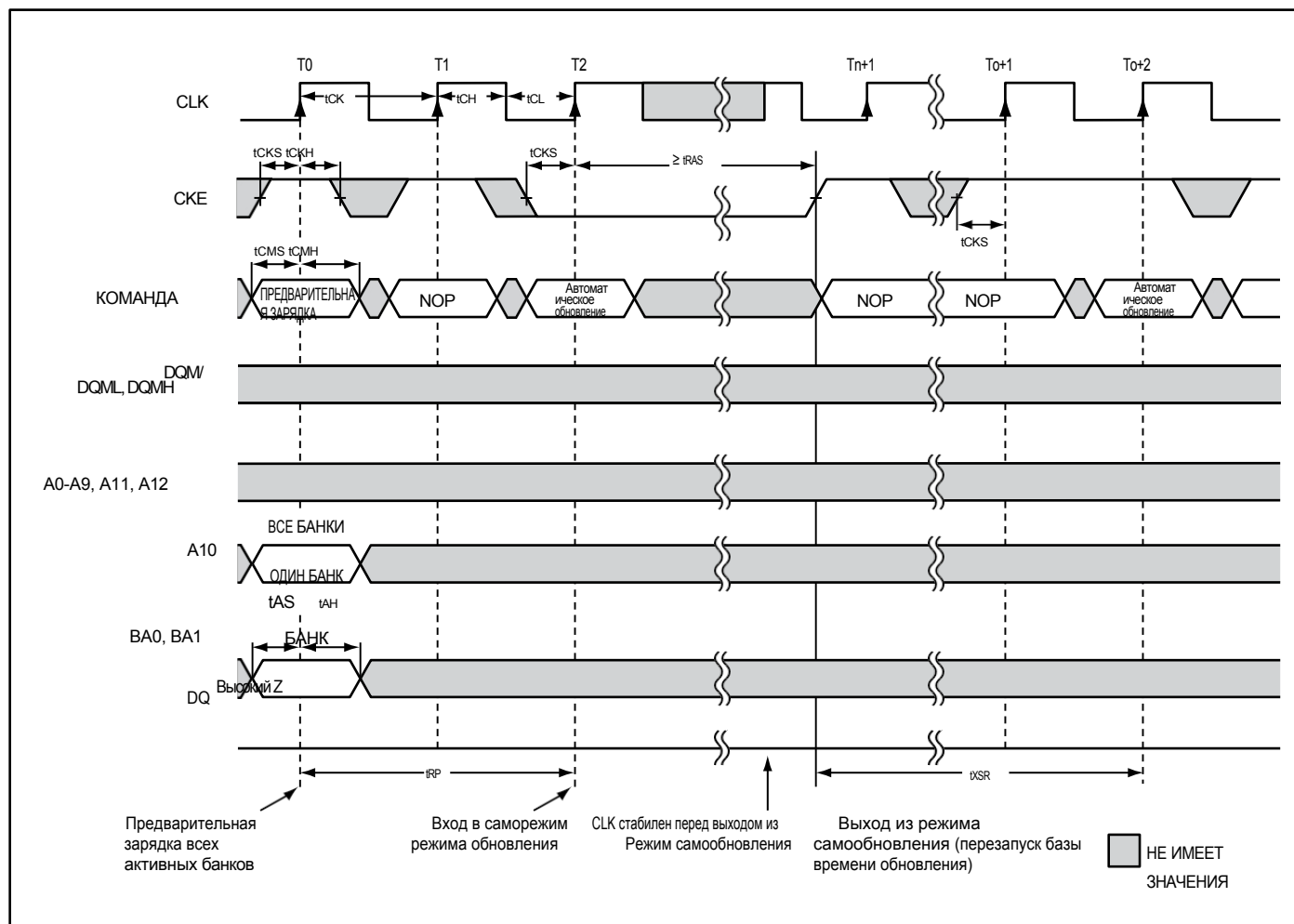
ЦИКЛ АВТОМАТИЧЕСКОГО ОБНОВЛЕНИЯ



Примечания:

1. Задержка $\overline{CA\overline{S}}$ = 2, 3

ЦИКЛ САМООБНОВЛЕНИЯ



Примечания:

1. Режим самообновления не поддерживается для класса A2 с $T_a > 85^\circ\text{C}$.

ОПРЕДЕЛЕНИЕ РЕГИСТРА

Регистр режима

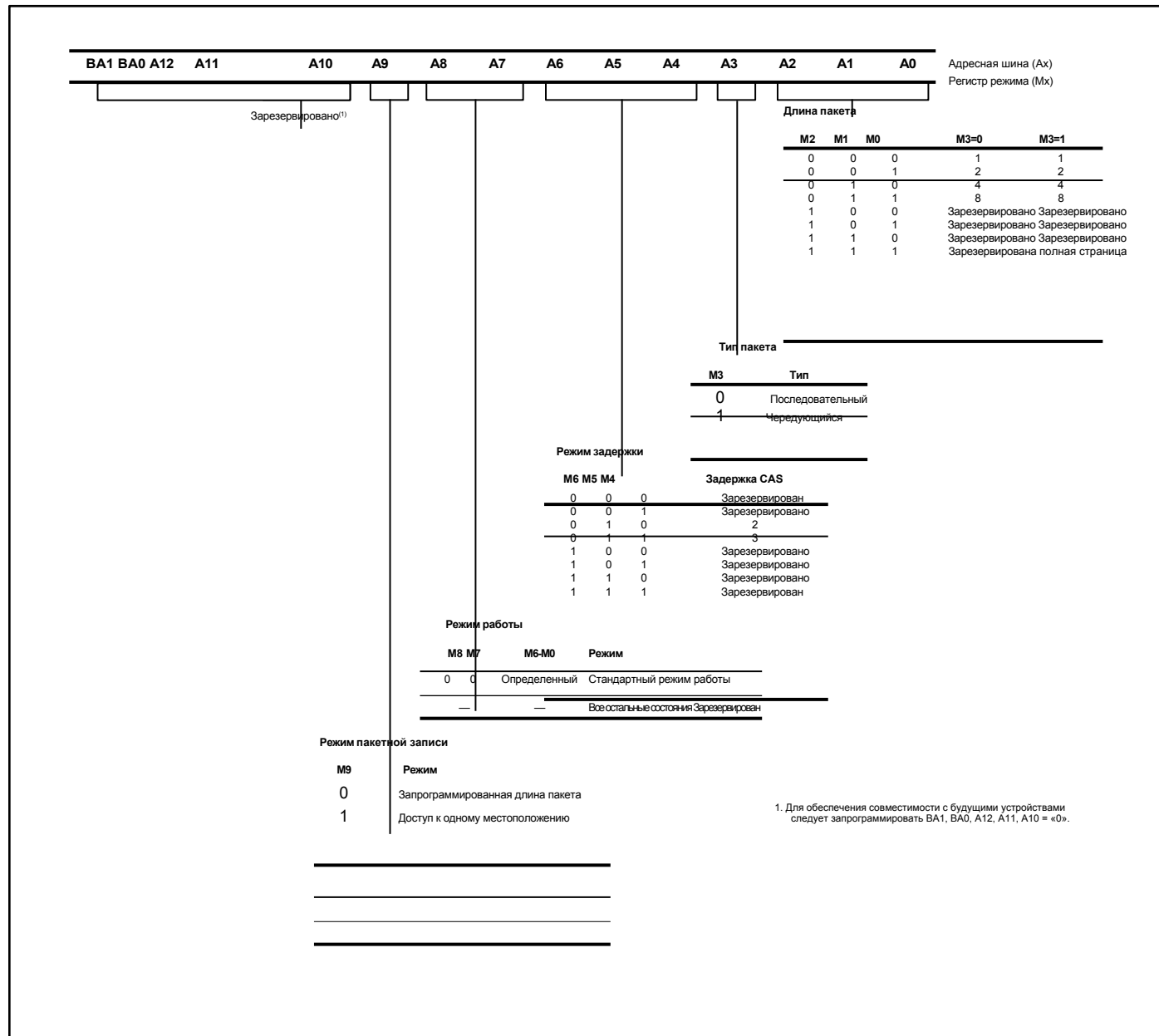
Регистр режима используется для определения конкретного режима работы SDRAM. Это определение включает в себя выбор длины пакета, типа пакета, задержки CAS, режима работы и режима пакета записи, как показано в ОПРЕДЕЛЕНИИ РЕГИСТРА РЕЖИМА.

Регистр режима программируется с помощью команды LOAD MODE REGISTER и сохраняет сохраненную информацию до тех пор, пока он не будет запрограммирован заново или устройство не потеряет питание.

Биты регистра режима M0-M2 определяют длину пакета, M3 определяет тип пакета (последовательный или чередующийся), M4-M6 определяют задержку CAS, M7 и M8 определяют режим работы, M9 определяет режим пакета записи, а M10, M11 и M12 зарезервированы для будущего использования.

Регистр режима должен быть загружен, когда все банки находятся в режиме ожидания, и контроллер должен подождать указанное время, прежде чем инициировать последующую операцию. Нарушение любого из этих требований приведет к неопределенной работе.

ОПРЕДЕЛЕНИЕ РЕГИСТРА РЕЖИМА



ДЛИНА ПЕРЕДАЧИ

Доступ к SDRAM для чтения и записи осуществляется в режиме пакетной передачи данных, причем длина пакета может программироваться, как показано в ОПРЕДЕЛЕНИИ РЕГИСТРА РЕЖИМА. Длина пакета определяет максимальное количество ячеек столбца, к которым можно получить доступ для данной команды ЧТЕНИЯ или ЗАПИСИ. Длина пакета 1, 2, 4 или 8 ячеек доступна как для последовательного, так и для чередующегося типа пакетов, а для последовательного типа доступен пакет полной страницы. Пакет полной страницы используется в сочетании с командой BURST TERMINATE для генерации пакетов произвольной длины.

Зарезервированные состояния не должны использоваться, так как это может привести к неизвестной операции или несовместимости с будущими версиями.

При выдаче команды READ или WRITE фактически выбирается блок столбцов, равный длине пакета. Все обращения к этому пакету происходят внутри этого блока, что означает

что пакет будет завершен в пределах блока, если будет достигнута граница. Блок однозначно выбирается A1-A8 (x16) или A1-A9 (x8), когда длина пакета установлена на два; A2-A8 (x16) или A2-A9 (x8), когда длина пакета установлена на четыре; и A3-A8 (x16) или A3-A9 (x8), когда длина пакета установлена на восемь. Остальные (младшие) биты адреса используются для выбора начального местоположения внутри блока. Полные страницы пакета завершаются внутри страницы, если достигнута граница.

Тип пакета

Доступы в пределах данного пакета могут быть запрограммированы как последовательные или чередующиеся; это называется типом пакета и выбирается с помощью бита M3.

Порядок доступа в пределах пакета определяется длиной пакета, типом пакета и начальным адресом столбца, как показано в таблице ОПРЕДЕЛЕНИЕ ПАКЕТА.

ОПРЕДЕЛЕНИЕ ПОТОКА

Серия	Начальная колонка			Порядок доступа в рамках пакета	
	Длина	Адрес		Тип = Последовательный	Тип = чередующийся
		A0			
	2		0	0-1	0
			1	1-0	1-0
		A1	A0		
		0	0	0-1-2-3	0-1-2-3
	4	0	1	1-2-3-0	1-0-3-2
		1	0	2-3-0-1	2-3-0-1
		1	1	3-0-1-2	3-2-1-0
		A2	A1	A0	
		0	0	0	0-1-2-3-4-5-6-7
		0	0	1	1-2-3-4-5-6-7-0
		0	1	0	2-3-4-5-6-7-0-1
	8	0	1	1	3-4-5-6-7-0-1-2
		1	0	0	4-5-6-7-0-1-2-3
		1	0	1	5-6-7-0-1-2-3-4
		1	1	0	6-7-0-1-2-3-4-5
		1	1	1	7-0-1-2-3-4-5-6
Полная страница (y)	n = A0-A8 (x16) n = A0-A9 (x8) (расположение 0-y)			Cn, Cn+1, Cn+2 Cn+3, Cn+4... ...Cn-1, Cn...	Не поддерживается

Задержка CAS

Задержка CAS — это задержка в тактовых циклах между регистрацией команды READ и доступностью первого фрагмента выходных данных. Задержку можно установить на два или три тактовых цикла.

Если команда READ регистрируется на фронте тактового импульса n , а задержка составляет m тактовых импульсов, данные будут доступны на фронте тактового импульса $n + m$. DQ начнут работать в результате фронта тактового импульса на один цикл раньше ($n + m - 1$), и при условии соблюдения соответствующих времен доступа данные будут действительны на фронте тактового импульса $n + m$. Например, предположим, что время тактового цикла таково, что все соответствующие времена доступа соблюдены. Если команда READ зарегистрирована в момент T_0 , а задержка запрограммирована на два тактовых импульса, DQ начнут работу после T_1 , и данные будут действительны к моменту T_2 , как показано на диаграммах задержки CAS. В таблице допустимых рабочих частот указаны рабочие частоты, при которых можно использовать каждую настройку задержки CAS.

Зарезервированные состояния не должны использоваться, так как это может привести к неизвестным операциям или несовместимости с будущими версиями.

Режим работы

Нормальный режим работы выбирается путем установки M7 и M8 в ноль; другие комбинации значений M7 и M8 зарезервированы для будущего использования и/или тестовых режимов. Запрограммированная длина пакета применяется как к пакетам ЧТЕНИЯ, так и к пакетам ЗАПИСИ.

Тестовые режимы и зарезервированные состояния не должны использоваться, так как это может привести к неизвестной работе или несовместимости с будущими версиями.

Режим пакетной записи

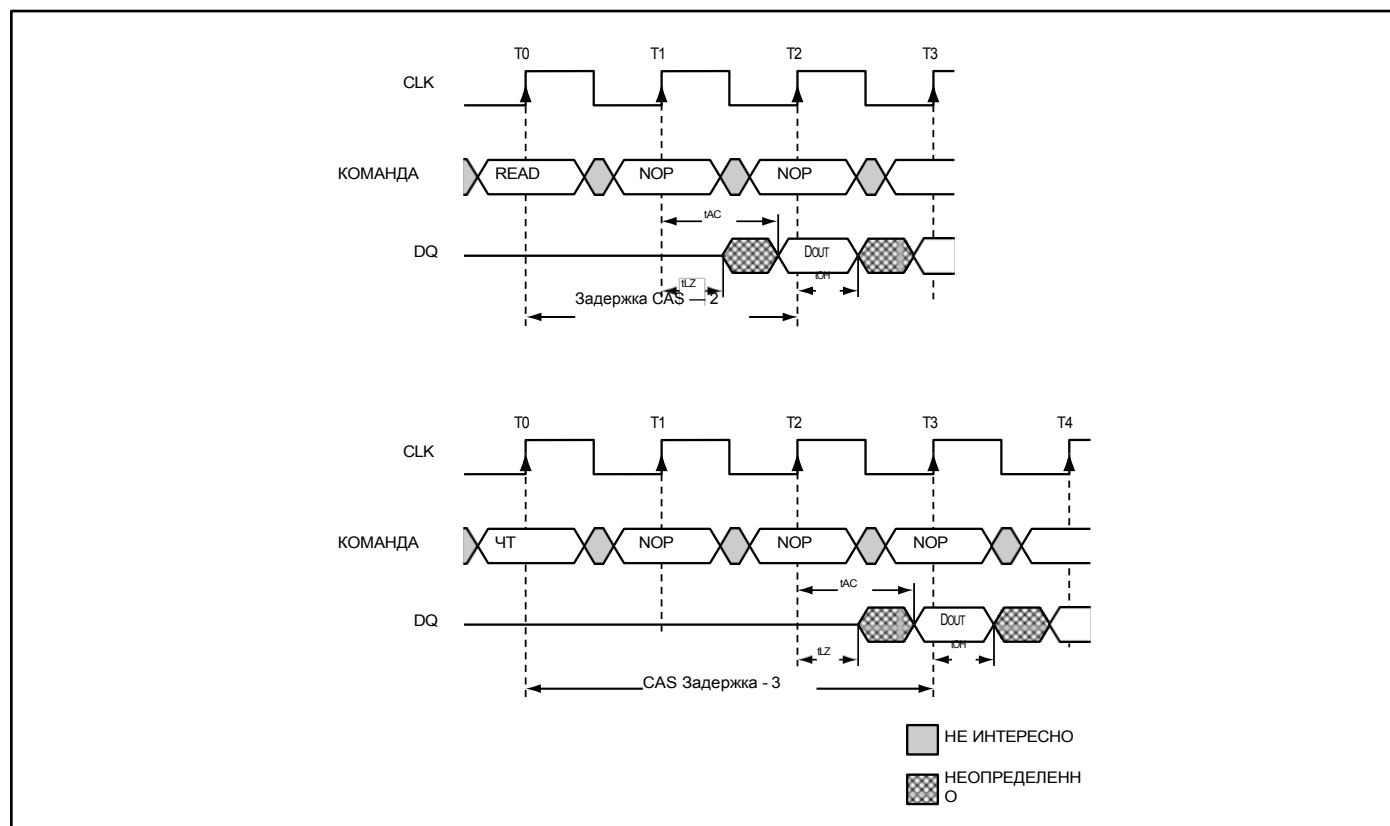
Когда M9 = 0, длина пакета, запрограммированная через M0-M2, применяется как к пакетам ЧТЕНИЯ, так и к пакетам ЗАПИСИ; когда M9 = 1, запрограммированная длина пакета применяется к пакетам ЧТЕНИЯ, но доступ к записи осуществляется по одному адресу (без пакетов).

Задержка CAS

Допустимая рабочая частота (МГц)

Скорость	Задержка CAS = 2	Задержка CAS = 3
-6	100	166
-7	133	143

ЗАДЕРЖКА CAS



РАБОТА ЧИПА АКТИВАЦИЯ

БАНКА/РЯДА

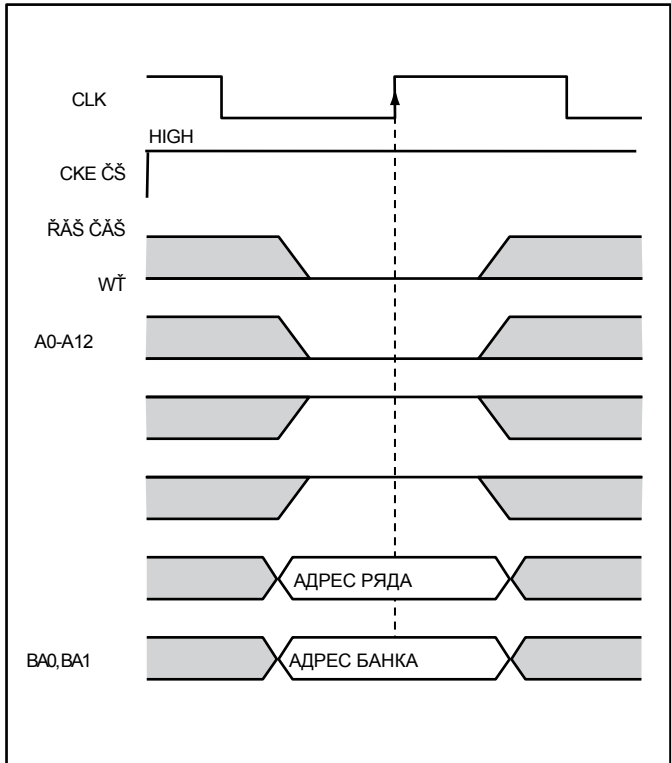
Прежде чем можно будет отправить команду READ или WRITE в банк SDRAM, необходимо «открыть» строку в этом банке. Это осуществляется с помощью команды ACTIVE, которая выбирает как банк, так и строку, которые необходимо активировать (см. раздел «Активация определенной строки в определенном банке»).

После открытия строки (выдачи команды ACTIVE) для этой строки может быть выдана команда READ или WRITE в соответствии со спецификацией t_{RCD} . Минимальное значение t_{RCD} следует разделить на период тактового генератора и округлить до ближайшего целого числа, чтобы определить самый ранний фронт тактового генератора после команды ACTIVE, на котором может быть введена команда READ или WRITE. Например, спецификация t_{RCD} 15 нс с тактовой частотой 143 МГц (период 7 нс) дает 2,14 тактовых цикла, округленного до 3. Это отражено в следующем примере, который охватывает любой случай, когда $2 \leq \lceil t_{RCD} / T_{CLK} \rceil \leq 3$. (Та же процедура используется для преобразования других предельных значений спецификации из единиц времени в тактовые циклы).

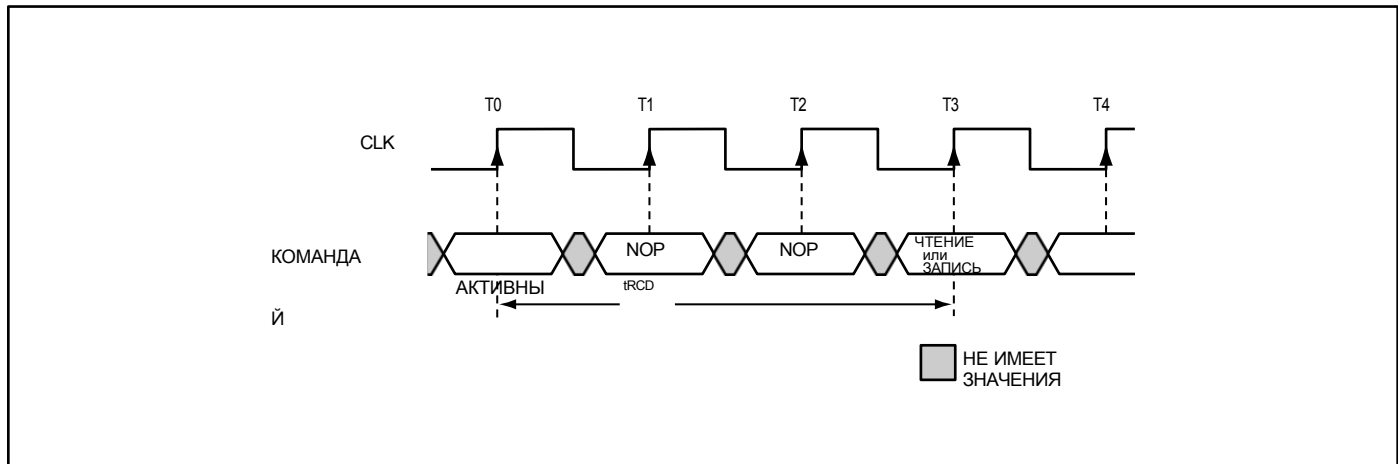
Следующая команда ACTIVE для другой строки в том же банке может быть выдана только после того, как предыдущая активная строка была «закрыта» (предварительно загружена). Минимальный интервал времени между последовательными командами ACTIVE для одного и того же банка определяется t_{RC} .

Последующая команда ACTIVE для другого банка может быть выдана во время доступа к первому банку, что приводит к сокращению общих затрат на доступ к строкам. Минимальный временной интервал между последовательными командами ACTIVE для разных банков определяется t_{RRD} .

АКТИВАЦИЯ КОНКРЕТНОЙ СТРОКИ В КОНКРЕТНОМ БАНКЕ



ПРИМЕР: ВСТРЕЧА t_{RCD} (МИН), КОГДА $2 \leq \lceil t_{RCD} / T_{CLK} \rceil \leq 3$



ЧТЕНИЕ

Чтение пакетами инициируется командой READ, как показано на схеме READ COMMAND.

Начальная колонка и адреса банков указываются в команде READ, а автоматическая предварительная зарядка для данного пакетного доступа включается или отключается. Если автоматическая предварительная зарядка включена, строка, к которой осуществляется доступ, предварительно заряжается по завершении пакетного доступа. Для общих команд READ, используемых в следующих иллюстрациях, автоматическая предварительная зарядка отключена.

Во время пакетов READ действительный элемент вывода данных из начального адреса столбца будет доступен после задержки CAS после команды READ. Каждый последующий элемент вывода данных будет действителен к следующему положительному фронту тактового сигнала. Диаграмма задержки CAS показывает общие временные характеристики для каждого возможного значения задержки CAS.

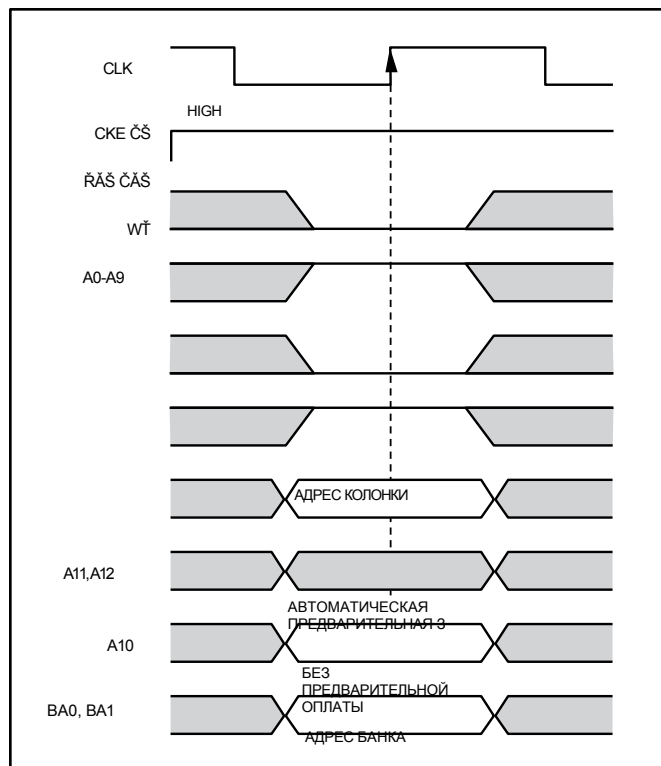
По завершении пакета, при условии, что не было инициировано никаких других команд, DQ перейдут в состояние High-Z. Пакет полной страницы будет продолжаться до тех пор, пока не будет прерван. (В конце страницы он перейдет к столбцу 0 и продолжится.)

Данные из любого пакета READ могут быть усечены последующей командой READ, а за данными из пакета READ фиксированной длины могут сразу следовать данные из команды READ. В любом случае может поддерживаться непрерывный поток данных. Первый элемент данных из нового пакета следует либо за последним элементом завершенного пакета, либо за последним желаемым элементом данных из более длинного пакета, который усекается.

Новая команда READ должна быть выдана за x циклов до фронта тактового импульса, при котором последний желаемый элемент данных является действительным, где x равно задержке CAS минус один. Это показано в последовательных пакетах READ для задержек CAS равных двум и трем; элемент данных $n + 3$ является либо последним из пакета из четырех, либо последним желаемым из более длинного пакета. 256-мегабайтная SDRAM использует конвейерную архитектуру и поэтому не требует правила $2n$, связанного с архитектурой предварительной выборки. Команда READ может быть инициирована в любом тактовом цикле, следующем за предыдущей командой READ. Полностью скоростной произвольный доступ для чтения может быть выполнен к одному и тому же банку, как показано в разделе «Произвольный доступ для чтения», или каждый последующий READ может быть выполнен к другому банку.

Данные из любого пакета READ могут быть усечены последующей командой WRITE, а за данными из пакета READ фиксированной длины могут сразу следовать данные из команды WRITE (с учетом ограничений по обороту шины). Пакет WRITE может быть инициирован по фронту тактового импульса, следующего сразу за последним (или последним желаемым) элементом данных из пакета READ, при условии, что можно избежать конфликта ввода-вывода. В данной конструкции системы может возникнуть вероятность того, что устройство, управляющее входными данными, перейдет в состояние Low-Z до того, как SDRAM DQs перейдет в состояние High-Z. В этом случае между последними прочитанными данными и командой WRITE должна произойти задержка как минимум в один цикл.

КОМАНДА READ



Примечание: A9 не имеет значения для x16.

Вход DQM используется для предотвращения конфликтов ввода-вывода, как показано на рисунках RW1 и RW2. Сигнал DQM должен быть установлен (HIGH) как минимум за три тактовых цикла до команды WRITE (задержка DQM составляет два тактовых цикла для выходных буферов), чтобы подавить вывод данных из READ. После регистрации команды WRITE сигналы DQ перейдут в состояние High-Z (или останутся в состоянии High-Z) независимо от состояния сигнала DQM, при условии, что DQM был активен на тактовом импульсе непосредственно перед командой WRITE, которая прервала команду READ. В противном случае вторая команда WRITE будет недействительной. Например, если DQM был LOW во время T4 на рисунке RW2, то WRITE в T5 и T7 будут действительными, а WRITE в T6 будет недействительным.

Сигнал DQM должен быть снят до команды WRITE (задержка DQM составляет ноль тактов для входных буферов), чтобы гарантировать, что записанные данные не будут замаскированы.

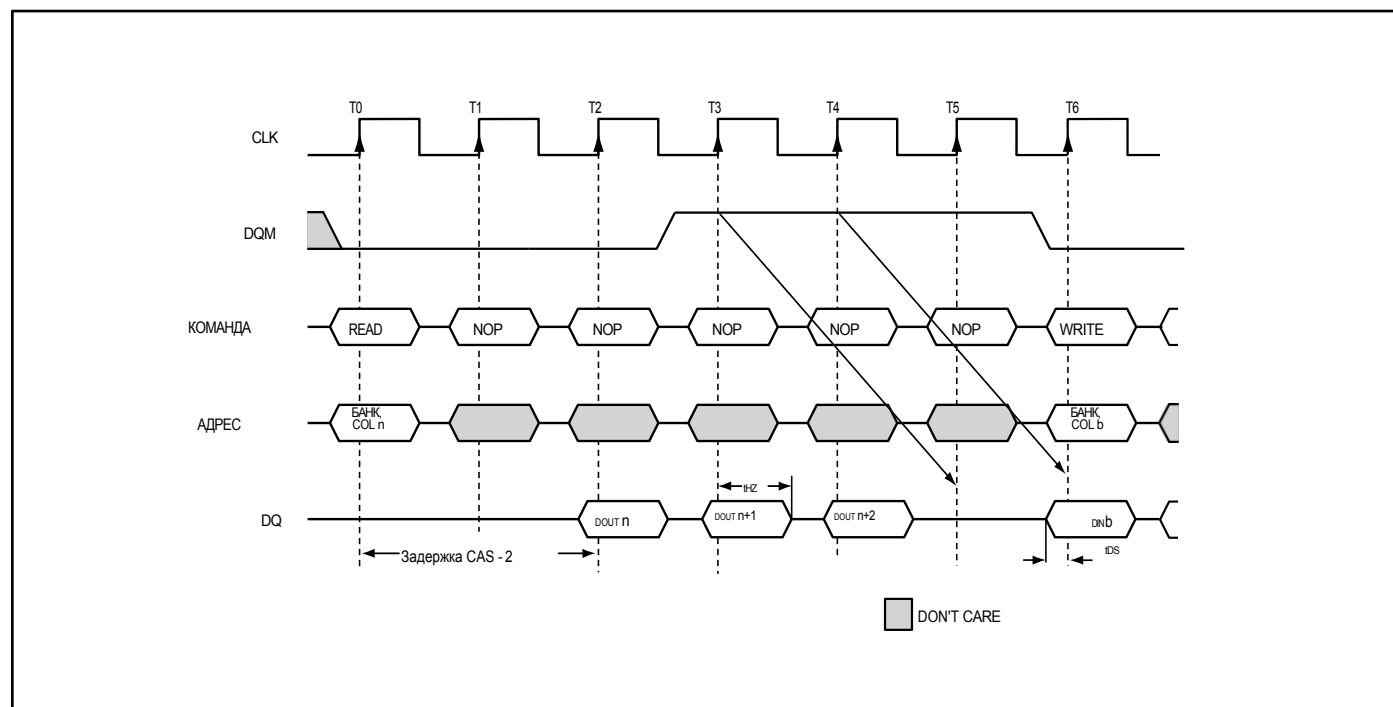
За пакетом READ фиксированной длины может следовать или быть усечен командой PRECHARGE для того же банка (при условии, что автоматическая предварительная зарядка не была активирована), а пакет полной страницы может быть усечен командой PRECHARGE для того же банка. Команда PRECHARGE должна быть выдана за x циклов до фронта тактового импульса, при котором последний желаемый элемент данных является действительным, где x равно задержке CAS минус один. Это показано в READ to PRECHARGE.

диаграмма для каждого возможного задержки CAS; элемент данных $n + 3$ является либо последним из серии из четырех, либо последним желаемым из более длинной серии. После команды PRECHARGE последующая команда для того же банка не может быть выдана до тех пор, пока не будет достигнуто t_{RP} . Обратите внимание, что часть времени предварительной зарядки строки скрыта во время доступа к последнему элементу (элементам) данных.

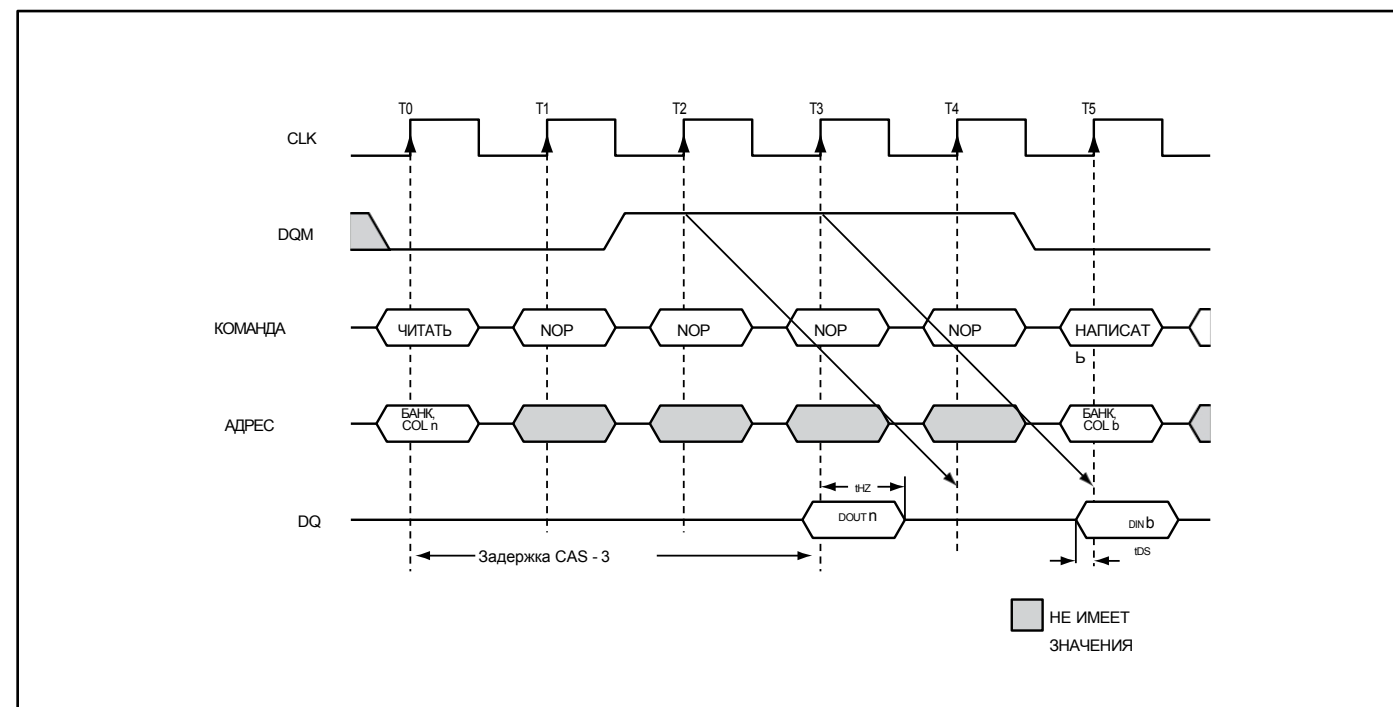
В случае выполнения пакета фиксированной длины до конца, команда PRECHARGE, выданная в оптимальное время (как описано выше), обеспечивает ту же операцию, которая была бы результатом того же пакета фиксированной длины с автоматической предварительной зарядкой. Недостатком команды PRE-CHARGE является то, что для ее выдачи необходимо, чтобы шины команд и адресов были доступны в соответствующий момент времени; преимуществом команды PRECHARGE является то, что ее можно использовать для усечения пакетов фиксированной длины или пакетов полной страницы.

Полностраничные пакеты READ могут быть усечены с помощью команды BURST TERMINATE, а пакеты READ фиксированной длины могут быть усечены с помощью команды BURST TERMINATE, при условии, что автоматическая предварительная зарядка не была активирована. Команда BURST TERMINATE должна быть выдана за x циклов до фронта тактового импульса, при котором последний желаемый элемент данных является действительным, где x равно задержке CAS минус один. Это показано на диаграмме READ Burst Termination для каждой возможной задержки CAS; элемент данных $n + 3$ является последним желаемым элементом данных более длинного пакета.

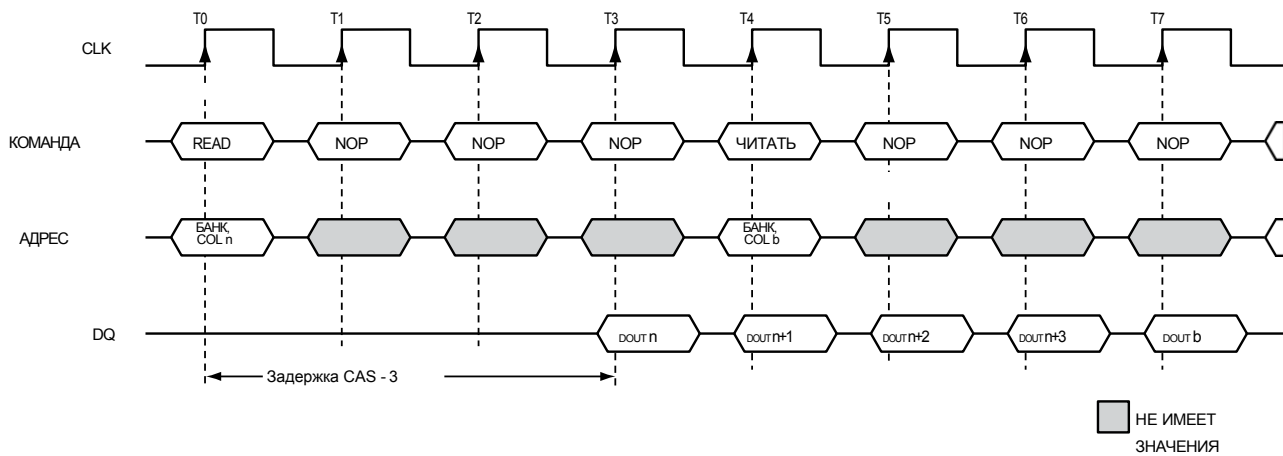
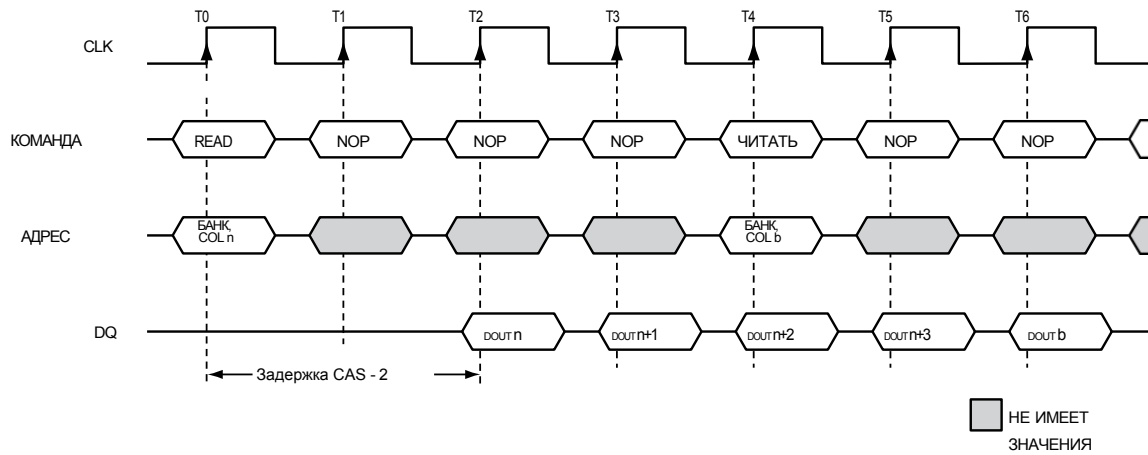
RW1 — ЧТЕНИЕ для ЗАПИСИ



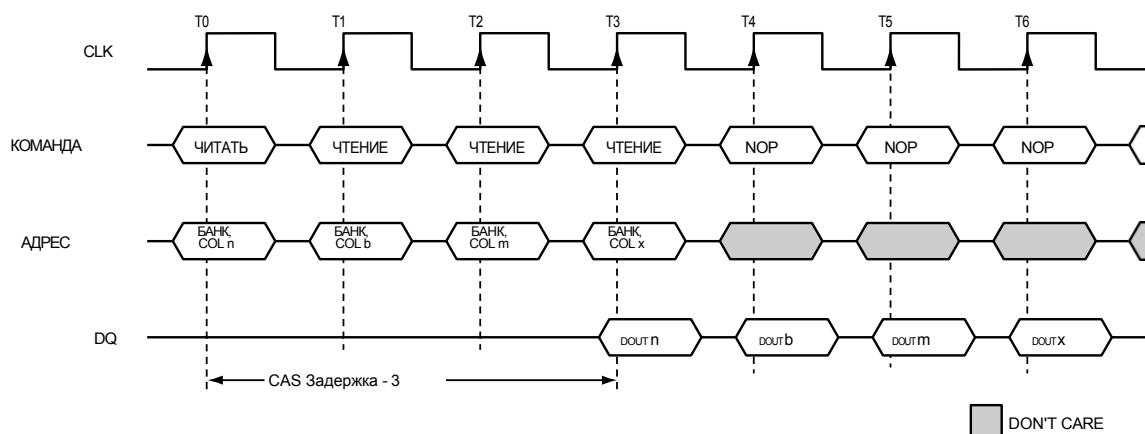
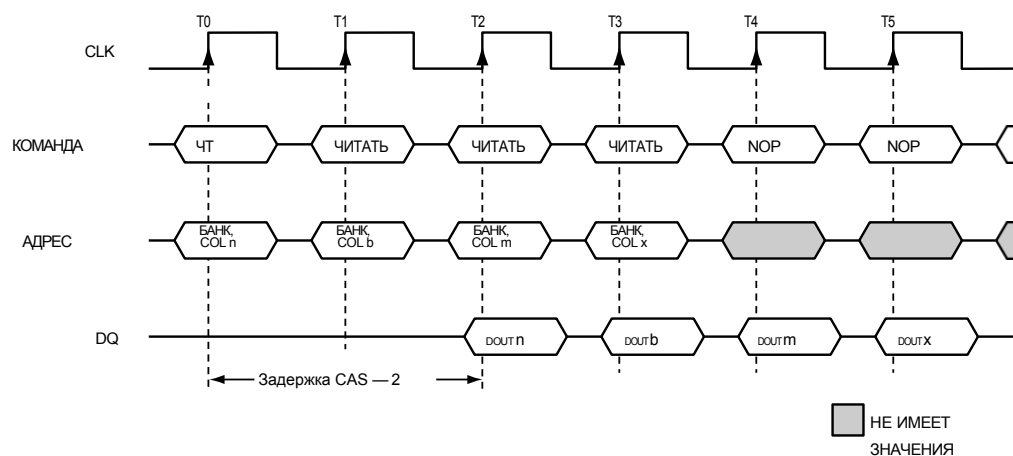
RW2 - ЧТЕНИЕ для ЗАПИСИ



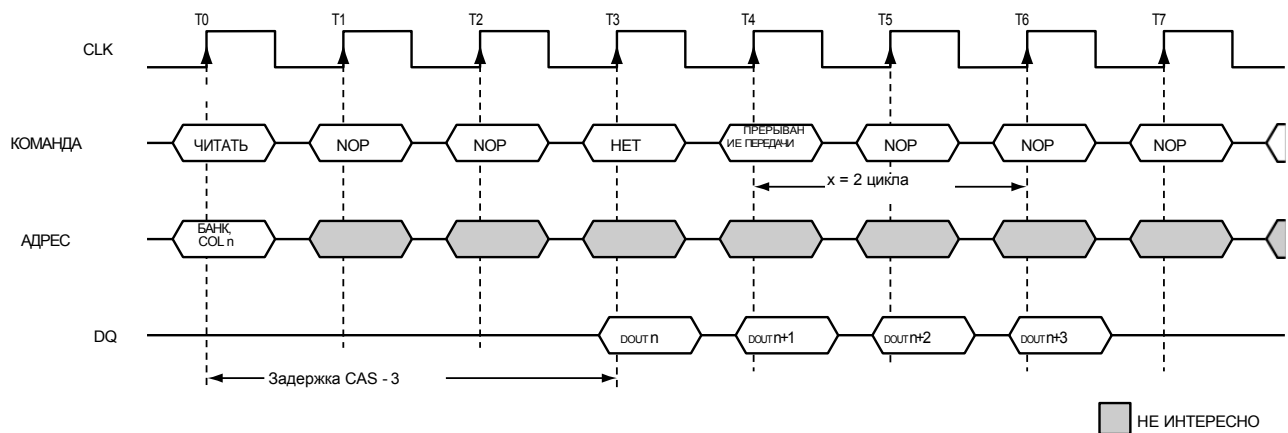
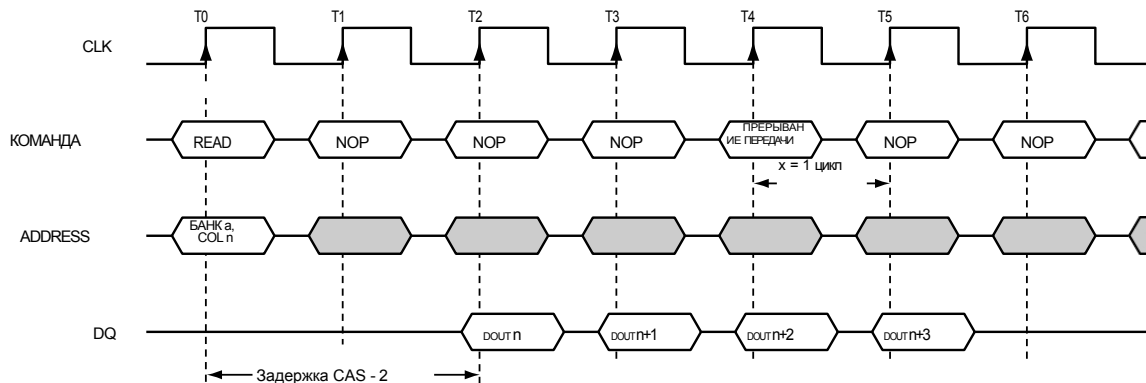
ПОСЛЕДОВАТЕЛЬНЫЕ ЧТЕНИЯ



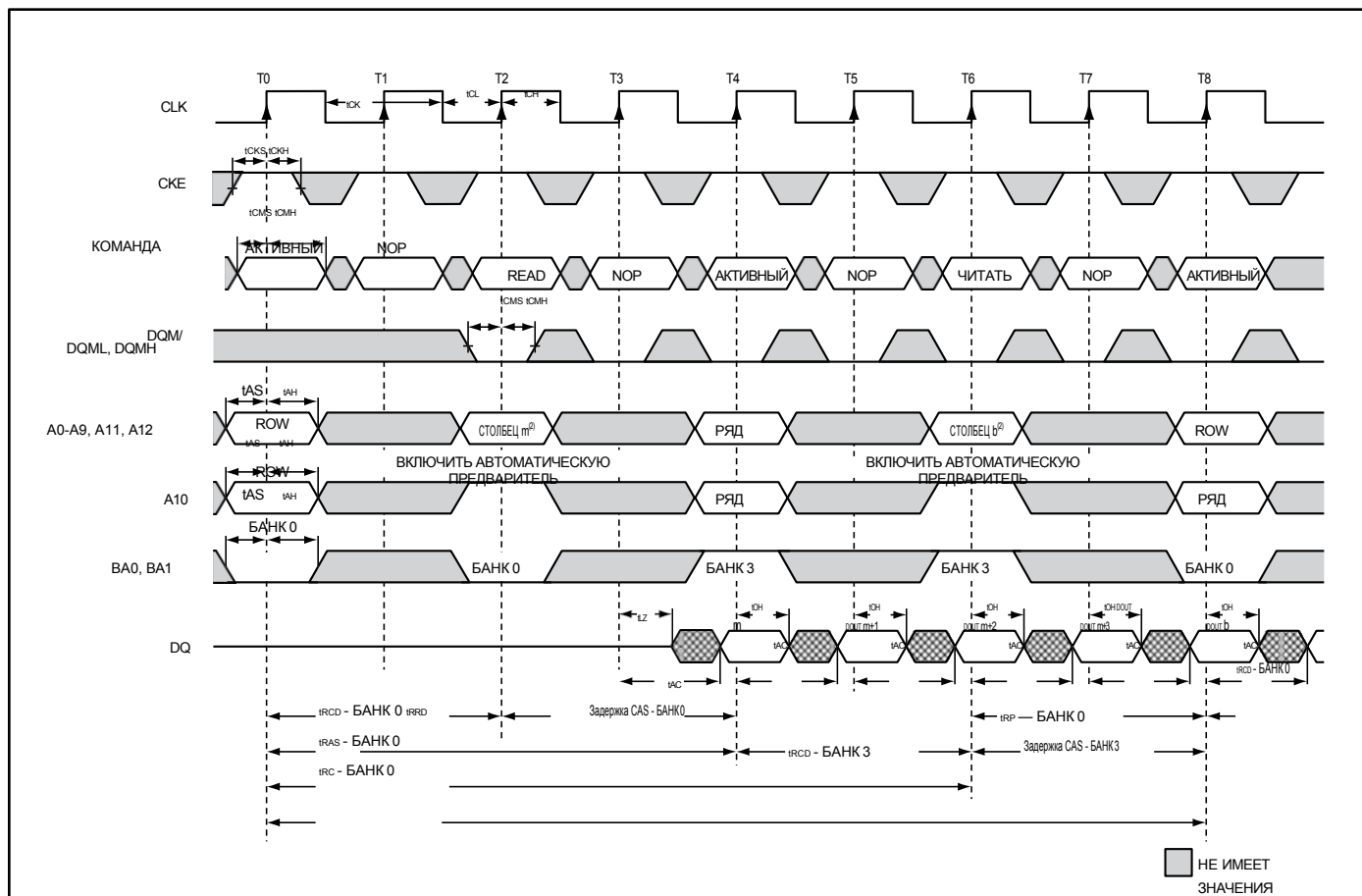
СЛУЧАЙНЫЙ ЧТЕНИЕ ДОСТУП



ПРЕРЫВАНИЕ ЧТЕНИЯ ПОРТАНЦИИ



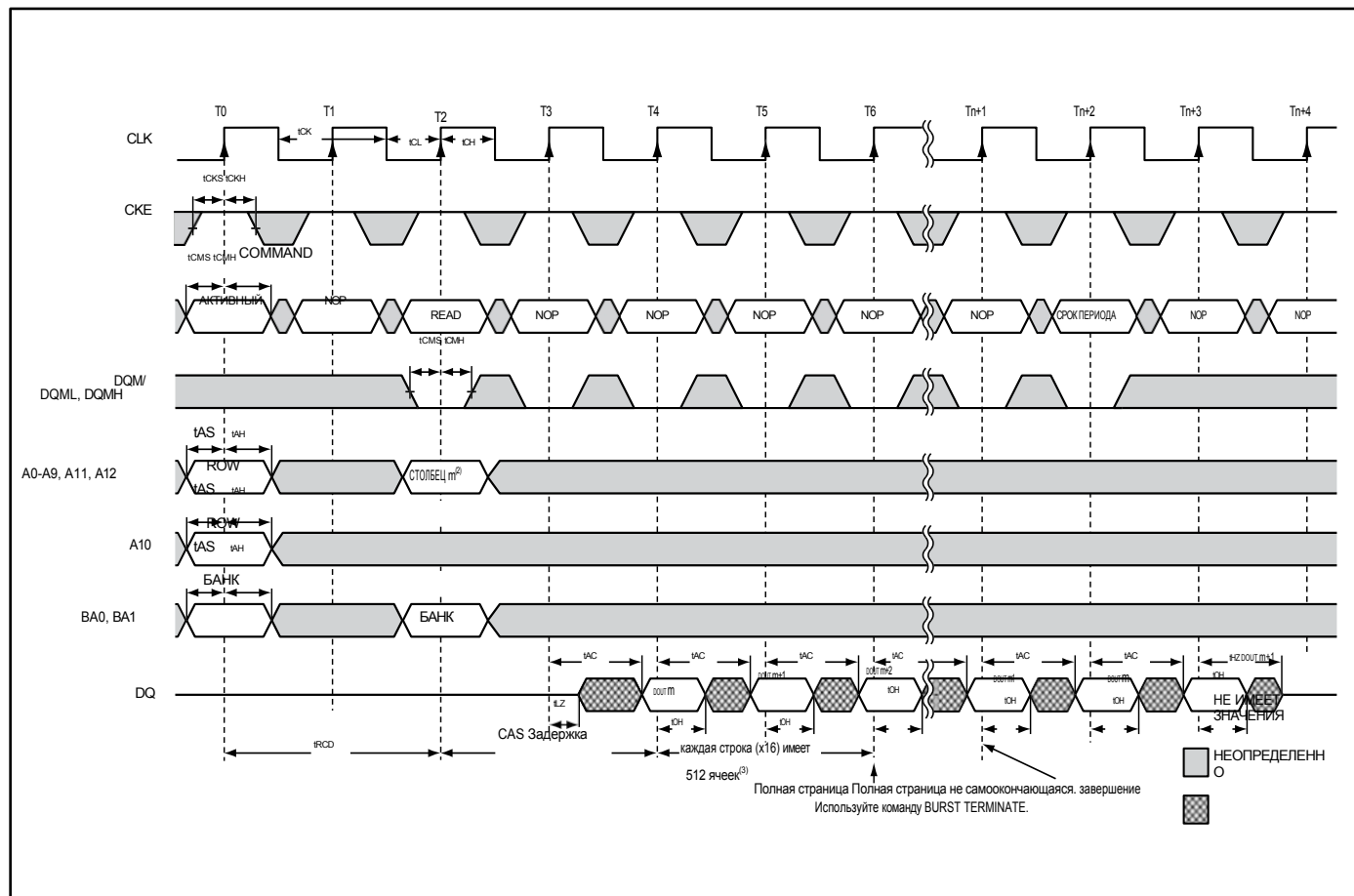
ЧЕРЕДОВАНИЕ ДОСТУПА К ЧИТКЕ БАНКА



Примечания:

- 1) Задержка $\bar{C}\bar{A}\bar{S}$ = 2, длина пакета = 4
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

ЧТЕНИЕ — ПОЛНЫЙ ПУЛЬС



Примечания:

- 1) Задержка $\bar{C}\bar{A}\bar{S}$ = 2, длина пакета = полная страница
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»
- 3) x8: Каждая строка имеет 1024 ячейки.

The timing diagram illustrates the sequence of events for SDRAM operations across clock cycles T0 to T8:

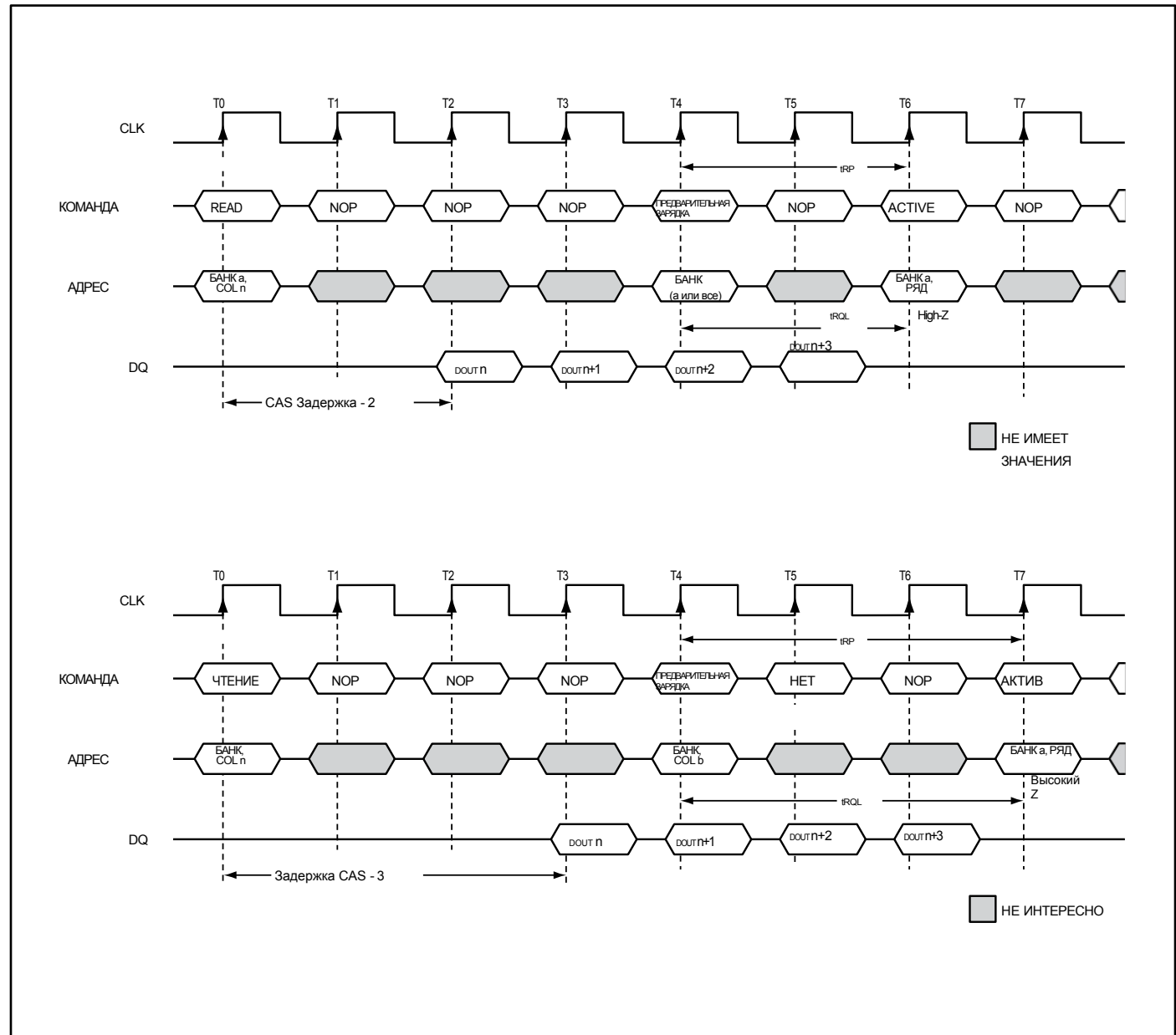
- CLK**: Clock signal with periods labeled t_{CK} , t_{CL} , and t_{CH} .
- CKE**: Clock Enable signal. Active low pulses are shown at T0, T2, T4, T6, and T8.
- COMMAND**: Command bus. Operations include ACTIVE, NOP, READ, and another NOP. Timing parameters t_{CMS} and t_{CMH} are indicated.
- DQML/DQM/H**: Data Masking Enable signal. Pulses occur during the READ operation.
- A0-A9, A11, A12**: Address bus. Signals include ROW and COLUMN (m^R) with setup times t_{AS} and hold times t_{AH} .
- A10**: Bank address. Signal includes ROW and PREPARE (ВКЛЮЧИТЬ АВТОМАТИЧЕСКУЮ ПРЕДВАРИТЕЛЬ).
- BA0, BA1**: Bank address. Signal includes BANK and PREPARE (ОТКЛЮЧИТЬ АВТОМАТИЧЕСКУЮ ПРЕДВАРИТЕЛЬ).
- DQ**: Data bus. Shows data output (m^D) and input/output phases. Parameters include t_{AC} , t_{OH} , t_{AZ} , and t_{CD} . A delay Δt_{CAS} is also noted.

Legend:

- Gray box: ЗНАЧЕНИЯ (Values)
- Checkered box: НЕОПРЕДЕЛЕНО (Undefined)

1) Задержка ČĀŠ = 2, длина пакета = 4
2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

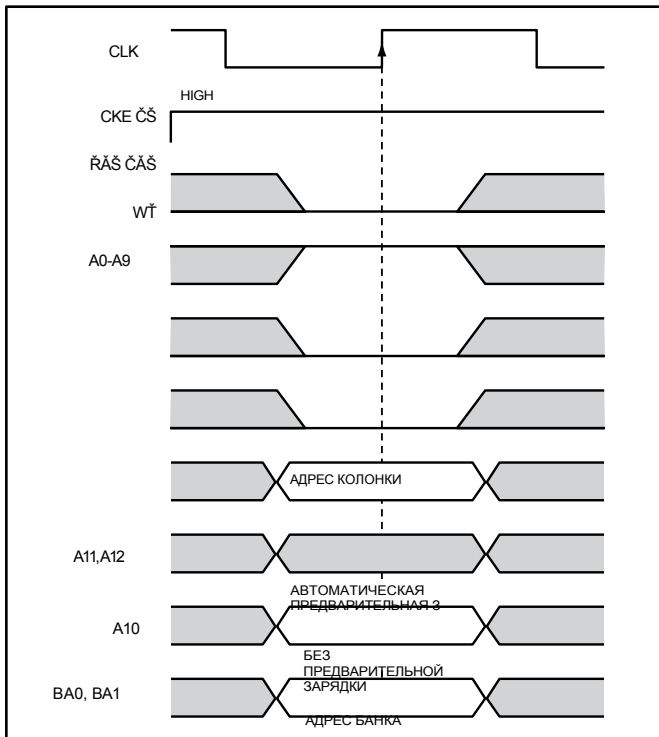
ЧТЕНИЕ до ПРЕДВАРИТЕЛЬНОЙ ЗАРЯДКИ



WRITES

Всплески WRITE инициируются командой WRITE, как показано на диаграмме команды WRITE.

КОМАНДА WRITE



Примечание: A9 не имеет значения для x16.

Начальная колонка и адреса банка указываются с помощью команды WRITE, а автоматическая предварительная зарядка для данного доступа включается или отключается. Если автоматическая предварительная зарядка включена, строка, к которой осуществляется доступ, предварительно заряжается по завершении пакета. Для общих команд WRITE, используемых в следующих иллюстрациях, автоматическая предварительная зарядка отключена.

Во время пакетов WRITE первый действительный элемент входящих данных будет регистрироваться одновременно с командой WRITE. Последующие элементы данных будут регистрироваться на каждом последующем положительном фронте тактового сигнала. По завершении пакета фиксированной длины, при условии, что не было инициировано никаких других команд, DQs останутся в состоянии High-Z, и любые дополнительные входные данные будут игнорироваться (см. WRITE Burst). Полная страница будет продолжаться до тех пор, пока не будет завершена. (В конце страницы она перейдет в столбец 0 и продолжится.)

Данные для любого пакета WRITE могут быть усечены последующей командой WRITE, а за данными для пакета WRITE фиксированной длины могут сразу следовать данные для команды WRITE. Новая команда WRITE может быть выдана на любом тактовом импульсе, следующем за предыдущей командой WRITE, и данные, предоставленные одновременно с новой командой, применяются к новой команде.

Пример показан на диаграмме WRITE to WRITE. Данные $n + 1$ являются либо последними из двух последовательных, либо последними желаемыми из более длинной последовательности. SDRAM объемом 256 Мб использует конвейерную архитектуру и поэтому не требует правила $2n$, связанного с архитектурой предварительной выборки. Команда WRITE может быть инициирована в любом тактовом цикле, следующем за предыдущей командой WRITE. Полностью скоростной произвольный доступ на запись в пределах страницы может выполняться в один и тот же банк, как показано в циклах произвольной записи, или каждая последующая команда WRITE может выполняться в другой банк.

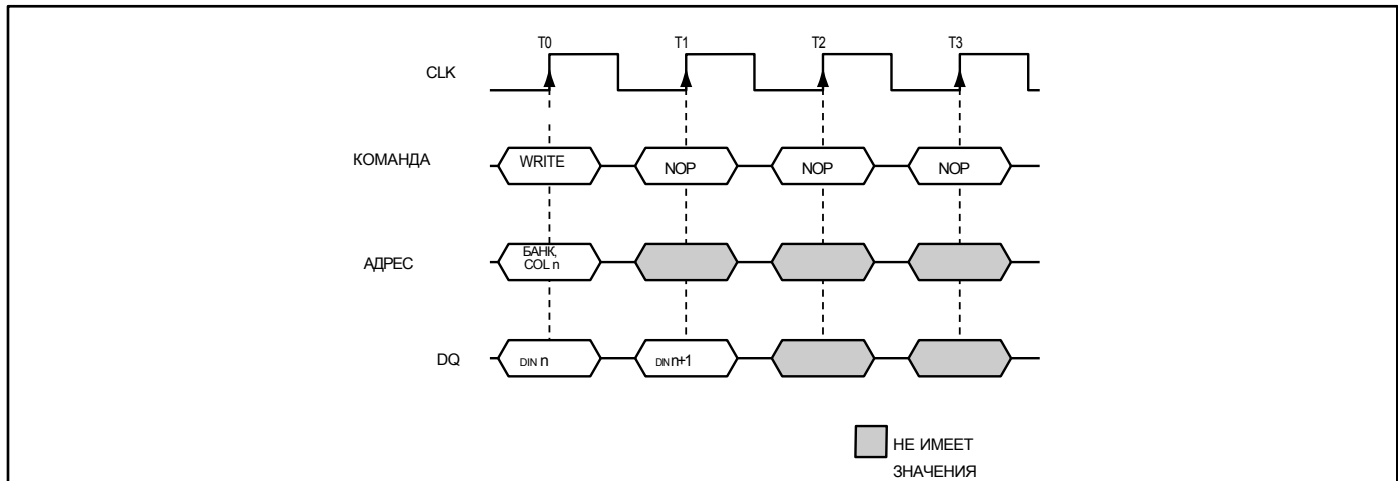
Данные для любого пакета WRITE могут быть усечены последующей командой READ, а за данными для пакета WRITE фиксированной длины может сразу следовать последующая команда READ. После регистрации команды READ входные данные будут игнорироваться, а команды WRITE не будут выполняться. Пример показан в разделе «WRITE to READ». Данные $n + 1$ является либо последним из пакета из двух, либо последним желаемым из более длинного пакета.

За данными для пакета WRITE фиксированной длины может следовать или быть усечен командой PRECHARGE для того же банка (при условии, что автоматическая предварительная зарядка не была активирована), а пакет WRITE полной страницы может быть усечен командой PRECHARGE для того же банка. Команда PRECHARGE должна быть выдана t_{RP} после фронта тактового импульса, на котором регистрируется последний желаемый элемент входных данных. Режим автоматической предварительной зарядки требует t_{RP} не менее одного тактового импульса плюс время, независимо от частоты. Кроме того, при усечении пакета WRITE сигнал DQM должен использоваться для маскирования входных данных для фронта тактового импульса, предшествующего команде PRECHARGE, и фронта тактового импульса, совпадающего с командой PRECHARGE. Пример показан на диаграмме WRITE to PRE-CHARGE. Данные $n+1$ являются либо последними из пакета из двух, либо последними желаемыми из более длинного пакета. После команды PRECHARGE последующая команда для того же банка не может быть выдана до тех пор, пока не будет достигнуто t_{RP} .

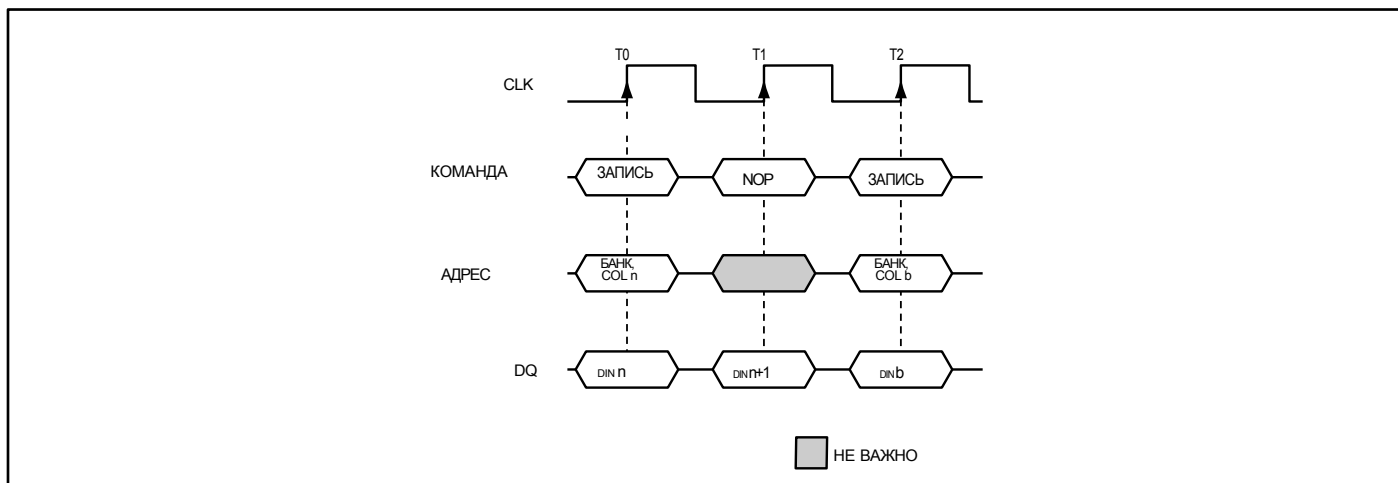
В случае выполнения пакета фиксированной длины до конца, команда PRECHARGE, выданная в оптимальное время (как описано выше), обеспечивает ту же операцию, которая была бы результатом того же пакета фиксированной длины с автоматической предварительной зарядкой. Недостатком команды PRECHARGE является то, что для ее выдачи необходимо, чтобы шины команд и адресов были доступны в соответствующий момент времени; преимуществом команды PRECHARGE является то, что ее можно использовать для усечения пакетов фиксированной длины или пакетов полной страницы.

Бурсты WRITE фиксированной длины или полной страницы могут быть усечены с помощью команды BURST TERMINATE. При усечении бурста WRITE входные данные, приложенные одновременно с командой BURST TERMINATE, будут игнорироваться. Последними записанными данными (при условии, что DQM в этот момент находится в состоянии LOW) будут входные данные, примененные за один такт до команды BURST TERMINATE. Это показано в разделе «Прерывание пакета WRITE», где данные n являются последним желаемым элементом данных более длинного пакета.

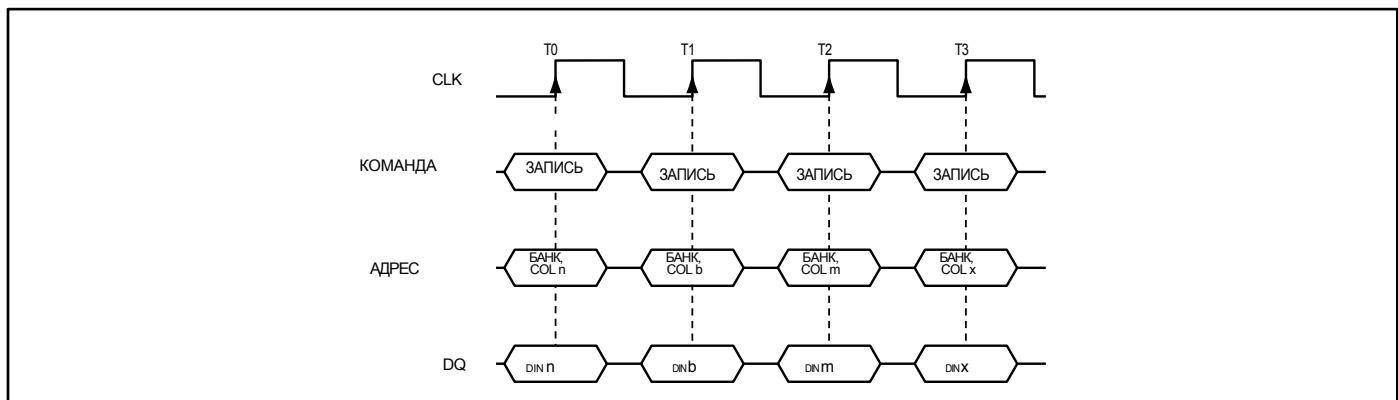
WRITE BURST



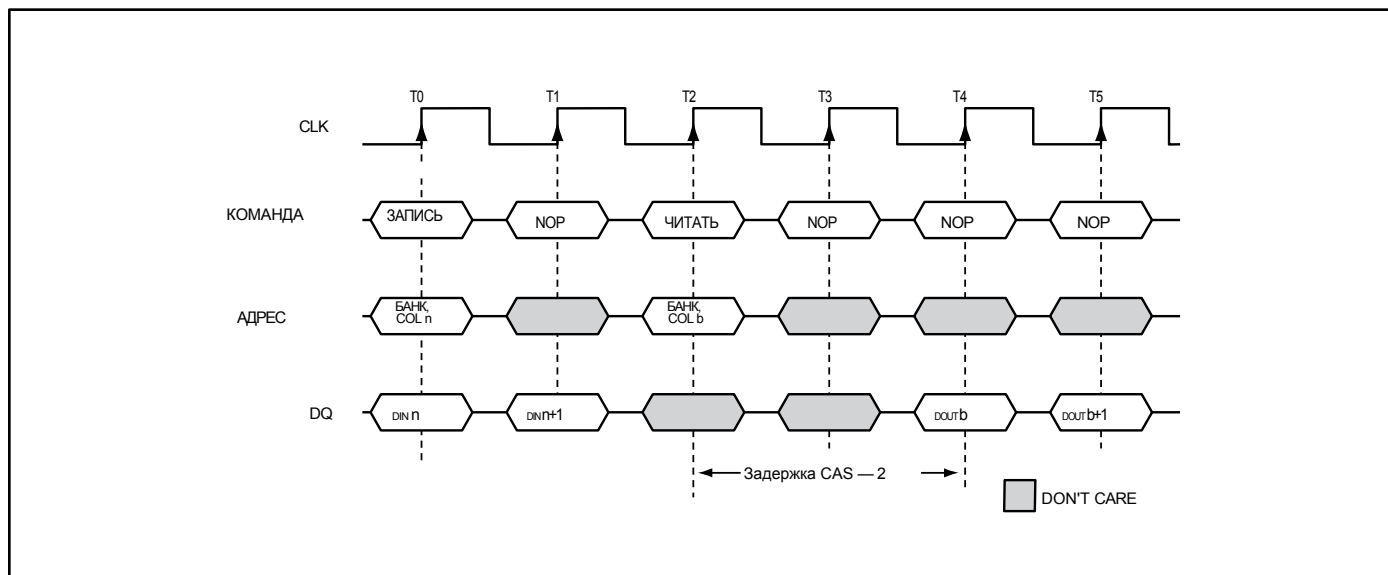
ЗАПИСЫВАЙТЕ



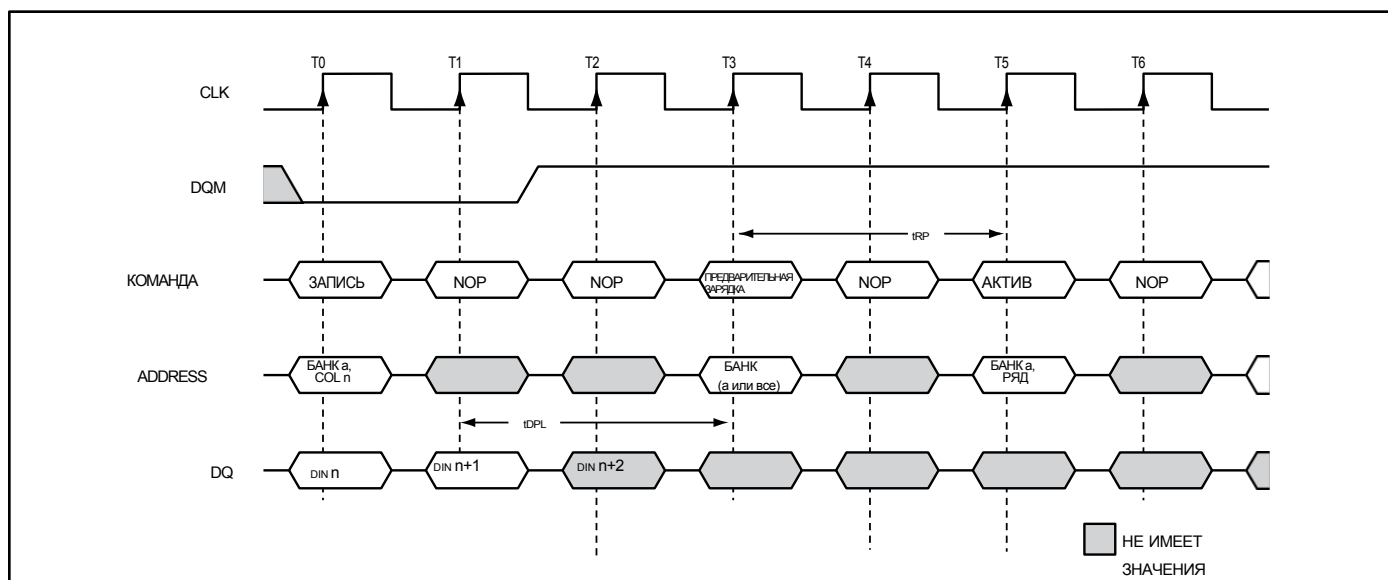
СЛУЧАЙНЫЕ ЦИКЛЫ ЗАПИСИ



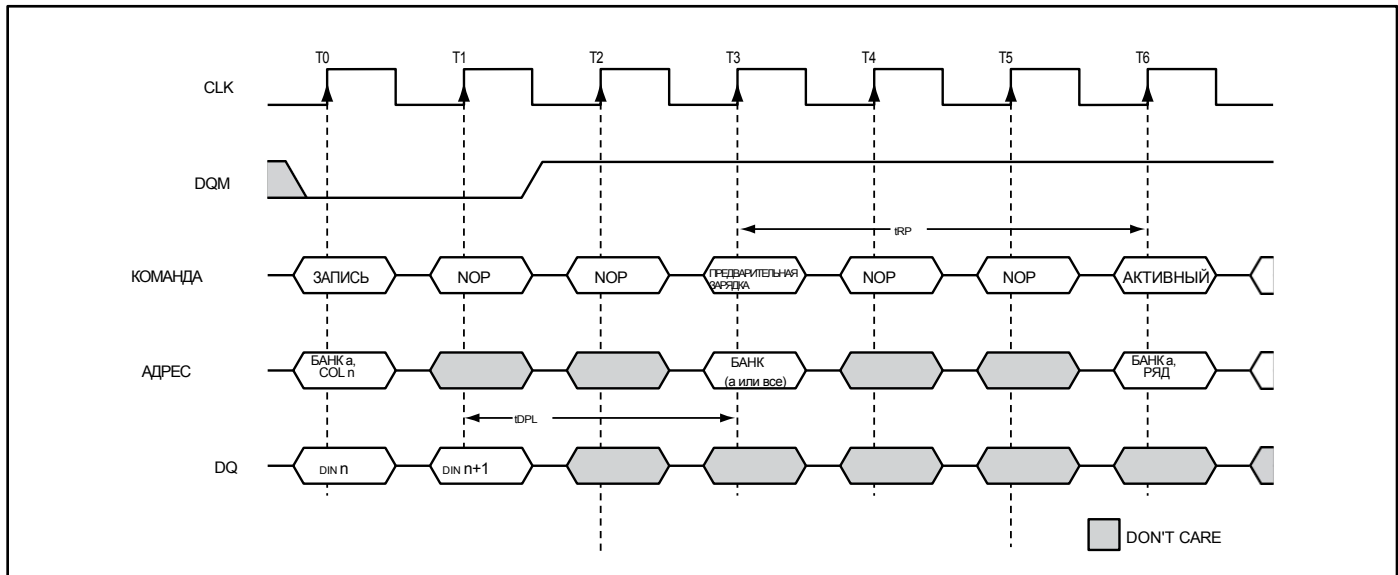
ЗАПИСЬ в ЧТЕНИЕ



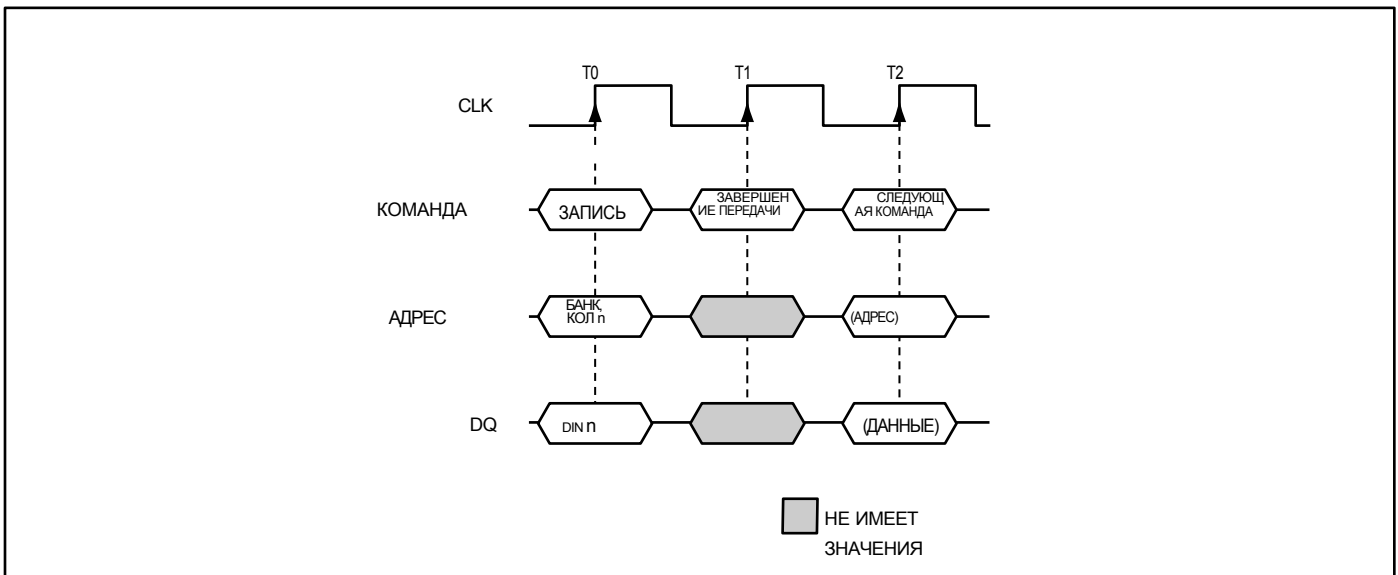
WP1 — ЗАПИСЬ в PRECHARGE



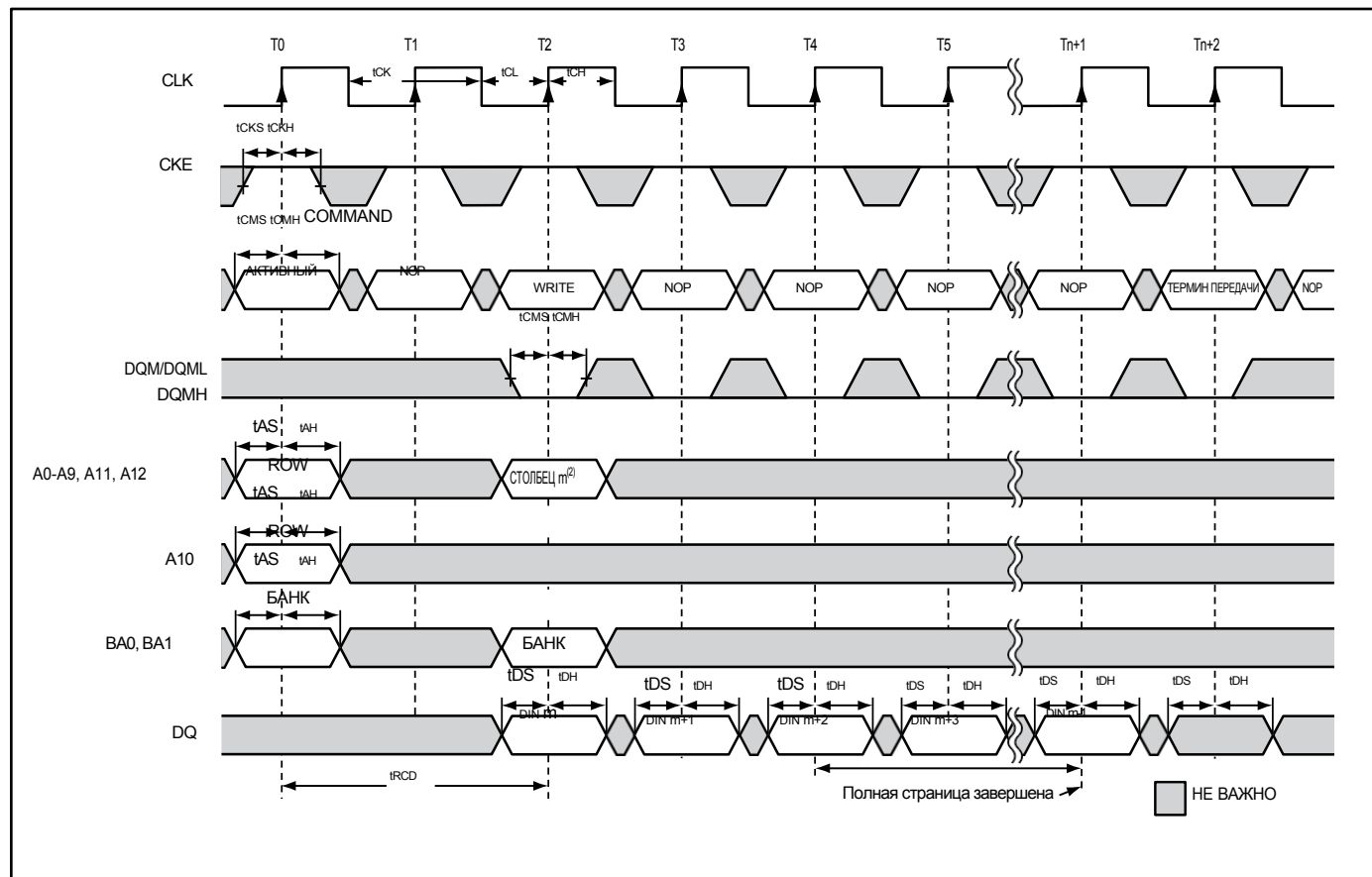
WP2 - ЗАПИСЬ В PRECHARGE



WRITE Прерывание пакета



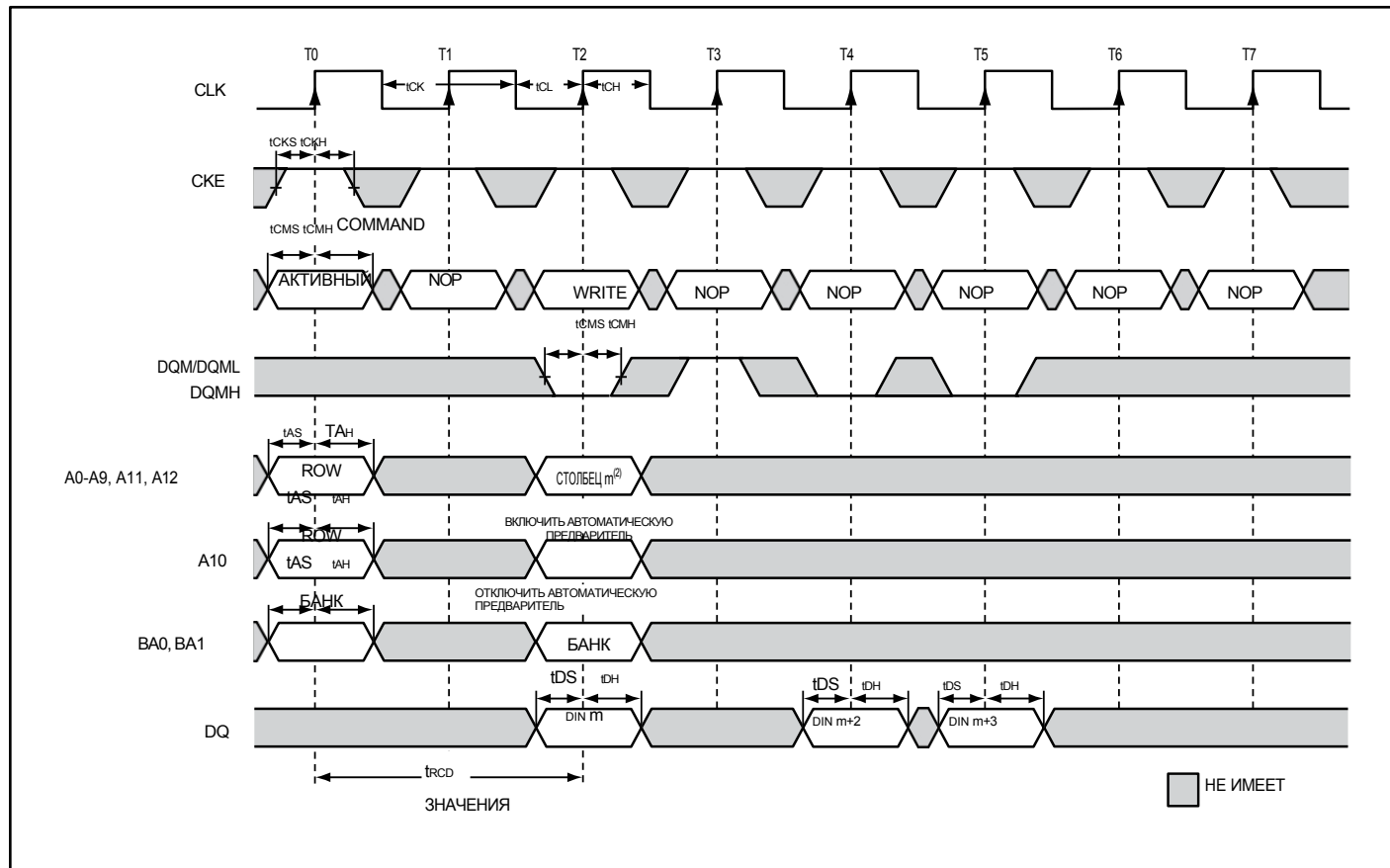
WRITE - ПОЛНЫЙ ПАУЗА СТРАНИЦЫ



Примечания:

- 1) Длина пакета = полная страница
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

ЗАПИСЬ — ОПЕРАЦИЯ DQM



Примечания:

- 1) Длина пакета = 4
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

[illegible]

1) Длина пакета = 4
2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

ПРИОСТАНОВКА ТАКТА

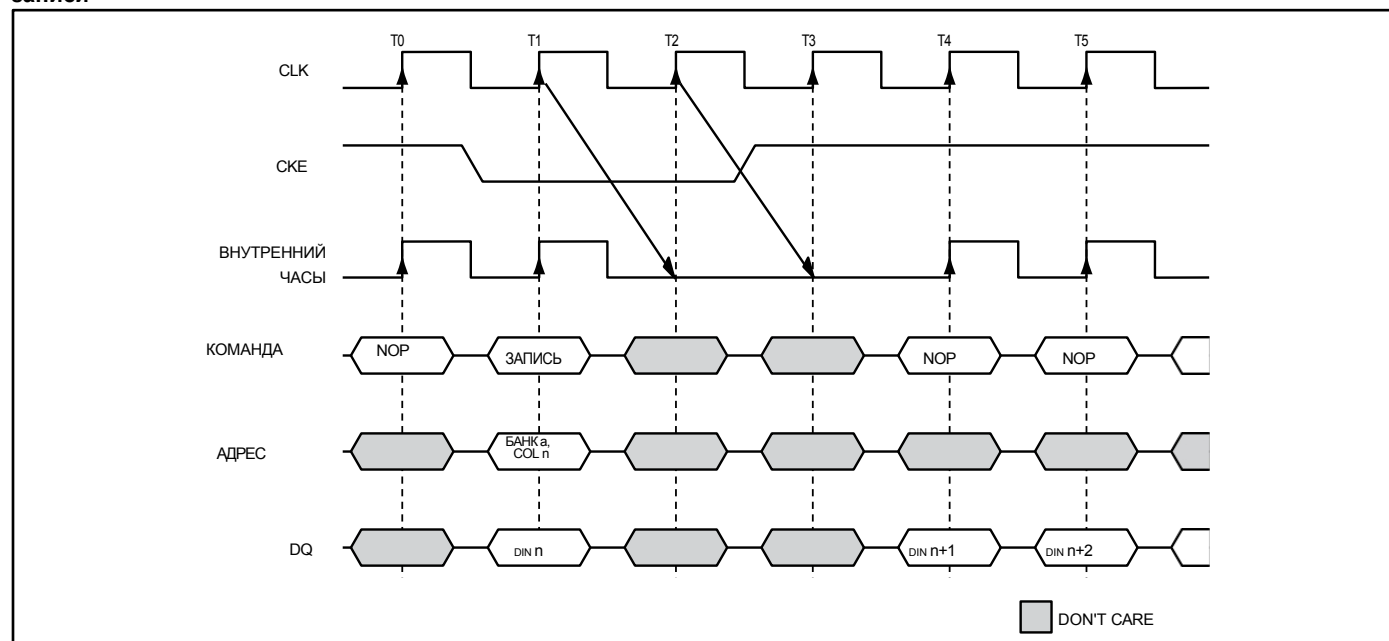
Режим приостановки тактовой частоты возникает, когда выполняется доступ к столбцу/пакетная передача данных и CKE регистрируется как LOW. В режиме приостановки тактовой частоты внутренний такт отключается, «замораживая» синхронную логику.

Для каждого положительного фронта тактового генератора, на котором CKE регистрируется как LOW, следующий внутренний положительный фронт тактового генератора приостанавливается. Любая команда или данные, присутствующие на входных контактах в момент

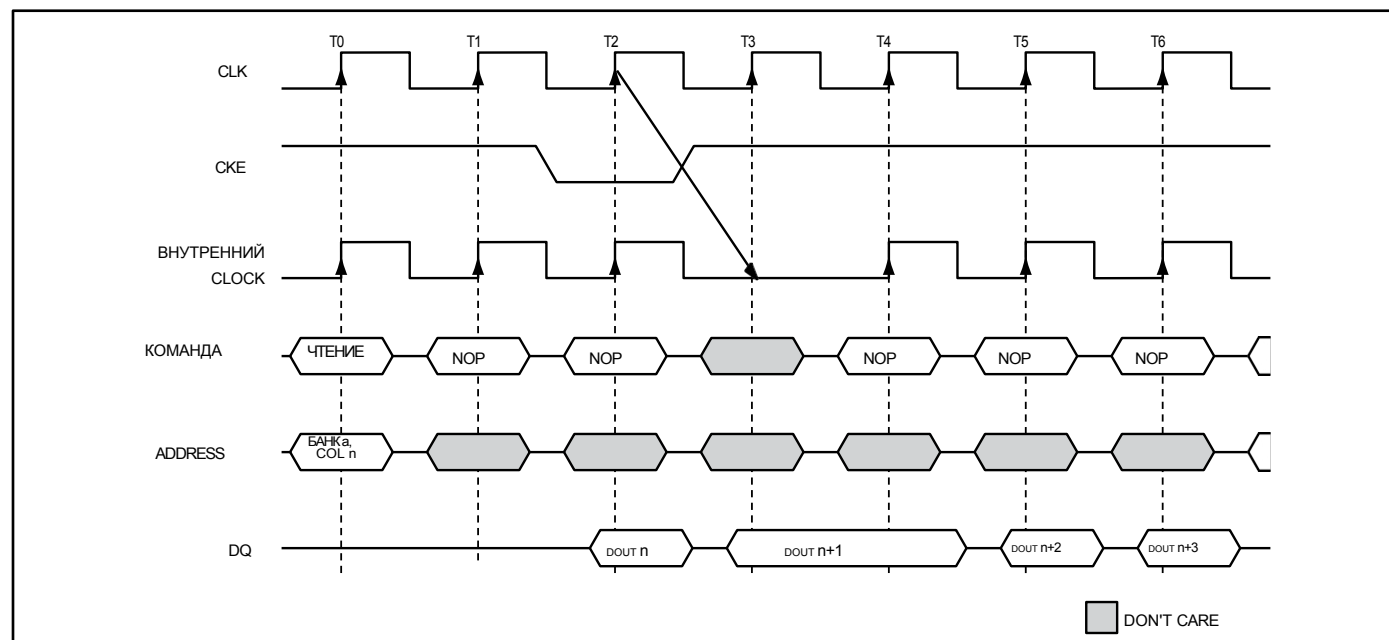
Приостановленного внутреннего такта игнорируются; любые данные, присутствующие на выходах DQ, остаются неизменными; счетчики пакетов не инкрементируются, пока такт приостановлен. (См. следующие примеры.)

Режим приостановки тактового генератора завершается регистрацией CKE HIGH; внутренний тактовый генератор и связанные с ним операции возобновляются на следующем положительном фронте тактового генератора.

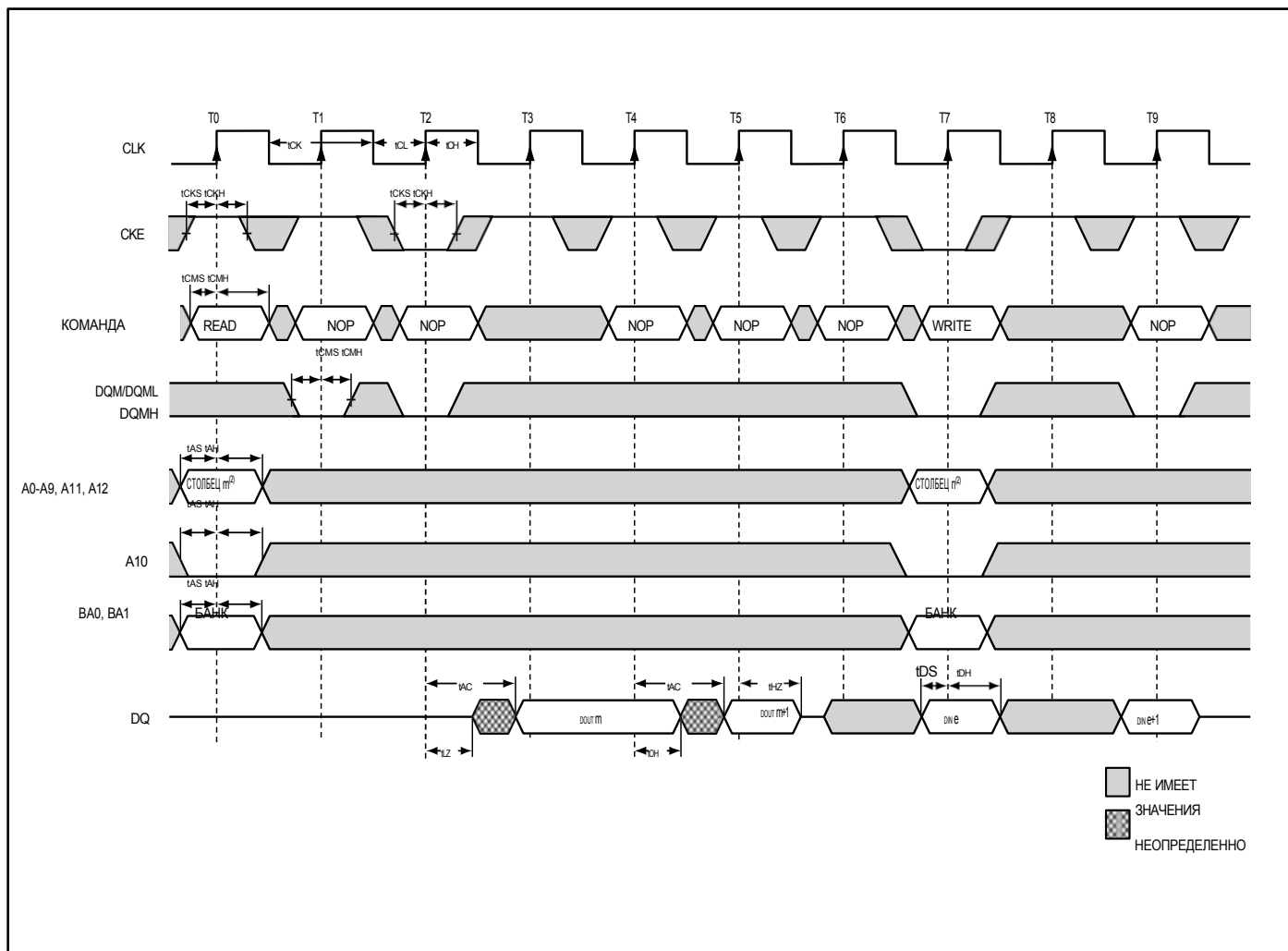
Приостановка тактового генератора во время пакетной записи



Приостановка тактовой частоты во время пакета READ



РЕЖИМ ПРИОСТАНОВКИ ЧАСОВ



Примечания:

- 1) Задержка $\bar{C}\bar{A}\bar{S}$ = 3, длина пакета = 2, автоматическая предварительная зарядка отключена.
- 2) X16: A9, A11 и A12 = «Неважно»
X8: A11 и A12 = «Неважно»

ПРЕДВАРИТЕЛЬНАЯ ЗАРЯДКА

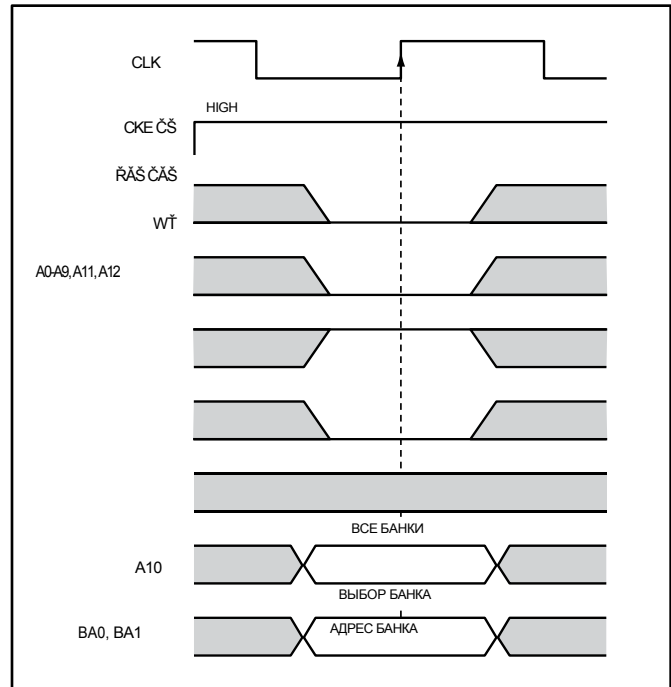
Команда PRECHARGE (см. рисунок) используется для деактивации открытой строки в определенном банке или открытой строки во всех банках. Банк (банки) будет доступен для последующего доступа к строке через определенное время (t_{RP}) после выдачи команды PRECHARGE. Вход A10 определяет, следует ли выполнить предварительную зарядку одного или всех банков, и в случае, когда предварительная зарядка выполняется только для одного банка, входы BA0, BA1 выбирают банк. Когда предварительная зарядка выполняется для всех банков, входы BA0, BA1 рассматриваются как «неважные». После выполнения предварительной зарядки банк находится в состоянии простоя и должен быть активирован перед выдачей любой команды READ или WRITE для этого банка.

ВЫКЛЮЧЕНИЕ

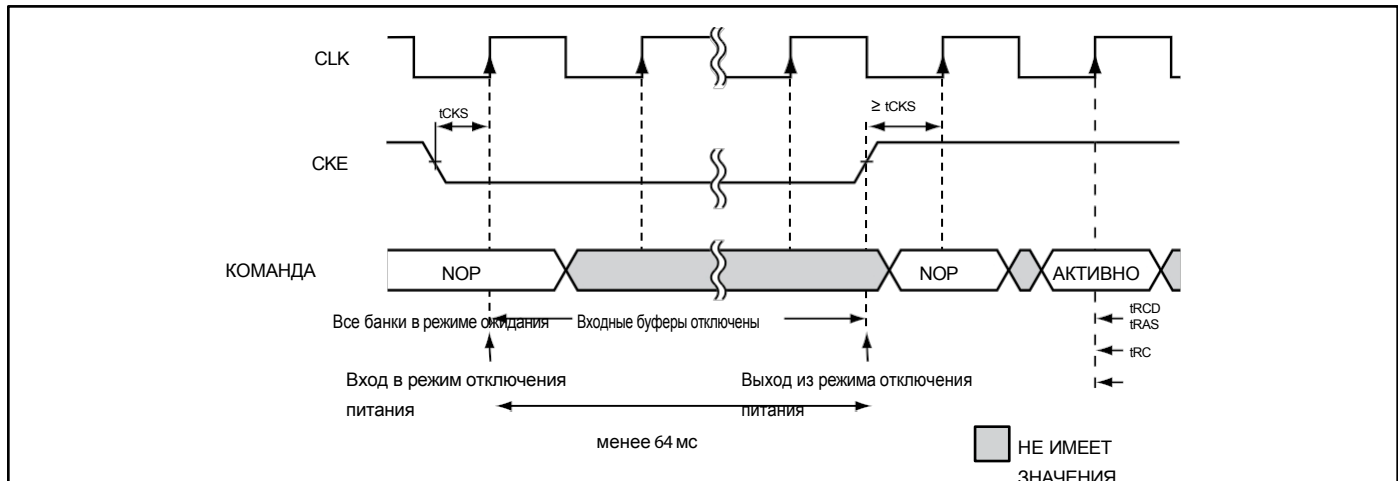
Отключение питания происходит, если CKE регистрируется как LOW одновременно с NOP или COMMAND INHIBIT, когда нет никаких обращений. Если отключение питания происходит, когда все банки находятся в режиме ожидания, этот режим называется отключением питания с предварительной зарядкой; если отключение питания происходит, когда в любом из банков активен ряд, этот режим называется активным отключением питания. При входе в режим отключения питания входные и выходные буферы, за исключением CKE, деактивируются для максимальной экономии энергии в режиме ожидания. Устройство не может оставаться в режиме отключения питания дольше, чем период обновления (64 мс), поскольку в этом режиме операции обновления не выполняются.

Выход из режима отключения питания осуществляется путем регистрации NOP или COMMAND INHIBIT и CKE HIGH на желаемом фронте тактового импульса (соответствующем t_{CKS}). См. рисунок ниже.

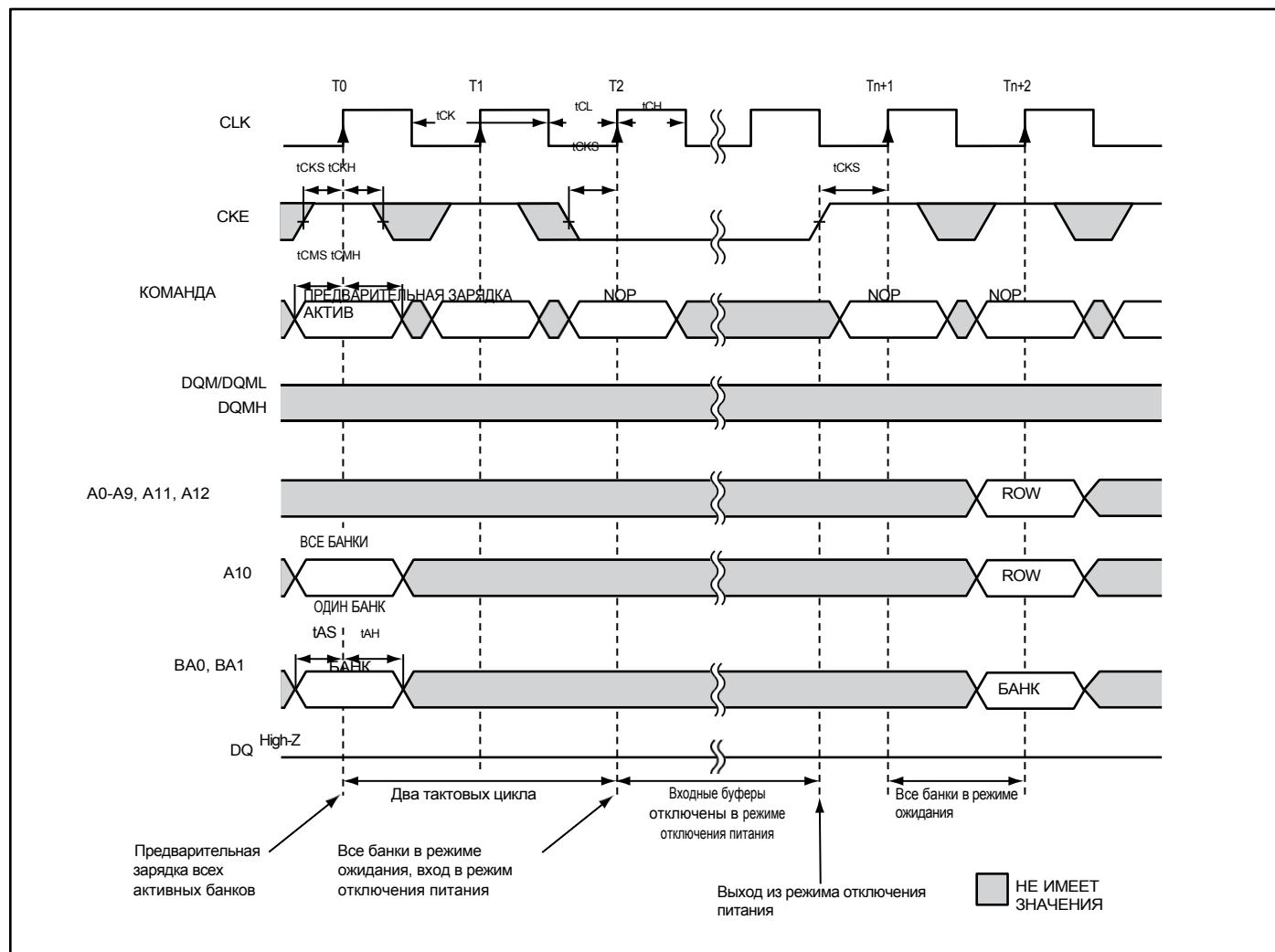
Команда PRECHARGE



ВЫКЛЮЧЕНИЕ



ЦИКЛ РЕЖИМА ВЫКЛЮЧЕНИЯ



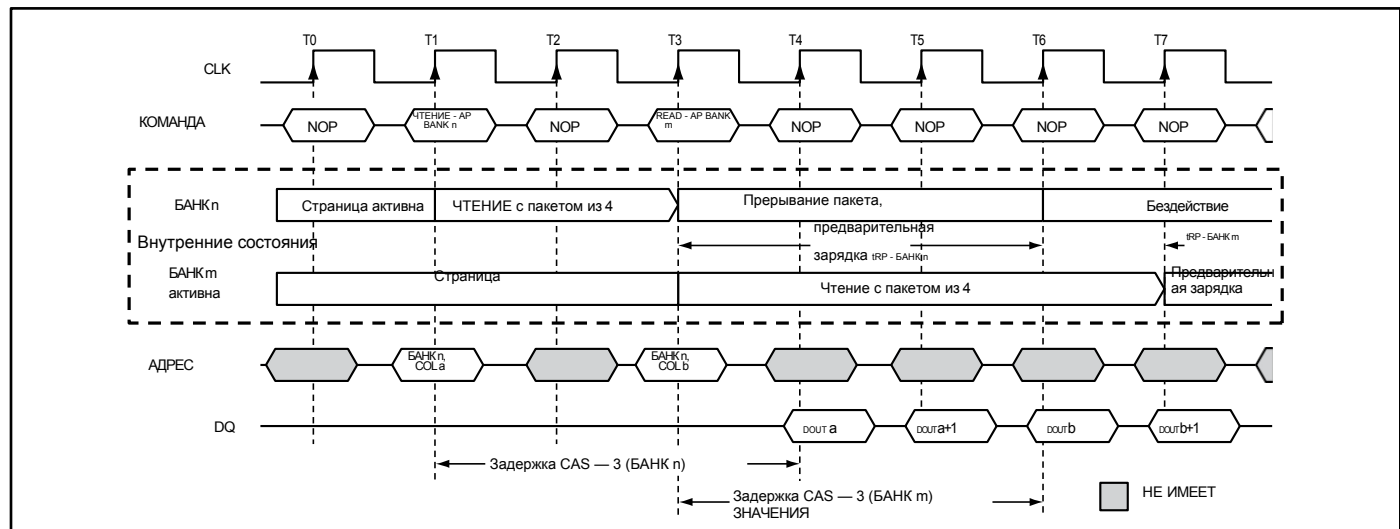
ЧТЕНИЕ ПОРТОВОЙ ПЕРЕДАЧИ/ОДНОКРАТНАЯ ЗАПИСЬ

Режим пакетного чтения/одиночной записи включается путем программирования бита режима пакетной записи (M9) в регистре режимов в логическое состояние 1. В этом режиме все команды WRITE приводят к доступу к одной ячейке столбца (пакет из одного), независимо от запрограммированной длины пакета. Команды READ обращаются к столбцам в соответствии с запрограммированной длиной и последовательностью пакета, как и в нормальном режиме работы (M9 = 0).

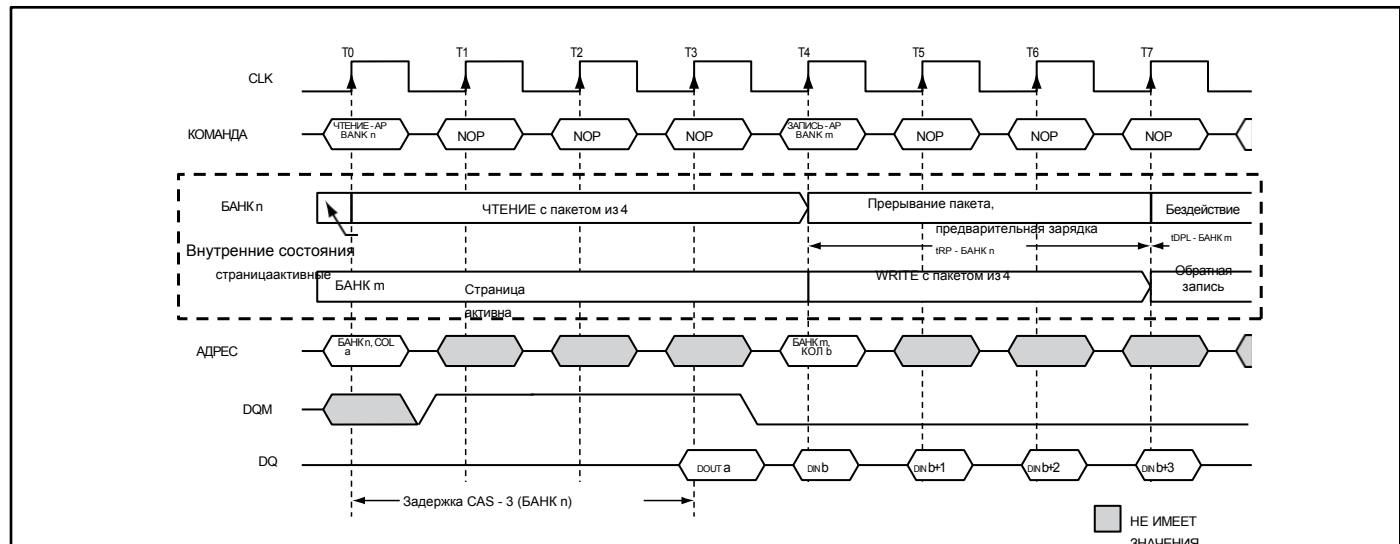
СОВМЕСТНАЯ АВТОМАТИЧЕСКАЯ ПРЕДВАРИТЕЛЬНАЯ ЗАРЯД

Команда доступа (READ или WRITE) к другому банку во время выполнения команды доступа с включенной функцией автоматической предварительной зарядки не допускается SDRAM, за исключением случаев, когда SDRAM поддерживает функцию CONCURRENT AUTO PRECHARGE. SDRAM

READ с автопрезарядом, прерванная командой READ



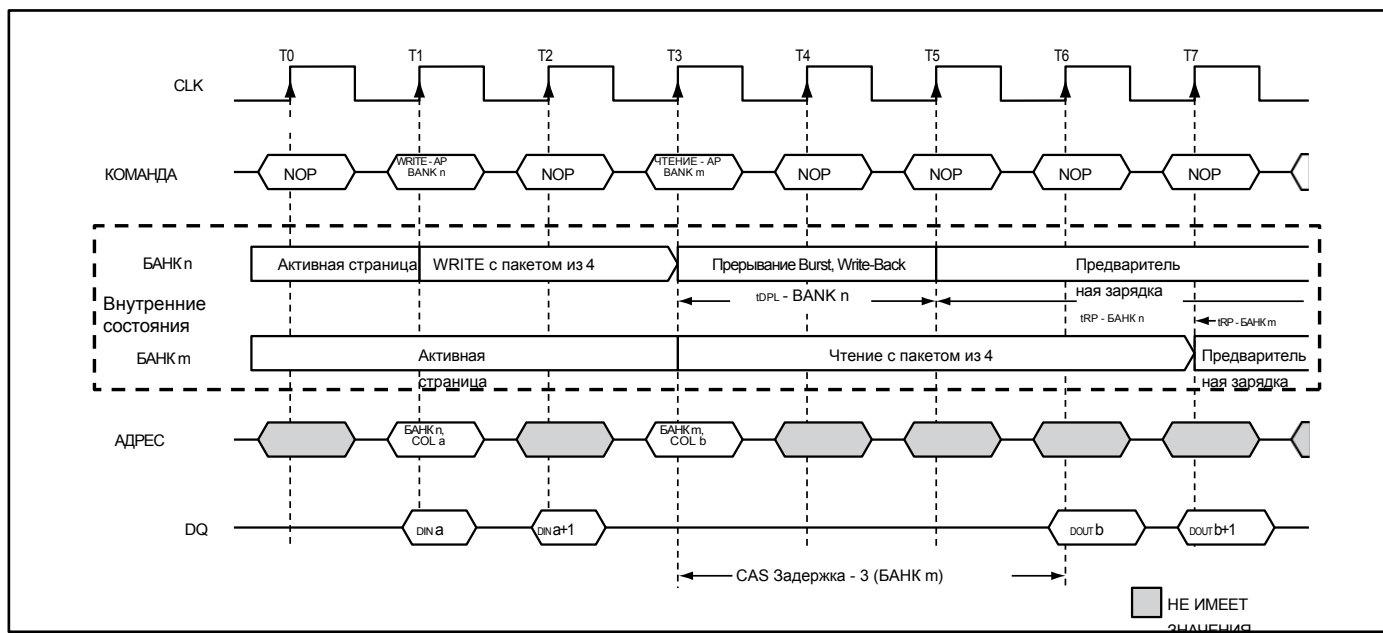
ЧТЕНИЕ с автозарядкой, прерванной записью



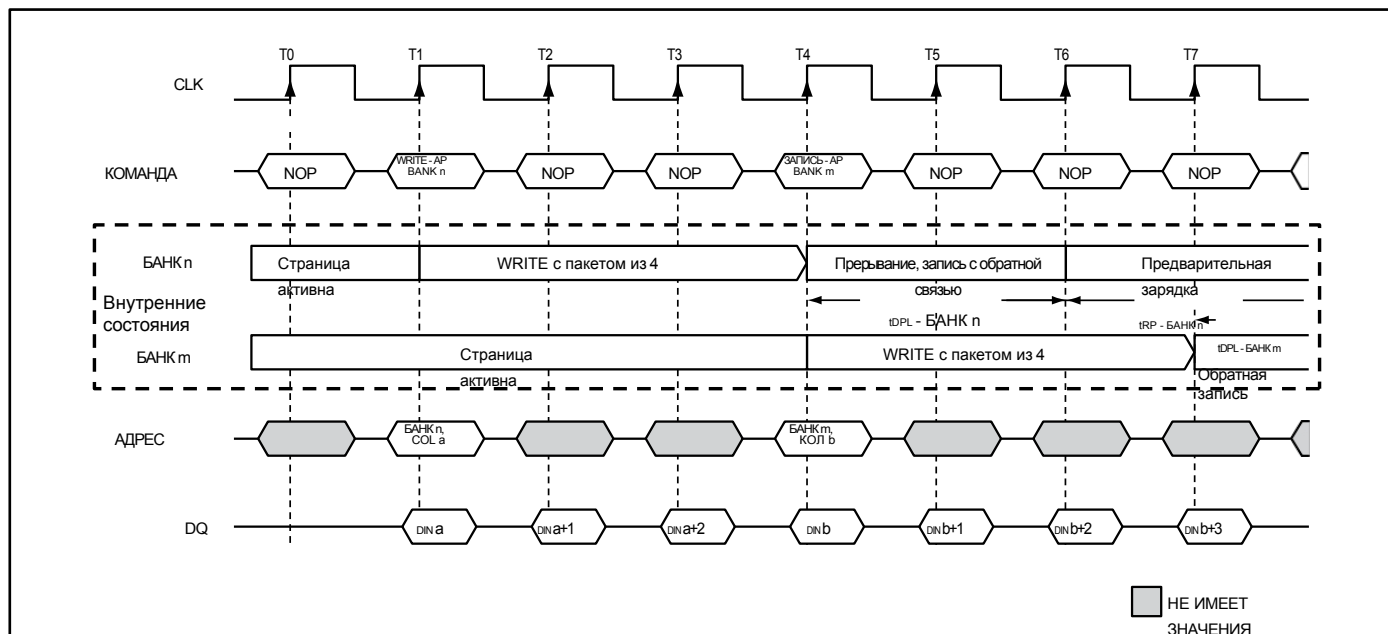
ЗАПИСЬ с автоматической предварительной зарядкой

3. Прерывание READ (с автозарядкой или без нее): READ в банк m прерывает WRITE в банк n при регистрации, а данные появляются позже (задержка CAS). Предварительная зарядка банка n начнется после достижения IDPL , где IDPL начинается при регистрации чтения банка m. Последнее действительное записывание в банк n будет зарегистрировано за один такт до чтения банка m.
4. Прерывание операций WRITE (с автозарядкой или без нее): операция AWRITE в банк m прерывает операцию WRITE в банк n при регистрации. Операция PRECHARGE в банк n начинается после достижения IDPL , где IDPL начинается при регистрации операции WRITE в банк m. Последними действительными данными, записанными в банк n, будут данные, зарегистрированные за один такт до операции WRITE в банк m.

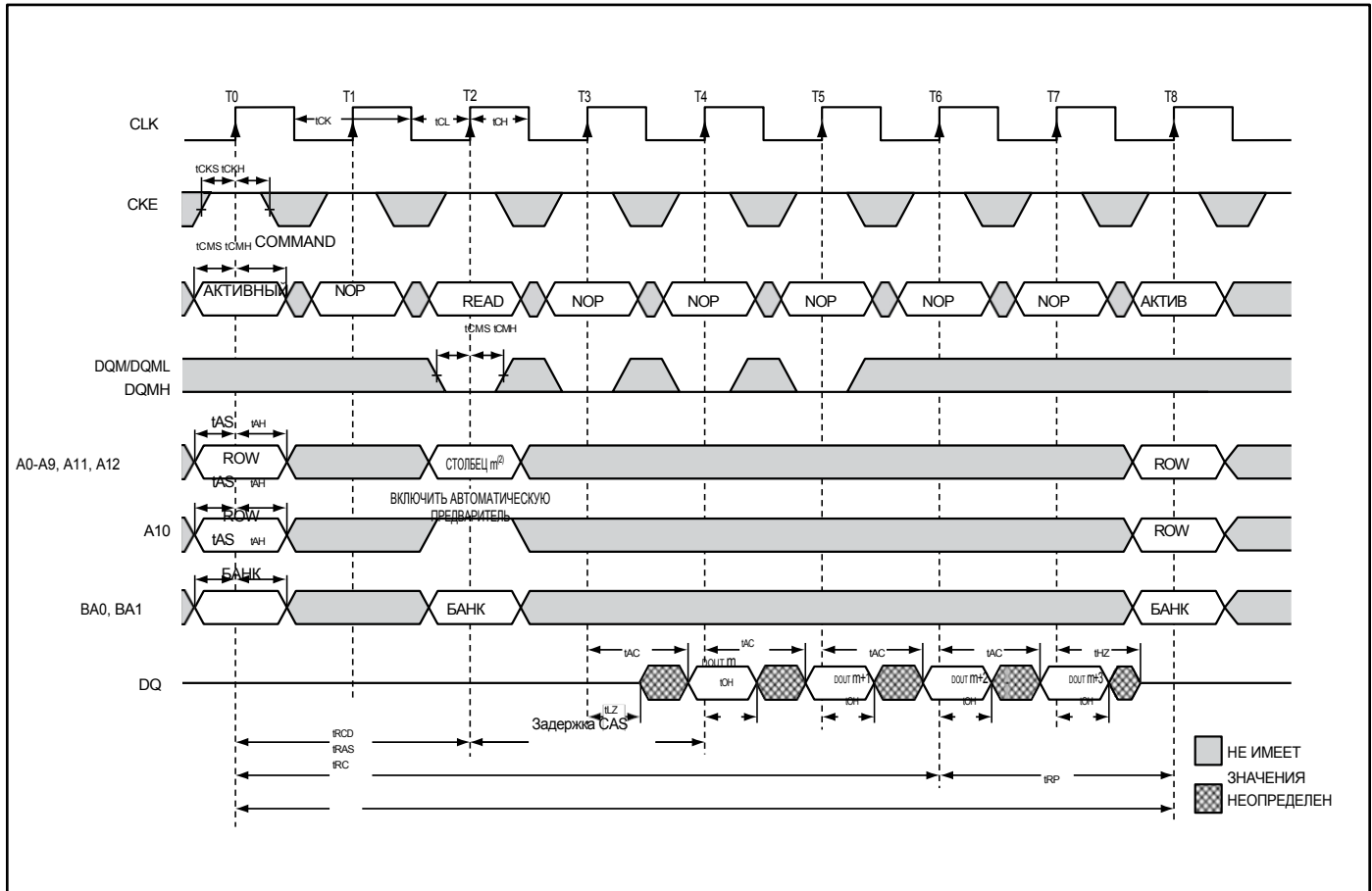
WRITE с автопрезардом, прерванная READ



ЗАПИСЬ С автозарядкой, прерванной ЗАПИСЬЮ



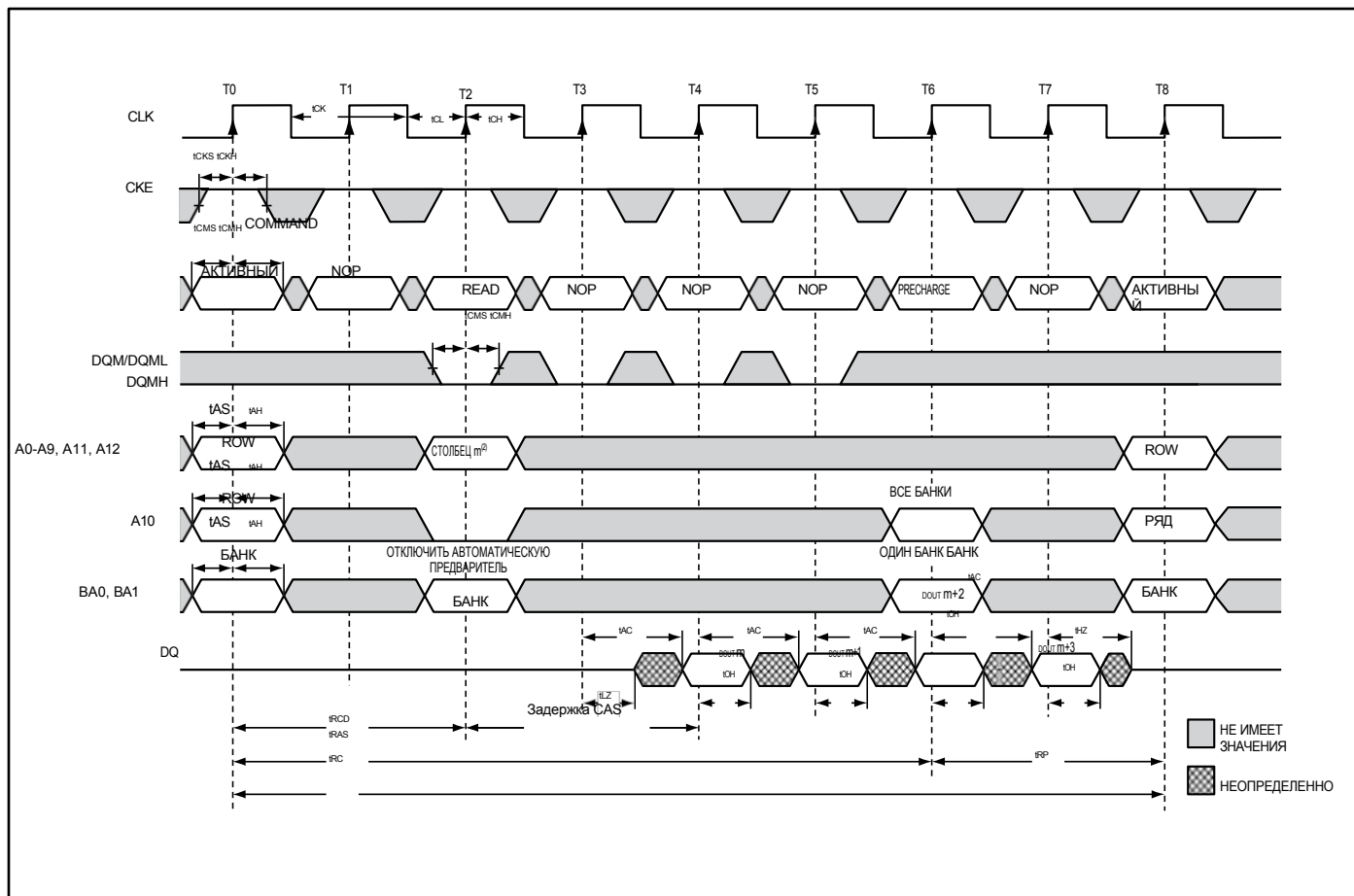
ЧТЕНИЕ С АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ



Примечания:

- 1) Задержка \overline{CAS} = 2, длина пакета = 4
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

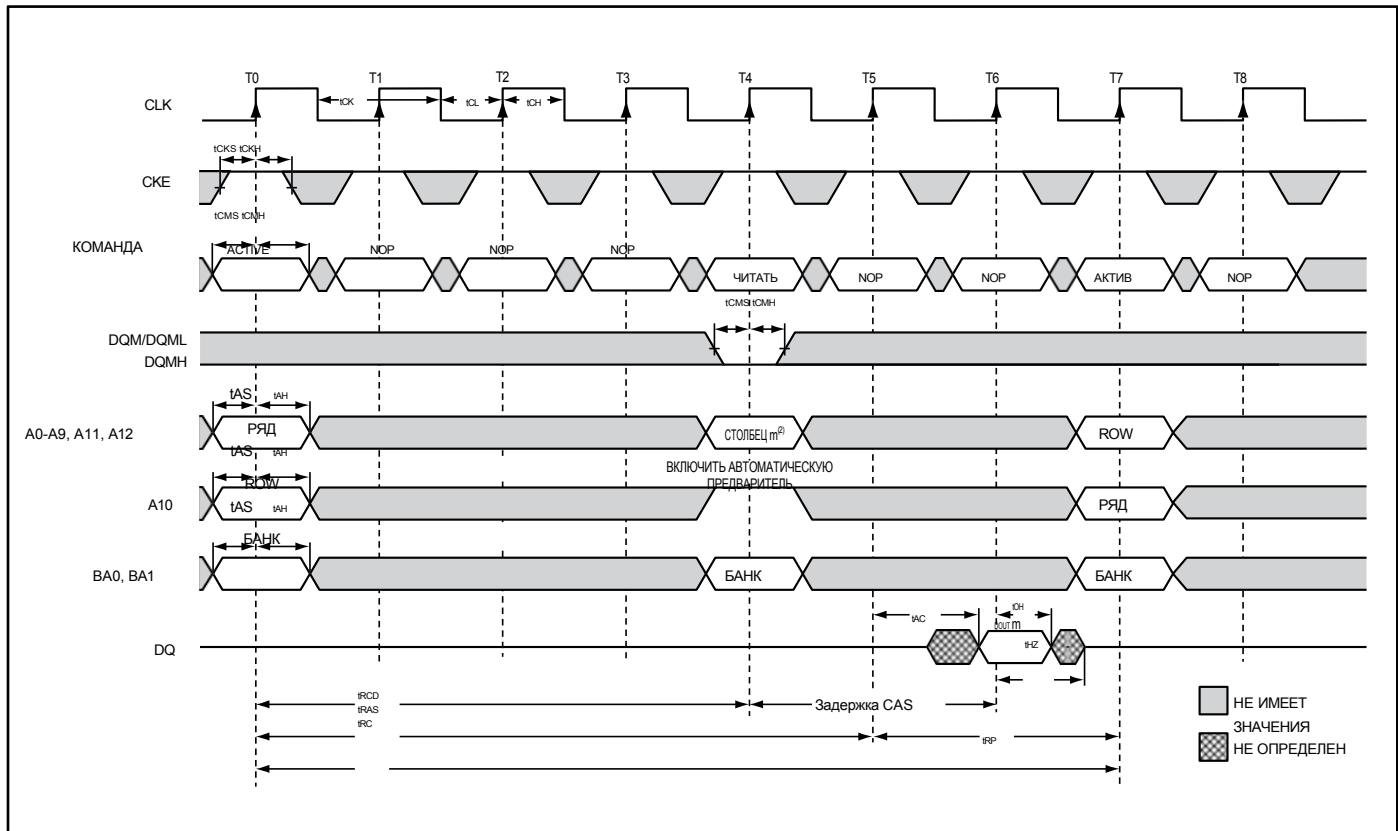
ЧТЕНИЕ БЕЗ АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ ЗАРЯ



Примечания:

- 1) Задержка \overline{CAS} = 2, длина пакета = 4
- 2) x16: A9, A11, A12 = «Неважно»
x8: A11 и A12 = «Неважно»

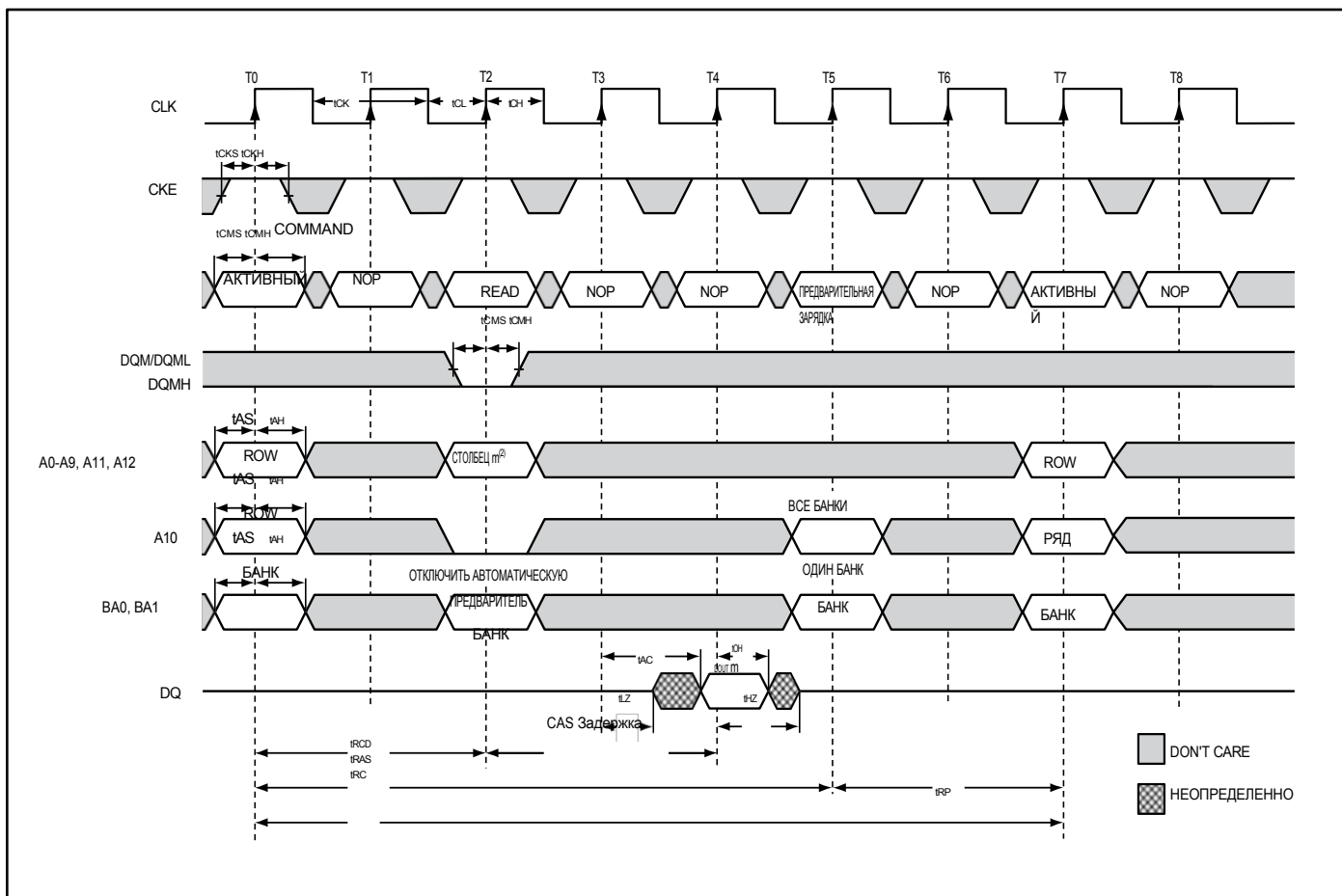
ОДНОКРАТНОЕ ЧТЕНИЕ С АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНО



Примечания:

- 1) Задержка \overline{CS} = 2, длина пакета = 1
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

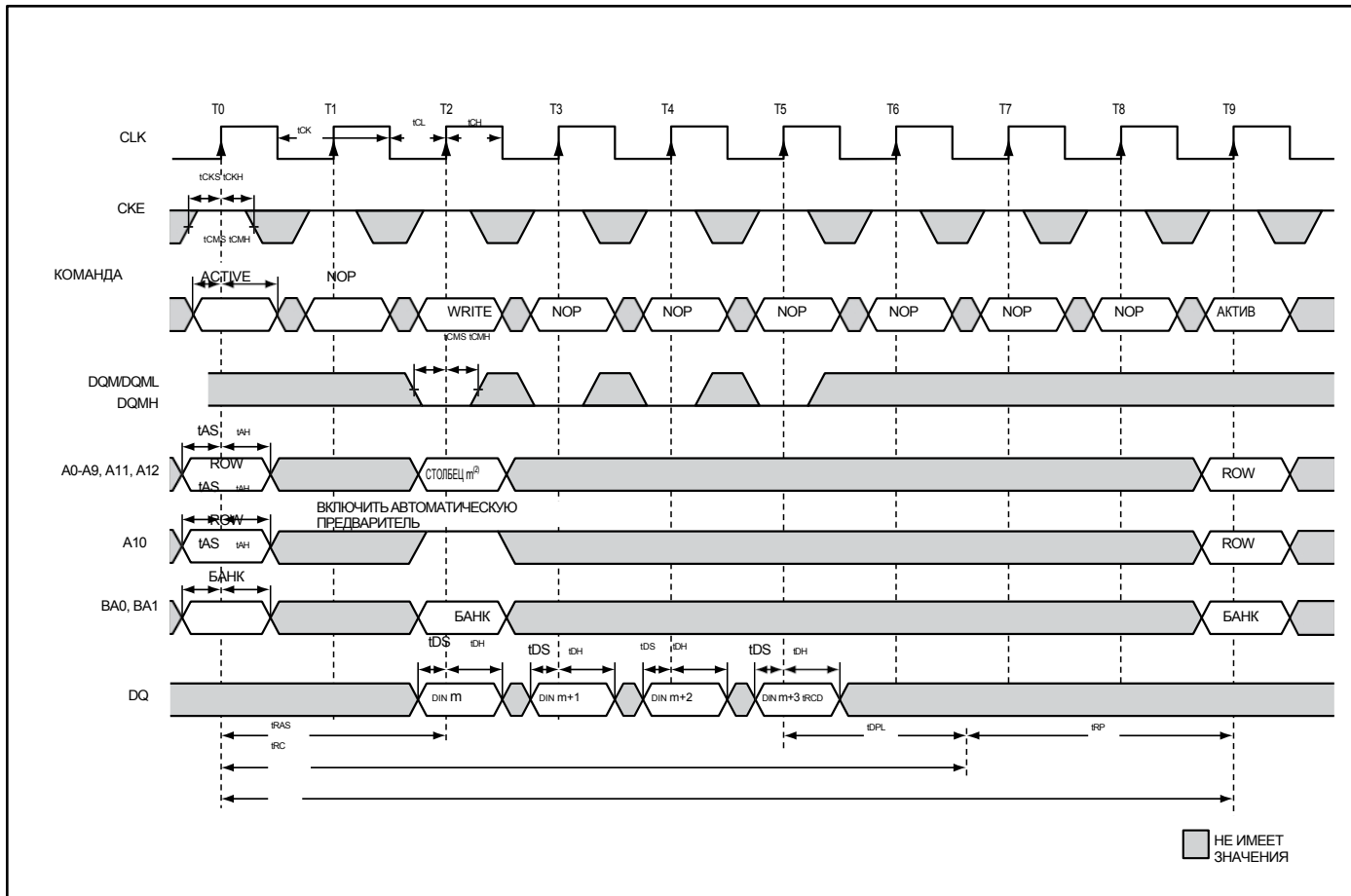
ОДНОКРАТНОЕ ЧТЕНИЕ БЕЗ АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ ЗАР



Примечания:

- 1) Задержка \overline{CAS} = 2, длина пакета = 1
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

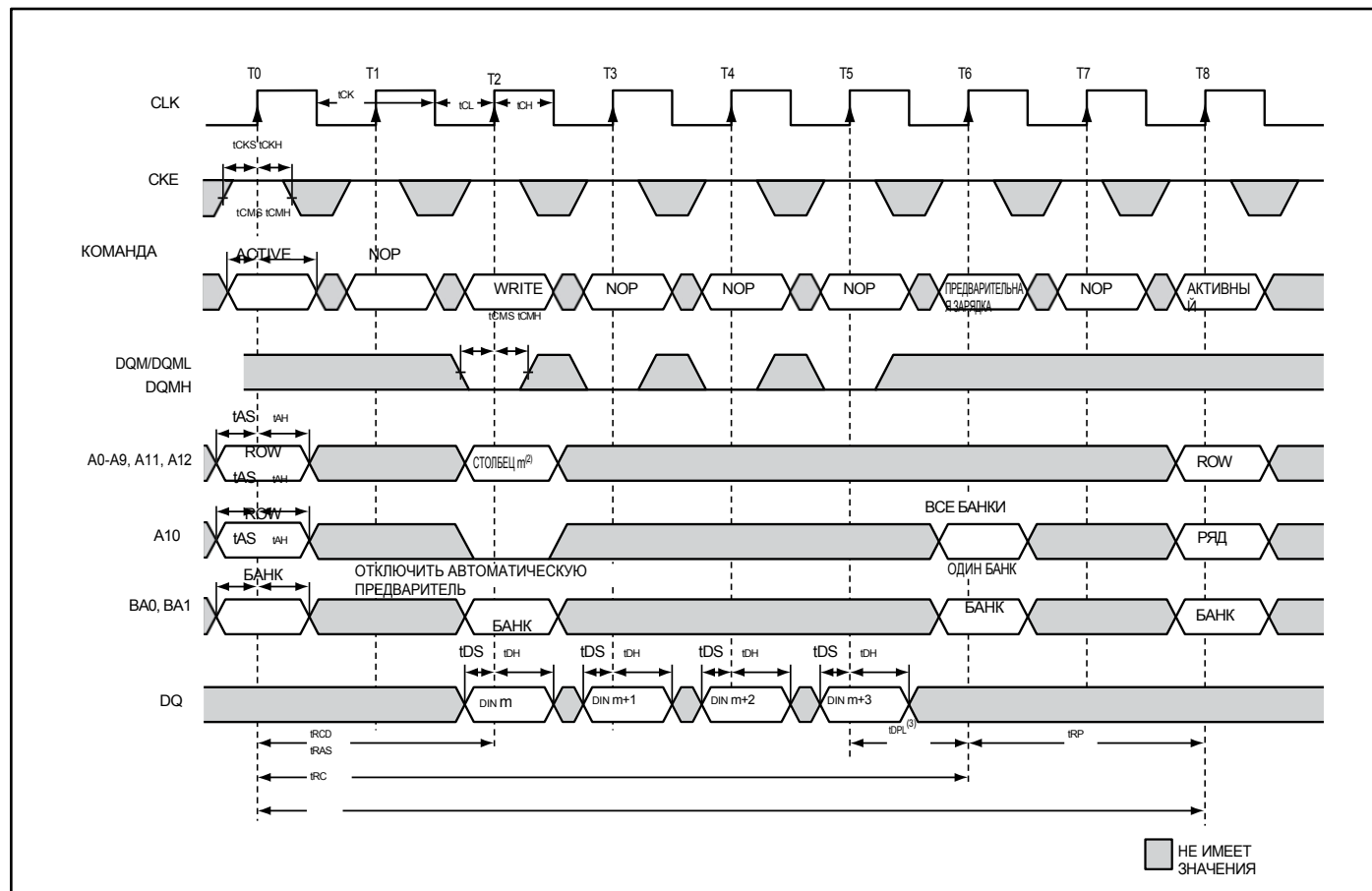
ЗАПИСЬ — С АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ ЗАР



Примечания:

- 1) Длина пакета = 4
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

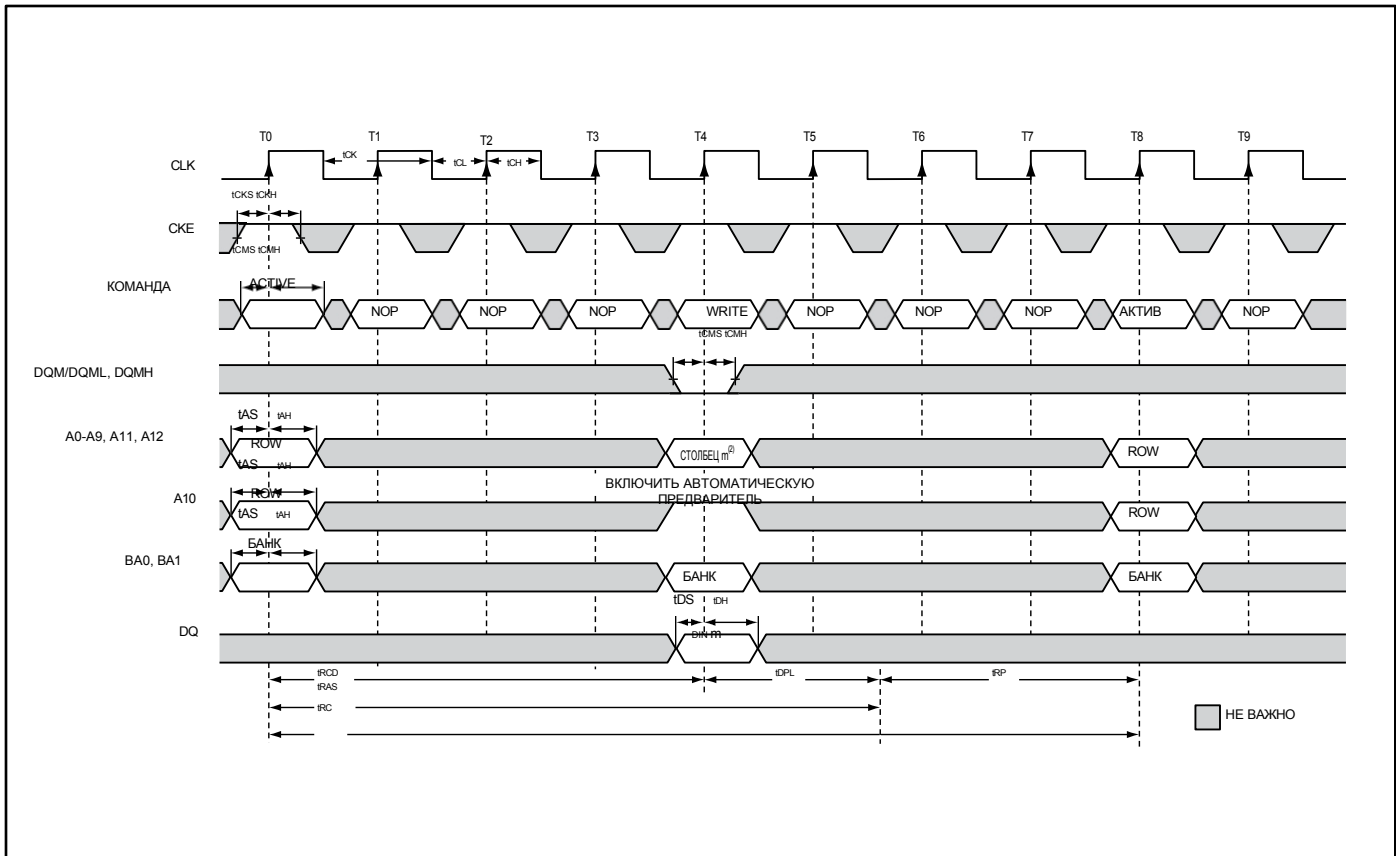
ЗАПИСЬ — БЕЗ АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ ЗАРЯДКИ



Примечания:

- 1) Длина пакета = 4
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»
- 3) tras не должно нарушаться.

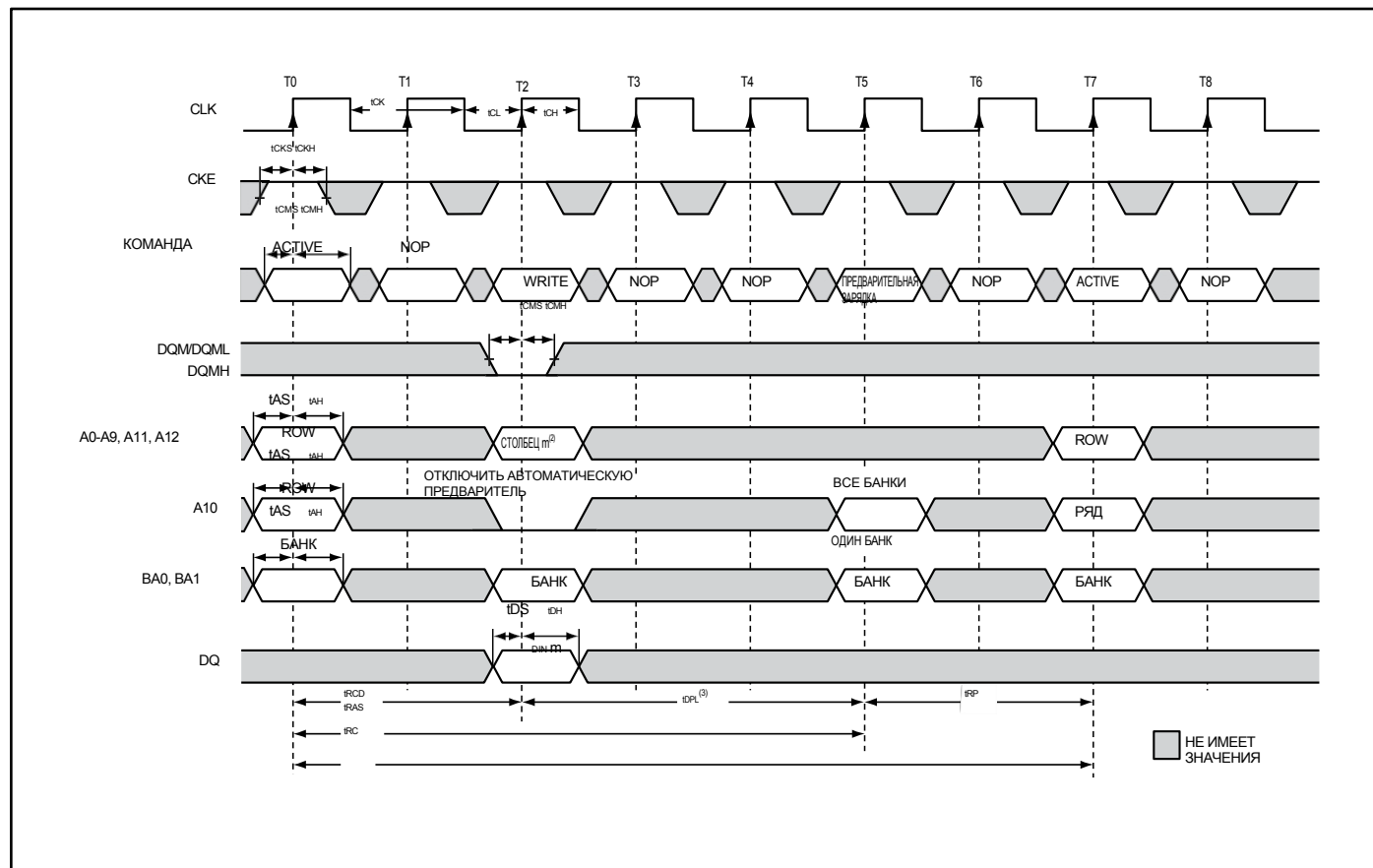
ОДНОКРАТНАЯ ЗАПИСЬ С АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ З



Примечания:

- 1) Длина пакета = 1
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»

ОДНОКРАТНАЯ ЗАПИСЬ — БЕЗ АВТОМАТИЧЕСКОЙ ПРЕДВАРИТЕЛЬНОЙ ЗАРЯДКИ



Примечания:

- 1) Длина пакета = 1
- 2) x16: A9, A11 и A12 = «Неважно» x8: A11 и A12 = «Неважно»
- 3) t_{RAS} не должно нарушаться.

ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА - $V_{DD} = 3,3\text{ В}$

Коммерческий диапазон: от 0 °C до +70 °C

Частота	Скорость (нс)	Номер заказа	Упаковка
166 МГц	6	IS42S83200J-6TL	54-контактный TSOPII, без свинца
143 МГц	7		54-контактный TSOPII, безсвинцовый 54-контактный BGA, безсвинцовый

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6		54-контактный TSOPII, безсвинцовый 54-контактный BGA, безсвинцовый
143 МГц	7		54-контактный TSOPII, безсвинцовый 54-контактный BGA, безсвинцовый

Промышленный диапазон: от -40 °C до +85 °C

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6	IS42S83200J-6TLI	54-контактный TSOPII, без свинца
143 МГц	7		54-контактный TSOPII, без свинца 54-контактный BGA, без свинца

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6		54-контактный TSOPII, безсвинцовый 54-контактный BGA, безсвинцовый
143 МГц	7		54-контактный TSOPII, безсвинцовый 54-контактный BGA, безсвинцовый
		IS42S16160J-7BI	54-контактный BGA

Автомобильный диапазон A1: от -40 °C до +85 °C

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6		54-контактный TSOPII, лигамент Alloy42 с матовым покрытием Sn 54-контактный BGA, шарики SnAgCu
143 МГц	7	IS45S83200J-7TLA1 IS45S83200J-7CTLA1 IS45S83200J-7BLA1	54-контактный TSOPII, лидфрейм из сплава 42 с матовым покрытием Sn 54-контактный TSOPII, лидфрейм из Cu с матовым покрытием Sn 54-контактный BGA, шарики SnAgCu

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6		54-контактный TSOPII, лигамент Alloy42 с матовым покрытием Sn 54-контактный BGA, шарики SnAgCu
143 МГц	7	IS45S16160J-7TLA1 IS45S16160J-7CTLA1 IS45S16160J-7BLA1	54-контактный TSOPII, лидфрейм из сплава 42 с матовым покрытием Sn 54-контактный TSOPII, лидфрейм из Cu с матовым покрытием Sn 54-шариковый BGA, шарики SnAgCu

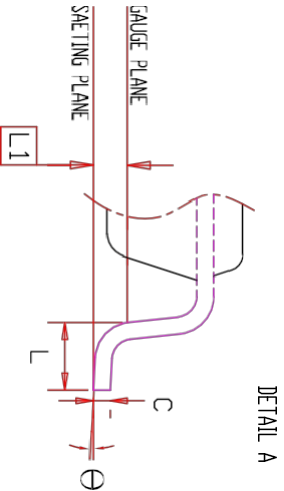
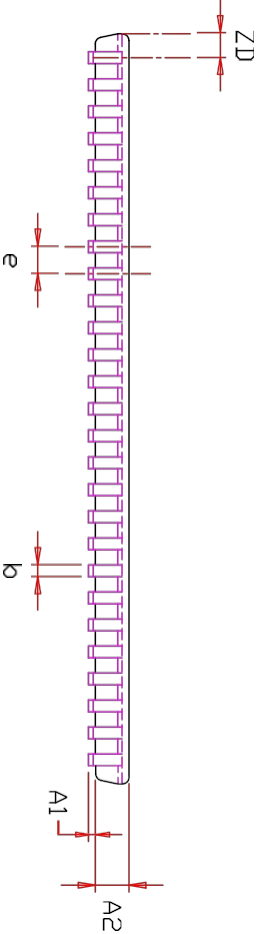
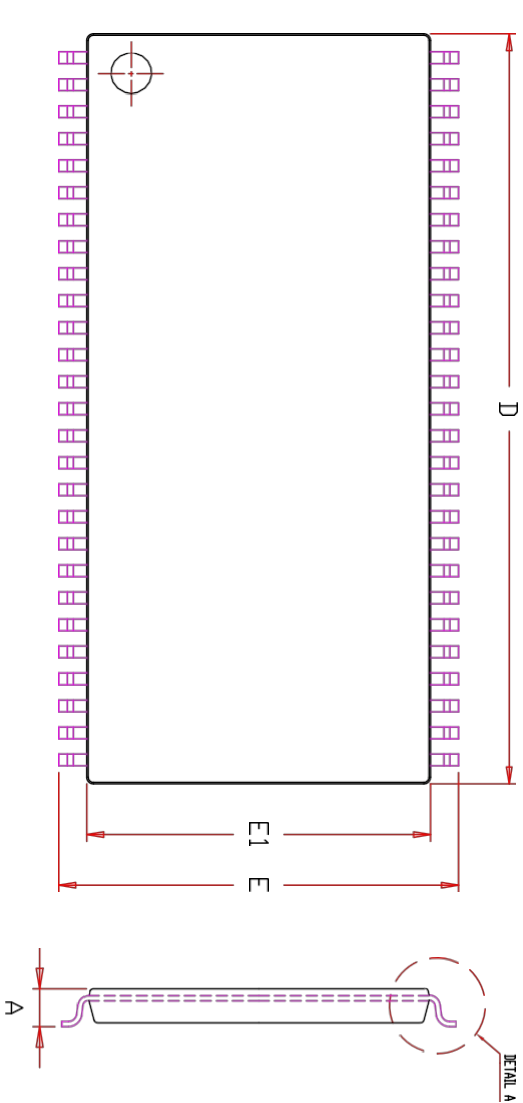
Автомобильный диапазон A2: от -40 °C до +105 °C

Частота	Скорость (нс)	Номер заказа	Корпус
143 МГц	7		54-контактный TSOPII, лигаментная рамка Alloy42 с матовым покрытием Sn 54-контактный TSOPII, медная рамка с матовым покрытием Sn

Частота	Скорость (нс)	Номер заказа	Корпус
166 МГц	6	IS45S16160J-6TLA2	54-контактный TSOPII, лигатурная рамка Alloy42 с матовым покрытием Sn 54-контактный TSOPII, лидфрейм Cu с матовым покрытием Sn 54-шариковый BGA, шарики SnAgCu
143 МГц	7	IS45S16160J-7TLA2	54-контактный TSOPII, лигамент Alloy42 с матовым покрытием Sn 54-контактный TSOPII, лидфрейм из меди с матовым покрытием из олова 54-шариковый BGA, шарики из олова-серебра-меди

Примечания:

1. Обратитесь в ISSI для получения поддержки по деталям с выводами и медными выводными рамками.
2. Номера деталей с буквой «L» обозначают бессвинцовые детали, соответствующие требованиям RoHS.



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A			1.20			0.047
A1	0.05		0.15	0.002		0.006
A2	0.95	1.00	1.05	0.037	0.039	0.041
b	0.30		0.45	0.012		0.018
C	0.12		0.21	0.005		0.008
D	22.02	22.22	22.42	0.867	0.875	0.883
E	11.56	11.76	11.96	0.455	0.463	0.471
E1	10.03	10.16	10.29	0.395	0.400	0.405
e	0.80	BSC.		0.031	BSC.	
L	0.40	0.50	0.60	0.016	0.020	0.024
L1	0.25	BSC.		0.010	BSC.	
ZD	0.71	REF.		0.028	REF.	
theta	0		8°	0		8°

NOTE :

1. Controlling dimension : mm
2. Dimension D and E1 do not include mold protrusion .
3. Dimension b does not include dambar protrusion/intrusion.
4. Formed leads shall be planar with respect to one another within 0.1mm at the seating plane after final test.

ISSI	TITLE	54L 400mil TSOP-2 Package Outline	REV.	H	DATE	02/16/2015
------	-------	--------------------------------------	------	---	------	------------

