

ANDRÉ LUIS DOS SANTOS

**ARQUITETURA DE AQUISIÇÃO DE SINAIS PARA
TOMOGRAFIA POR IMPEDÂNCIA ELÉTRICA**

São Paulo
2016

ANDRÉ LUIS DOS SANTOS

**ARQUITETURA DE AQUISIÇÃO DE SINAIS PARA
TOMOGRAFIA POR IMPEDÂNCIA ELÉTRICA**

Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo para obtenção
do Título de Mestre em Engenharia Mecânica.

São Paulo
2016

ANDRÉ LUIS DOS SANTOS

**ARQUITETURA DE AQUISIÇÃO DE SINAIS PARA
TOMOGRAFIA POR IMPEDÂNCIA ELÉTRICA**

Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo para obtenção
do Título de Mestre em Engenharia Mecânica.

Área de Concentração:
Engenharia de Automação e Controle

Orientador:
Prof. Dr. Raul Gonzales

São Paulo
2016

Ficha Catalográfica

Santos, André Luis dos
Arquitetura de Aquisição de Sinais para Tomografia por Impedância
Elétrica / A. L. Santos -- São Paulo, 2016.
68 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de
São Paulo. Departamento de Engenharia Mecânica.

1.processamento de sinais 2.tomografia
3.microprocessadores I.Universidade de São Paulo. Escola
Politécnica. Departamento de Engenharia Mecânica II.t.

Dedico este trabalho aos amores
da minha vida, Adelia, Danielle e
Arthur.

AGRADECIMENTOS

Agradeço ao meu orientador Raul Gonzalez Lima por ter me guiado frente aos pequenos grandes contratemplos que ocorreram durante este trabalho.

Agradeço aos colegas do Laboratório de Engenharia Ambiental e Biomédica da Escola Politécnica da Universidade de São Paulo (USP) pelas inúmeras sugestões, explicações e apoio nas pesquisas. Agradeço aos colegas Erick Camargo, Fernando Moura, Isadora , Olavo Luppi, Paulo Sabia, Rafael Mikio, Thais Samed e, em especial, Tales Rattis, sem o qual não teria conseguido concluir essa dissertação.

Por último, mas não menos importante, quero agradecer à minha família. Minha amada esposa, Danielle Thais, nosso filho, Arthur, e minha mãe e exemplo de vida, Adelia.

*“O segredo da genialidade é carregar o
espírito da infância na maturidade”*

-- Thomas Huxley

RESUMO

Grupos de pesquisas espalhados pelo mundo vêm empregando a Tomografia por Impedância Elétrica (TIE) em aplicações médicas. Entretanto estas pesquisas vem sendo limitadas pelos sistemas de aquisição atualmente empregados. Estes, frequentemente, são baseados em hardware proprietário que, além de alto custo, não possuem a flexibilidade, capacidade de sincronismo temporal e velocidade exigidos nas pesquisas mais recentes.

Para facilitar o progresso das pesquisas este trabalho define uma arquitetura aberta para aquisição, transferência e armazenamento de sinais. A arquitetura proposta compreende unidades de medição e processamento de sinais, cada unidade é chamada *Canal de Medição*. Cada *canal de medição* é composto por *Condicionador de Sinal*, *Conversor AD* e *Demodulador*. Um software de configuração e armazenamento, denominado *Supervisor*, possibilita o controle e monitoramento destes canais através de um *Concentrador* que gerencia um barramento de comunicação. Estes módulos, operando em conjunto, têm desempenho equiparável às soluções existentes, porém com ganho de flexibilidade e velocidade. Os dados são armazenados em plataforma computacional, com a velocidade de coleta compatível com estimativa de 50 imagens por segundo.

Palavras-Chave – processamento de sinais, tomografia, microprocessadores

ABSTRACT

Research groups around the world are applying Electrical Impedance Tomography (EIT) on medical applications. However the acquisition systems used are imposing limitations to these investigations. These acquisition systems are frequently based on proprietary hardware, which, besides expensive, do not have the flexibility, temporal synchronism, capacity and speed required by the recent investigations.

To facilitate research progress this work defines an open architecture for signal acquisition, transfer and storage. The proposed architecture is composed by measuring and processing units, called *Measuring Channels*, which, in turn, are composed by *Signal Conditioner*, *AD Converter* and *Demodulator*. A configuration and storage software, denominated *Supervisor*, allows the monitoring and control of these units through a *Concentrator* which manages a communication bus. These modules, working together, have performance equivalent to existing solutions, but with improvements on flexibility and speed. The data are stored in a computational platform, with the data acquisition speed consistent with the estimation of 50 images per second.

Keywords – signal processing, tomography, microprocessors

LISTA DE FIGURAS

1	Tomografia por Impedância Elétrica.	14
2	Sistema de TIE Atual (Frankie).	27
3	Sistemas seriais x paralelos	30
4	Arquitetura Modular Proposta.	32
5	Conexões do módulo <i>Demodulador</i>	34
6	Diagrama de Estados do <i>Demodulador</i>	35
7	Condicionador de Sinal.	37
8	Conversão Analógico-Digital.	38
9	Formato dos Pacotes do Protocolo de Supervisão.	40
10	Fluxo de leitura dos parâmetros da rede de comunicação.	41
11	Fluxo de alteração dos parâmetros da rede de comunicação.	41
12	Fluxo de comandos para iniciar e finalizar aquisição.	41
13	Exemplos de comunicação para troca de modo de operação.	42
14	Rede de Comunicação.	43
15	Detalhe do cabeçalho dos pacotes do <i>Protocolo de Aquisição</i>	44
16	Banco de Dados.	46
17	Esquema elétrico implementação inicial do <i>Conversor AD</i> com AD9260.	49
18	Esquema elétrico implementação simplificada do Condicionador de Sinal.	50
19	Vista Componentes.	50

20	Vista Trilha.	50
21	Integração dos circuitos do Demodulador de Sinal e Conversor AD.	50
22	Medições feitas com sistema Frankie, descrito na seção 2.5 (50% do fundo de escala).	51
23	Medições feitas com sistema proposto (25% do fundo de escala).	52
24	Medições feitas com sistema proposto utilizando 50% do fundo de escala.	52
25	Comparativo das medições realizadas.	53
26	Comparação do Ruído Médio Harmônico e Não-Harmônico.	54
27	Velocidade de comunicação requeridas.	55
28	Conexões do Concentrador.	56
29	Tempo de processamento do Demodulador.	57
30	Telas principal e de calibração do <i>Supervisor</i>	58
31	Visualização do Banco de Dados.	58
32	Esquema elétrico do módulo Condicionador de Sinal.	59
33	Comportamento dos filtros do Condicionador de Sinal.	60
34	Ganho e defasagem do Condicionador de Sinal.	60
35	Análise das 1020 amostras de um dos canais de medição com fonte única.	61
36	Análise das 1020 amostras de um dos canais de medição com duas fontes independentes.	61
37	Desvio padrão	62
38	Filtros Sallen-Key e Multiple Feedback	71

LISTA DE TABELAS

1	Conexões do Sistema de TIE Atual.	28
2	Resumo dos sistemas estudados	29
3	Lista de comandos do Protocolo de Supervisão.	40
4	Lista de parâmetros da Rede de Comunicação.	40
5	Cabeçalho dos pacotes do <i>Protocolo de Aquisição</i> .	44
6	Funções das colunas da tabela CONTROL.	45
7	Valores demodulados para 8 canais em 131071 medições	63

SUMÁRIO

1	Introdução	13
1.1	Contexto	13
1.2	Objetivos	15
1.3	Objetivos Específicos	16
2	Revisão Bibliográfica	17
2.1	Rensselaer Polytechnic Institute (ACT-4)	17
2.2	Swisstom	19
2.3	Kyung Hee University (KHU Mark2)	21
2.4	Universidade de Montreal (TIE5USB 2.0)	24
2.5	Sistema Atual (Frankie)	26
2.6	Resumo dos Sistemas Estudados	29
3	Metodologia	31
3.1	Arquitetura Proposta	32
3.2	Canal de Medição	33
3.2.1	Demodulador	33
3.2.2	Condicionador de Sinal	37
3.2.3	Conversor AD	38
3.3	Concentrador	38

3.3.1	Protocolo de Supervisão	39
3.3.2	Protocolo de Aquisição	42
3.4	Supervisor	45
3.5	Calibração	46
4	Resultados	48
4.1	Etapa 1 - Seleção Demodulador	48
4.2	Etapa 2 - Comunicação	55
4.2.1	Etapa 3 - Sistema Completo	56
5	Discussão e Conclusão	64
	Referências	66
	Apêndice A – Demodulação	68
	Apêndice B – Cálculo Filtros	70

1 INTRODUÇÃO

1.1 Contexto

A Tomografia por Impedância Elétrica (TIE¹) é uma técnica não invasiva utilizada para obtenção de imagens internas de um domínio pela imposição e medição de sinais elétricos em sua fronteira. As imagens são obtidas pela estimação da distribuição de impedância no domínio analisado.

Pesquisas vem empregando a TIE em aplicações médicas devido as propriedades elétricas dos tecidos humanos e suas variações relacionadas à fisiologia do organismo. O diagnóstico de tumores mamários [1], análises relacionadas ao sistema pulmonar [2] e à atividade cerebral [3] são algumas das principais aplicações em que essas pesquisas têm se dedicado. Apesar da existência de sistemas comerciais, conforme ressalta Adler et al.[4] em relação a aplicações pulmonares, ainda são necessários avanços para ampliar a gama de aplicações, seja na direção de estimar imagens ditas absolutas, seja na direção de imagens baseadas em várias frequências.

Nestas aplicações, sinais elétricos são impostos e medidos através de um conjunto de *hardware* e *software*, o *hardware* é denominado instrumentação [5]. As medições realizadas pela instrumentação são transferidas e processadas em uma plataforma computacional comercial (geralmente um computador pessoal de alto desempenho) por um algoritmo de estimação de parâmetros. A Figura 1 mostra os componentes de um sistema de TIE típico.

Na instrumentação, temos sinais elétricos gerados por um *Sistema de Excitação* e medidos através de um *Sistema de Aquisição*. Geralmente é realizada medição de tensão e imposição de

¹Apesar da preferência pela sigla em inglês para outras definições, a sigla EIT, do inglês *Electrical Impedance Tomography*, será preferida em favor de TIE neste trabalho.

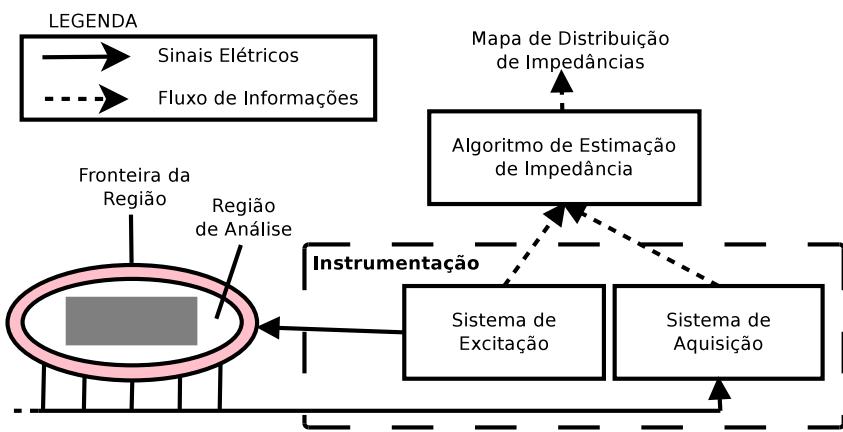


Figura 1: Tomografia por Impedância Elétrica.

corrente mais o inverso também é possível. Os dados medidos são transferidos para o *Algoritmo de Estimação de Impedância* que irá estimar a distribuição de impedâncias da região analisada. O *Algoritmo de Estimação de Impedância* caracteriza-se pela solução de um problema inverso. Para todas as formas de excitação de corrente (doravante chamadas de *padrões de corrente*), objetiva-se encontrar a distribuição de impedância que melhor reflete as medições de tensão realizadas. Isso faz com que a precisão e, sobretudo, a acurácia das medidas tenham elevada importância, já que pequenas alterações nas medições podem resultar em grandes alterações na distribuição de impedância. A elevada sensibilidade da distribuição de impedância com respeito às medidas de potencial elétrico decorre do caráter mal condicionado e mal posto do problema de estimação de impedância.

Além da preocupação com a precisão das medições, a instrumentação também lida com restrições diversas. Há limites de segurança relacionados à intensidade de injeção de potenciais elétricos no corpo humano, necessidade de isolamento das fontes de energia e dificuldades físicas na instalação dos eletrodos que realizam a excitação e medição de sinais. Estas questões fogem ao escopo deste trabalho.

As arquiteturas de *hardware* atuais ainda impõem sérias limitações no ambiente de pesquisa. Falta flexibilidade na quantidade de canais, há limitações na taxa de aquisição dos potenciais elétricos e na disposição espacial dos eletrodos na superfície de contorno do domínio sob análise.

Este trabalho busca agregar as tecnologias empregadas em sistemas embarcados no projeto da instrumentação de TIE. Para tanto, este texto foi estruturado da seguinte maneira: o contexto e os objetivos encontram-se no capítulo *Introdução*, outros sistemas de TIE encontrados na literatura são descritos e comentados no capítulo *Revisão Bibliográfica*, o processo de definição da arquitetura e o processo de testes encontram-se no capítulo *Metodologia*, definida a arquitetura e indicada uma implementação para sua validação, os resultados obtidos com a solução proposta encontram-se no capítulo *Resultados*, finalmente, no capítulo *Discussão e Conclusão* são analisados os resultados obtidos e apresentada a conclusão do trabalho.

1.2 Objetivos

Este trabalho tem como objetivo desenvolver uma arquitetura para ambiente de pesquisa, englobando os elementos de *hardware* e *software* necessários, para aquisição e demodulação de dados em um sistema de TIE. Esta arquitetura deverá ser capaz de disponibilizar os dados em plataforma computacional e realizar medições necessárias para estimação de 50 imagens/-segundo. Cada imagem, tipicamente, requer a medição de um conjunto de potenciais elétricos de 32 eletrodos em 32 padrões de excitação diferentes. Neste trabalho procura-se desenvolver um conjunto de *hardware* e *software*, denominado *Canal de Medição*, que conduza a estas especificações.

A instrumentação implementada com base na arquitetura proposta neste trabalho permitirá interface com os eletrodos (captura de sinais), fonte de corrente (excitação de sinais) e sistema de geração de imagem (algoritmo de estimação e apresentação das imagens). Neste âmbito, a estrutura criada busca agilizar e facilitar o estudo de diferentes abordagens de excitação, sequenciamento e captura de sinais.

Para que as pesquisas tirem proveito do constante avanço tecnológico disponibilizado pelos fabricantes de componentes eletrônicos é importante a utilização de uma arquitetura aberta e flexível. A crescente facilidade para aquisição e confecção de circuitos eletrônicos de alto desempenho em plataformas abertas vêm ao encontro desse objetivo.

1.3 Objetivos Específicos

- Identificar e implementar um método de demodulação, isto é, algoritmo para determinação da amplitude e fase dos sinais medidos, de forma que seja possível executá-lo digitalmente em sistema microprocessado de baixo custo, reduzindo o volume de processamento requerido pelo sistema computacional responsável pela execução do algoritmo de reconstrução.
- Obter desempenho compatível ao sistema atualmente utilizado pelo Laboratório de Engenharia Ambiental e Biomédica da Escola Politécnica da USP .
- Decompor os itens de software e hardware em módulos intercambiáveis para possibilitar futuros experimentos com diferentes formas de implementação.
- Criar indicador de nível de ruído no processo de aquisição.
- Definir estrutura de comunicação para transferência de dados entre o sistema de medição e computador, compatível com a velocidade requerida para estimação de 50 imagens por segundo². Esta estrutura deve garantir o sincronismo dos dados medidos em cada eletrodo.

²Costa, Lima e Amato[6] indicam a taxa de 50 imagens por segundo para possibilitar a análise mais detalhada da atividade pulmonar.

2 REVISÃO BIBLIOGRÁFICA

Esse capítulo apresenta um breve resumo de arquiteturas de instrumentação para TIE desenvolvidas por outros grupos de pesquisa com objetivo de delinear os requisitos desejados, indicadores de desempenho e soluções utilizadas na construção de um sistema de TIE. Dentre os sistemas descritos está o sistema atualmente utilizado pelo Laboratório de Engenharia Ambiental e Biomédica da Escola Politécnica da USP que planeja-se substituir pelo resultado desse trabalho.

2.1 Rensselaer Polytechnic Institute (ACT-4)

O ACT-4 (abreviação para quarta geração do Adaptive Current Tomography) é um sistema de tomografia por impedância elétrica, desenvolvido pelo Rensselaer Polytechnic Institute, que, em conjunto com sistemas de raio x, propõe-se à detecção de tumores mamários. Esse sistema, conforme descrito por Saulnier et al.[1] e Liu[7], é composto de:

- Interface com Usuário - computador responsável pela apresentação das imagens;
- Módulo de Reconstrução - uma placa PCI¹ baseada em FPGA² e DSP's³ responsável pelo algoritmo de reconstrução;
- Módulo de Interface com Computador - um circuito FPGA responsável pela concentração

¹PCI, ou *Peripheral Component Interconnect* é um barramento para conexão de periféricos que apesar de cada vez menos comum, ainda é encontrado em computadores de mesa.

²FPGA (Field-Programmable Gate Array) são dispositivos compostos de um conjunto de portas lógicas e blocos de memórias com conexões configuráveis.

³DSP (*Digital Signal Processor*) é o termo utilizado pela indústria eletrônica para designar dispositivos microprocessados especialmente desenvolvidos para aplicações de processamento de sinais.

dos dados provenientes dos sistemas de processamento digital e interface com Módulo de Reconstrução;

- Módulo de processamento digital - placas de circuito eletrônico, baseadas em FPGA, responsáveis pelo processamento digital dos dados (uma para cada 8 canais de tratamento analógico de sinais);
- ESM (Electrode Support Module) - placas de tratamento de sinal responsáveis pelo processamento analógico inicial e conversão analógico-digital dos sinais dos eletrodos (uma para cada eletrodo).

Cada ESM possui, para etapa de injeção, um DAC⁴ (AD754, Analog Devices) de 14 bits operando em 20MHz responsável pela geração do sinal de referência e uma fonte do tipo Howland, com compensação de capacitância por GIC (*Generic Impedance Converter*), para geração de sinal de corrente. Para etapa de aquisição, cada ESM pode realizar captura de sinais de corrente ou tensão utilizando ADC⁵ (AD7671, Analog Devices) de 16 bits operando em 1Msps⁶. O sinal de referência, para etapa de injeção, e o sinal capturado, na etapa de aquisição, são gerados/enviados para um FPGA (Xilinx XC2V2000 Virtex II), localizado no módulo de processamento digital. Cada ESM possui, também, circuito de *driven shield* que injeta uma cópia do sinal lido no condutor externo (blindagem) do cabo coaxial utilizado.

Uma frequência única de trabalho, entre 3.33kHz, 10kHz, 33.33kHz, 100kHz, 333.33kHz ou 1MHz, pode ser selecionada. Um FPGA, responsável pelo controle de até 8 módulos ESM, utiliza um bloco DDS⁷ para gerar o sinal de referência nesta frequência. Cópias desse sinal são enviadas para cada ESM, para acionamento da fonte de corrente ou tensão, e utilizadas internamente, no processo de demodulação.

⁴DAC (*Digital-to-Analog Converter*) é o componente eletrônico responsável pela conversão de sinais digitais em sinais analógicos.

⁵ADC (*Analog-to-Digital Converter*) é o componente eletrônico responsável pela transformação de um sinal analógico em digital.

⁶Msps (mega samples per second) indica a quantidade, em milhões devido ao uso do prefixo M (mega - 10^6), de conversões (ou amostragens) realizadas por um ADC ou DAC a cada segundo.

⁷O termo DDS (*Direct Digital Synthesizer*) refere-se a tecnologia, ou componente eletrônico, para geração de sinais com frequência e fase configuráveis.

Os dados de até 72 eletrodos (72 ESMs e 9 Módulos de processamento digital) são agrupados e transferidos para o Módulo de Reconstrução (interno ao computador de Interface com Usuário) através de outro FPGA (Xilinx XC2V2000 Virtex II). Apesar de distinções operacionais, os Módulos de Interface com Computador, Processamento Digital e ESMs estão agrupados em um mesmo invólucro com dimensões 101,6 x 48,26 x 50,8 cm.

Utilizando 60 eletrodos com 59 padrões de excitação, um conjunto de dados é coletado em aproximadamente 380 ms, resultando em algo em torno de 2,6 frames/segundo. O chaveamento de frequência exige um tempo maior resultando em 5 segundos para varredura de todas as seis frequências disponíveis.

Como todo sistema de medição de alta precisão, a instrumentação dos sistemas de TIE exige algum tipo de calibração para manutenção de sua precisão e acurácia. O processo de calibração, no ACT-4, é facilitado pelo uso de um módulo de calibração além de potenciômetros e chaves digitais.

A relação de sinal ruído (SNR) do sistema para tensão de 1 V, operando com medição de tensão, é de 106 dB em todas as frequências (correspondente a 17.5 bits) enquanto que para 1 mA, operando em medição de corrente, é de 16.5 bits entre 3.33 kHz e 333.33 kHz, e aproximadamente 14.5 bits em 1 MHz. O SNR foi determinado em função do valor máximo possível (V_{max}) e a variância de 63 medições de um sinal fixo sobre um carga resistiva, representada por $var(|V|)$, pela fórmula $SNR = 10 \cdot \log_{10} \frac{|V_{max}|^2}{var(|V|)}$.

2.2 Swisstom

Gaggero[2] descreve o desenvolvimento de dois sistemas de TIE, um deles concebido para aplicações torácicas e outro que busca o desenvolvimento de um conjunto com dimensões reduzidas, que compartilham grande parte de suas características. A seguir são apresentados detalhes da construção do hardware, problemas encontrados e soluções propostas. Ambos sistemas são compostos por:

- Eletrodo Ativo

- Conjunto de Sistema de Aquisição e Fonte de Corrente chamado de SBC (Sensor Belt Connector)
- Sistema de Processamento de Imagens

A injeção de corrente é feita através de dois eletrodos não necessariamente adjacentes (distância configurável entre eles é chamada de *offset*) e medições diferenciais de tensão em pares de eletrodos adjacentes. É utilizado um sistema de excitação diferencial com uma fonte de corrente bipolar do tipo *Howland*⁸ e um circuito de retorno a partir da amplificação inversa do sinal injetado.

O eletrodo ativo é composto de microprocessador, chaves digitais e amplificador operacional. O microprocessador controla as chaves em função de pulsos de sincronismo recebidos do SBC. Essas chaves permitem o acoplamento do eletrodo ao sistema de aquisição ou injeção de acordo com padrão de excitação desejado. O conjunto de Eletrodos Ativos, cada um acoplado a um eletrodo físico, está organizado em uma cinta que será vestida pelo paciente.

O SBC foi a solução encontrada para posicionar a conversão analógico-digital mais próxima dos eletrodos sem grande aumento no custo do sistema. Esse módulo deve estar localizado próximo a cinta de Eletrodos Ativos e, ao mesmo tempo, distante o suficiente para não precisar ser descartado a cada utilização. No SBC estão os demais itens de instrumentação (conversores, fonte de corrente e filtros) além do FPGA responsável pela sincronização do sistema, geração do sinal de referência de injeção e demodulação dos sinais medidos. Os dados demodulados são enviados, por *ethernet*, para o sistema computacional onde é executado o Sistema de Processamento de Imagens (algoritmos de reconstrução e interface gráfica).

O sistema de aquisição utiliza um ADC de 12 bits e 100Msps que, a cada instante, recebe sinal de um dos pares de eletrodos. Apesar de permitir a seleção digital de frequência, o valor de 100kHz é utilizado em todo projeto como valor de referência de frequência dos sinais injetados e medidos. Experimentos indicam uma densidade de ruído⁹ na ordem de $75\text{nV}/\sqrt{\text{Hz}}$ no sistema

⁸A fonte de corrente tipo *Howland*, e suas variações descritas em [8], é um circuito comumente utilizado para obtenção de uma fonte de corrente controlada por tensão.

⁹Ruídos são descritos, no domínio do tempo, por expressões estatísticas, e, no domínio da frequência, por sua

de aquisição e $100\text{nV}/\sqrt{\text{Hz}}$ no Sistema de Excitação.

Outras características desse sistema são:

- Utilização de uma cinta descartável onde estão alojados os eletrodos ativos.
- Um único par de cabos é utilizado para sincronismo do processo de aquisição e tráfego dos dados de medição.
- Reconstrução de imagens diferenciais, ou seja, uma captura é definida como referência e a diferença de impedância entre as demais capturas e essa referência é utilizada para geração de mapas de impedância da região analisada.

2.3 Kyung Hee University (KHU Mark2)

Oh et al.[10] descreve um sistema de TIE chamado KHU Mark2, caracterizado por melhorias em relação à versão anterior chamada KHU Mark1 [11], desenvolvido com apoio da Kyung Hee University. Este sistema multi-frequencial opera com injeção de corrente e medição de tensão (amplitude e fase) em frequências de 10Hz até 500kHz com até 6 frequências diferentes simultâneas.

O sistema é composto por:

- Computador Pessoal
- Módulo Principal
- Fonte de Alimentação Isolada
- Módulo de Calibração

O Computador Pessoal executa o algoritmo de reconstrução a partir dos dados recebidos do Módulo Principal. No Módulo Principal, um DSP (TMS320F812, Texas Instruments) em conjunto com um controlador USB isolado (C8051F320), disponibilizam a conexão USB utilizada densidade espectral de potência (W/Hz). As representações $V/\sqrt{\text{Hz}}$ (V^2/Hz) ou $A/\sqrt{\text{Hz}}$ (A^2/Hz) também são comumente utilizadas para sinais de tensão ou corrente ([9]).

para essa transferência de dados. Além desse DSP, o Módulo Principal também possui módulos de interface com os eletrodos (um para cada eletrodo), um gerenciador de comunicação, implementado em FPGA (EP3C10F256C8N, Altera) e uma base de conexão analógica.

Uma das principais diferenças entre o modelo antigo, KHU Mark1, e o atual, KHU Mark2, está no processo de injeção de corrente. O primeiro é um sistema serial, ou seja, uma única fonte de corrente é direcionada, através de chaves digitais, aos eletrodos desejados. Já o segundo é um sistema paralelo no qual existem tantas fontes de corrente independentes quanto o número de eletrodos. Essa nova abordagem elimina a necessidade de chaves digitais no processo de injeção, reduzindo as resistências e capacitâncias indesejadas e aumentando a velocidade de aquisição de dados. Esse sistema permite a aquisição de até 100 conjuntos de medições por segundo.

Cada módulo de interface com eletrodo, chamado IMM (Impedance Measurement Module ou Módulo de Medição de Impedância) possui circuito de injeção de corrente e medição de tensão controlados por um FPGA (EP3C10F256C8N, Altera). Na injeção de corrente, os sinais digitais gerados no FPGA são convertidos em um sinal analógico por quatro DACs, dois deles (AD9783, Analog Devices), de 16 bits e 500Msps, geram o sinal de referência em até 6 frequências diferentes, e outros dois, de 10 bits, controlam *offset* do sinal. Esses sinais commandam uma fonte do tipo Howland. Potenciômetros digitais (DS1267) e 4x GICs conectados através de chaves digitais (MAX4545) permitem a calibração da fonte de corrente de maneira a garantir alta impedância de saída em toda faixa de frequência de operação do sistema. Esse processo de calibração é automatizado pelo uso do Módulo de Calibração.

Para medição de tensão é utilizado um conversor analógico-digital (AD9235, Analog Devices) de 12 bits e 65Msps. Para melhor utilização da faixa de medição do conversor é utilizado um amplificador com ganho ajustado por potenciômetros digitais. São aquisitados 1000 amostragens dentro de um único período. O sistema utiliza *driven shield*, ou seja, uma cópia do sinal capturado é injetada na malha do cabo conectado ao eletrodo.

O FPGA, responsável pelo gerenciamento de comunicação, possui 40 portas seriais síncronas

half-duplex, permitindo o gerenciamento de comunicação de até 40 eletrodos. Para sistemas com mais que 40 eletrodos pode-se utilizar múltiplos FPGAs. O sistema é alimentado por fonte com transformador de isolamento que gera as tensões de $\pm 5V$ e $3.3V$ necessárias à operação do sistema.

Experimentos descritos por Oh et al.[10], Oh, Woo e Holder[11] e Kim et al.[12] apresentam detalhes de desempenho do sistema. Os critérios com foco na instrumentação do sistema são apresentados a seguir.

Utilizando sinais nas frequências de 0.01125 , 0.1125 , 1.125 , 11.25 , 56.25 , 101.25 e 495kHz , a razão entre o desvio padrão e a média das medições de fase ou amplitude, realizadas em cada ciclo do sinal durante 1 hora, foi definida como erro de estabilidade. Os experimentos indicaram erro de estabilidade da tensão de pico entre 0.009 e 0.095% e erro de estabilidade de fase entre 0.005 e 0.098% em toda faixa de frequências do sistema. No mesmo contexto, a distorção harmônica total¹⁰ medida ficou entre 0.002 e 0.08% .

O uso de múltiplas fontes de corrente exige um cuidadoso processo de calibração para que todas tenham as mesmas características. Após a calibração, a impedância de saída ficou acima de $1\text{M}\Omega$ com valor médio acima de $4.57\text{M}\Omega$.

Foi utilizado um conjunto formado por resistor de 480Ω em paralelo com capacitor de 22nF , e ambos em série com resistor de 200Ω , para simular o eletrodo na avaliação de CMRR¹¹. Em todas as frequências exceto 495kHz , foi obtido valor de 96.5dB .

O SNR, medido num conjunto de 100 realizadas em sequência considerando os valores demodulados (amplitude estimada do sinal) em simulação de operação do sistema, foi de 75dB com melhora para 84.5dB quando a média de 64 ciclos foi utilizada no processo de demodulação. A simulação de operação é feita com tanque contendo solução salina. Na mesma

¹⁰Distorção harmônica total (total harmonic distortion ou THD) é a razão entre a amplitude da frequência fundamental do sinal e as amplitudes das componentes harmônicas. As componentes harmônicas têm grande importância por serem fruto do comportamento não linear dos circuitos eletrônicos ([9]).

¹¹Utilizado para circuito que manipulam sinais diferenciais, a rejeição de modo comum, ou, em inglês, common-mode rejection rate (CMRR), refere-se a relação entre o ganho para sinais diferenciais e sinais comuns às duas (ou mais) entradas do circuito ([9]).

condição, o erro de reciprocidade¹² foi, excluindo a frequência de 10Hz, menor que 1% com média de 0.49%.

Experimentos referentes à diferença das medidas entre diferentes eletrodos (IMM) em frequências distintas foram realizados com observação de erro de 0.05% (13.7% sem calibração) na faixa de frequências de operação e erro de 0.04% (1.74% sem calibração) entre canais. A calibração consiste, além do ajuste dos potenciômetros digitais para correção dos ganhos dos amplificadores no processo de aquisição, na definição de um fator de ajuste (valor complexo).

Outras características interessantes desse sistema:

- É possível conectar os eletrodos para terra, através de chave digital, para descarga de possíveis resquícios na desconexão da fonte de corrente (processo de troca de eletrodos injetores).
- Após a troca do conjunto de eletrodos, responsáveis pela injeção de corrente, são descartados dois ciclos do sinal capturado antes do início do processo de demodulação.
- Processo de calibração automatizado baseado em hardware adicional com conjunto de componentes simulando impedâncias.
- Tempo de configuração (*setup time*) de 1ms em cada ciclo de aquisição.

2.4 Universidade de Montreal (TIE5USB 2.0)

O sistema descrito por Moumbe[3] e Guardo J Jehanne-Lacasse e Gagnon[13] propõe-se à análise da atividade cerebral para, em conjunto com EEG¹³, identificar foco epiléptico. Este sistema é composto:

- Computador - responsável pelo algoritmo de reconstrução, apresentação das imagens e armazenamento de dados.

¹²Considerando a imposição de corrente em um par de eletrodos e a medição de tensão em outro par temos, teoricamente, medidas iguais ao invertemos os pares de medição de tensão e imposição de corrente. O erro de reciprocidade reflete as imperfeições do sistema que fazem com essas medidas, na prática, sejam diferentes.

¹³EEG, ou Eletroencefalograma, é um exame que analisa a atividade elétrica cerebral espontânea.

- Estação-Base - responsável pela conversor analógico-digital e vice-versa, lógica operacional, processamento de sinais e isolamento elétrico.
- Módulo de Eletrodos Ativos - responsável pela amplificação inicial dos sinais, geração do sinal de corrente a ser injetado no paciente e acionamento do conjunto de chaves que multiplexam os sinais de TIE e EEG.

O Módulo de Eletrodos Ativos (MEA) contém 24 circuitos, referente ao uso de 24 eletrodos, cada um composto por microcontrolador, chaves digitais e fonte de corrente controlada por tensão. Este módulo deve estar próximo ao paciente (em torno de 30 cm) para reduzir o comprimento dos cabos dos eletrodos. A Estação-Base baseia-se em um FPGA que gerencia o sincronismo do sistema, realiza a demodulação do sinal analógico e gera o sinal de referência para o Sistema de Excitação. Um barramento analógico, composto por 5 sinais, e outro digital, composto por 4 sinais, interligam o MEA e a Estação-Base que estão entre 2 e 3 m distantes. A conexão entre Estação-Base e computador é feita por USB utilizando um microcontrolador (CY7C68013128AC, Cypress Semiconductor). O microcontrolador USB transfere em modo de interrupção que garante 1024 bytes a cada 125us (7.8125 Mbyte/s).

No processo de injeção de corrente, um sinal de referência é gerado digitalmente (módulo DDS interno ao FPGA) e convertido para analógico por DAC (LTC1668, Lineat Technology) de 16 bits operando em 50MHz. A frequência de operação é configurável e limitada pelo filtro passa-baixa configurável (LTC1564, Linear Technology) entre 10 e 150kHz. Esse sinal é enviado para o MEA onde é, de acordo com o acionamento das chaves digitais, convertido para corrente e injetado no paciente.

No processo de medição de tensão, o sinal de um par de eletrodos, por vez, é direcionado do MEA para a Estação-Base. Este sinal é filtrado (LTC1564, Linear Technology) e convertido para digital através de ADC (LTC1414, Linear Technology) de 14 bits e 2.2Msps. A demodulação obtém a amplitude e fase do sinal medido pelo processo chamado Digital Down Converter [3].

Circuitos e etapas adicionais são necessárias para a aquisição dos dados de EEG. Numa

etapa inicial, os testes foram mal sucedidos e foi necessário acrescentar cabo blindado e *driven-shield* para realização de medições com sucesso. Não foi possível identificar se os sinais de EEG ou TIE que requisitaram essa modificação.

Foi realizada uma análise de SFDR (Spurios-Free Dynamic Range) em nas etapas de geração do sinal de referência do sistema. SFDR indica a razão entre a amplitude do sinal de referência e a amplitude do maior componente espectral não desejado (ruído). Ao final do sistema de geração, o SFDR medido foi de 64.11dBm.

Para obtenção do SNR foi utilizado *phantom* resistivo para 16 eletrodos, resultando em 208 medições ($N * (N-3)$). Em cada uma dessas medições foram obtidas 1000 amostras e obtido um SNR médio de 66.9dB com operação em 4.7 frames/segundo. Uma medição de acurácia geral, baseada na razão dos valores medidos e os valores teóricos (componentes conhecidos do *phantom*) indicou, no pior caso, valores de 99.2% para taxas de 34 frames/segundo.

2.5 Sistema Atual (Frankie)

O sistema atual utilizado pelo Laboratório de Engenharia Ambiental e Biomédica da Escola Politécnica da USP, denominado Frankie, é composto pelos seguintes elementos:

- Gerador de Sinal de Referência - um gerador de sinais (Stanford Research System, DS360) é utilizado para gerar o sinal de referência em 125 kHz. A amplitude do sinal é ajustada manualmente.
- Fonte de Corrente - módulo confeccionado no próprio laboratório que implementa uma fonte de corrente do tipo Howland. Um conjunto de chaves digitais permite o direcionamento desta fonte única para os pares de eletrodos desejados.
- Fonte de Tensão - usa-se uma fonte de tensão regulável para fornecimento das tensões +15Vcc e -15Vcc necessárias aos componentes do sistema. Algumas tensões auxiliares são obtidas na Central de Controle.

- Eletrodo Ativo - módulo confeccionado no próprio laboratório que implementa um amplificador operacional no modo seguidor e conjunto de chaves digitais para chaveamento da fonte de corrente.
- Central de Controle - responsável pela distribuição de alimentação para os demais módulos (a partir das tensões recebidas da fonte de alimentação regulável) e controle das chaves digitais (multiplexadores) através de dados vindos da porta paralela do computador.
- Placa de Aquisição - uma placa de captura comercial (ICS-645B, Interactive Circuits and Systems), conectada ao barramento PCI do Computador Pessoal, é utilizada para digitalização dos sinais capturados pelos 32 Eletrodos Ativos.
- Software de Captura em Computador Pessoal - um software que realiza a interface com a placa de captura, controla as chaves a partir da porta paralela e realiza o armazenamento das medições. O processo de demodulação é realizado *off-line*.

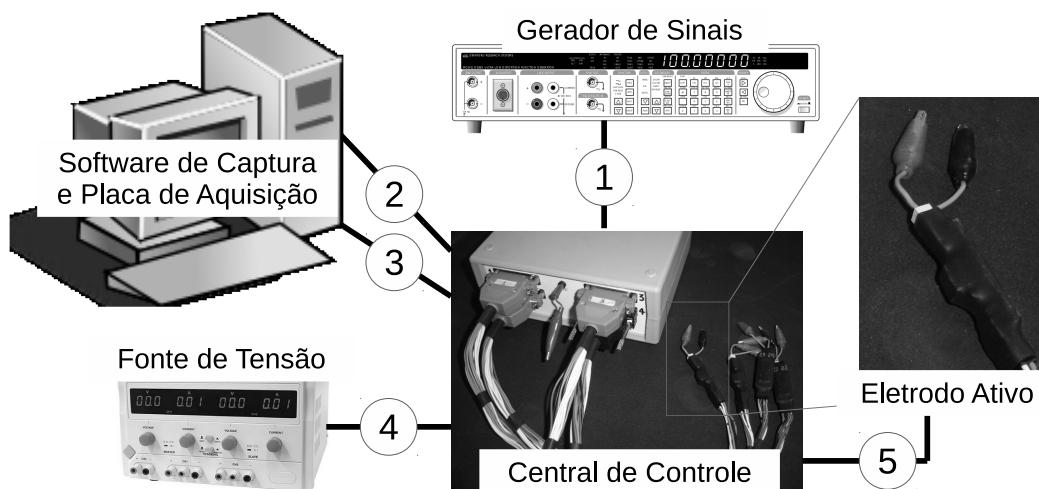


Figura 2: Sistema de TIE Atual (Frankie).

A Figura 2 representa os componentes do sistema que, na montagem completa, possui 32 Eletrodos Ativos e uma unidade dos outros elementos. As indicações numéricas permitem identificar as conexões do sistema e a tabela 1 indica os sinais que trafegam entre os elementos.

Esse sistema encontra-se operacional entretanto algumas características tem dificultado e, em alguns casos, limitado as pesquisas e, por isso, precisam ser melhoradas.

Tabela 1: Conexões do Sistema de TIE Atual.

Conexão	Sinais Transferidos	Cabeamento
1	Sinal de referência em 125kHz para fonte de corrente	1 cabo coaxial
2	Sinais digitais de controle dos multiplexadores (porta paralela)	1 cabo multiviais (9 fios)
3	Sinais analógicos capturados pelos eletrodos (placa de aquisição)	1 cabo multiviais (34 fios)
4	Alimentação +15Vcc e -15Vcc	3 fios
5	Alimentação, sinais analógicos de injeção e medição e sinais digitais de controle das chaves	7 fios para cada par de eletrodos

Toda operação é controlada por software executado em um computador. Esse software realiza o acionamento de sinais da porta paralela para controle de multiplexação da fonte de corrente entre todos os eletrodos. Essa abordagem possui limitações que impedem uma flexibilidade na padrão de excitação desejado (pela falta de sinais na porta paralela), reduzem a velocidade de aquisição (limites do hardware da porta no computador), geram imprecisão na taxa de amostragem (há atrasos variáveis no acionamento) e dificultam o sincronismo com outros dispositivos.

A placa de aquisição realiza 2,5 milhões de medições (amostragens) do sinal de tensão de cada eletrodo. Como cada medição é feita em 16 bits, temos 160Mbytes/s. Com essa velocidade, temos 4Gbyte de dados em menos de 27 segundos. A falta de sincronismo entre o processo de aquisição e o controle da porta paralela exigem compensação de software para garantir o sincronismo do sistema. A aquisição de dados por longo período não é possível devido as limitações de hardware do computador atual.

A soma do peso dos elementos do sistema, exceto o computador, é aproximadamente 15Kg. A necessidade de barramento PCI impedem a utilização de computadores de pequeno porte, aumento ainda mais o peso total do sistema. Isso, aliado ao volume dos equipamentos, dificultam a mobilidade do sistema, necessária para realização de experimentos *in vivo*.

O sistema é composto por elementos de propriedade intelectual de terceiros com algumas características internas não disponibilizadas (gerador de sinais, placa de aquisição e fonte de tensão) que limitam ou simplesmente não possibilitam flexibilização. Com este conjunto não

é possível, por exemplo, alterar as características de ganho, velocidade e/ou quantidade de bits da conversão relacionadas a um único eletrodo para compará-lo com os demais. Ao contrário dos outros elementos, a placa de aquisição utilizada não tem equivalentes no mercado. Além do alto custo associado, seu fornecimento pode ser descontinuado ou alterado, como já ocorreu, requerendo modificações no sistema.

Não há dados disponíveis sobre o desempenho deste sistema em relação as impedâncias e SNR associados ao processo de aquisição. Serão realizados experimentos para identificação destes parâmetros e, apesar da utilização atual em frequência única, serão realizadas análises das alterações de desempenho em relação a frequência do sinal de referência.

O processo de demodulação, atualmente offline, dificulta a identificação de falhas durante o experimento. Somente após a captura dos dados, e posterior demodulação, que pode-se identificar valores anormais nas medições.

2.6 Resumo dos Sistemas Estudados

Os sistemas descritos possuem características e utilizam componentes diferentes conforme mostra a Tabela 2. Mais uma vez justifica-se a decomposição do sistema em módulos intercambiáveis na arquitetura proposta, permitindo, assim, experimentar diferentes conjuntos de componentes eletrônicos.

Nome	Sistema de Medição	Sistema de Excitação	Conversão AD
ACT-4	paralelo	paralelo	16 bits x 1Msps
Swisstom	serial	serial	12 bits x 100Msps
TIE5USB 2.0	serial	paralelo	14 bits x 2.2Msps
KHU Mark2	paralelo	paralelo	12 bits x 65Msps
Frankie	paralelo	serial	16 bits x 2.5Msps

Tabela 2: Resumo dos sistemas estudados

As indicações serial ou paralela atribuídas aos sistemas de medição ou excitação referem-

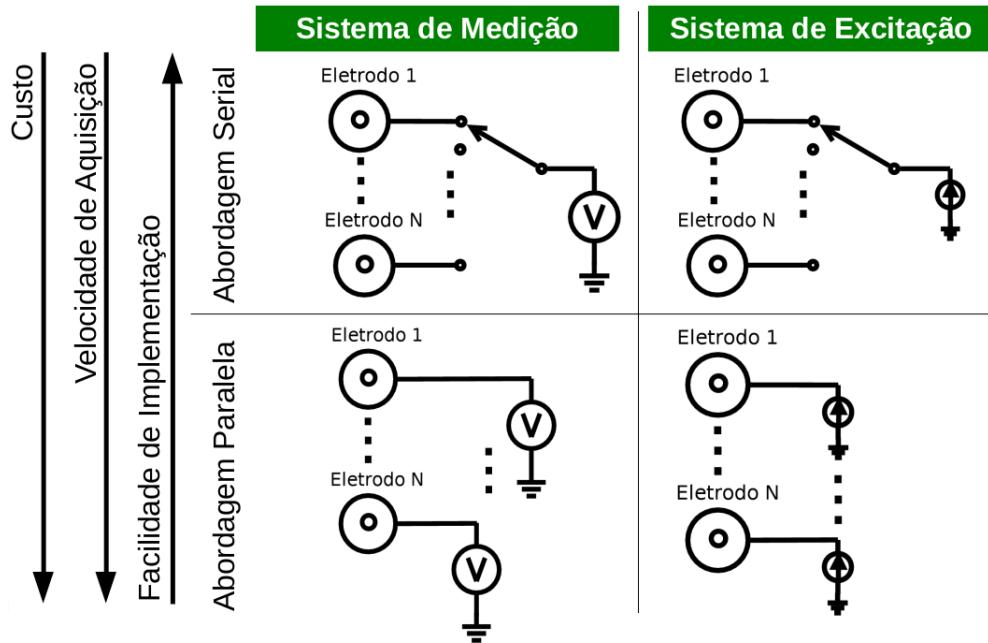


Figura 3: Sistemas seriais x paralelos

se ao uso de múltiplos circuitos de medição ou excitação independentes (em geral, um para cada eletrodo) ou um único circuito e um conjunto de chaves para conectá-lo alternadamente a cada eletrodo conforme mostra a Figura 3. Enquanto a abordagem serial resulta em menor custo e menor complexidade no projeto dos sistemas, a abordagem paralela possibilita maiores velocidades de aquisição.

Na diversidade dos sistema destaca-se uma característica comum. Todos possuem um conjunto independente ou semi-independente responsável pelo gerenciamento de um ou mais eletrodos. Esta estratégia foi utilizada para definição da arquitetura proposta neste trabalho. A utilização de um conjunto para concentração dos dados e *interface* com computador e o emprego de um barramento de comunicação entre os módulos do sistema são outras características incorporadas ao sistema.

3 METODOLOGIA

A arquitetura proposta considera a implementação de um sistema com excitação serial de corrente e medição paralela de tensão, ou seja, a corrente proveniente de uma única fonte de corrente é direcionada, por chaves analógicas, aos eletrodos desejados e há um medidor de tensão para cada eletrodo. O uso de fonte de corrente única reduz a complexidade relacionada ao casamento dos circuitos, que precisam apresentar mesmo comportamento elétrico, a fonte é bipolar e cada lado da fonte deve apresentar mesmo atraso e mesma impedância de saída. Os dois atrasos devem ser similares e as duas impedâncias de saída devem ser elevadas. O uso de múltiplos medidores de tensão aumenta a velocidade de aquisição e permite a subtração de modo comum proveniente de interferência eletromagnética ou eletrostática.

Esta arquitetura considera a imposição de uma corrente entre dois eletrodos e medições de tensão em todos os eletrodos. Para estimativa de um mapa de distribuição de impedância é necessário repetir esse processo, denominado, neste trabalho, *ciclo*, referente a um único par de eletrodos, ou seja, referente a um único padrão de excitação. Padrões de excitação típicos são descritos em [14]. Ao utilizar N eletrodos são executados N ciclos para obtenção das medições utilizadas para estimativa de um mapa de distribuição de impedância. Neste trabalho, o termo *varredura* será utilizado para designar esse conjunto de N ciclos.

A modularização proposta possibilita implementação dos sistemas de excitação e medição em modo paralelo ou serial. A seguir é definida a arquitetura proposta, detalhados os módulos que a compõem e as abordagens utilizadas para comunicação e calibração do sistema.

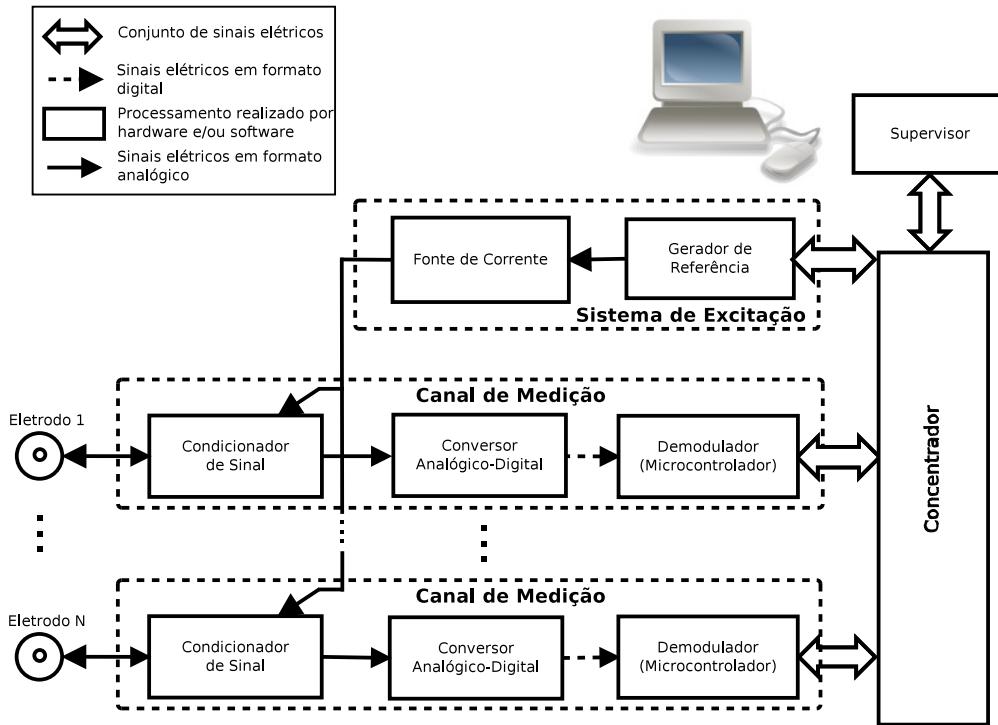


Figura 4: Arquitetura Modular Proposta.

3.1 Arquitetura Proposta

A arquitetura proposta define um conjunto de módulos que, operando em conjunto, proporcionam as funcionalidades requeridas para aquisição dos sinais necessários para TIE. Essa abordagem apresenta vantagens evolutivas, reduz a complexidade individual dos módulos e é adequada ao processo iterativo utilizado na pesquisa e desenvolvimento. A estrutura modular é mais adequada para o tipo de desenvolvimento que ocorre nas instituições de pesquisa.

A Figura 4 mostra a estrutura proposta e suas interações: um conjunto de *Canais de Medição* é responsável pela captura e digitalização dos sinais dos eletrodos; o *Sistema de Excitação* é responsável pela geração e condicionamento do sinal de corrente a ser injetado no paciente; e o *Concentrador* realiza a interface entre o computador e os módulos do sistema através de um *software* denominado *Supervisor*. Os sistemas, destacados em linha tracejada, são divididos em módulos¹. A seguir são apresentadas as funcionalidades, requisitos mínimos e sugestões de implementação de cada módulo. Os módulos que compõem o *Sistema de Excitação*

¹O termo módulo será utilizado para denominar processamento realizado por *hardware* ou *software*.

não são abordados neste trabalho.

3.2 Canal de Medição

Cada *Canal de Medição* é responsável pela leitura e demodulação de sinais de um eletrodo. Ele é composto pelos módulos *Condicionador de Sinal*, *Conversor AD*² e *Demodulador*. Como cada *Canal de Medição* é um conjunto independente, podendo ser implementado e testado individualmente, foi a primeira etapa na implementação da arquitetura apresentada.

3.2.1 Demodulador

O *Demodulador* é baseado em um microcontrolador que executa o processo de demodulação³ e realiza as demais tarefas de calibração e sincronização do *Canal de Medição*. A Figura 5 mostra as conexões deste módulo:

- *Controle ADC e Sinal Digital* realizam interface com o *Conversor AD* para, controlar o início da conversão, monitorar a conclusão da conversão e ler do valor da conversão;
- *Sincronismo e Comunicação* são conexões com o *Concentrador*, a primeira utiliza dois sinais digitais denominados *Pulso de Sincronismo* e *Ciclo* e a segunda empregará um canal de comunicação do tipo *UART*⁴;
- e *Alimentação* refere-se as tensões necessárias para o funcionamento do microcontrolador.

Dispositivos programáveis (microcontroladores, DSP ou FPGA) são tipicamente empregados nas etapas que requerem processamento digital nos sistemas de TIE. Devido a grande oferta de soluções abertas de *hardware* e *software* baseados em microcontroladores e DSPs de alto desempenho, este trabalho optou pela utilização destes dispositivos empregando, sem distinção, o termo microcontrolador para ambos.

²AD = Analógico-Digital.

³O cálculo de demodulação é descrito no apêndice A

⁴UART (Universal Asynchronous Receive Transmitter) é um barramento de comunicação utilizado em microcontroladores que, em oposição ao SPI e I2C, opera de modo assíncrono.



Figura 5: Conexões do módulo *Demodulador*.

O *Demodulador* possui três modos de operação: configuração, calibração e aquisição. O modo de configuração destina-se ao ajuste de parâmetros de operação do módulo. Neste modo somente serão realizadas as ações solicitadas pelo *Supervisor*, através do *Concentrador*. Uma das possíveis ações solicitadas é a transição para o modo de calibração ou aquisição. No modo de aquisição é realizado, a cada *varredura*, um conjunto de leituras do *Conversor AD*, demodulação destas leituras e transmissão dos resultados. No modo de calibração também são realizadas leituras do *Conversor AD* porém as medições não são demoduladas e sua transmissão requer um tempo maior que um ciclo de *varredura*.

A Figura 6 apresenta, segundo notação UML⁵, os eventos de transição e possíveis estados do *Demodulador*. Em cada estado são apresentadas as tarefas que serão executadas pelo microcontrolador, detalhadas a seguir:

(a) Leitura do Conversor AD

O resultado da conversão analógica-digital é lido através de rotina de interrupção de *hardware*, quando o *Conversor AD* utilizado fornecer sinal apropriado, ou segundo taxa de amostragem fixa. Essa leitura é armazenada para posterior demodulação devido a alta disponibilidade requerida para atendimento a interrupções em alta frequência.

(b) Sincronismo de Fase

Dois sinais, denominados *Sinal de Verificação* e *Pulso de Sincronismo*, gerados pelo *Concentrador* são utilizados para sincronização de todos os *Canais de Medição*. Cada transição do *Pulso de Sincronismo* determina o início de um *ciclo* e a cada 256 *ciclos* ocorre uma

⁵A UML (Linguagem de Modelagem Unificado ou, em inglês, *Unified Modelling Language*) define um conjunto de diagramas para representação de sistemas de *software* [15].

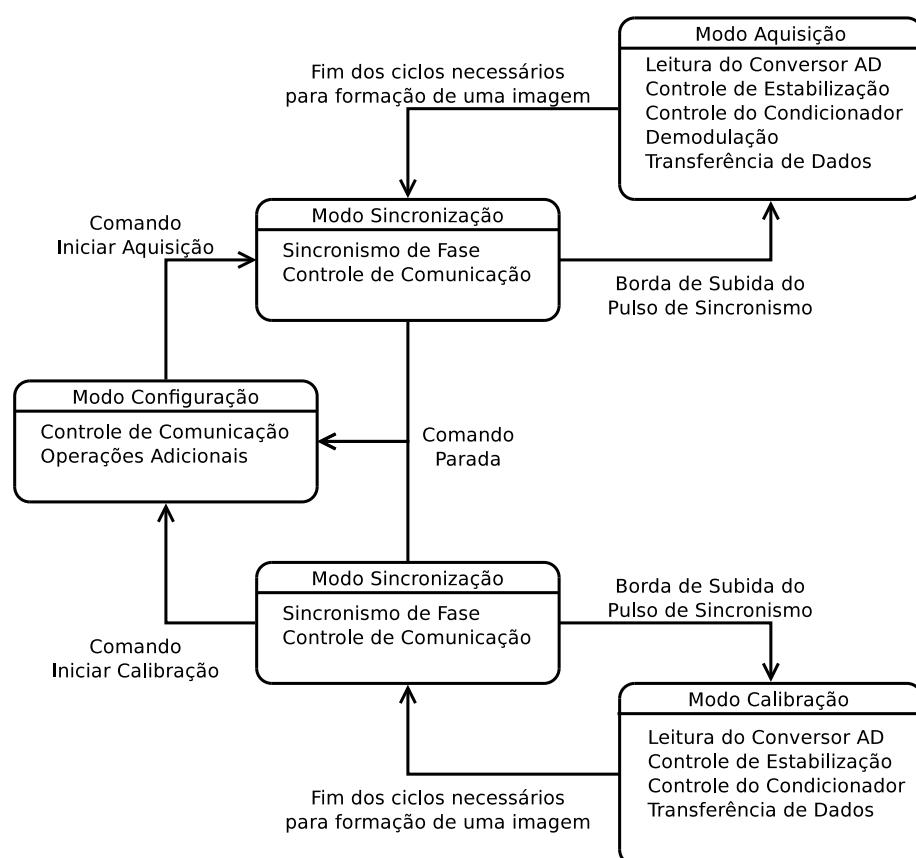


Figura 6: Diagrama de Estados do *Demodulador*.

transição do *Sinal de Verificação*. Através desses sinais, cada *Canal de Medição* terá, internamente, um contador interno sincronizado com o *Concentrador*. O valor, 256, foi selecionado pela facilidade de implementação de contadores de 8 bits em microcontroladores.

(c) Demodulação

As estimativas de amplitude e fase do sinal lido do eletrodo são obtidas conforme descrito no apêndice A. Um parâmetro adicional, proporcional a variância e também descrito no apêndice A, fornece um indicador do nível de ruído encontrado, doravante chamado *qualidade*.

(d) Transferência de Dados

Os dados demodulados são armazenados pelo microcontrolador até que sejam requisitados e enviados para o *Concentrador*. O modo como essa comunicação opera é descrito na seção 3.3.2.

(e) Operações Adicionais

No modo de configuração, será possível realizar alterações nos parâmetros de operação do *Canal de Medição* e executar operações adicionais. Essas interações são realizadas através de comandos enviados pelo *Supervisor* através do *Concentrador* conforme descrito no item 3.3.2.

O conjunto de tarefas descritas, exceto as operações adicionais de configuração, devem ser realizadas durante um *ciclo*, conforme descrito na seção 3. O tempo de *ciclo* para atingir os objetivos delineados, de 32 eletrodos e 50 imagens/segundo, é de $625\mu s = \frac{1}{50 \cdot 32}$. A dificuldade de estimar, nos microcontroladores de mercado, a velocidade de captura e tratamento de dados, cálculos de ponto flutuante e uso dos canais de comunicação simultaneamente, exige a experimentação de diferentes componentes na busca daqueles capazes de atender aos requisitos.

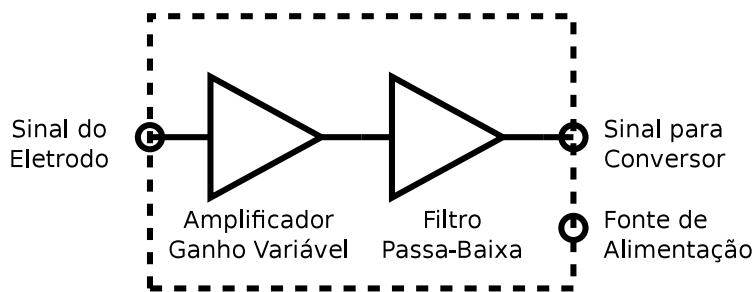


Figura 7: Condicionador de Sinal.

3.2.2 Condicionador de Sinal

O módulo *Condicionador de Sinal* é responsável pela amplificação, filtragem, ajuste de *offset*⁶ e controle das chaves analógicas que determinam o direcionamento da corrente proveniente da *Fonte de Corrente* para eletrodos.

A Figura 7 mostra as conexões deste módulo:

- *Sinal do Eletrodo* representa uma entrada de tensão que receberá o sinal do eletrodo, diretamente ou após circuito de redução de impedância;
- *Sinal para Conversor* indica uma saída de tensão filtrado passa-baixa e com amplitude que melhor aproveita o número de bits do *Conversor AD*;
- *Fonte de Alimentação* representa a entrada das tensões necessárias ao circuito.

As funções do *Condicionador de Sinal* são:

- (a) *Eliminação de altas frequências (filtro anti-aliasing)*

O sinal do eletrodo pode possuir componentes acima de metade de frequência de amostragem utilizada pelo *Conversor AD* que devem ser eliminados. Para minimizar alterações de fase são recomendados filtros *Chebyshev* inverso ou *Butterworth* [9].

- (b) *Ajuste de Impedância*

⁶Ajuste de *offset* refere-se a alterações no valor médio de um sinal para que os seus valores limites atendam as características de um circuito ou componente.

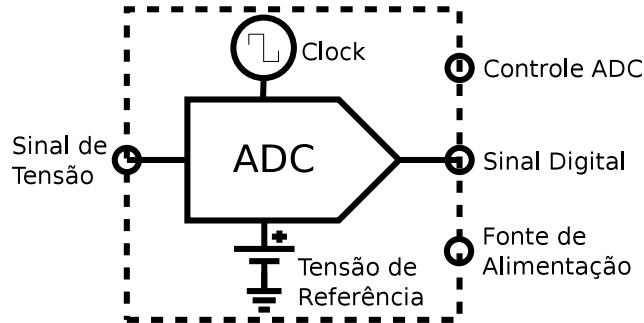


Figura 8: Conversão Analógico-Digital.

A impedância de entrada deve ser o mais alta possível para evitar distorção do sinal proveniente do eletrodo. Baixa capacidade também é requerida para evitar distorções de fase. Já a saída de sinal para o *Conversor AD* requer um impedância mais baixa de acordo com o ADC utilizado.

3.2.3 Conversor AD

O *Conversor AD* é composto por um ADC, um gerador de *clock* e um gerador de tensão de referência. A Figura 8 mostra esse elementos e as conexões do módulo, que são: *Sinal de Tensão*, vindo do *Condicionador de Sinal*; *Sinal Digital*, representando o valor do *Sinal de Tensão* em números binários; *Controle ADC*, utilizado pelo *Demodulador* para operações de sincronismo e operações adicionais do processo de conversão; e *Fonte de Alimentação*.

O gerador de *clock*, gerador de tensão e detalhes das conexões são definidos em função do ADC utilizado. Os requisitos mínimos do ADC são: número efetivo de bits maior ou igual a 13.6 bits; amostragem de 2.5Msps ou superior; *apperture jitter*⁷ de 2 ps ou menor.

3.3 Concentrador

O *Concentrador* realiza a leitura das medições dos *Canais de Medição* e, uma vez com esses dados concentrados, realiza a transferência ao *Supervisor*. Ele também é responsável pela distribuição dos sinais de sincronismo e transferência dos dados de configuração e controle do

⁷Termo associado a variação temporal no processo de amostragem e conversão de um ADC.

Supervisor para os demais módulos do sistema. Este módulo é baseado em um microcontrolador que disponibilize dois canais de comunicação - um para conexão com o computador onde será executado o *Supervisor* e o outro para conexão com os *Canais de Medição* - e dois sinais digitais, denominados *Pulso de Sincronismo* e *Sinal de Verificação*, utilizados para sincronismo do processo de *varredura*.

Os dois sinais digitais, descritos na seção 3.2.1, serão gerados de acordo com as configurações do usuário e contador interno do microcontrolador. O sincronismo com o *Sistema de Excitação* não será abordado neste trabalho.

Devido a ausência de padronização específica, a arquitetura proposta utilizará protocolos definidos pelo autor. São dois protocolos diferentes, o *Protocolo de Supervisão*, que define os pacotes⁸ de dados entre *Supervisor* e um ou mais *Concentradores*, e o *Protocolo de Aquisição*, que define as regras de comunicação entre um ou mais *Canais de Medição* e *Concentrador*. Para atender aos objetivos são necessários 32 *Canais de Medição*. Entretanto, os protocolos estão preparados para futuras expansões no número de canais de medição.

Frente as dificuldades já expostas para seleção de microcontroladores são necessários experimentos para identificar modelos que, além das interfaces de comunicação e saídas digitais indicadas, também tenham memória e capacidade de processamento para armazenamento temporário dos pacotes e interpretação dos *Protocolos de Supervisão* e *Aquisição* descritos a seguir.

3.3.1 Protocolo de Supervisão

A comunicação entre *Supervisor* e *Concentrador* utiliza o *Protocolo de Supervisão*. Este é um protocolo, criado pelo autor, do tipo mestre-escravo onde os pacotes são compostos por três campos obrigatórios, denominados :*Code*, que define a função do pacote; *Dest*, que indica o destinatário do pacote; e *CRC*, utilizado para detecção de erros de transmissão. O posicionamento destes campos, dentro do pacote, está indicado na Figura 9. Um campo opcional, de 0 a 2564 bytes, denominado dados.

⁸O termo pacote é atribuído a cada conjunto de bytes enviados ou recebidos pelos dispositivos.

Dest 1 byte	Code 1 byte	Dados 0 a 2564 bytes	CRC 2 bytes
----------------	----------------	-------------------------	----------------

Figura 9: Formato dos Pacotes do Protocolo de Supervisão.

Os valores possíveis para o campo *Dest* são 0xFF⁹, indicando que o destinatário é o *Supervisor* (mestre da comunicação), ou um valor entre 0xF1 até 0xFA, indicando que o destinatário é um *Concentrador*, pois estes valores serão utilizados para endereçá-los. Os valores possíveis e funções relacionadas ao campo *Code* estão indicados na Tabela 3.

Tabela 3: Lista de comandos do Protocolo de Supervisão.

<i>Code</i>	<i>Função relacionada</i>	<i>Dados Relacionados</i>
0x01	Iniciar aquisição	Modo (1 byte)
0x02	Finalizar aquisição	-
0x03	Leitura da configuração/status	Valores dos parâmetros (16 bytes)
0x04	Escrita da configuração/status	Valores dos parâmetros (16 bytes)
0x05	Leitura de dados dos eletrodos	Valores das medições (2564 bytes)

Para facilitar os experimentos, é definida uma lista de parâmetros alteráveis pelo usuário sem necessidade de recompilação dos códigos dos microcontroladores utilizados no sistema. A lista de parâmetros é mostrada na Tabela 4, onde também é possível visualizar o tamanho em bytes de cada informação. Pacotes com *Code* 0x03 e 0x04 possibilitam, respectivamente, a leitura e escrita dos valores destes parâmetros conforme mostram as Figuras 10 e 11. Essas operações somente podem ser realizadas com o *Demodulador* em modo de configuração.

Tabela 4: Lista de parâmetros da Rede de Comunicação.

<i>Código</i>	<i>Descrição</i>	<i>Bytes</i>
nElectrode	Quantidade de Canais de Medição	1
tCycle	Período do Pulso de Sincronismo (μ s)	2
Pattern	Distância entre eletrodos responsáveis pela excitação	1
nMeasure	Quantidade de medições utilizadas no cálculo de demodulação	2
tTimeout	Tempo Máximo sem Comunicação (μ s)	2
fSample	Frequência de amostragem no processo de aquisição (Ksps/s) ¹⁰	2
nUnstable	Quantidade de medições descartados no inicio de cada ciclo	2
fExcitation	Frequência do sinal de referência (em 10^2 Hz)	2

⁹O prefixo 0x indica valor em hexadecimal. Essa representação hexadecimal é utilizada na linguagem C e adotada neste trabalho.

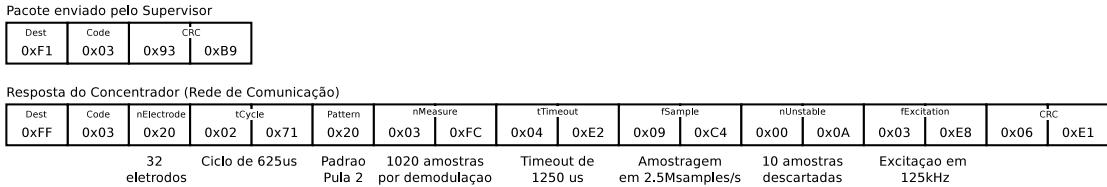


Figura 10: Fluxo de leitura dos parâmetros da rede de comunicação.



Figura 11: Fluxo de alteração dos parâmetros da rede de comunicação.

A principal função deste protocolo é a transferência de valores demodulados dos eletrodos.

As informações dos 32 eletrodos utilizados são automaticamente enviadas pelo *Concentrador*, quando disponíveis, através de pacotes com *Code* 0x05. Essa transferência automática é habilitada e desabilitada através, respectivamente, de pacotes com *Code* 0x01 e 0x02.

Para permitir a calibração do conjunto também é possível a transferência de dados brutos, ou seja, valores lidos do *Conversor AD* sem nenhum tipo de cálculo. A seleção entre o modo de transferência normal com dados demodulados e esse modo de calibração é dada pelo valor de um byte adicional enviado no pacote que inicia o processo de aquisição. Os valores possíveis são 0x00, para seleção de modo normal, ou 0x01, para seleção de modo de calibração. A Figura 12 mostra exemplos do fluxo de pacotes para início dos dois modos considerando um *Concentrador* identificado com endereço 0xF1. Observa-se que, em ambos, o *Code* 0x02 é utilizado para parada do processo de aquisição.

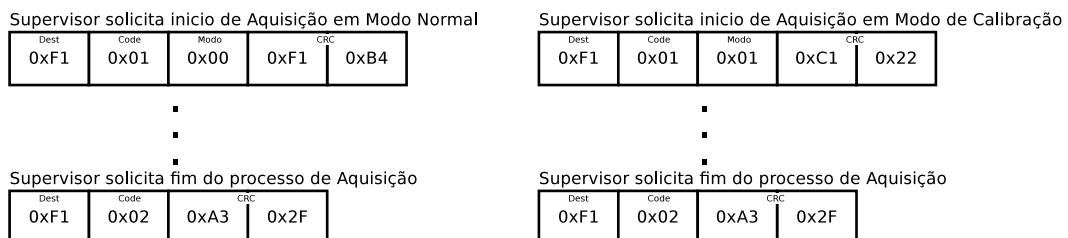


Figura 12: Fluxo de comandos para iniciar e finalizar aquisição.

Pacote recebidos durante aquisição em Modo 0 (Normal)

Dest	Code	Modo	Número Aquisição	Versão	Eletrodo 1 - Parte Real
0xFF	0x05	0x00	0x01	0x01	0x3F
0x33	0x33	0x3F	0x07	0xAE	0x30
Eletrodo 1 - Parte Real (cont.)					
0x33	0x33	0x3F	0x07	0xAE	0x30
Eletrodo 1 - Qualidade					
0x30	0x30	0x00	0x14	0x00	0x30
Eletrodo 32 - Parte Real					
0x3D	0xE1	0x47	0xAE	0x01	0x85
Eletrodo 32 - Parte Imaginária			Eletrodo 32 - Qualidade		
0x3D	0xE1	0x47	0xAE	0x01	0x85
CRC					
0xB8	0xF0	0xA3	0xF1	0xF0	0xB8

Pacote recebidos durante aquisição em Modo 1 (Calibração)

Dest	Code	Modo	Número Aquisição	Versão	Eletrodo 1 - Amostra 1
0xFF	0x05	0x01	0x00	0x01	0x01
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 1 - Amostra 2					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 1 - Amostra 3					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 1 - Amostra 4					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 1 - Amostra 5					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 32 - Amostra 1					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 32 - Amostra 2					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 32 - Amostra 3					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 32 - Amostra 4					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
Eletrodo 32 - Amostra 5					
0xFF	0xFF	0xFF	0xFF	0xFF	0xFF
CRC					
0xB8	0xF0	0xA3	0xF1	0xF0	0xB8

Figura 13: Exemplos de comunicação para troca de modo de operação.

Quando o modo de aquisição está ativo, pacotes com *Code* 0x05, no formato mostrado na Figura 13, são enviados automaticamente pelo *Concentrador*. O valor complexo obtido na demodulação é transmitido através de dois valores reais utilizando o formato *float* definido pela IEEE754¹¹. Já o valor indicativo de qualidade da medição é um valor inteiro. Na Figura 13 pode-se verificar o valor demodulado de $0,7 + 0,53j$ e qualidade de 48 para o eletrodo 1 e $0,26 + 0,11j$ com qualidade de 258 para o eletrodo 32.

Além dos dados obtidos dos *Canais de Medição* através do *Protocolo de Aquisição*, descrito na próximo tópico, esses pacotes contêm os campos:

- *Dest*, *Code* e *CRC* obrigatórios;
- *Modo* que indica o modo de operação: valor 0x00 (modo normal) ou 0x01 (modo calibração);
- *Número Aquisição*: número sequencial para identificação das medições. Esse valor é incrementado a cada medição variando de 0 a 65535;
- *Versão* que permite futuras expansões do protocolo e deverá ser, neste momento, 0x01.

3.3.2 Protocolo de Aquisição

O *Protocolo de Aquisição* é utilizado para transferência entre os *Canais de Medição* e o *Concentrador*. Para minimizar o processamento requerido nessa comunicação foi definida uma topologia em anel com conexões ponto-a-ponto entre os módulos e um formato único de pacote.

¹¹Formato padrão para manipulação de valores reais em sistemas computacionais

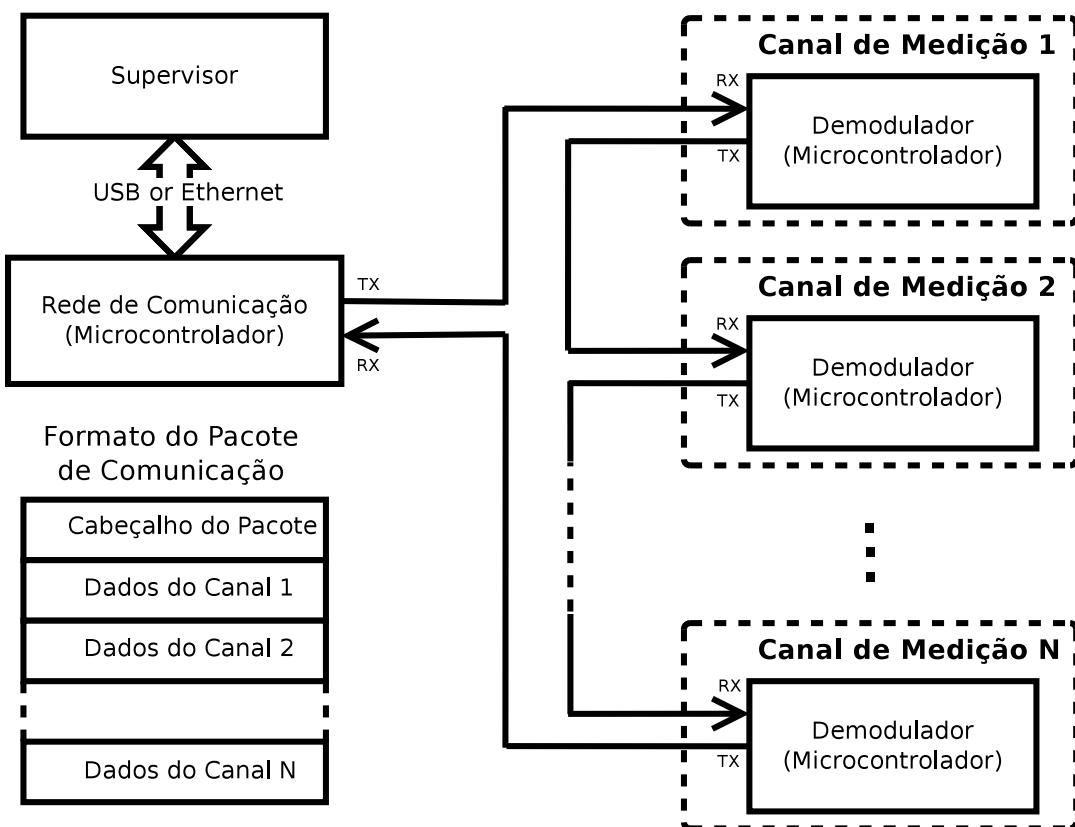


Figura 14: Rede de Comunicação.

Este pacote é gerado pelo *Concentrador* e sequencialmente alterado e retransmitido por todos os *Canais de Medição* até retornar ao *Concentrador* com as informações de todos os *Canais de Medição*. A Figura 14 mostra as conexões requeridas.

O pacote de comunicação, também mostrado na Figura 14, apresenta um cabeçalho de 10 bytes e mais 10 bytes reservados para cada *Canal de Medição*. Portanto o tamanho total do pacote será 330 bytes (para 32 eletrodos) e, considerando o tempo de *ciclo* requerido, é necessário uma velocidade de comunicação superior a 528 Kbytes/s (ou 4,224 Mbit/s). Canais de comunicação do tipo UART são comuns nos microcontroladores comerciais e atendem a topologia e velocidade requeridas.

Inicialmente o *Concentrador* envia o pacote apenas com valores no cabeçalho. Entre esses valores está o campo *Eletrodo*, inicialmente, com o valor 0x01. Ao receber esse pacote, o primeiro *Canal de Medição* preenche os campos destinados ao *Canal de Medição 1* e altera o campo *Eletrodo* para 0x02 antes de enviar o pacote para o próximo *Canal de Medição*. Este, por

Dest	Numero Aquisição	Eletrodo	Modo	Parametro	Valor Parametro	CRC
0xFF	0x3F	0x33	0x01	0x00	0x00	0xA3
0x00	Eletrodo 1 - Parte Real	0x00	0x00	0x00	Eletrodo 1 - Parte Imaginaria	Eletrodo 1 - Qualidade
0x00	Eletrodo 2 - Parte Real	0x00	0x00	0x00	0x00	0x00
0x00	Eletrodo 31 - Ruido	0x00	0x00			
0x00	Eletrodo 32 - Parte Real	0x00	0x00	0x00	Eletrodo 32 - Parte Imaginaria	Eletrodo 32 - Qualidade
0x00	0x00	0x00	0x00	0x00	0x00	0x00

Figura 15: Detalhe do cabeçalho dos pacotes do *Protocolo de Aquisição*.

sua vez, ao verificar o valor 0x02 no campo *Eletrodo* identifica os campos do *Canal de Medição* 2 como sua área de escrita e acrescentará 1 ao campo *Eletrodo* antes de enviá-lo para o próximo *Canal*. Isso ocorre até o pacote retornar ao *Concentrador* com todos os campos preenchidos.

Nota-se, portanto, que a identificação do *Canal de Medição* se faz pela sua localização física na rede de comunicação. Esse estratégia permite que todos os *Canais de Medição* tenham *hardware* e *software* idênticos facilitando sua produção em grande escala.

O cabeçalho do pacote de comunicação apresenta sete campos que são descritos na Tabela 5 e têm suas posições indicadas na Figura 15.

Tabela 5: Cabeçalho dos pacotes do *Protocolo de Aquisição*.

Campo	Descrição
Dest	Utilizado como identificador de início do pacote e sempre possui valor 0xFF
Número Aquisição	Valor sequencial entre 0x0000 e 0xFFFF utilizado para identificar as medições
Eletrodo	Indicador de saltos do pacote utilizado para identificação dos <i>Canais de Medição</i>
Modo	indicando se as informações dos <i>Canais de Medição</i> são dados demodulados (valor 0x00) ou dados brutos (valor 0x01) utilizados para calibração
Parâmetro	Valor utilizado para selecionar um parâmetro para ser alterado. Valor 0x00 indica que nenhum parâmetro será alterado.
Valor Parâmetro	Novo valor para o parâmetro indicado no campo <i>Parâmetro</i> (desde que diferente de 0x00)
CRC	Valor para verificação do pacote transmitido

3.4 Supervisor

O *Supervisor* é um *software*, desenvolvido para computador pessoal, que controla a operação de todos os módulos do sistema de TIE. Ele realiza a interface com o usuário, para ajustes de operação, e com o *Algoritmo de Estimação*, para geração de mapas de distribuição de impedância. Esse *software* utiliza uma porta de comunicação USB 1.1 (ou superior) do computador para conexão com cada módulo *Concentrador*.

Os dados demodulados de cada *Canal de Medição*, recebidos do *Concentrador*, são armazenadas em um banco de dados. Este banco de dados é composto por uma tabela, denominada CONTROL, que indica em qual outra tabela estão os dados de cada experimento, e, para cada experimento realizado, uma tabela de medições nomeada MEASURE seguido de um número sequencial. A quantidade de tabelas de medições é limitada pela capacidade do ambiente computacional utilizado, por exemplo, pelo tamanho do disco rígido.

A tabela CONTROL armazena as configurações utilizadas no processo de aquisição e sua coluna *dataTable* indica o nome da tabela (MEASURE) onde as medições estão armazenadas.

A Figura 16 mostra o modelo do banco de dados considerando dois conjuntos de medições. Na tabela de medições, a coluna *id* será um valor sequencial para identificação e ordenação dos conjuntos de medidas armazenados nas colunas VN_x, VN_y e VN_q, com os sufixos *x*, *y* e *q* indicando, respectivamente, a parte real, parte imaginária e qualidade da medida do eletrodo *N*.

As colunas da tabela CONTROL são descritas na Tabela 6.

Tabela 6: Funções da colunas da tabela CONTROL.

Coluna	Descrição
ts	Armazena data e hora em que o processo de aquisição foi iniciado
nElectrode	Quantidade de eletrodos (canais de medição)
tCycle	Tempo do ciclo de aquisição (em μs)
Pattern	Distância entre eletrodos responsáveis pela excitação
fSample	Frequência de amostragem no processo de aquisição (amostragens/s)
nUnstable	Quantidade de medições descartados no inicio de cada <i>ciclo</i>
nMeasure	Quantidade de medições utilizadas no cálculo de demodulação
fExcitation	Frequência do sinal de referência (em 10^{-2}Hz)
dataTable	Nome da tabela que armazena as medições realizadas

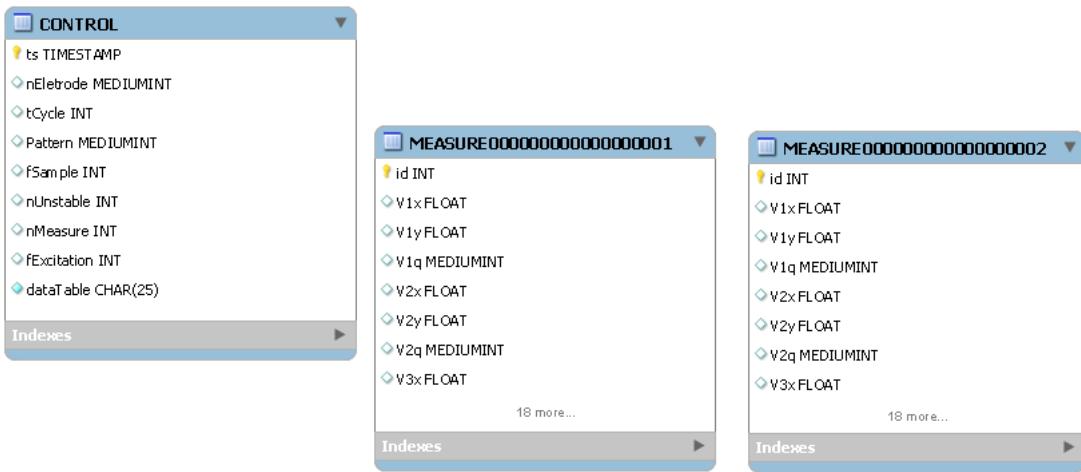


Figura 16: Banco de Dados.

3.5 Calibração

Para que seja possível a estimativa de impedâncias em um sistema de TIE é necessária que as medições tenham alta acurácia e precisão. Para tanto devem ser tomados cuidados especiais no projeto do sistema na busca de minimizar imperfeições e previsto processo para aferição do sistema após sua construção.

No projeto do sistema foi dada atenção especial aos seguintes pontos:

- Aterramento apropriado

No projeto das placas de circuito impresso são necessários cuidados especiais para minimização de ruído. Uso de planos de terra nas placas de circuito impresso, capacitores de desacoplamento na alimentação e minimização do comprimento das trilhas principalmente para sinais críticos (sinal do eletrodo, por exemplo) são alguns desses cuidados.

- Componentes de precisão e pontos de regulagem

Frente a dificuldade no casamento de circuitos analógicos, a implementação dos *Canais de Medição* deve evitar diferenças de comportamento entre canais. Para tanto deve-se utilizar componentes de precisão e disponibilizar pontos de ajuste para correção manual de imperfeições. Esses pontos de ajuste poderiam ter sido implementados através de compo-

nentes reguláveis como *trim pots* porém foram definidos multiplicadores de correção no *software* de *Demodulador*.

- Manipulação digital do sinal

A manipulação de sinais em modo analógico é mais afetada pelas imperfeições dos componentes eletrônicos que em modo digital. Buscou-se digitalizar os sinais dos eletrodos o mais breve possível e reduzir a quantidade de componentes no módulo *Condicionador de Sinal* que realiza manipulação do sinal analógico.

- Fonte de alimentação linear

Como os sinais mais importantes para o sistema estão em altas frequências é importante evitar esse tipo de ruído na alimentação do sistema. Fontes lineares com boa filtragem foram utilizadas ao invés de fontes chaveadas que trabalham com frequências mais altas.

Mesmo com os cuidados descritos durante o projeto ainda haverá imprecisões nas medições. Para minimizar essas imprecisões são previstos procedimentos para aferição do sistema e análise de operação. São eles:

- Aferição

O *software* do módulo *Demodulador* disponibiliza um fator de correção para cada valor medido do *Conversor AD*. Isso permite lidar com imprecisão de componentes. Para ajuste destes fatores de correção deve-se utilizar um gerador de sinais para simular o sinal do eletrodo e iniciar o processo de aquisição no modo de calibração. A comparação entre os valores medidos, sem demodulação, e o sinal fornecido pelo gerador possibilita o ajuste dos fatores de correção.

- Análise do sinal

No modo de aquisição para calibração é possível visualizar o sinal medido para detecção de possíveis distorções antes do início do processo de aquisição. Distorções excessivas podem ser resultado de problema de conexão dos eletrodos ou avaria em componentes do sistema e devem ser eliminadas antes de iniciar a operação do sistema.

4 RESULTADOS

A validação da arquitetura proposta foi realizada em três etapas. Na primeira etapa foi implementado um conjunto de *Condicionador de Sinal* simplificado, *Conversor AD* e, parcialmente, *Demodulador*. Nesta etapa foi selecionado o microcontrolador do módulo *Demodulador* e analisado o comportamento do processamento analógico do sinal.

Numa segunda etapa foi realizado o processo de aquisição com dois *Canais de Medição* e um *Concentrador*. Foram selecionados o microcontrolador do módulo *Concentrador* e as possibilidades de comunicação. Também foram definidos os modelos e tipos de canais de comunicação utilizados.

Na terceira etapa foi construído um sistema completo com oito *Canais de Medição* e realizadas experimentos com as diferentes funcionalidades disponibilizadas pelos protocolos definidos. Foram verificadas a capacidade do *Supervisor* em ler e armazenar os dados recebidos do *Concentrador* e as variações de comportamento pelo aumento da quantidade de *Canais de Medição*.

4.1 Etapa 1 - Seleção Demodulador

Inicialmente foi selecionado o ADC a ser utilizado no módulo *Conversor AD*. Por atender as especificações e disponibilidade foi selecionado o CI AD9260 [16]. Foram implementados no *Conversor AD*, um gerador de *clock* por cristal de 20MHz [17], gerador de tensão de referência de 2.5V utilizando o CI AD780 [18], e fontes de alimentação de +5V, para tratamento analógico, e +3.3V, para os circuitos digitais.

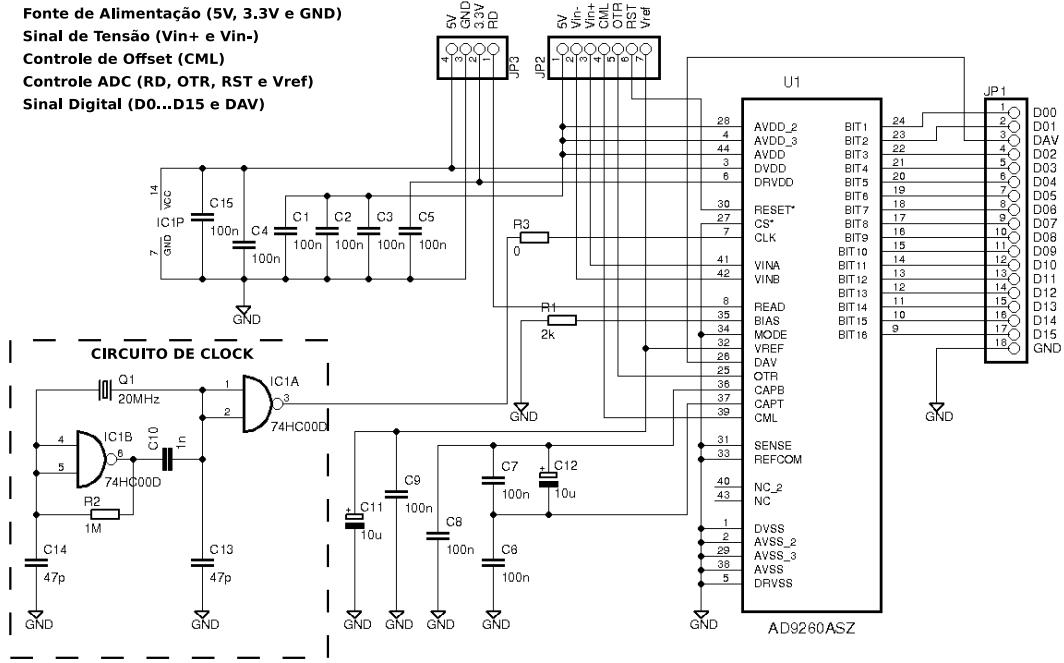


Figura 17: Esquema elétrico implementação inicial do *Conversor AD* com AD9260.

A seguir, foi definido o microcontrolador utilizado no módulo *Demodulador*. Foram conduzidos experimentos com dois modelos de microcontrolador, MCF51QE128 (Freescale) e STM32F407 (STMicroelectronics), dos quais apenas o segundo foi capaz de realizar as tarefas com a velocidade requerida. Nestes experimentos não foi possível executar as tarefas de comunicação sendo estimada uma reserva mínima de 30% do tempo de ciclo para tais tarefas. Estes modelos foram selecionados devido a seu baixo custo e disponibilidade de kits de desenvolvimento. O Demodulador foi implementado através do kit de desenvolvimento STM32F4Discovery descrito em [19].

A programação do Demodulador foi desenvolvida em linguagem C utilizando o ambiente de desenvolvimento Eclipse (<https://eclipse.org/downloads/>), o compilador GNU para ARM (<https://launchpad.net/gcc-arm-embedded>) e o kit de interface com microcontrolador ST-LINK (<https://github.com/texane/stlink>).

Os experimentos realizados nesta etapa utilizaram módulo *Conversor AD* apresentado na Figura 17 e *Condicionador de Sinal* apresentado na Figura 18. Foi utilizado o mesmo circuito de condicionamento de sinal utilizado na placa de aquisição ICS-645B (seção 2.5).

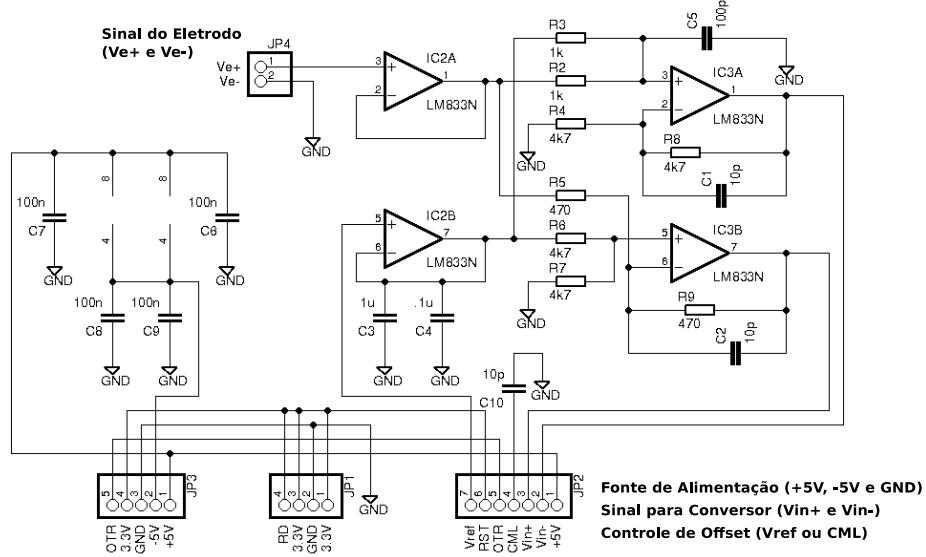


Figura 18: Esquema elétrico implementação simplificada do Condicionador de Sinal.

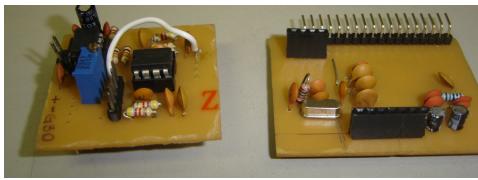


Figura 19: Vista Componentes.



Figura 20: Vista Trilha.

Os esquemas elétricos apresentam as conexões definidas na arquitetura e outras utilizadas para facilitar a montagem do conjunto. A Figuras 19 e 20 mostram os circuitos do *Condicionador de Sinal*, à esquerda, e *Conversor AD*, à direita, e a Figura 21 mostra a montagem do conjunto utilizando estrutura de empilhamento de placas atualmente empregada por fornecedores de sistemas embarcados.

As Figuras 23 e 22 mostram, respectivamente, medições realizadas com o conjunto imple-

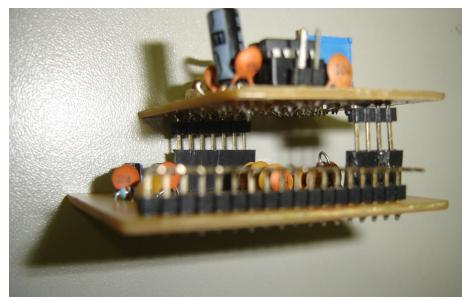


Figura 21: Integração dos circuitos do Demodulador de Sinal e Conversor AD.

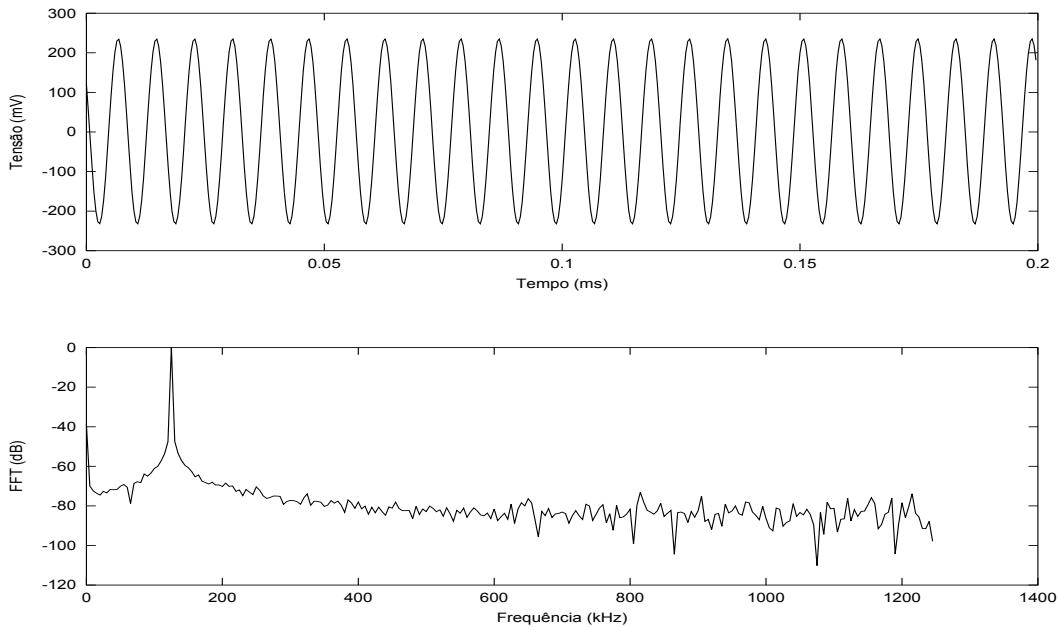


Figura 22: Medições feitas com sistema Frankie, descrito na seção 2.5 (50% do fundo de escala).

mentado e com o sistema atual, denominado Frankie. O sinal de $500mV_{pp}$ e 125kHz, utilizado no experimento, foi produzido por gerador de sinais (DS360, Stanford Research System). Os sinais apresentados representam os dados capturados sem demodulação e como o fundo de escala do sistema implementado é 2V enquanto que do sistema atual é 1V também é apresentada, na Figura 23, uma medição com valores de $1V_{pp}$, que representa 50% do fundo de escala do Conversor AD. Para facilitar a comparação, a Figura 25 apresenta a análise em frequência das três medições.

Com o mesmo *Canal de Medição* foram realizados experimentos com sinais de outras amplitudes, mantendo a frequência de 125kHz. Para cada conjunto de 500 medições foi calculada a distorção harmônica total (THD¹) e distorção total (THD+N²), ambas, apresentadas nas Figuras 26a e 26b. Foram realizados experimentos com sinais de entradas com amplitudes de $1V_{pp}$, $1.4V_{pp}$, $0.6V_{pp}$ e $0.3V_{pp}$, indicadas na figura, no total de 2726 conjuntos de medições.

¹Total Harmonic Distortion é dada pela fórmula $\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_N^2}}{V_1}$, onde V_1 é a amplitude da componente principal e V_2, V_3, \dots, V_N são as amplitudes dos componentes harmônicos.

²Total Harmonic Distortion + Noise utiliza o mesmo cálculo da distorção harmônica total com acréscimo das amplitudes dos componentes não harmônicos

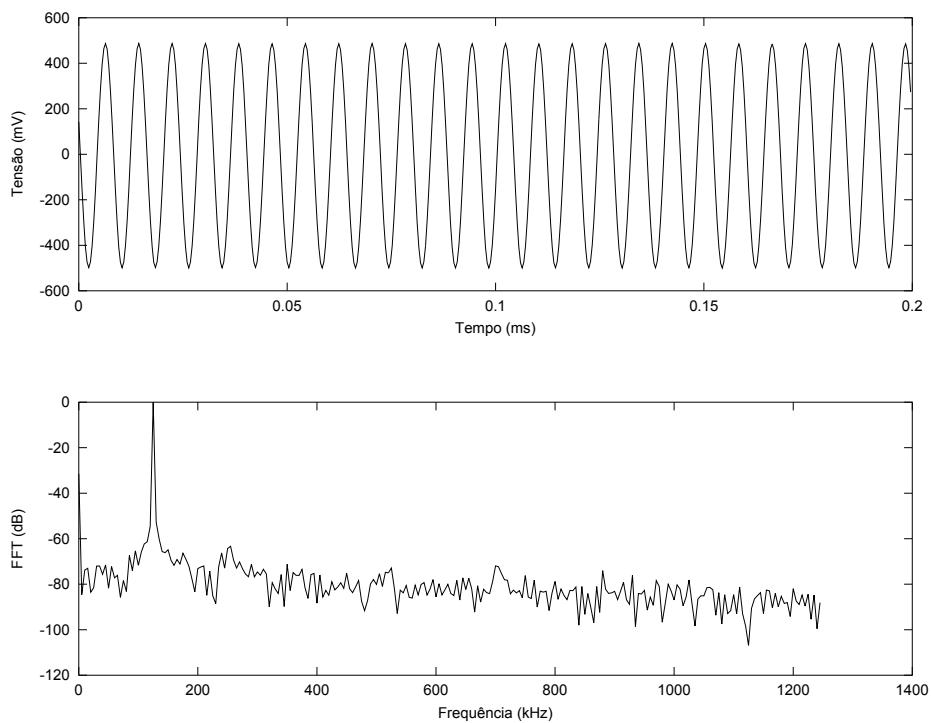


Figura 23: Medições feitas com sistema proposto (25% do fundo de escala).

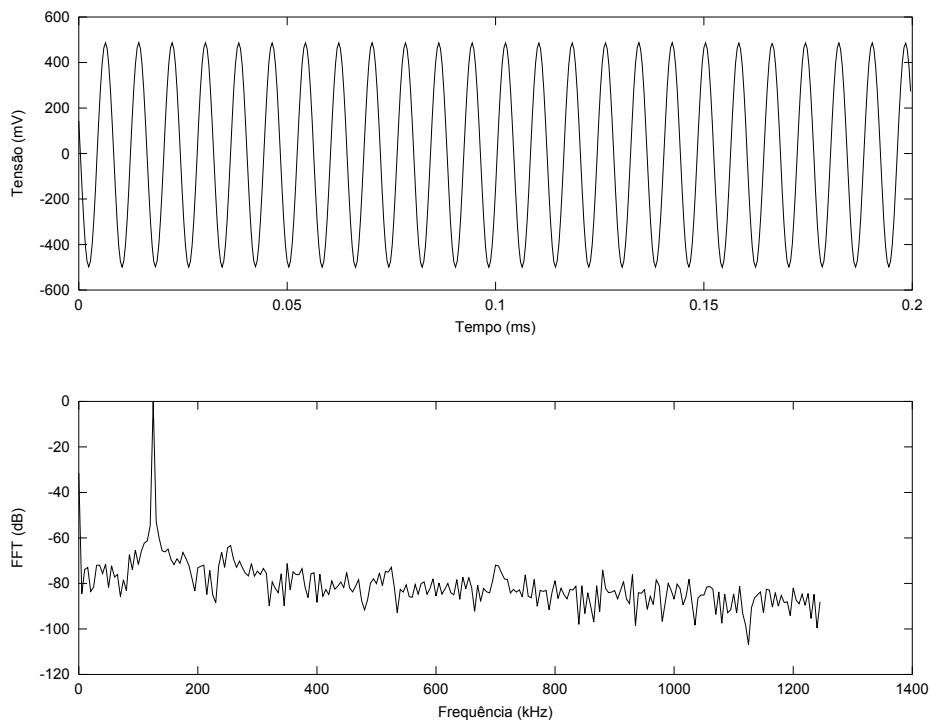


Figura 24: Medições feitas com sistema proposto utilizando 50% do fundo de escala.

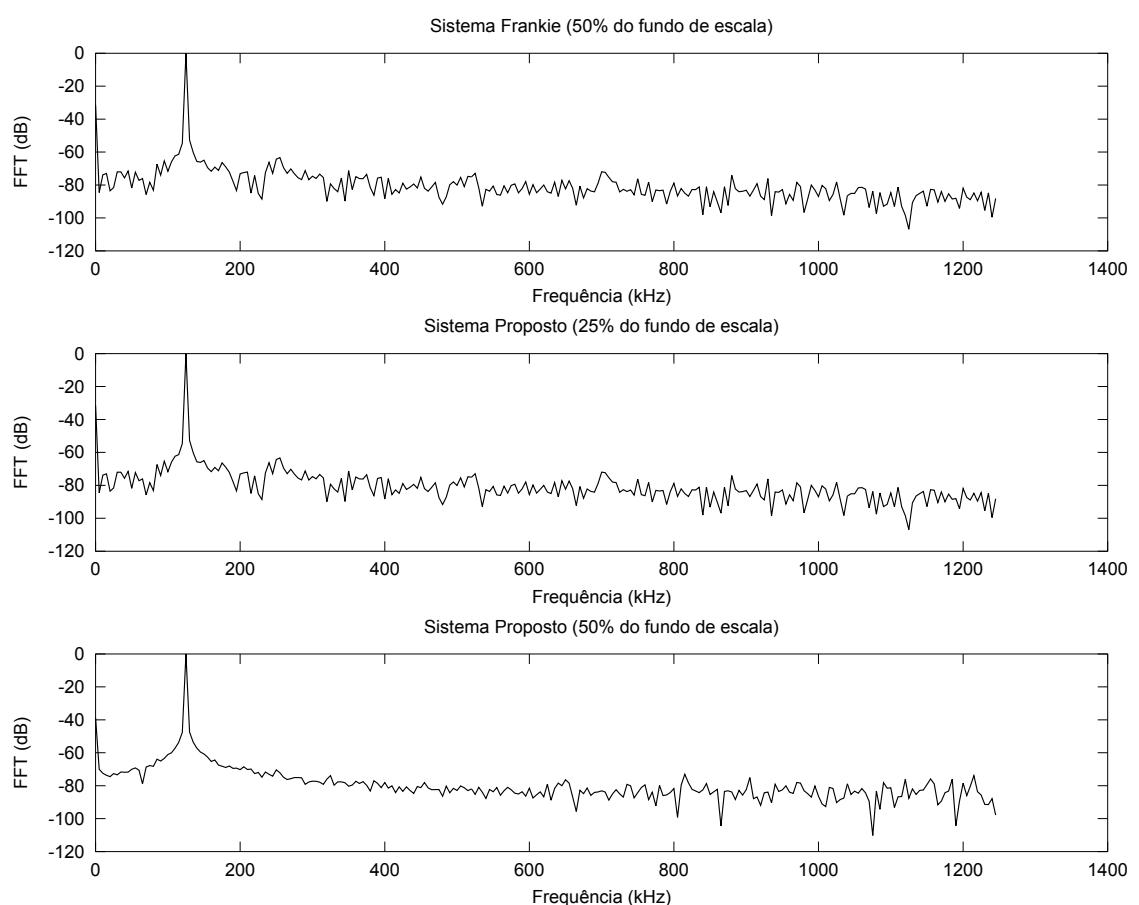


Figura 25: Comparativo das medições realizadas.

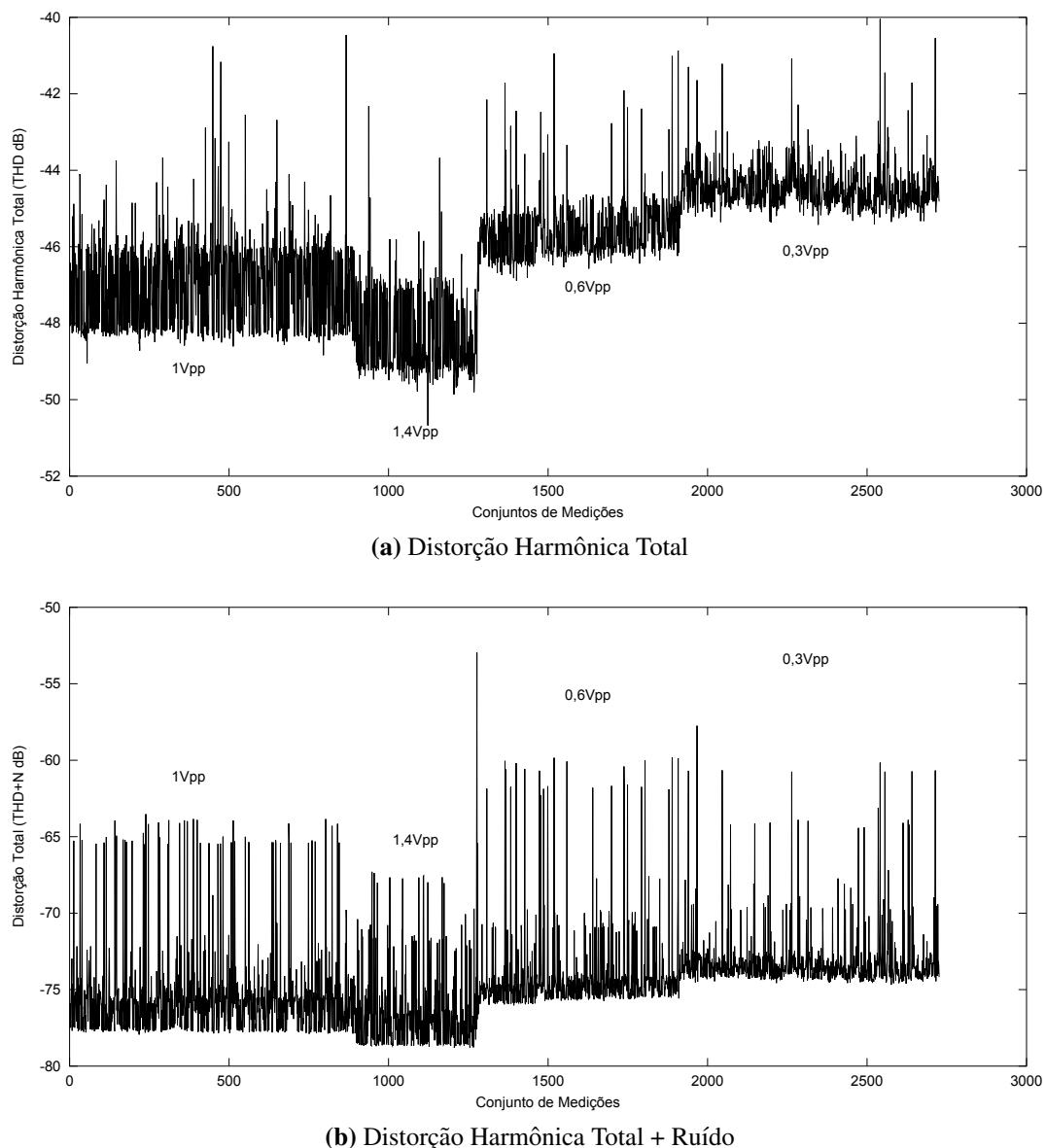


Figura 26: Comparação do Ruído Médio Harmônico e Não-Harmônico.

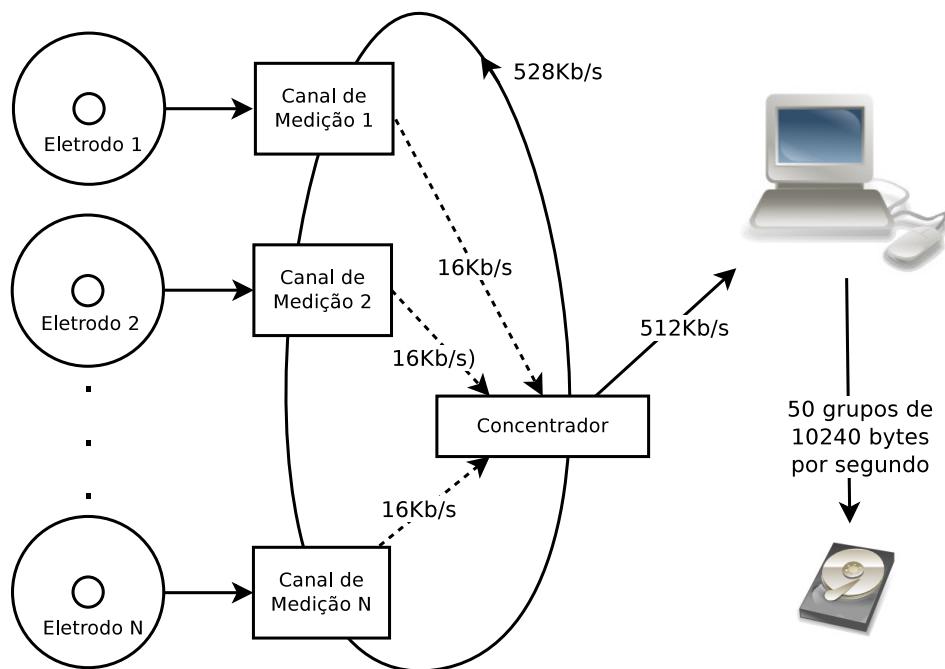


Figura 27: Velocidade de comunicação requeridas.

4.2 Etapa 2 - Comunicação

As velocidades de comunicação apresentadas na Figura 27 são requeridas para atingir os objetivos delineados. Observa-se que, devido as características do *Protocolo de Aquisição*, para que cada *Canal de Medição* transmita 16Kb/s ao *Concentrador* é necessário uma velocidade de 528Kb/s no anel de comunicação formado por 32 *Canais de Medição* e um *Concentrador*.

Utilizando-se o kit de desenvolvimento STM32FDiscovery para implementação do *Concentrador*, com as conexões (comunicação e sincronismo) apresentadas na Figura 28, inicialmente, não foi possível atingir os objetivos indicados. Para atingir a velocidade de 50 varreduras/s foi experimentada, com sucesso, a redução da quantidade de *Canais de Medição* por *Concentrador* para 16. Esta possibilidade, de múltiplos *Concentradores* por sistema, já era prevista na arquitetura proposta.

Além da comunicação com os *Canais de Medição* através de interface UART operando em velocidade de 10,5Mbit/s, a programação do *Concentrador* também implementa temporizadores para geração dos sinais de sincronismo e o *Protocolo de Supervisão* através de interface USB 1.1.

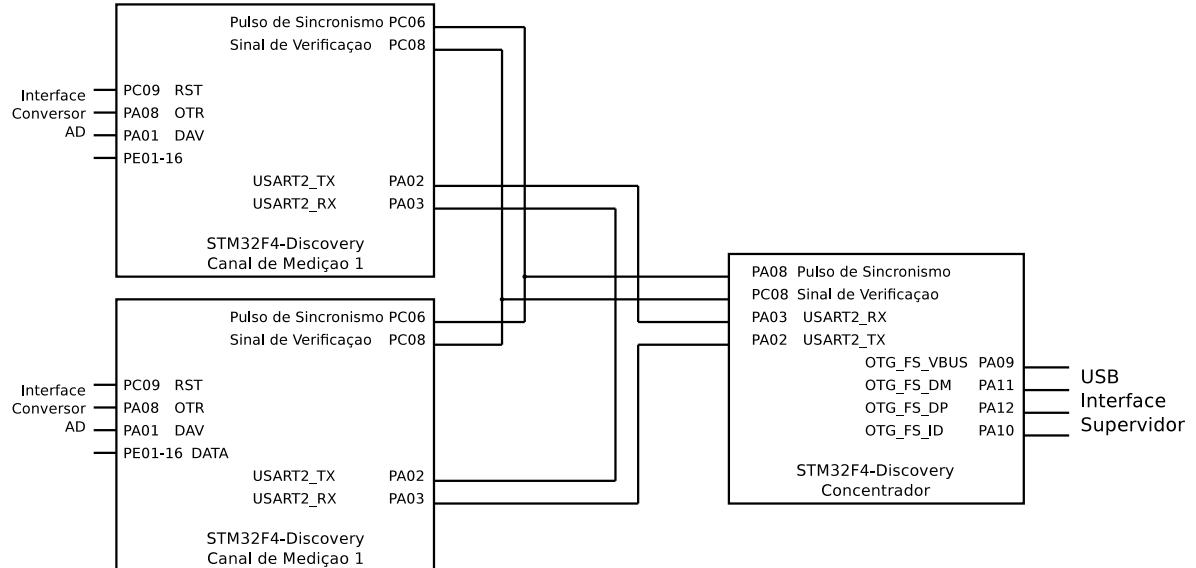


Figura 28: Conexões do Concentrador.

Foram utilizados, nesta etapa, dois *Canais de Medição* construídos conforme descrito na seção anterior. A programação do *Concentrador* utilizou as mesmas ferramentas utilizadas no desenvolvimento do *Demodulador* valendo-se de biblioteca disponibilizada pelo fabricante (*STM32F4-Discovery Board Firmware Applications Package*) para implementação da comunicação USB com *Supervisor*.

É importante ressaltar que a necessidade de dois *Concentradores* foi ocasionada pela incapacidade dos microcontroladores utilizados em comunicar-se a uma velocidade superior a 10.5Mbit/s. Utilizando essa velocidade são necessários $330 \mu s$ para envio e mais $330 \mu s$ para recepção do pacote de dados referente a um sistema com 32 *Canais de Medição*. A Figura 29 mostra o tempo aproximado para execução das principais tarefas do *Demodulador*, onde é possível identificar que o tempo disponível para as tarefas de comunicação é $360\mu s$. Desta maneira somente foi possível a utilização de 16 *Canais de Medição* por *Concentrador*.

4.2.1 Etapa 3 - Sistema Completo

Para implementação do *Supervisor* foi utilizada a linguagem C++ em uma abordagem orientada a objetos. Foi utilizado o ambiente de programação Code::Blocks (<http://www.codeblocks.org/>) em conjunto com o compilador GNU C++ (<https://gcc.gnu.org/>) e as bibli-

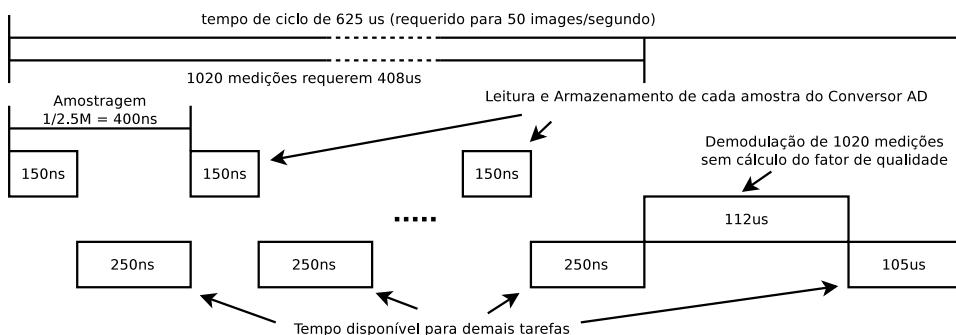


Figura 29: Tempo de processamento do Demodulador.

otecas LibUSB (<http://www.libusb.org/>), para comunicação USB, SDL (<https://www.libsdl.org/>), para apresentação de gráficos 2D, WxWidgets (<https://www.wxwidgets.org/>), para ambiente GUI³, e Sqlite (<https://www.sqlite.org/>), para armazenamento em banco de dados.

Para os experimentos desta etapa foram preparados 8 *Canais de Medição* e um *Concentrador* conforme descrito no capítulo 3. Um computador pessoal com processador i5, 6Gb de RAM e sistema operacional Linux de 64 bits (Ubuntu 15.10) foi utilizado para execução do *Supervisor*. Os sinais de entrada, simulando os eletrodos, foram produzidos por gerador de sinais (DS360, Stanford Research System).

Um conjunto de, aproximadamente, 2 milhões de medições, obtidas em 32 experimentos diferentes, totalizando 21 minutos resultou em um arquivo de 760Mbytes. Foram utilizadas duas *threads* de *software* sendo uma para comunicação e outra para armazenamento de dados. Essa divisão em duas tarefas gerenciadas pelo sistema operacional foi necessário para evitar atrasos de comunicação devido ao tempo requerido para armazenamento dos dados em disco.

A Figura 30 mostra, em primeiro plano, a tela principal de controle de operação do sistema e, ao fundo, a tela para calibração, onde é possível visualizar e armazenar o sinal medido diretamente do módulo *Conversor AD*. A Figura 31 apresenta uma visualização do banco de dados feita através da ferramenta SQLiteStudio (<http://www.sqlitestudio.org/>).

O aumento da quantidade de *Canais de Medição* resultou em maior atraso entre o envio de um *frame* de comunicação e a recepção do mesmo *frame* pelo *Concentrador*. Esse atraso é

³Graphical User Interface (GUI) é o termo que descreve uma interface computacional gráfica comum aos principais sistemas operacionais atuais.

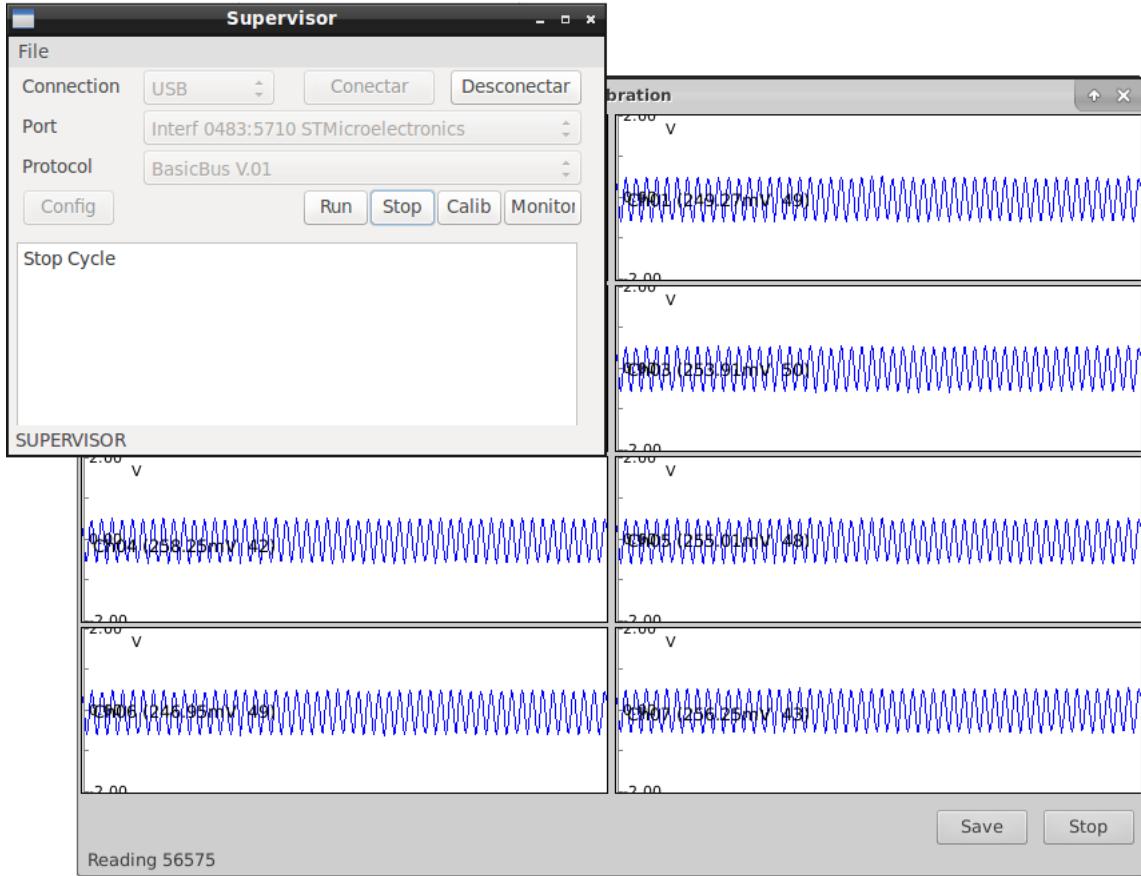


Figura 30: Telas principal e de calibração do *Supervisor*.

	ts	id	V1x	V1y	V1q	V2x	V2y	V2q	V3x	V3y	V3q	V4x	V4y	V4q
1	1452517576	1278	177697.640625	-28939.31839375	0	-35137.3515625	-104716.4609375	0	-40889.2890625	-59101.01171875	0	74790.71875	-61059.109375	
2	1452517576	1277	82911.7265625	-100368.078125	1	-44761.85546875	-82075.1953125	1	36296.93359375	-63056.05859375	1	-100169.1875	-54975.23828125	
3	1452517576	1276	-182279.9375	105792.28125	2	42324.76953125	944.946166992188	2	-8486.908203125	-64648.4375	2	102596.2109375	-46179.3125	
4	1452517576	1275	175717.59375	-79293.0078125	3	1409.26977539063	62712.09375	3	-75464.25	-60225.85546875	3	-257251.0625	-108313.765625	
5	1452517576	1274	-997.884887695312	280153.65625	4	65589.796875	-41210.98046875	4	25193.513671875	903.850769042969	4	-42266.59894375	-16815.236328125	
6	1452517576	1273	-109168.78125	26466.14453125	5	-8305.1875	36801.26953125	5	70719.078125	-32638.66015625	5	111775.734375	-186789.11875	
7	1452517576	1272	32152.109375	-66236.203125	6	32905.90234375	-58812.6171875	6	-61342.62109375	34279.8125	6	-178984.203125	31698.390625	
8	1452517576	1271	-21296.58984375	-298773.09375	7	14008.8251953125	-50354.625	7	-1675.84704589844	-77734.6640625	7	-7609.20751953125	149780.015625	
9	1452517576	1270	105227.3359375	177863.28125	8	-2907.5595703125	61050.4375	8	-5673.0703125	-35706.640625	8	54485.4453125	-107228.7265625	
10	1452517576	1269	197660.765625	-16370.1630859375	9	22633.642578125	74353.4296875	9	35164.64453125	-34827.7890625	9	-197302.71875	-40660.80078125	
11	1452517576	1268	-103592.453125	65513.44921875	10	-39393.48046875	28408.447265625	10	-44439.5234375	22492.171875	10	-113948.515625	18830.37890625	1
12	1452517576	1267	-34332.46875	-210647.78125	11	42046.046875	22130.17578125	11	45414.80859375	-35290.18359375	11	272747.875	42115.66796875	1
13	1452517576	1266	4331.654296875	-104647.65625	12	-26642.505859375	-7900.6953125	12	48389.94140625	-8466.5634765625	12	-71279.6953125	-127007.4609375	1
14	1452517576	1265	-173293.34375	-2266.541297562	13	76236.171875	19904.388671875	13	-17085.326171875	-26226.091796875	13	-97411.109375	48838.00390625	1
15	1452517576	1264	151430.171875	-45922.39453125	14	29088.369140625	34650.45703125	14	-51134.59765625	795.166564941406	14	-12879.421875	-74847.3125	1
16	1452517576	1263	-105427.5390625	-66217.203125	15	17508.576171875	-114702.8046875	15	12870.0625	-107781.0	15	24413.671875	6233.79443359375	1
17	1452517576	1262	-108292.9140625	-44831.83203125	16	82081.328125	-14645.5537109375	16	55478.16796875	-28571.646484375	16	-8309.14453125	-11719.79882125	1
18	1452517576	1261	-97847.5	58318.6875	17	103195.1875	-14040.5078125	17	-22871.744140625	43667.8203125	17	-88490.1875	-72251.1328125	1
19	1452517576	1260	14410.0625	60433.87890625	18	-43417.52734375	-23548.33984375	18	-26927.474609375	-24247.759765625	18	-152065.875	108325.03125	1

Figura 31: Visualização do Banco de Dados.

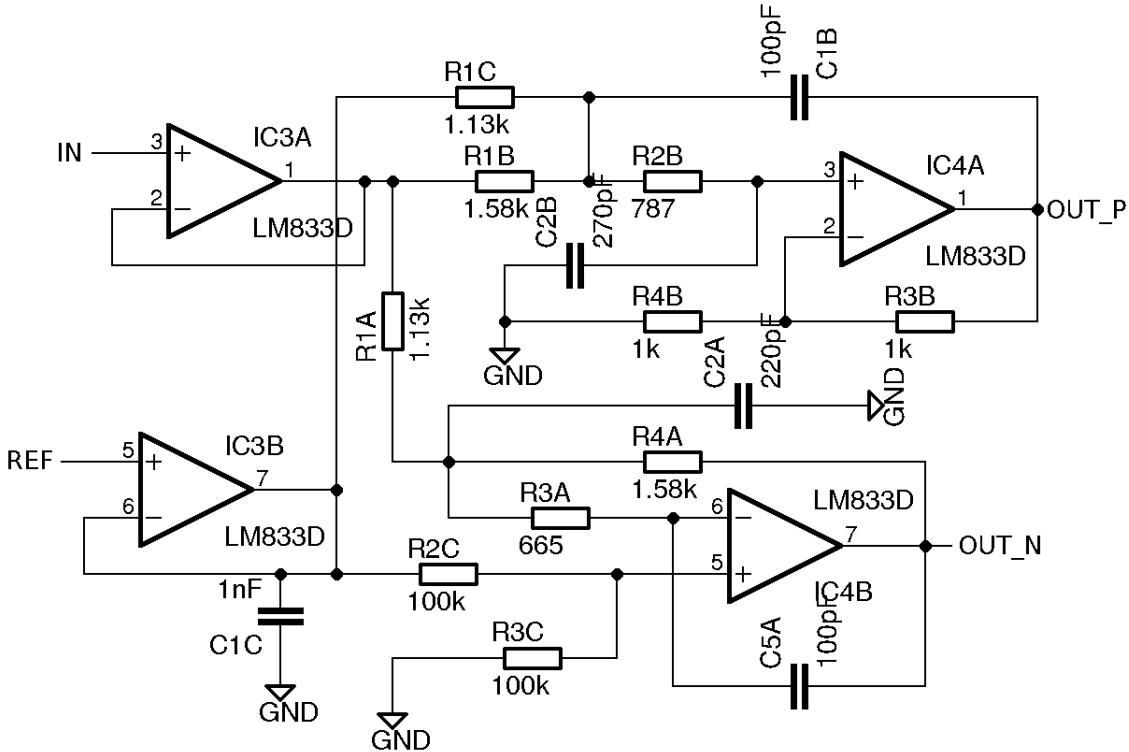


Figura 32: Esquema elétrico do módulo Condicionador de Sinal.

variável e não influencia na aplicação do sistema já que é configurado FIFO de 250 medições no *software* de cada *Canal de Medição* e, durante os experimentos, o atraso não ultrapassou o tempo de 3 medições.

Nesta etapa também foi projetado um *Condicionador de Sinal* com as características requeridas pelo *Conversor AD*. O módulo *Conversor AD* projetado opera com taxa de amostragens de 2.5Msps e aceita sinais diferenciais de até 4V_{pp}, desde que as entradas mantenham-se entre 0.5V e 4.5V. O sinal do eletrodo foi estimado entre -1V e +1V, mantendo as características de entrada do sistema atual descrito na seção 2.5. O *Condicionador de Sinal*, além de filtragem e ajuste de impedância, foi projetado para casamento destas duas faixas de operação.

Buscando-se a redução da quantidade de componentes discretos, para minimização de erros causados pelo comportamento não-linear destes componentes, foram utilizados filtros ativos de um único estágio. Adicionando entradas para ajuste de *offset* em circuitos utilizando as topologias *Sallen-Key* e *Multiple Feedback* chegou-se ao circuito indicado na Figura 32.

Ganho e defasagem dos filtros são apresentadas nas Figuras 33 sendo que o filtro com

topologia *Sallen-Key* é responsável pela saída indicada por *OUT_P* e o filtro com topologia *Multiple Feedback* é responsável pela saída *OUT_N*, defasadas entre si por πrad . A Figura 34 apresenta o comportamento dos dois filtros em conjunto.

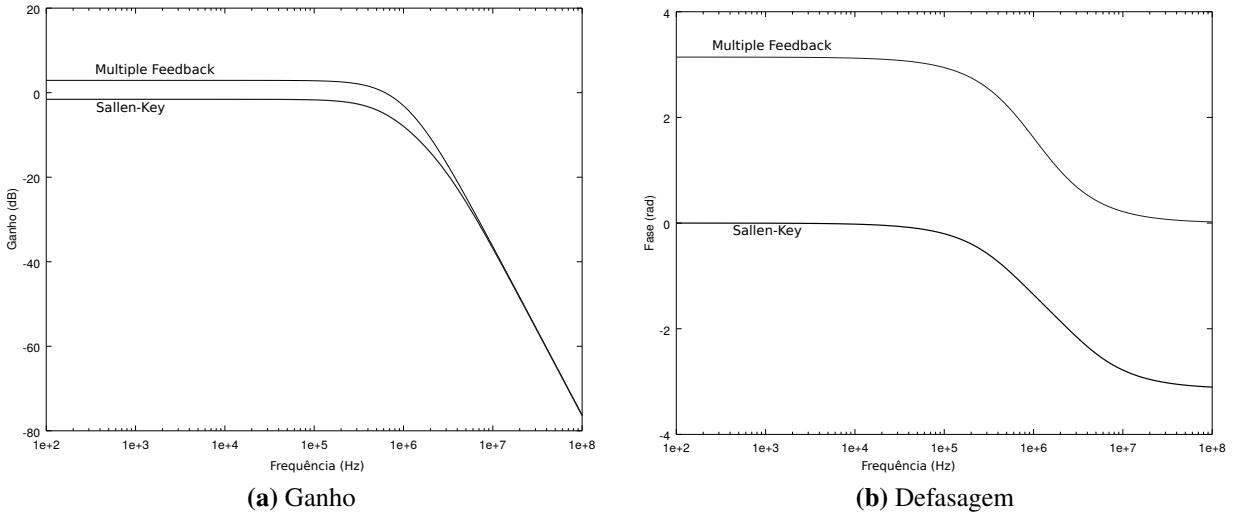


Figura 33: Comportamento dos filtros do Condicionador de Sinal.

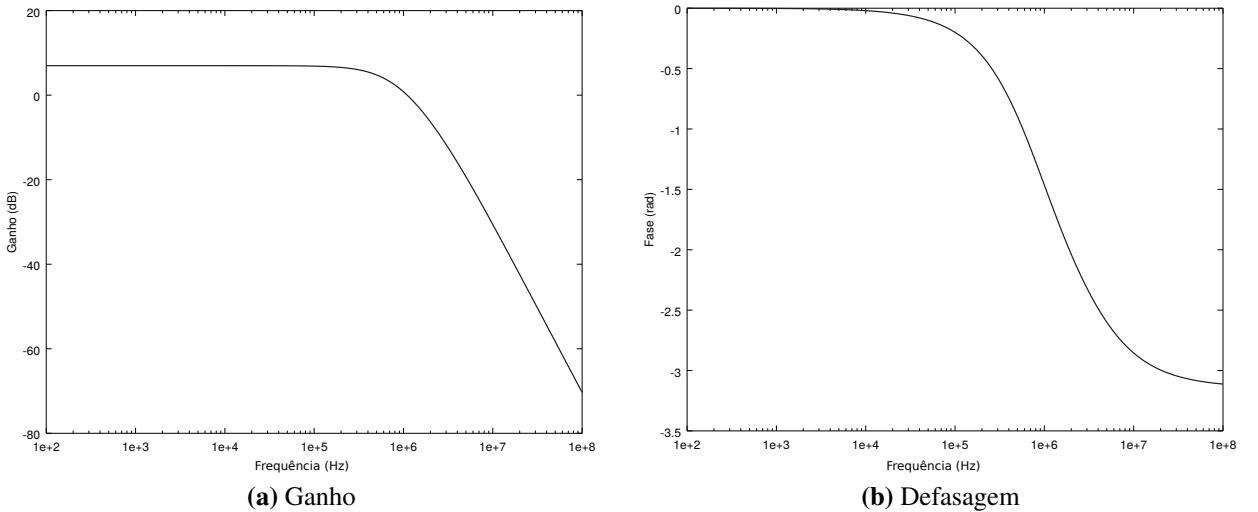


Figura 34: Ganho e defasagem do Condicionador de Sinal.

Outra alteração provocada pela maior quantidade de canais, foi o aumento do ruído do sinal. Para 1020 amostras de um sinal de $1V_{pp}$, que representa aproximadamente 50% do fundo de escala do sistema, e 125KHz, conforme mostra a Figura 35, temos um nível de ruído acima daquele encontrado nos experimentos com um único canal apresentados na Figura 24. Com um único Canal de Medição foi obtido ruído próximo a -80dB e agora, com 8 Canais operando simultaneamente, foram registrados níveis entre -40 e -60dB em cada canal.

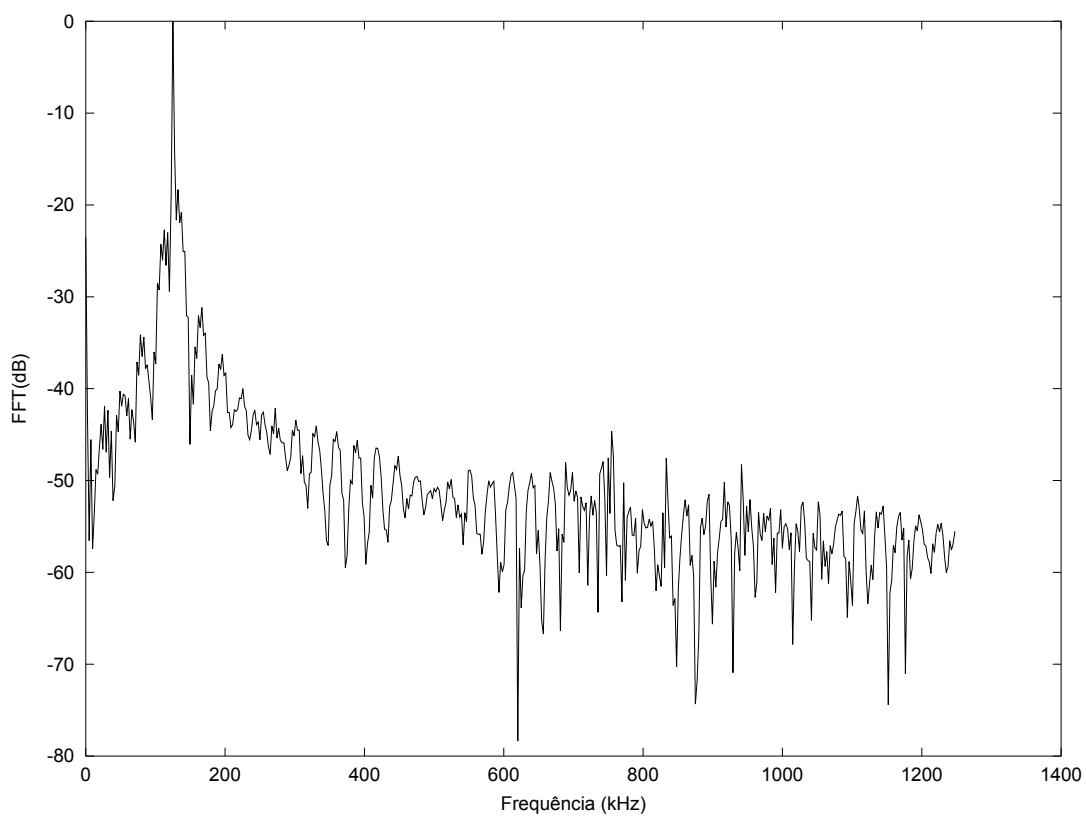


Figura 35: Análise das 1020 amostras de um dos canais de medição com fonte única.

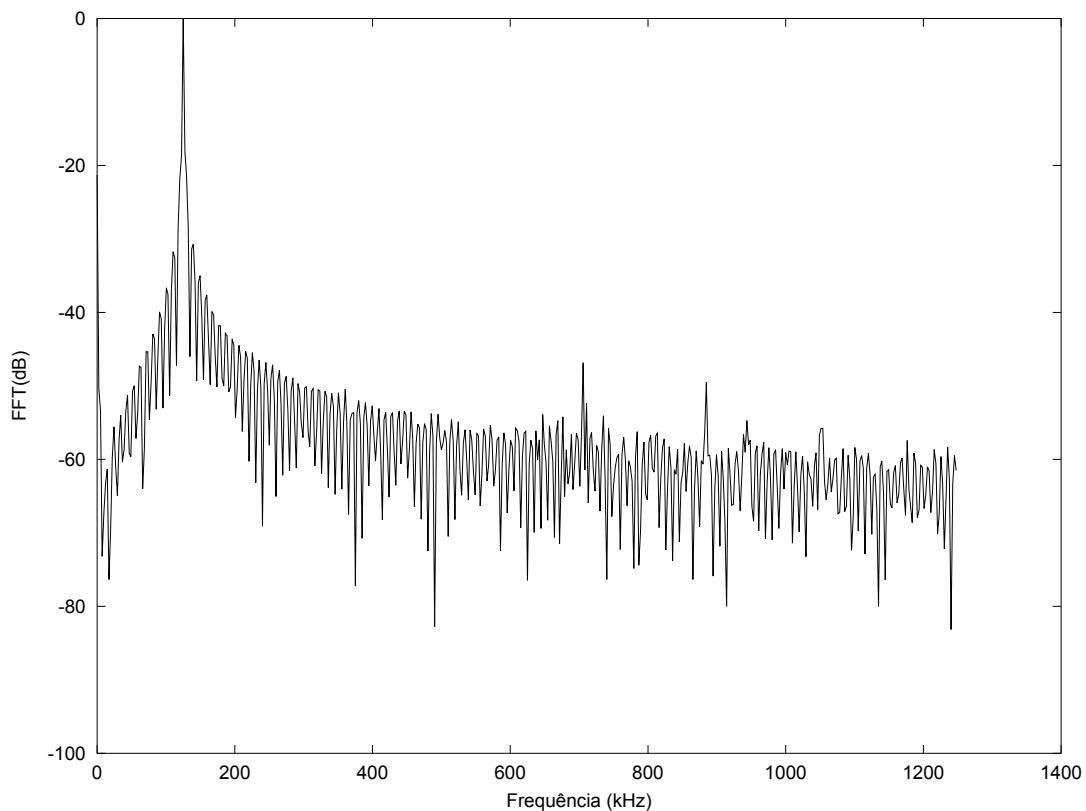


Figura 36: Análise das 1020 amostras de um dos canais de medição com duas fontes independentes.

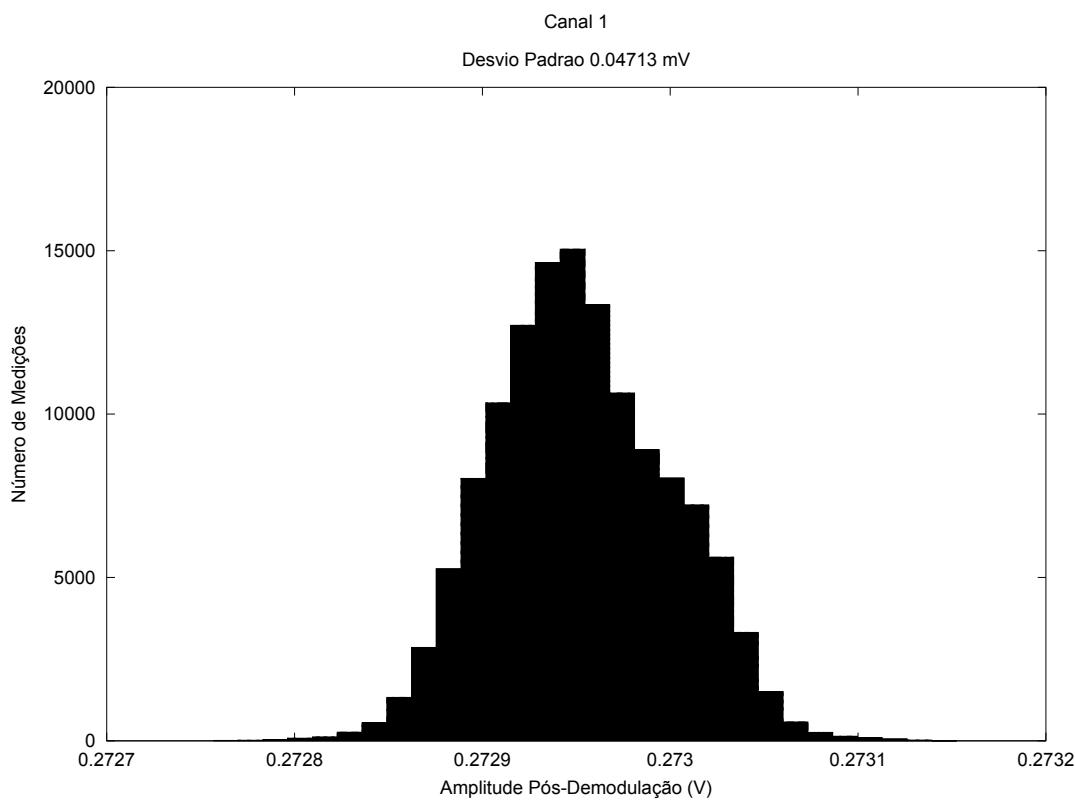


Figura 37: Desvio padrão

O acoplamento indesejado entre os sinais digitais e analógicos e entre os sinais de diferentes canais (*cross-talk*) provocou esse aumento. A Figura 36 mostra a redução de ruído obtida pela utilização de duas fontes independentes para alimentação das etapas de manipulação analógica e digital dos sinais no módulo *Conversor AD*.

Utilizando o mesmo gerador de sinais, ajustado para amplitude de $500mV_{pp}$, conectado simultaneamente a todos os canais, foram realizadas dois conjuntos de 131071 medições e, após demodulação, foram obtidos valores de amplitude com desvio padrão entre 40 e $50\mu V$ conforme mostra, para um dos canais, o histograma da Figura 37. A Tabela 7 mostra a média e desvio padrão dessas medições para todos os canais. Os valores originalmente obtidos pela demodulação foram multiplicados por um fator de 0.45665 para compensação do ganho teórico do Condicionador de Sinal (2,18986). As imprecisões dos componentes utilizados em cada circuito requer fatores de ajuste diferentes para que se tenha a acurácia desejada.

Canal	Conjunto 1 (mV)		Conjunto 2 (mV)	
	Média	Desvio	Média	Desvio
1	249,2949	0,0387	249,2875	0,0430
2	245,7795	0,0298	245,7626	0,0405
3	251,2601	0,0379	251,2584	0,0400
4	249,5157	0,0458	249,5212	0,0411
5	246,6078	0,0346	246,6059	0,0368
6	247,3365	0,0356	247,3304	0,0363
7	247,4869	0,0396	247,4859	0,0380
8	247,5551	0,0399	247,5420	0,0353

Tabela 7: Valores demodulados para 8 canais em 131071 medições

5 DISCUSSÃO E CONCLUSÃO

Utilizando microcontroladores, em kits comerciais de baixo custo, foi possível realizar a transferência de dados na velocidade requerida. Todos os itens, tanto de *hardware* quanto *software*, empregados utilizaram soluções abertas que podem ser remodeladas para atender especificamente as características requeridas pela TIE. Durante a pesquisa foram realizadas diferentes implementações dos módulos demonstrando a flexibilidade da arquitetura.

A arquitetura proposta verificou-se experimentalmente viável do ponto de vista dos fluxos de dados. Foi demonstrada a viabilidade do conceito de canais de medição independentes, capazes de demodular os sinais, e agrupados por um barramento de comunicação em formato de anel.

Nos experimentos iniciais, o *Canal de Medição* apresentou desempenho satisfatório, apresentando relação sinal-ruído menor que -60dB (Figura 24), em comparação com o Frankie (Figura 22), sistema descrito na seção 2.5, com sinais em 50% do fundo de escala. Nos experimentos posteriores, com o acréscimo de fontes adicionais de ruído (sinais de sincronismo e comunicação) não foram obtidos resultados melhores.

Nos experimentos realizados não foram confeccionadas placas de circuito impresso com o aterramento e isolação entre trilhas apropriadas. Todas foram confeccionadas em face única o que impede uma manipulação apropriada dos sinais frente a componentes com invólucros miniaturizados como os utilizados. O alto ruído, próximo de -40dB conforme Figura 36, identificado nas medições são frutos de *cross-talk*, falta de isolamento apropriados e/ou separação ineficiente entre trilhas de referência analógica e trilhas de referência digital. Estas hipóteses serão testadas e eventualmente corrigidas nas próximas implementações.

A implementação utilizada para validação da arquitetura proposta mostrou alguns aspectos que podem ser aperfeiçoados em futuros trabalhos. São eles:

- No módulo *Conversor AD*, o CI utilizado (AD9260, Analog Devices), possui consumo alto, em torno de 0,5W, frente a outros modelos com especificações similares ou até melhores.
- O uso de kits de desenvolvimento para os módulos *Demodulador* e *Concentrador* aumenta o consumo e dimensões do sistema.
- O módulo *Condicionador de Sinal* não foi projetado com o controle automático de ganho proposto. Experimentos com essa funcionalidade precisam ser conduzidas para verificar o ganho dado pelo aumento da resolução das medidas frente a imprecisão causada pelo aumento de componentes no tratamento analógico do sinal.
- O microcontrolador utilizado no módulo *Demodulador* (STM32F407, STMicroelectronics) operou próximo ao seu limite de capacidade obrigando a utilização de dois módulos *Concentradores* para obtenção do desempenho desejado. Outros componentes, de capacidade superior, devem ser utilizados para permitir, por exemplo, a construção de um sistema com 64 ou mais *Canais de Medição* com um único *Concentrador*.
- Verificação e ajustes da operação de amostragem para garantir que ocorra com simultaneidade suficiente para que a fase dos sinais medidos sejam utilizadas nos algoritmos estimação de impedância deve ser realizada. Os experimentos realizados não analisaram o comportamento do sistema em relação à medição de fase dos sinais.

REFERÊNCIAS

- 1 SAULNIER, G. J. et al. An electrical impedance spectroscopy system for breast cancer detection. **Proceedings of the 29th Annual International Conference of the IEEE EMBS**, p. 4154–4157, Aug 2007.
- 2 GAGGERO, P. O. **Miniaturization Distinguishability Limits of Electrical Impedance Tomography for Biomedical Applications**. Tese (Doutorado) — Faculty of Science of the University of Neuchâtel, Jun 2011.
- 3 MOUMBE, A. P. **Central Unit Development of a Simultaneous Aquisition System for EEG and EIT Data**. Dissertação (Mestrado) — University of Montreal, dec 2011.
- 4 ADLER, A. et al. Whither lung eit: Where are we, where do we want to go and what do we need to get there? **Physiological Measurement**, v. 33, n. 5, p. 679–694, Apr 2012.
- 5 SAULNIER, G. J. **Electrical Impedance Tomography: Methods, History and Applications**. [S.l.]: Institute of Physics Publishing, 2005.
- 6 COSTA, E. L.; LIMA, R. G.; AMATO, M. B. Electrical impedance tomography. **Current Opinion Critical Care**, 2009.
- 7 LIU, N. **ACT4: A High-precision, Multi-frequency Electrical Impedance Tomograph**. Tese (Doutorado) — Rensselaer Polytechnic Institute, 2007. Disponível em: <<http://books.google.com.br/books?id=Ej9hA3qY34AC>>.
- 8 TEXAS INSTRUMENTS. **A Comprehensive Study of the Howland Current Pump**. [S.l.], 2013.
- 9 INC., A. D.; ZUMBAHLEN, H. **Linear Circuit Design Handbook**. Newton, MA, USA: Newnes, 2008. ISBN 0750687037, 9780750687034.
- 10 OH, T. I. et al. A fully parallel multi-frequency eit system with flexible electrode configuration: Khu mark2. **Physiological Measurement**, v. 32, n. 7, p. 834–849, Jun 2011.
- 11 OH, T. I.; WOO, E. J.; HOLDER, D. Multi-frequency eit system with radially symmetric architecture: Khu mark 1. **Physiological Measurement**, v. 28, n. 7, p. S183–S196, Jun 2007.
- 12 KIM, D. Y. et al. Performance evaluation of khu mark2 parallel multi-frequency eit system. **International Conference on Electrical Bioimpedance - Journal of Physics: Conference Series** 224, v. 224, n. 012013, 2010.
- 13 GUARDO J JEHANNE-LACASSE, A. P. M. R.; GAGNON, H. System front-end design for concurrent acquisition of electroencephalograms and eit data. **International Conference on Electrical Bioimpedance**, v. 224, n. 012012, 2014.
- 14 MOURA, F. S. d. **Estimação não linear de estado através do unscented Kalman filter na tomografia por impedância elétrica**. Tese (Doutorado) — Escola Politécnica da Universidade de São Paulo, 2013.

- 15 GROUP, O. M. **OMG Unified Modeling Language (OMG UML), Infrastructure, V2.1.2.** [S.I.], 2007. Disponível em: <<http://www.omg.org/spec/UML/2.1.2/Infrastructure/PDF>>.
- 16 ANALOG DEVICES, INC. **AD9260 High Speed Oversampling CMOS ADC with 16-Bit Resolution at a 2.5 MHz Output Word Rate Data Sheet.** [S.I.], 2004. Rev. C.
- 17 WILLIANS, J. **Circuit Techniques for Clock Sources.** [S.I.], 1985.
- 18 ANALOG DEVICES INC. **AD780 2.5 V/3.0 V High Precision Reference Data Sheet.** [S.I.], 2012. Rev. H.
- 19 STMICROELECTRONICS. **UM1472 - STM32F4DISCOVERY User Manual.** [S.I.], 2012. Rev 2.

APÊNDICE A – DEMODULAÇÃO

A medição realizada terá componentes resultantes de processos biológicos (EEG e ECG são sistemas que utilizam essas tensões), provocadas pela corrente imposta ao paciente e ruído. A estimação do valor de amplitude e fase do componente resultante da corrente imposta é denominado demodulação. Para sinal de referência com frequência única, este processo procura identificar um sinal digital no formato $A\sin(\omega n + \theta)$ que melhor se aproxime às amostras obtidas por um sistema de conversão analógico-digital.

Tomando o sinal medido $x(n)$ com N_a amostras, essa melhor aproximação é especificada pelos coeficientes $\alpha = A \cos(\theta)$, $\beta = A \sin(\theta)$ que minimizem o erro médio quadrático dado por $e_m^2 = \sum_{n=0}^{N_a-1} (f(n) - [\alpha \sin(\omega n) + \beta \cos(\omega n)])^2$, onde $\omega = \frac{2\pi f_r}{f_a}$, f_a é a frequência de amostragem e f_r é a frequência do sinal injetado. Temos:

$$\frac{de_m^2}{d\alpha} = 2 \sum_{n=0}^{N_a-1} \alpha \sin^2(\omega n) + \beta \sin(\omega n) \cos(\omega n) - \sin(\omega n)x(n) \quad (\text{A.1})$$

$$\frac{de_m^2}{d\beta} = 2 \sum_{n=0}^{N_a-1} \alpha \sin(\omega n) \cos(\omega n) + \beta \cos^2(\omega n) - \cos(\omega n)x(n) \quad (\text{A.2})$$

Igualando as equações A.1 e A.2 a zero e escrevendo em formato vetorial temos:

$$\underbrace{\begin{bmatrix} x(0) & \dots & x(N_a - 1) \end{bmatrix}}_X \underbrace{\begin{bmatrix} [\sin(\omega n)] & [\cos(\omega n)] \end{bmatrix}}_A = [\alpha \ \beta]M$$

Onde

$$M = \begin{bmatrix} [\sin(\omega n)]^T[\sin(\omega n)] & [\sin(\omega n)]^T[\cos(\omega n)] \\ [\sin(\omega n)]^T[\cos(\omega n)] & [\cos(\omega n)]^T[\cos(\omega n)] \end{bmatrix}$$

Invertendo a matriz M , é possível encontrar os coeficientes α e β que minimizam o erro médio quadrático em função das amostras $x(0), x(1), \dots, x(N_a)$.

$$[\alpha \quad \beta] = XAM^{-1}$$

Pode-se calcular, com antecedência, um vetor de multiplicadores formados por senos e cossenos na frequência desejada e pela inversa da matriz $M_{2 \times 2}$. Deste modo, serão necessárias $2N_a$ multiplicações e $2(N_a - 1)$ somas de números reais para cada eletrodo, em cada ciclo de aquisição, onde N_a indica o número de amostragens.

Um parâmetro adicional será calculado pela somatória do quadrado da diferença entre o sinal medido e o sinal estimado. Como foi reservado apenas um byte para armazenamento deste parâmetro, será definido um multiplicador (k) para condicioná-lo na faixa de 0 a 255. Esse parâmetro, denominado qualidade (q), indicará o nível de precisão da estimativa.

$$q = k \cdot \sum_{n=0}^{N_a-1} [\operatorname{sen}(\omega n + \theta) - f(n)]^2$$

APÊNDICE B – CÁLCULO FILTROS

Considerando os filtros apresentados na Figura 38, utilizado no *Condicionador de Sinal* temo, um filtro do tipo *Sallen-Key* responsável pela saída descrita como OUT_P e um filtro do tipo *Multiple Feedback* responsável pela saída OUT_N . O cálculo da função de transferência de ambos é apresentado a seguir.

Para o filtro *Sallen-Key*, considerando os nós A, B e C indicados na figura e definindo $k = 1 + \frac{R3B}{R4B} = \frac{R3B+R4B}{R4B}$, temos $V_{OUT} = A \cdot (V_A - V_B)$. Sendo $V_B = V_{OUT} \cdot \frac{R4B}{R4B+R3B} = \frac{V_{OUT}}{k}$ e $V_A = \frac{V_C}{R2B+\frac{1}{s \cdot C2B}} \cdot \frac{1}{s \cdot C2B}$. Podemo encontrar V_C através de:

$$\begin{aligned} V_C &= \left(\frac{V_{OUT} - V_C}{\frac{1}{s \cdot C1B}} + \frac{V_{REF} - V_C}{R1C} + \frac{V_{IN} - V_C}{R1B} \right) \cdot \left(R2B + \frac{1}{s \cdot C2B} \right) \\ &= \frac{\left(s \cdot V_{OUT} \cdot C1B + \frac{V_{REF}}{R1C} + \frac{V_{IN}}{R1B} \right)}{\left(R2B + \frac{1}{s \cdot C2B} \right) + \left(s \cdot C1B + \frac{1}{R1C} + \frac{1}{R1B} \right)} \end{aligned}$$

Substituindo em V_A temos:

$$\begin{aligned} V_A &= \frac{\left(s \cdot V_{OUT} \cdot C1B + \frac{V_{REF}}{R1C} + \frac{V_{IN}}{R1B} \right)}{\left(R2B + \frac{1}{s \cdot C2B} \right) + \left(s \cdot C1B + \frac{1}{R1C} + \frac{1}{R1B} \right)} \cdot \frac{1}{R2B + \frac{1}{s \cdot C2B}} \cdot \frac{1}{s \cdot C2B} \\ &= \frac{\left(s \cdot V_{OUT} \cdot C1B + \frac{V_{REF}}{R1C} + \frac{V_{IN}}{R1B} \right)}{s \cdot C2B + \left(s \cdot C1B + \frac{1}{R1C} + \frac{1}{R1B} \right) \cdot (s \cdot C2B \cdot R2B + 1)} \end{aligned}$$

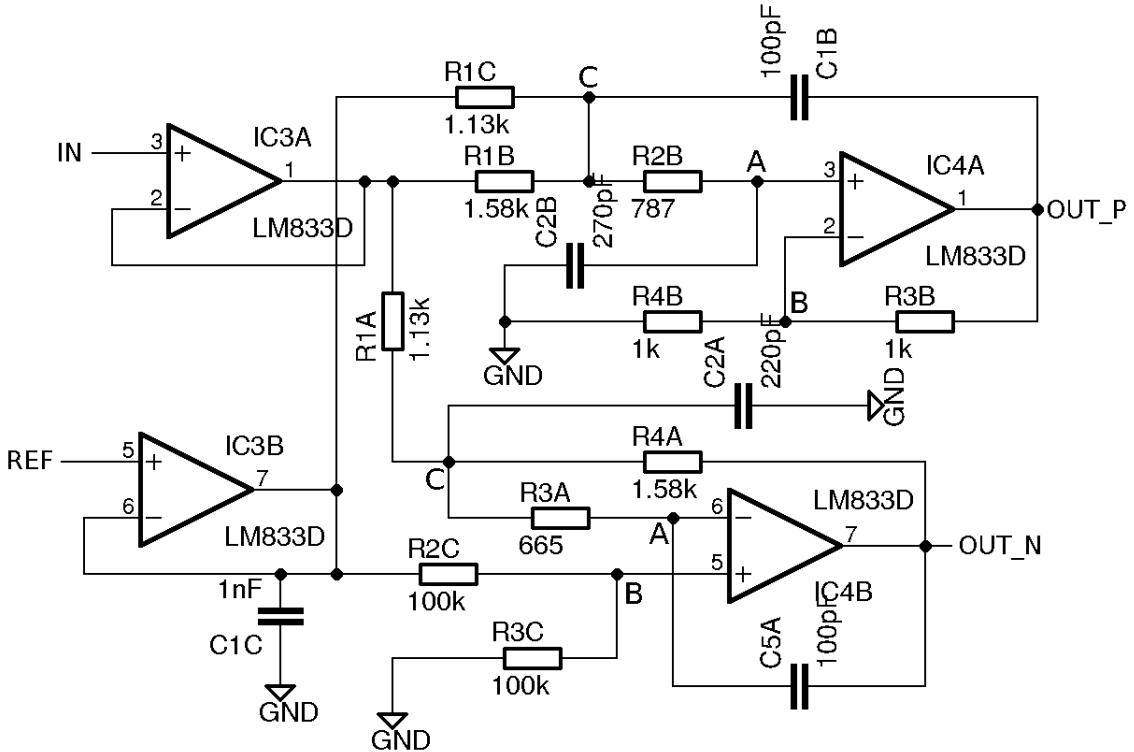


Figura 38: Filtros Sallen-Key e Multiple Feedback

Substituindo em V_{OUT} temos:

$$\begin{aligned}
 V_{OUT} &= A \cdot \left[\frac{\left(s \cdot V_{OUT} \cdot C1B + \frac{V_{REF}}{R1C} + \frac{V_{IN}}{R1B} \right)}{s \cdot C2B + \left(s \cdot C1B + \frac{1}{R1C} + \frac{1}{R1B} \right) \cdot (s \cdot C2B \cdot R2B + 1)} - \frac{V_{OUT}}{k} \right] \\
 &= \frac{\left(\frac{k}{\frac{k}{A} + 1} \cdot \frac{R1B}{R1C \cdot R1B \cdot R2B \cdot C1B \cdot C2B} \right) \cdot V_{REF} + \left(\frac{k}{\frac{k}{A} + 1} \cdot \frac{R1C}{R1C \cdot R1B \cdot R2B \cdot C1B \cdot C2B} \right) \cdot V_{IN}}{\left(s^2 + s \left[\frac{1}{R1C \cdot C1B} + \frac{1}{R1B \cdot C1B} + \frac{1}{R2B \cdot C1B} + \left(1 - \frac{k}{\frac{k}{A} + 1} \right) \frac{1}{R2B \cdot C2B} \right] + \frac{R1C + R1B}{R1C \cdot R1B \cdot R2B \cdot C1B \cdot C2B} \right)}
 \end{aligned}$$

Já para o filtro *Multiple Feedback*, considerando $k_d = \frac{R2C + R3C}{R3C}$, temos $V_{OUT} = A \cdot (V_B - V_A)$ com $V_A = \frac{V_{OUT} - V_C}{R3A + \frac{1}{s \cdot C5A}} \cdot R3A + V_C = V_{OUT} \cdot \frac{R3A}{R3A + \frac{1}{s \cdot C5A}} + V_C \cdot \left(\frac{R3A}{R3A + \frac{1}{s \cdot C5A}} + 1 \right)$ e $V_B = V_{REF} \cdot \frac{R3C}{R2C + R3C} = \frac{V_{REF}}{k_d}$.

Calculando V_C temos:

$$\begin{aligned}
 V_C &= \left(\frac{V_{IN} - V_C}{R1A} + \frac{V_{OUT} - V_C}{R4A} + \frac{V_A - V_C}{R3A} \right) \cdot \frac{1}{s \cdot C2A} \\
 &= \frac{\left(\frac{V_{IN}}{R1A} + \frac{V_{OUT}}{R4A} + \frac{V_A}{R3A} \right) \cdot \frac{1}{s \cdot C2A}}{1 + \left(\frac{1}{R1A} + \frac{1}{R4A} + \frac{1}{R3A} \right) \cdot \frac{1}{s \cdot C2A}}
 \end{aligned}$$

Substituindo em V_A temos:

$$\begin{aligned} V_A &= V_{OUT} \cdot \frac{R3A}{R3A + \frac{1}{s \cdot C5A}} - \frac{\left(\frac{V_{IN}}{R1A} + \frac{V_{OUT}}{R4A} + \frac{V_A}{R3A} \right) \cdot \frac{1}{s \cdot C2A}}{1 + \left(\frac{1}{R1A} + \frac{1}{R4A} + \frac{1}{R3A} \right) \cdot \frac{1}{s \cdot C2A}} \cdot \left(\frac{R3A}{R3A + \frac{1}{s \cdot C5A}} - 1 \right) \\ &= \frac{V_{OUT} \cdot s \cdot R3A \cdot C5A \cdot \left(s \cdot C2A + \frac{1}{R1A} + \frac{1}{R4A} + \frac{1}{R3A} \right) + \left(\frac{V_{IN}}{R1A} + \frac{V_{OUT}}{R4A} \right)}{(s \cdot R3A \cdot C5A + 1) \cdot \left(s \cdot C2A + \frac{1}{R1A} + \frac{1}{R4A} \right) + s \cdot C5A} \end{aligned}$$

Substituindo em V_{OUT} temos:

$$\begin{aligned} V_{OUT} &= A \cdot \left[\frac{V_{REF}}{k_d} - \frac{V_{OUT} \cdot s \cdot R3A \cdot C5A \cdot \left[s \cdot C2A + \frac{1}{R1A} + \frac{1}{R4A} + \frac{1}{R3A} \right] + \left(\frac{V_{IN}}{R1A} + \frac{V_{OUT}}{R4A} \right)}{(s \cdot R3A \cdot C5A + 1) \cdot \left[s \cdot C2A + \frac{1}{R1A} + \frac{1}{R4A} \right] + s \cdot C5A} \right] \\ &= \frac{\frac{V_{ref}}{k_d} \cdot [s^2 + s \cdot \left(\frac{1}{R1A \cdot C2A} + \frac{1}{R4A \cdot C2A} + \frac{1}{R3A \cdot C2A} + \frac{1}{R3A \cdot C5A} \right) + \frac{R1A + R4A}{R1A \cdot R4A \cdot R3A \cdot C2A \cdot C5A}] - \frac{V_{in}}{R1A \cdot R3A \cdot C2A \cdot C5A}}{(1 + \frac{1}{A})s^2 + s \cdot \left[\frac{1}{A \cdot R3A \cdot C5A} + \frac{1 + \frac{1}{A}}{R1A \cdot C2A} + \frac{1 + \frac{1}{A}}{R4A \cdot C2A} + \frac{1 + \frac{1}{A}}{R3A \cdot C2A} \right] + \frac{\frac{1}{A}}{R4A \cdot R3A \cdot C2A \cdot C5A} + \frac{1 + \frac{1}{A}}{R1A \cdot R3A \cdot C2A \cdot C5A}} \end{aligned}$$