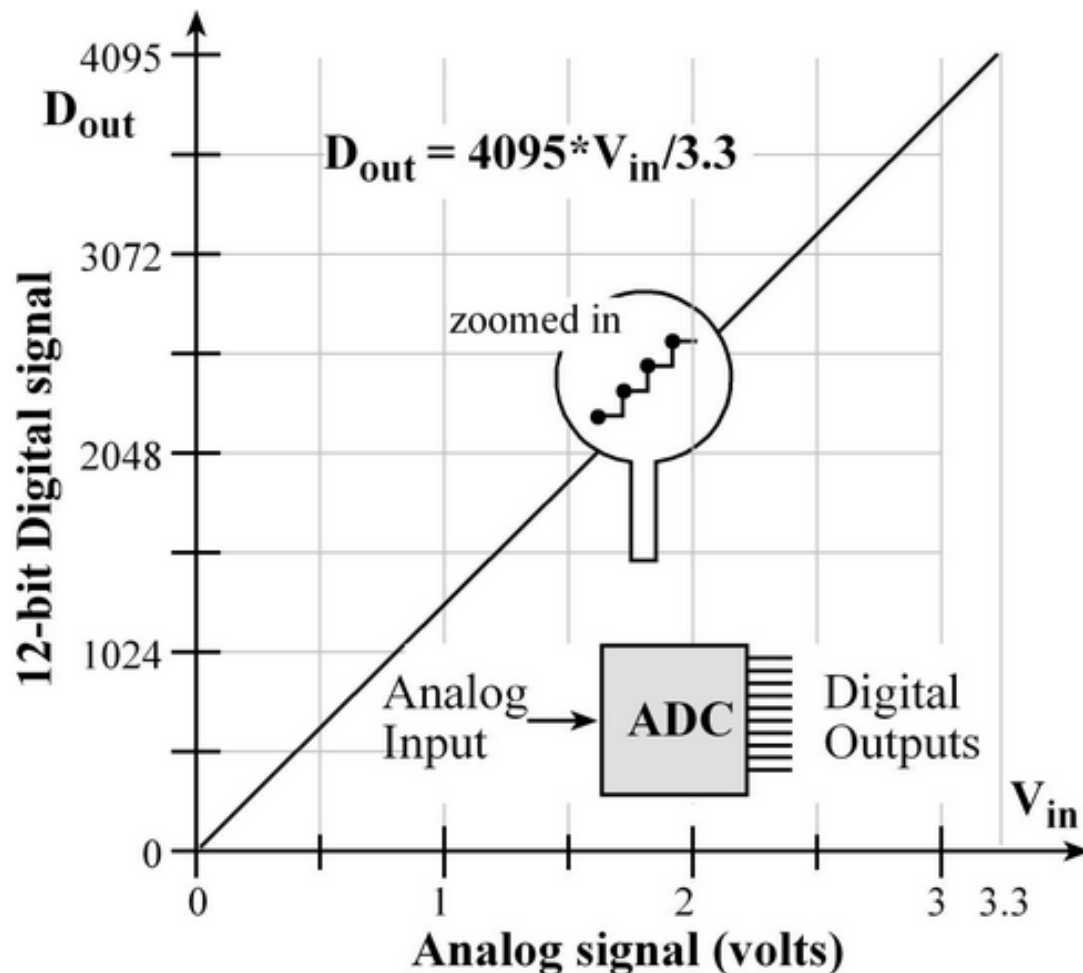


Analog Dijital Çevirici ADC

STM32F4xx cihazlarında 12-bit, 10-bit, 8-bit veya 6-bit çözünürlüğe ayarlanabilen 12-bit başarımsal yaklaşımlı (successive approximation) ADC bulunmaktadır.



Analog aralık:
0 - 3.3 V

Çözünürlük:
 $3.3 / 4095 = 0.806 \text{ mV}$

Analog Dijital Çevirici ADC

| ADC Channel | ADC1 | ADC2 | ADC3 |
|----------------|------|------|------|
| ADC channel 0 | PA0 | PA0 | PA0 |
| ADC channel 1 | PA1 | PA1 | PA1 |
| ADC channel 2 | PA2 | PA2 | PA2 |
| ADC channel 3 | PA3 | PA3 | PA3 |
| ADC channel 4 | PA4 | PA4 | |
| ADC channel 5 | PA5 | PA5 | |
| ADC channel 6 | PA6 | PA6 | |
| ADC channel 7 | PA7 | PA7 | |
| ADC channel 8 | PB0 | PB0 | |
| ADC channel 9 | PB1 | PB1 | |
| ADC channel 10 | PC0 | PC0 | PC0 |
| ADC channel 11 | PC1 | PC1 | PC1 |
| ADC channel 12 | PC2 | PC2 | PC2 |
| ADC channel 13 | PC3 | PC3 | PC3 |
| ADC channel 14 | PC4 | PC4 | |
| ADC channel 15 | PC5 | PC5 | |

STM32F407
işlemcisinde 3
tane ADC
bulunmaktadır.

Datasheet
Tablo 7 Pin
Tanımlamaları

Analog Dijital Çevirici ADC

- 19 tane veri seçiciye (multiplexer) bağlanmış kanal; 16 harici, 2 dahili kaynak ve 1 Vbat kanalından sinyal ölçmeye izin vermektedir.
- A/D çevrimi tek, sürekli, tarama veya süreksiz modlarda yapılabilir.
- ADC çevrim sonucu elde edilen değer 16 bit yazmaçta sol veya sağ hizalı olarak saklanabilir.

Analog Dijital Çevirici ADC

- ADC_CR2 yazmacının ADON bitiyle ADC'ye enerji verilir.
- Çevrim SWSTART bitinin set edilmesiyle başlatılır.
- ADON biti 0 yapılarak ADC'nin enerjisi kesilir.
- Analog işlemler için ADCCLK sinyali, APB2 çevriminden elde edilir.
- Ön ölçekleyici ile bu sinyal 2, 4, 6 veya 8'e bölünür.
- RCC_APB2ENR ile bu çevre birimdeki çevrim sinyali etkinleştirilir.

Analog Dijital Çevirici ADC

- Sürekli Çevim Modu: ADC bu modda bir önceki çevrim biter bitmez yeni çevrime başlar.
- Bu mod harici bir tetikleme ile CONT biti 1 yapılarak veya ADC_CR2 yazmacındaki SWSTRT biti set edilerek başlatılır.

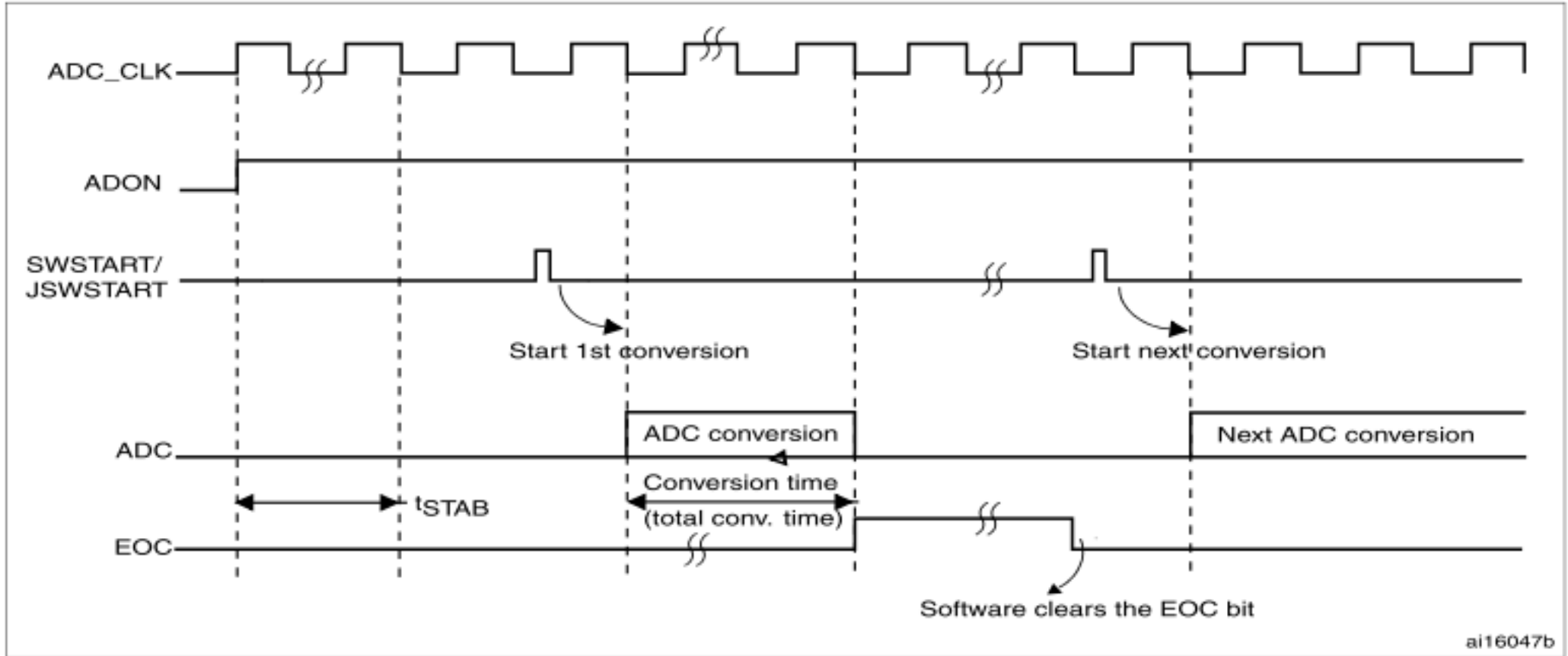
Her çevrimden sonra

- Çevrilen veri 16 bit yazmaçta saklanır.
- EOC bayrağı set edilir.
- Eğer EOCIE biti set edilmişse bir kesme üretilir.

Analog Dijital Çevirici ADC

Zamanlama:

Figure 45. Timing diagram



Çevrime başlamadan önce t_{TSAB} kadar stabil hale gelmesi için zaman gereklidir. ADC çevrimi ve 15 çevrim sonunda EOC bayrağı set edilir.

Analog Dijital Çevirici ADC

- Scan mod ile ADC birden fazla kanaldan sırayla analog değer okuyabilir.
- Tüm kanalların sonucu ADC_DR yazmacına yazıldığı için farklı kanallardan gelen verileri DMA ile doğrudan belirli bellek bölgelerine yazmak gerekir veya EOCS biti set ederek her bir kanalın çevrimi elde edildiğinde EOC bitinin set edilmesi sağlanabilir.
- Kaç tane kanaldan okuma yapılacağı ADC_SQR1 yazmacının L bölgesine yazılır.
- Kanallardan hangi sıra ile okuma yapılacağı ise ADC_SQR 1, 2, 3 yazmaçlarının SQ bölgelerine yazılır.

Analog Dijital Çevirici ADC

Diğer Özellikler:

- Analog watchdog: Voltajın belirli bir seviyenin üstüne çıkması veya altında kalması durumunda AWD durum biti set edilir.
- Enjekte kanal: Enjekte tetiği oluşursa mevcut okuma resetlenir, enjekte okuma tek tarama modunda yapılır ve düzenli okuma kaldığı çevrimin başından yerden devam eder.
- Devamsız mod: Çok fazla sayıda olmayan ardışık çeviriye ihtiyaç var ise bu mod kullanılabilir.
- ADC TIMER ile harici olarak tetiklenebilir.

Analog Dijital Çevirici ADC

Örnekleme Zamanı:

- ADC değiştirilebilen sayıda ADCCLK çevriminde analog değeri örnekleyebilir.
- ADC_SMPR1 ve ADC_SMPR2 yazmaçlarındaki SMP[2:0] bitleri ile örnekleme zamanı değiştirilebilir.
- Toplam çevrim zamanı= Örnekleme zamanı + 12 çevrim
- Örneğin ADCCLK 30 MHz ve örnekleme zamanı 3 olarak ayarlanmışsa 60 MHz APB2 hızında $3+12=15$ çevrim $=0.5 \mu\text{sn}$ 'de çevrim tamamlanır.

Çevrim harici bir tetikleme ile de başlatılabilir. Örneğin TIMER veya EXTI kesmeleri ile çevirici tetiklenebilir.

Analog Dijital Çevirici ADC

Örnekleme Zamanı:

- ADC çözünürlüğü düşürülerek çevrim süresi kısaltılabilir.
- 12 bit: $3+12=15$ ADCCLK çevrimi
- 10 bit: $3+10=13$ ADCCLK çevrimi
- 8 bit: $3+8=11$ ADCCLK çevrimi
- 6 bit: $3+6=9$ ADCCLK çevrimi

Direct Memory Access: A/D sonucu elde edilen veri işlemciye gönderilmeden DMA ünitesi ile doğrudan bellekteki hedef adresine taşınabilir.

Multi ADC: STM32F4 kartında 3 tane ADC işlemi aynı anda yapılabilir.

Analog Dijital Çevirici ADC

Sıcaklık Sensörü:

- STM32F40x cihazlarında ADC1_IN16 kanalına bağlı dahili sıcaklık sensörü bulunmaktadır.
- Sıcaklık sensörü -40 ile 125 °C arasında $\pm 1.5^{\circ}\text{C}$ hassasiyetle sıcaklı ölçümü yapabilir.

Analog Dijital Çevirici ADC

ADC status register (ADC_SR)

Address offset: 0x00

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|----|----|----|----|----|----|----|----|----|-------|-------|-------|-------|-------|-------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Reserved | | | | | | | | | | OVR | STRT | JSTRT | JEOC | EOC | AWD |
| | | | | | | | | | | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 |

Bit 1 **EOC**: Regular channel end of conversion

This bit is set by hardware at the end of the conversion of a regular group of channels. It is cleared by software or by reading the ADC_DR register.

0: Conversion not complete (EOCS=0), or sequence of conversions not complete (EOCS=1)

1: Conversion complete (EOCS=0), or sequence of conversions complete (EOCS=1)

Analog Dijital Çevirici ADC

ADC control register 1 (ADC_CR1)

Address offset: 0x04

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|--------------|----|----|---------|--------|-------|--------|------|--------|--------|----------|------------|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | OVR1E | RES | | AWDEN | JAWDEN | Reserved | | | | | |
| | | | | | rw | rw | rw | rw | rw | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DISCNUM[2:0] | | | JDISCEN | DISCEN | JAUTO | AWDSSL | SCAN | JEOCIE | AWDIE | EOCIE | AWDCH[4:0] | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Bits 25:24 **RES[1:0]**: Resolution

These bits are written by software to select the resolution of the conversion.

00: 12-bit (15 ADCCLK cycles)

01: 10-bit (13 ADCCLK cycles)

10: 8-bit (11 ADCCLK cycles)

11: 6-bit (9 ADCCLK cycles)

Bit 5 **EOCIE**: Interrupt enable for EOC

This bit is set and cleared by software to enable/disable the end of conversion interrupt.

0: EOC interrupt disabled

1: EOC interrupt enabled. An interrupt is generated when the EOC bit is set.

Analog Dijital Çevirici ADC

ADC control register 1 (ADC_CR1)

Address offset: 0x04

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|--------------|----|----|---------|--------|-------|--------|------|--------|--------|----------|------------|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | OVRIE | RES | | AWDEN | JAWDEN | Reserved | | | | | |
| | | | | | rw | rw | rw | rw | rw | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DISCNUM[2:0] | | | JDISCEN | DISCEN | JAUTO | AWDSGL | SCAN | JEOCIE | AWDIE | EOCIE | AWDCH[4:0] | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Bit 8 **SCAN**: Scan mode

This bit is set and cleared by software to enable/disable the Scan mode. In Scan mode, the inputs selected through the ADC_SQRx or ADC_JSQRx registers are converted.

0: Scan mode disabled

1: Scan mode enabled

Note: An EOC interrupt is generated if the EOCIE bit is set:

- At the end of each regular group sequence if the EOCS bit is cleared to 0
- At the end of each regular channel conversion if the EOCS bit is set to 1

ADC control register 2 (ADC_CR2)tal Çevirici ADC

Address offset: 0x08

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|-------------|-------|----|-------------|------|-----|-----|----------|--------------|--------|----|--------------|----|------|------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| reserved | SWST ART | EXTEN | | EXTSEL[3:0] | | | | reserved | JSWST ART | JEXTEN | | JEXTSEL[3:0] | | | |
| | rw | rw | rw | rw | rw | rw | rw | | rw | rw | rw | rw | rw | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| reserved | | | | ALIGN | EOCS | DDS | DMA | Reserved | | | | | | CONT | ADON |
| | | | | rw | rw | rw | rw | | | | | | | rw | rw |

Bit 30 **SWSTART**: Start conversion of regular channels

This bit is set by software to start conversion and cleared by hardware as soon as the conversion starts.

0: Reset state

1: Starts conversion of regular channels

Note: This bit can be set only when ADON = 1 otherwise no conversion is launched.

Bit 11 **ALIGN**: Data alignment

This bit is set and cleared by software. Refer to [Figure 48](#) and [Figure 49](#).

0: Right alignment

1: Left alignment

ADC control register 2 (ADC_CR2)tal Çevirici ADC

Address offset: 0x08

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|-------------|-------|----|-------------|------|-----|-----|----------|--------------|--------|----|--------------|----|------|------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| reserved | SWST ART | EXTEN | | EXTSEL[3:0] | | | | reserved | JSWST ART | JEXTEN | | JEXTSEL[3:0] | | | |
| | rw | rw | rw | rw | rw | rw | rw | | rw | rw | rw | rw | rw | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| reserved | | | | ALIGN | EOCS | DDS | DMA | Reserved | | | | | | CONT | ADON |
| | | | | rw | rw | rw | rw | | | | | | | rw | rw |

Bit 10 **EOCS**: End of conversion selection

This bit is set and cleared by software.

0: The EOC bit is set at the end of each sequence of regular conversions. Overrun detection is enabled only if DMA=1.

1: The EOC bit is set at the end of each regular conversion. Overrun detection is enabled.

Bit 1 **CONT**: Continuous conversion

This bit is set and cleared by software. If it is set, conversion takes place continuously until it is cleared.

0: Single conversion mode

1: Continuous conversion mode

Bit 0 **ADON**: A/D Converter ON / OFF

This bit is set and cleared by software.

Note: 0: Disable ADC conversion and go to power down mode

1: Enable ADC

Analog Dijital Çevirici ADC

ADC sample time register 1 (ADC_SMPR1)

Address offset: 0x0C

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|------------|----|----|------------|------------|----|------------|------------|----|------------|------------|----|------------|------------|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | SMP18[2:0] | | | SMP17[2:0] | | | SMP16[2:0] | | | SMP15[2:1] | |
| | | | | | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SMP15_0 | SMP14[2:0] | | | SMP13[2:0] | | | SMP12[2:0] | | | SMP11[2:0] | | | SMP10[2:0] | | |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Bits 26:0 **SMPx[2:0]**: Channel x sampling time selection

These bits are written by software to select the sampling time individually for each channel.

During sampling cycles, the channel selection bits must remain unchanged.

Note: 000: 3 cycles
001: 15 cycles
010: 28 cycles
011: 56 cycles
100: 84 cycles
101: 112 cycles
110: 144 cycles
111: 480 cycles

Analog Dijital Çevirici ADC

ADC regular sequence register 1 (ADC_SQR1)

Address offset: 0x2C

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|-----------|----|----|----|----|-----------|----|--------|----|----|-----------|-----------|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | | | | L[3:0] | | | | SQ16[4:1] | | | |
| | | | | | | | | rw | rw | rw | rw | rw | rw | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SQ16_0 | SQ15[4:0] | | | | | SQ14[4:0] | | | | | SQ13[4:0] | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw | | | | rw | rw | rw | rw | rw |

L[3:0]: Regular channel sequence length

These bits are written by software to define the total number of conversions in the regular channel conversion sequence.

0000: 1 conversion

0001: 2 conversions

...

1111: 16 conversions

SQ16[4:0]: 16th conversion in regular sequence

These bits are written by software with the channel number (0..18) assigned as the 16th in the conversion sequence.

Analog Dijital Çevirici ADC

ADC regular data register (ADC_DR)

Address offset: 0x4C

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DATA[15:0] | | | | | | | | | | | | | | | |
| r | r | r | r | r | r | r | r | r | r | r | r | r | r | r | r |

Bits 15:0 **DATA[15:0]**: Regular data

These bits are read-only. They contain the conversion result from the regular channels. The data are left- or right-aligned as shown in [Figure 48](#) and [Figure 49](#).

Analog Dijital Çevirici ADC

ADC common control register (ADC_CCR)

Address offset: 0x04 (this offset address is relative to ADC1 base address + 0x300)

Reset value: 0x0000 0000

| | | | | | | | | | | | | | | | |
|----------|----|-----|------|------------|----|----|----|----------|-------|----------|------------|----|----|--------|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved | | | | | | | | TSVREFE | VBATE | Reserved | | | | ADCPRE | |
| | | | | | | | | rw | rw | | | | | rw | rw |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DMA[1:0] | | DDS | Res. | DELAY[3:0] | | | | Reserved | | | MULTI[4:0] | | | | |
| rw | rw | rw | | rw | rw | rw | rw | | | | rw | rw | rw | rw | rw |

Bits 17:16 **ADCPRE**: ADC prescaler

Set and cleared by software to select the frequency of the clock to the ADC. The clock is common for all the ADCs.

Note: 00: PCLK2 divided by 2
01: PCLK2 divided by 4
10: PCLK2 divided by 6
11: PCLK2 divided by 8