

BAB 5

KESIMPULAN DAN SARAN

5.1 Kesimpulan

- Sebuah prosesor dengan arsitektur RISC berhasil dibangun menggunakan FPGA Xilinx Spartan 2 XC2S200–PQ208 dengan menggunakan 30% dari total CLB dan frekuensi maksimum 24,781MHz.
- Peningkatan kecepatan (*speed up*) dengan *pipeline* 4 tahap adalah 6,415 kali atau 40,1% dari peningkatan ideal (maksimum).
- Perancangan yang keseluruhan instruksinya hanya diletakkan pada ROM *internal* akan mengakibatkan perubahan pada hasil rancangan.
- Penggunaan DPRAM sebagai *register file* yang menggantikan *flip-flop* dapat mengurangi penggunaan CLB hingga 37%.
- Tahap eksekusi (EX) merupakan tahap terpanjang dalam *pipeline*, yaitu 1,647 kali tahap terpanjang lainnya (DO).
- Penggunaan *data forwarding* sebagai solusi untuk *data dependency* tidak memperpanjang tahap *pipeline* dan menjadikannya solusi terbaik.

5.2 Saran

- Pembagian tahap eksekusi (EX) *pipeline* menjadi dua bagian diharapkan dapat meningkatkan frekuensi maksimum.
- Penggunaan *timing constrain* untuk membatasi pengaturan jalur berdasarkan waktu yang bertujuan menyamakan panjang waktu tunda dari setiap tahap *pipeline*.
- Penggunaan LCC (*Retargetable C Compiler*) dengan mengkonfigurasi *file .md (machine discription)* memungkinkan pemrograman dilakukan menggunakan bahasa C.
- Penggunaan *external* RAM dan ROM.
- Jumlah CLB yang masih banyak tersisa dapat dikembangkan untuk penambahan instruksi (perkalian dan pembagian) maupun digunakan untuk *interfacing* dengan peralatan lain.
- Kompleksitas sebuah rancangan dilihat dari penerapannya pada LUT bukan pada hubungan gerbang-gerbang primitip.
- Keuntungan yang diperoleh melalui penggunaan *library* yaitu kemudahan perancangan, penghematan CLB dan penyingkatan waktu tunda komponen.
- Hindari *gated clock* dalam perancangan.

DAFTAR PUSTAKA

- Anonim. (1994). *PA-RISC 1.1 Architecture and Instruction Set Reference Manual*. Hewlett-Packard Company, USA.
- Anonim. (2003). *Spartan-II 2.5V FPGA Family: Functional Description*. Xilinx Inc., USA.
- Anonim. (2003). *ISE Help Content*. Xilinx Inc., USA.
- Gray, Jan. *Homebrewing RISCs In FPGAs*. <http://www.fpgacpu.org/papers/j32.pdf> (2003).
- Gray, Jan (1999). *Building a RISC CPU and System-on-a-Chip In an FPGA*. <http://www.fpgacpu.org/papers/xsoc-series-drafts.pdf> (2003).
- Mano, M. Moris; Kime, Charles R. (2001). *Logic and Computer Design Fundamentals*, 2nd ed. Prentice Hall, New Jersey.
- Priest, John W. (1988). *Engineering Design for Productability and Reliability*. Marcel Dekker, New York.
- Stallings, William. (1997). *Organisasi dan Arsitektur Komputer, Perancangan dan Kinerja*, edisi-4, jilid-2. Terjemahan Priatna, Gurnita. Prenhallindo, Jakarta.
- Tanenbaum, Andrew S. (1990). *Structured Computer Organization*. Prentice-Hall International, Inc, Englewood Cliffs.
- Waldron, John. (1999). *Introduction to RISC Assembly Language Programming*. Addison Wesley Longman, Harlow.
- <http://www.free-ip.com/risc8/index.html>, 2003
- <http://www.free-ip.com/6502/index.html>, 2003
- <http://www.gmvhdl.com/hc11core.html>, 2003

<http://www.gmvhdl.com/VHDL.html>, 2003

http://www.xilinx.com/ipcenter/processor_central/picoblaze/, 2003

http://www.xilinx.com/xlnx/xil_prodcats/product.jsp?title=microblaze, 2003

<http://www.altera.com/>, 2003

<http://www.cse.cuhk.edu.hk/~phwl/msl16/msl16.html>, 2003

<http://www.silicore.net/>, 2003

<http://cse.stanford.edu/class/sophomore-college/projects-00/risc/mips/index.html>, 2003

<http://cse.stanford.edu/class/sophomore-college/projects-00/risc/whatis/index.html>, 2003

<http://cse.stanford.edu/class/sophomore-college/projects-00/risc/pipelining/index.html>, 2003

<http://www.cs.berkeley.edu/~culler/cs252-s02/slides/lec01.pdf>, 2004

<http://www.cs.ualberta.ca/~amaral/courses/429/webslides/Topic3-Pipelining/sld042.htm>, 2003

http://www.fpga-faq.com/FAQ_Pages/0007_Device_type_comparisons.htm, 2003

<http://teachweb.cis.uoguelph.ca/cs405/RISC.htm>, 2003

<http://www.ida.liu.se/~TDTS51/lectures/lectures5-6.pdf>, 2003

ftp://ftp.mkp.com/COD2e/Web_Extensions/survey.htm, 2003

RIWAYAT HIDUP

Data Pribadi

Nama : Deddy Harianto

Tempat, tanggal lahir : Jambi, 29 Desember 1981

Jenis kelamin : Laki-laki

Alamat : Jl. K.Haji Syadan RT 03/RW 11 No.32

No.telp : 021-5304375

E_mail : dy_to29@yahoo.com

Riwayat Pendidikan

1988 – 1994	SD Harapan Jaya Jakarta	Lulus
1994 – 1997	SLTP Yadika2 Jakarta	Lulus
1997 – 2000	SMKTA Kartini Batam	Lulus
2000 – sekarang	Universitas Bina Nusantara	
	Fakultas Ilmu Komputer	
	Jurusan Sistem Komputer (S1)	

RIWAYAT HIDUP

Data Pribadi

Nama : Eka Antonius Kurniawan

Tempat, tanggal lahir : Pekanbaru, 5 Oktober 1981

Jenis kelamin : Laki-laki

Alamat : Jl. H.Kholil Gg.H.Yasmin No.39E
Kemanggisan – Jakarta Barat 11480

No.telp : 021-9213758

E_mail : eka_a_k@yahoo.com

Riwayat Pendidikan

1988 – 1994	SD Santo Tarcisius Dumai	Lulus
1994 – 1997	SLTP Santo Tarcisius Dumai	Lulus
1997 – 2000	SMUN 1 Dumai	Lulus
2000 – sekarang	Universitas Bina Nusantara	
	Fakultas Ilmu Komputer	
	Jurusan Sistem Komputer (S1)	