

# **MEMBANGUN SISTEM RISC PADA FPGA**

## **SKRIPSI**

**Disusun oleh :**

**Deddy Harianto**

---

**0400531834**

**Eka Antonius Kurniawan**

---

**0400534205**

**Disetujui oleh :**

**Pembimbing**

**Achmad Suntoro, Ir., M.Eng., Dr.**

---

**Kddsn : D2692**

**Universitas Bina Nusantara  
Jakarta  
2004**

Jurusan Sistem Komputer

Skripsi Sarjana Komputer

Semester Ganjil 2003/2004

## **Membangun Sistem RISC pada FPGA**

**Deddy Harianto                      0400531834**

**Eka Antonius Kurniawan   0400534205**

### Abstrak

Skripsi ini ditujukan sebagai sumber pembelajaran dan penelitian akan perancangan dan pengembangan sistem RISC (*Reduce Instruction Set Computer*) dan implementasinya menggunakan FPGA (*Field Programmable Gate Array*) pada lingkungan pendidikan. Metode perancangan instruksi dilakukan berdasarkan tahap-tahap rancangan set instruksi (41 jenis instruksi, 4 jenis data, 4 format instruksi, 32 *register*, dan 3 mode pengalamatan), sedangkan perancangan organisasinya dikelompokkan menjadi dua bagian utama, yaitu perancangan *datapath* dan *control unit* yang kemudian diimplementasikan menggunakan FPGA. Metode penelitian yang dilakukan berupa studi pustaka dengan mencari literatur-literatur melalui buku-buku dan internet. Hasil perancangan yang telah dilakukan menunjukkan bahwa sebuah prosesor dengan arsitektur RISC berhasil dibangun pada FPGA Xilinx Spartan 2 XC2S200-PQ208 dengan menggunakan 30% dari total CLB dan frekuensi maksimum 24,781MHz. (EA,DH)

Kata Kunci : RISC, FPGA.

## **PRAKATA**

Ucapan syukur kepada Tuhan Yang Maha Esa atas berkat rahmat dan karuniaNya penulis dapat menyelesaikan skripsi dengan judul Membangun Sistem RISC pada FPGA. Skripsi ini disusun untuk memenuhi syarat dalam menyelesaikan studi strata-1 jurusan Sistem Komputer Fakultas Ilmu Komputer Universitas Bina Nusantara.

Selama pembuatan skripsi ini, penulis menyadari banyak bantuan dari berbagai pihak. Untuk itu dalam kesempatan ini penulis ingin menyampaikan ucapan terima kasih yang sebesar-besarnya kepada :

1. Orang tua dan keluarga yang telah memberikan dukungan moral, materiil dan doa kepada penulis.
2. Ibu Dr. Th. Widia S., selaku Rektor Universitas Bina Nusantara yang telah memberikan kesempatan kepada penulis untuk menyelesaikan penulisan skripsi ini.
3. Bapak Iman H. Kartowisastro, Ph.D., selaku Ketua Jurusan Sistem Komputer yang telah memberikan kepercayaan kepada penulis untuk menyelesaikan skripsi ini.
4. Ibu Jurike V. Moniaga, S.Kom, selaku Sekertaris Jurusan Sistem Komputer yang telah memberikan kepercayaan kepada penulis untuk menyelesaikan skripsi ini.
5. Bapak Achmad Suntoro, Ir., M.Eng., Dr. selaku dosen pembimbing yang telah memberikan ide, saran, dorongan, dan bimbingan kepada penulis untuk menyelesaikan penyusunan skripsi ini.
6. Bapak Wiedjaja, S.Kom, selaku Kepala UPT Laboratorium Perangkat Keras yang telah memberikan kesempatan untuk menggunakan fasilitas laboratorium.
7. Bapak Sofyan, S.Kom atas semua bantuan yang telah diberikan kepada penulis.

8. Semua dosen Universitas Bina Nusantara yang selama ini telah memberikan ilmu dan bimbingan akademis kepada penulis selama perkuliahan.
9. Teman-teman dan asisten laboratorium UPT Perangkat Keras.
10. Segenap civitas akademika Universitas Bina Nusantara tempat penulis membina ilmu dan berkarya selama ini.
11. Serta semua pihak yang tidak dapat disebutkan satu persatu yang telah memberikan bantuan sehingga terselesaikan penyusunan skripsi ini.

Meskipun perancangan yang dilakukan pada skripsi ini masih sangat sederhana dan mendasar, namun penulis berharap melalui skripsi ini pembaca dapat mengerti mengenai cara merancang dan membangun prosesor RISC pada FPGA.

Penulis menyadari bahwa skripsi ini masih jauh dari sempurna, oleh sebab itu penulis mengharapkan kritik dan saran yang membangun dari pembaca agar kesalahan pada perancangan dapat diperbaiki dan dapat dilakukan pengembangan lebih lanjut.

Akhirnya penulis juga berharap semoga skripsi ini dapat bermanfaat bagi kita semua serta perkembangan ilmu pengetahuan dan teknologi di Universitas Bina Nusantara.

Jakarta, 24 Januari 2004

Penulis