

DAFTAR ISI

	Halaman
Halaman Judul Luar	
Halaman Judul Dalam	
Halaman Persetujuan <i>Hardcover</i>	i
Abstrak	ii
Prakata	iii
Daftar Isi	v
Daftar Tabel	x
Daftar Gambar	xiii
Daftar Lampiran	xvi

BAB 1 PENDAHULUAN

1.1	Latar Belakang	1
1.2	Ruang Lingkup	4
1.3	Tujuan dan Manfaat	4
1.4	Sumber Literatur	5
1.5	Metodologi Perancangan	7
1.6	Sistematika Penulisan	9

BAB 2 LANDASAN TEORI

2.1	Teori-teori Dasar/Umum	11
2.1.1	FPGA (<i>Field-Programmable Gate Array</i>)	11

2.1.2	VHDL (VHSIC (<i>Very High Speed Integrated Circuit</i>) <i>Hardware Description Language</i>)	16
2.1.3	ISE (<i>Integrated Design Environment</i>)	18
2.2	Prosesor RISC	19
2.2.1	Elemen Sistem RISC	19
2.2.1.1	<i>Register</i> dalam Jumlah yang Besar	20
2.2.1.2	Perancangan <i>Pipeline</i> Instruksi	21
2.2.1.3	Waktu Eksekusi dalam Satu Siklus dengan Set Instruksi yang Sederhana	23
2.2.2	Ciri-ciri Sistem RISC	23
2.3	Rancangan Set Instruksi	25
2.4	Format Instruksi dan Mode Pengalamatan	26
2.5	<i>Pipelining Hazard</i>	27
2.6	<i>Little/Big-Endian</i>	28
2.7	<i>Stack</i>	29
2.8	Prosedur	29
2.9	<i>Interrupt</i>	31
2.10	Perhitungan <i>Speed Up</i> untuk <i>Pipelining</i>	32
2.11	Survei Arsitektur RISC	33

BAB 3 STRATEGI PERANCANGAN

3.1	Arsitektur Prosesor	40
3.2	Rancangan Kumpulan Instruksi	42
3.2.1	<i>Operation Repertoire</i>	44

3.2.2	Jenis Data (<i>Data Type</i>)	46
3.2.3	Format Instruksi (<i>Instruction Format</i>)	46
3.2.4	<i>Register</i>	48
3.2.5	Pengalamatan (<i>Addressing</i>)	49
3.3	Detail Rancangan	51
3.3.1	Register File	52
3.3.2	<i>Function Unit</i>	55
3.3.2.1	<i>Addition</i>	56
3.3.2.2	<i>Adder and Subtractor</i>	58
3.3.2.3	Logika	60
3.3.2.4	<i>Arithmetic Logic Unit (ALU)</i>	61
3.3.2.5	<i>Shifter</i>	62
3.3.2.6	<i>Load Upper Immadiate (LUI)</i>	64
3.3.3	<i>Datapath</i>	66
3.3.4	<i>Memory Control</i>	70
3.3.5	<i>Control Unit</i>	73
3.3.5.1	<i>Jump</i>	74
3.3.5.2	<i>Branch</i>	76
3.3.5.3	<i>Branch Control</i>	78
3.3.6	<i>Instruction Decoder</i>	79
3.3.7	<i>Pipeline</i>	84
3.3.7.1	<i>Data Hazard Stall</i>	85
3.3.7.2	<i>Data Forwarding</i>	87
3.3.7.3	<i>Branch Prediction</i>	87

3.3.8	<i>Interrupt</i>	88
-------	------------------	----

BAB 4 IMPLEMENTASI DAN EVALUASI

4.1	Peralatan yang Digunakan	92
4.1.1	Sistem Perangkat Lunak	92
4.1.2	Sistem Perangkat Keras	93
4.2	Implementasi	94
4.2.1	Persiapan Implementasi	94
4.2.2	Pelaksanaan Implementasi	96
4.2.2.1	Komponen-komponen <i>Register File</i>	100
4.2.2.2	Komponen-komponen <i>Function Unit</i>	101
4.2.2.3	Komponen-komponen <i>Control Unit</i>	105
4.2.2.4	Komponen-komponen Prosesor RISC	106
4.2.3	Perolehan Data dari Proses Implementasi	110
4.3	Evaluasi	113
4.3.1	Persiapan Evaluasi	113
4.3.1.1	Komponen-komponen Evaluasi	113
4.3.1.2	Pembuatan Program Pengujian	113
4.3.1.3	Pembuatan <i>Assembler</i> Sederhana	123
4.3.1.4	Perancangan Komponen <i>Input/Output</i>	124
4.3.2	Evaluasi Perangkat Lunak (Simulasi)	132
4.3.3	Evaluasi Perangkat Keras	133
4.3.4	Ringkasan Evaluasi	138
4.4	Perhitungan <i>Speed Up</i> untuk <i>Pipelining</i>	140

BAB 5 KESIMPULAN DAN SARAN

5.1 Kesimpulan 143

5.2 Saran 144

DAFTAR PUSTAKA 145

RIWAYAT HIDUP 147

LAMPIRAN-LAMPIRAN

DAFTAR TABEL

	Halaman
Tabel 2.1 Ringkasan dari Lima Prosesor dengan Arsitektur RISC	33
Tabel 2.2 Ringkasan Mode Pengalamatan Data dari Lima Prosesor dengan Arsitektur RISC	35
Tabel 2.3 Ringkasan Ketetapan Eksekusi dari Lima Prosesor dengan Arsitektur RISC	35
Tabel 2.4 Ringkasan Instruksi Perpindahan Data dari Lima Prosesor dengan Arsitektur RISC	36
Tabel 2.5 Ringkasan Instruksi Aritmatika dan Logika dari Lima Prosesor dengan Arsitektur RISC	37
Tabel 2.6 Ringkasan Instruksi Kontrol dari Lima Prosesor dengan Arsitektur RISC	38
Tabel 2.7 Kaidah yang Berlaku dari Lima Prosesor dengan Arsitektur RISC	38
Tabel 3.1 <i>Operation Repertoire</i>	45
Tabel 3.2 Operasi Penambahan, Pengurangan, dan Pelewatan Data	60
Tabel 3.3 Operasi Logika	60
Tabel 3.4 Operasi ALU	62
Tabel 3.5 Operasi Pergeseran	64
Tabel 3.6 Operasi pada <i>Function Unit</i>	66
Tabel 3.7 <i>Constant Unit</i>	69
Tabel 3.8 Sinyal untuk Operasi <i>Load/Store</i>	70
Tabel 3.9 Dekoder untuk <i>Enable</i> pada MCO	71

Tabel 3.10	Posisi Bit pada MCO	71
Tabel 3.11	Dekoder untuk <i>Enable</i> pada MCI	73
Tabel 3.12	Posisi Bit pada MCI	73
Tabel 3.13	<i>Multiplexer C</i>	78
Tabel 3.14	Operasi Percabangan	79
Tabel 3.15	Sinyal-sinyal Kontrol	81
Tabel 3.16	<i>Instruction Decoder</i>	83
Tabel 3.17	Operasi Instruksi Berdasarkan Tahap <i>Pipeline</i>	85
Tabel 4.1	Jumlah Keseluruhan Komponen pada Xilinx Spartan 2 XC2S200- PQ208 untuk Proses Sintesis	98
Tabel 4.2	Perbandingan <i>Register File Flip-flop</i> dengan DPRAM	100
Tabel 4.3	<i>Register File</i> Gabungan	101
Tabel 4.4	Perbandingan Empat Buah <i>Adder</i>	102
Tabel 4.5	Perbandingan Lima Buah Komponen <i>Adder</i> dan <i>Subtractor</i>	103
Tabel 4.6	Penggunaan <i>Slice</i> dan Lamanya TPD untuk Komponen <i>Zero</i> <i>Detector, Logic Unit, ALU, dan LUI</i>	104
Tabel 4.7	Perbandingan Tiga Buah <i>Shifter</i>	104
Tabel 4.8	Laporan Sintesis untuk Function Unit	105
Tabel 4.9	Laporan Sintesis untuk Komponen yang Dirancang di Luar Komponen RISC	106
Tabel 4.10	Laporan Sintesis untuk Komponen <i>Register, Buffer, dan</i> Prosesor RISC	106
Tabel 4.11	Laporan Implementasi untuk Prosesor RISC	108

Tabel 4.12	Jumlah Keseluruhan Komponen pada Xilinx Spartan 2 XC2S200-PQ208 untuk Proses Implementasi	108
Tabel 4.13	Penundaan Maksimum dari Masing-masing Tahap <i>Pipeline</i>	111
Tabel 4.14	Perbandingan Solusi untuk Menghindari <i>Data Hazard</i>	112
Tabel 4.15	Program Pengujian Instruksi Dasar, LA, dan LUI	115
Tabel 4.16	Program Pengujian dengan Instruksi dan <i>Register</i> yang Diujinya...	122
Tabel 4.17	<i>Pin-pin</i> Penghubung Antara Modul D2 dengan DIO2	126
Tabel 4.18	<i>Pin-pin</i> keluaran CPLD yang terhubung dengan tombol, saklar, dan LED	126
Tabel 4.19	Alamat untuk Melewatkan Data Dari dan Ke Modul DIO2	127
Tabel 4.20	<i>Projenct Device Options</i> untuk CPLD Gambar 4.13 Hubungan PC, Rangkaian Penyangga, dan Modul DIO2	130
Tabel 4.21	Rangkuman Laporan Hasil Implementasi Pengontrol <i>Input/Output</i>	131
Tabel 4.22	Rangkuman Laporan Hasil Implementasi dari Komponen <i>Micro Controler</i>	139
Tabel 4.23	<i>Function Unit</i> dengan <i>Input</i>	140
Tabel 4.24	CPI yang Dihasilkan Tanpa <i>Pipeline</i>	141
Tabel 4.25	CPI yang Dihasilkan Dengan <i>Pipeline</i>	141
Tabel 4.26	Laporan Implementasi untuk Prosesor RISC tanpa <i>Pipeline</i>	142

DAFTAR GAMBAR

	Halaman
Gambar 1.1 Garis Silsilah Mikroprosesor dengan Arsitektur RISC	2
Gambar 2.1 Tiga Komponen Utama FPGA	12
Gambar 2.2 Tiga Teknik Implementasi Pengontrolan Logika pada FPGA	13
Gambar 2.3 Skematik Sebuah <i>Slice</i>	14
Gambar 2.4 Skematik IOB	16
Gambar 2.5 Jenis-jenis <i>Pipeline</i>	22
Gambar 2.6 Format Instruksi dari Lima Prosesor dengan Arsitektur RISC	34
Gambar 3.1 Arsitektur Prosesor	41
Gambar 3.2 Diagram Alir Prosesor RISC	42
Gambar 3.3 Format Instruksi	47
Gambar 3.4 Mode Pengalamatan <i>Register</i>	49
Gambar 3.5 Mode Pengalamatan Basis	50
Gambar 3.6 Mode Pengalamatan <i>Immediate</i>	50
Gambar 3.7 Mode Pengalamatan <i>PC-Relative</i>	51
Gambar 3.8 Interaksi antara <i>Datapath</i> dan <i>Control Unit</i>	52
Gambar 3.9 <i>Register File</i> dengan <i>Flip-flop</i>	54
Gambar 3.10 <i>Register File</i> dengan <i>Dual Port</i> RAM	55
Gambar 3.11 Contoh <i>Carry Selector Adder</i> dengan $x = 3$	58
Gambar 3.12 Skematik <i>Adder</i> dan <i>Subtractor</i>	59
Gambar 3.13 Contoh <i>Barrel Shifter</i> dengan 32 bit <i>input</i> dan 2 bit selector	64
Gambar 3.14 Skematik <i>Function Unit</i>	65
Gambar 3.15 Skematik <i>Constant Unit</i>	68

Gambar 3.16	Skematik <i>Datapath</i>	69
Gambar 3.17	Skematik <i>Memory Control Out</i>	72
Gambar 3.18	Skematik <i>Memory Control In</i>	74
Gambar 3.19	Skematik untuk Mengkalkulasi Alamat pada Operasi <i>Branch</i> dan <i>Jump</i>	76
Gambar 3.20	Skematik <i>Control Unit</i>	80
Gambar 3.21	Posisi Bit pada <i>Control Word</i>	82
Gambar 3.22	Skematik Prosesor dengan <i>Pipeline</i>	86
Gambar 3.23	Skematik <i>Interrupt Control</i>	90
Gambar 3.24	Skematik Processor RISC	91
Gambar 4.1	<i>Icon</i> Instalasi Xilinx ISE WebPack seri 5.2i	94
Gambar 4.2	<i>New Project</i>	95
Gambar 4.3	Jendela <i>Editor</i>	97
Gambar 4.4	Penyusunan Komponen pada <i>Function Unit</i> untuk Mendapatkan <i>Delay Path</i> Terkecil	105
Gambar 4.5	Penempatan dan Hubungan <i>Slice</i> yang Digunakan	109
Gambar 4.6	Hubungan PC dengan Modul D2	110
Gambar 4.7	<i>Flowchart</i> Pengujian Instruksi Percabangan dan <i>Set</i>	117
Gambar 4.8	<i>Flowchart</i> Pengujian <i>Data Forwarding</i> dan <i>Branch Prediction</i> ...	119
Gambar 4.9	Rancangan Evaluasi	125
Gambar 4.10	Skematik Pengontrol <i>Input/Output</i> pada Modul DIO2	128
Gambar 4.11	Skematik LED <i>Control</i> pada Pengontrol <i>Input/Output</i>	128
Gambar 4.12	Skematik <i>Interrupt Control</i> pada Pengontrol <i>Input/Output</i>	129
Gambar 4.13	Hubungan PC, Rangkaian Penyangga, dan Modul DIO2	131

Gambar 4.14	Frekuensi <i>Clock Generator</i>	136
Gambar 4.15	Frekuensi pada Prosesor RISC	136
Gambar 4.16	Waktu untuk 83.886.074 <i>Clock</i>	137
Gambar 4.17	Sinyal Keluaran dari <i>Port Data(0)</i>	137
Gambar 4.18	<i>Time Fall</i> dan <i>Time Rise</i> dari keluaran FPGA	138

DAFTAR LAMPIRAN

- Deskripsi Jenis-jenis Instruksi Mikro L-1
- Program VHDL
 - Listing Komponen Prosesor RISC L-12
 - Listing Komponen uC L-107
 - Listing Komponen Pengontrol *Input/Output*..... L-115
- File constrain
 - FPGA L-119
 - CPLD L-120
- *Source Code Assembler* L-122
- Rangkuman Laporan Hasil Sintesis L-131
- Program Pengujian L-134