

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ



HSC Hardware/Software Codesign

Vstavany systém pre filtráciu a segmentáciu obrazu

2018/2019

Obsah

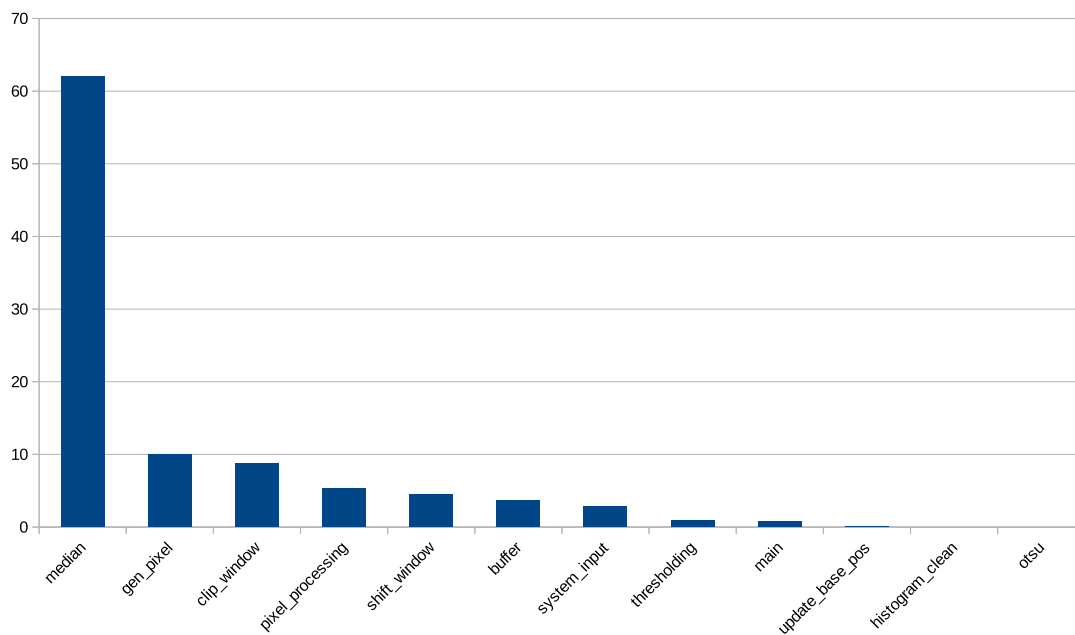
1	CPU	2
2	MCU	3
3	FPGA	3
4	Porovnanie vlastností SW a SW-HW	4
5	Zhrnutie	4

1 CPU

Profilovanie CPU časti projektu bolo vykonané pomocou programu *GNU gprof*¹ verzie 2.26.1. Desať profilovacích výsledkov bolo nameraných pomocou *návodu z dokumentácie*² na základe čoho bol vo výsledku jeden sumárny výpis profilovacích hodnôt (priemer desiatich profilovaní).

Názov	Percento času
<i>median</i>	62.02
<i>gen_pixel</i>	10.00
<i>clip_window</i>	8.74
<i>pixel_processing</i>	5.34
<i>shift_window</i>	4.46
<i>buffer</i>	3.66
<i>system_input</i>	2.80
<i>thresholding</i>	0.95
<i>main</i>	0.79
<i>update_base_pos</i>	0.11
<i>histogram_clean</i>	0.00
<i>otsu</i>	0.00

Tabuľka 1: Výsledky desiatich profilovaní pomocou *gprof*.



Obr. 1: Graf zobrazujúci namerané hodnoty z tabuľky 1.

¹sourceware.org/binutils/docs/gprof

²sourceware.org/binutils/docs/gprof/Sampling-Error.html

2 MCU

Profilovanie MCU bolo vykonané pomocou makra `#define PROFILE`. Výsledky sú zobrazené v tabuľke 2.

Spracovaná časť	Čas spracovania
pixel	183 μs
rámec	14.0544 s

Tabuľka 2: Spracovanie určitých častí a ich trvanie na MCU.

Implementácia MCU časti je upravená tak aby spracovala 5 rámcov – rámce číslo 100, 200, 300, 400, 500. Napriek tomu, že sa spracuje len 5 rámcov, doba spracovania piatich rámcov trvá 70.272s (1min 10s 272ms). Kebyže implementácia MCU časti nie je upravená – spracuje sa každý rámec (500 rámcov), tak by spracovanie trvalo 7027.2s (1h 57min 7s 200ms).

3 FPGA

Vlastnosti komponenty pre filtráciu a segmentáciu obrazu:

- V jadre modulu pre *filter* je *main* zrefazený (pipeline enabled) s inicializačným intervalom 4
- Cyklus označený ako *Linit* je rozbalený (unroll enabled)
- Cyklus označený ako *L2* je rozbalený (unroll enabled)
- Cyklus označený ako *L1a* je rozbalený (unroll enabled)
- Cyklus označený ako *L1b* je rozbalený (unroll enabled)
- Latencia obvodu je 4

Využitie zdrojov je zobrazené v tabuľke 3.

Number of Slice Flip Flops	492 out of 1,536 (32%)
Number of 4 input LUTs	1,178 out of 1,536 (76%)
Number of occupied Slices	766 out of 768 (99%)

Tabuľka 3: Množstvo spotrebovaných zdrojov FPGA čipu.

Výpočet času potrebného na spracovanie jednotlivých častí je zobrazený v tabuľke 4.

Spracovaná časť	Čas spracovania
pixel	160 ns
rámec	0.012288 s

Tabuľka 4: Spracovanie určitých častí a ich trvanie na MCU-FPGA.

S rozdelenou implementáciou sa rýchlosť spracovania výrazne zvýšila. Spracovanie všetkých rámcov (500 rámcov) za pomoci rozdelenia SW-HW trvá 6.144s (6s 144ms).

4 Porovnanie vlastností SW a SW-HW

Časť SW je realizovaná iba na MCU narozdiel od SW-HW ktorá je realizovaná za pomoci MCU a FPGA súčasne. Porovnanie spracovaných častí v SW a SW-HW implementácii je zobrazené v tabuľke 5.

	SW	SW-HW
pixel	183 μs	160 ns
rámec	14.0544 s	0.012288 s

Tabuľka 5: Spracovanie určitých častí a ich trvanie.

Rýchlosti spracovania hore uvedených častí (viz tabuľka 5) sú zobrazené v tabuľke 6.

	SW	SW-HW
počet pixelov za sekundu	5464.48087432	6250000
počet rámcov za sekundu	0.07115209471	81.3802083333

Tabuľka 6: Spracovanie určitých častí za jednotku času.

Metóda SW-HW implementovaná pomocou MCU-FPGA je o 1143.75 násobne rýchlejšia od metódy SW ktorá je implementovaná pomocou MCU.

5 Zhrnutie

Na základe hore uvedených meraní je zrejmé, že čisto SW a čisto HW realizácia má svoje výhody a nevýhody. Samotná SW realizácia sa ukázala ako značne pomalšia voči ostatným realizáciám. Čisto HW realizácia nie je možná z dôvodu nedostatkov výpočetných zdrojov ktoré sú zreteľne drahšie.

Kombináciou SW a HW je ale možné dosiahnuť najefektívnejšiu metódu realizácie, ktorá na základe prepojenia SW a HW umožní realizovať SW pomalé časti v HW ktorý ich vykoná výrazne rýchlejšie.

Keďže HW je v našom prípade limitovaný v rámci zdrojov, treba zvážiť na základe rýchlosti ktoré časti (časti ktoré sú v SW značne pomalé) treba previesť do HW keďže nie všetky je možné previesť. V našom prípade bola najpomalšia časť SW funkcia *median* ale keďže bolo dostatok zdrojov ešte aj na ďalšie funkcie previedli sa aj ďalšie pomalé funkcie. Pri správnom rozdelení a prevode je výsledná realizácia výrazne rýchlejšia – v našom prípade až 1143.75 krát rýchlejšia.

Ak by HW (čip FPGA) obsahoval dostatok zdrojov na to aby bolo možné presunúť zvyšné SW časti do HW (realizácia čisto v HW), zrýchlenie by bolo najväčšie. Problémom ale je, že v HW je výpočetná kapacita výrazne limitovaná cenou.