

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ



HSC
Hardware/Software Codesign

Vstavany systém pre filtráciu a segmentáciu obrazu

Obsah

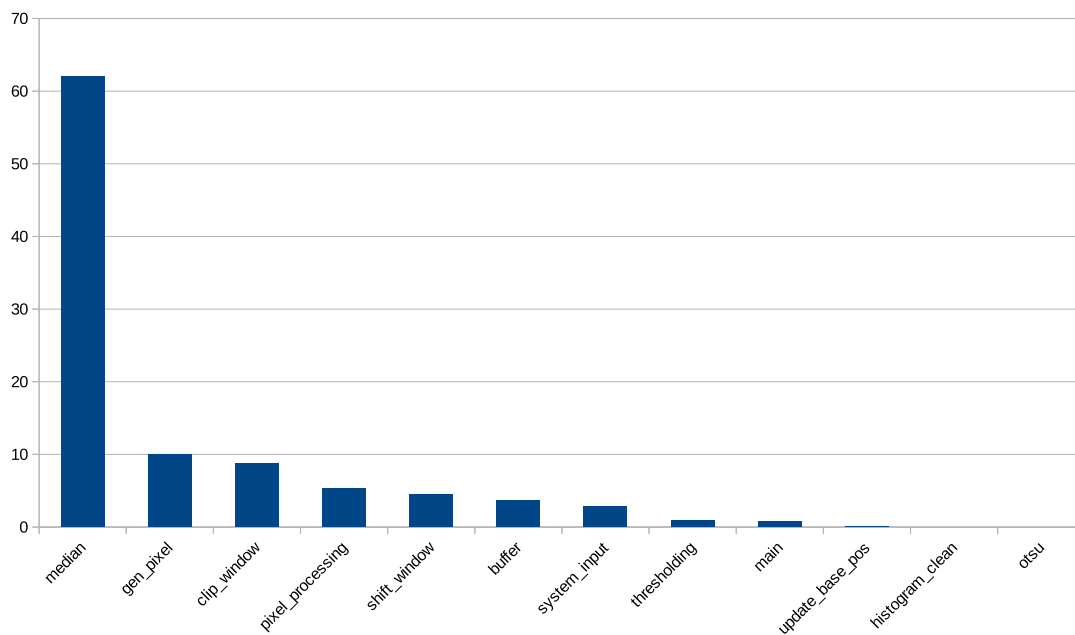
1	CPU	2
2	MCU	3
3	FPGA	3

1 CPU

Profilovanie CPU časti projektu bolo vykonané pomocou programu *GNU gprof*¹ verzie 2.26.1. Desať profilovacích výsledkov bolo nameraných pomocou *návodu z dokumentácie*² na základe čoho bol vo výsledku jeden sumárny výpis profilovacích hodnôt (priemer desiatich profilovaní).

Názov	Percento času
<i>median</i>	62.02
<i>gen_pixel</i>	10.00
<i>clip_window</i>	8.74
<i>pixel_processing</i>	5.34
<i>shift_window</i>	4.46
<i>buffer</i>	3.66
<i>system_input</i>	2.80
<i>thresholding</i>	0.95
<i>main</i>	0.79
<i>update_base_pos</i>	0.11
<i>histogram_clean</i>	0.00
<i>otsu</i>	0.00

Tabuľka 1: Výsledky desiatich profilovaní pomocou *gprof*.



Obr. 1: Graf zobrazujúci namerané hodnoty z tabuľky 1.

¹sourceware.org/binutils/docs/gprof

²sourceware.org/binutils/docs/gprof/Sampling-Error.html

2 MCU

Spracovaná časť	Čas spracovania
pixel	183 μs
rámec	14.0544 s

Tabuľka 2: Spracovanie určitých častí a ich trvanie.

3 FPGA

Vlastnosti komponenty pre filtráciu a segmentáciu obrazu:

- V jadre modulu pre *filter* je *main* zreťazený (pipeline enabled) s inicializačným intervalom 4
- Cyklus označený ako *Linit* je rozbalený (unroll enabled)
- Cyklus označený ako *L2* je rozbalený (unroll enabled)
- Cyklus označený ako *L1a* je rozbalený (unroll enabled)
- Cyklus označený ako *L1b* je rozbalený (unroll enabled)

Number of Slice Flip Flops	492	out of 1,536	32%
Number of 4 input LUTs	1,178	out of 1,536	76%
Number of occupied Slices	766	out of 768	99%

Tabuľka 3: Množstvo spotrebovaných zdrojov FPGA čipu.