

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ  
VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ



HSC  
Hardware/Software Codesign

Vstavany systém pre filtráciu a segmentáciu obrazu

## **Obsah**

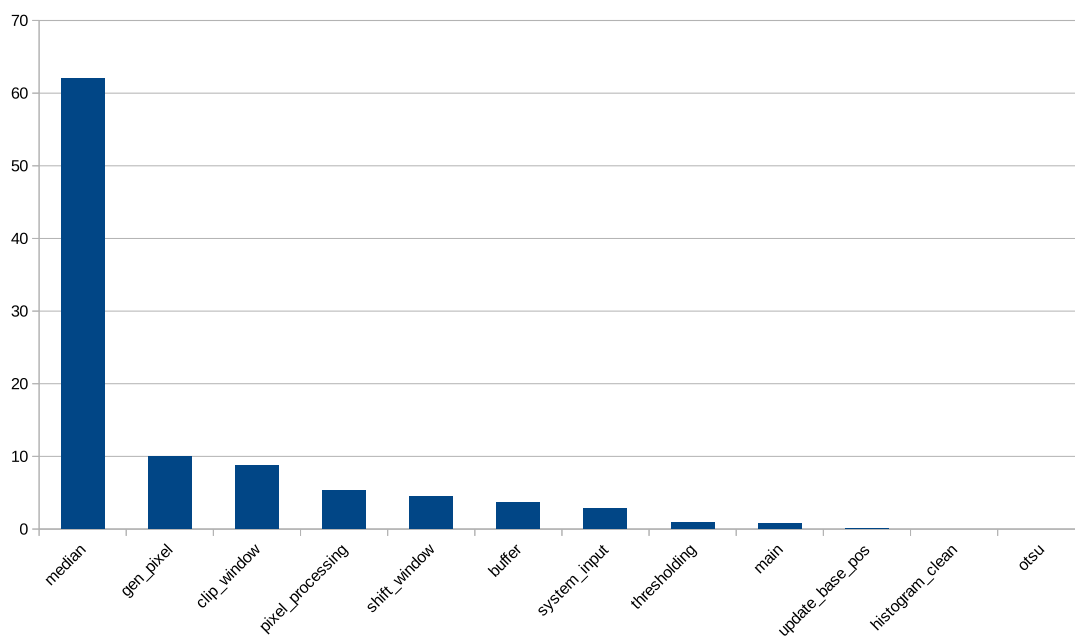
<b>1</b>	<b>CPU</b>	<b>2</b>
<b>2</b>	<b>MCU</b>	<b>3</b>
<b>3</b>	<b>FPGA</b>	<b>3</b>
<b>4</b>	<b>Porovnanie vlastností SW a SW-HW</b>	<b>3</b>
<b>5</b>	<b>Zhrnutie</b>	<b>3</b>

## 1 CPU

Profilovanie CPU časti projektu bolo vykonané pomocou programu *GNU gprof*<sup>1</sup> verzie 2.26.1. Desať profilovacích výsledkov bolo nameraných pomocou *návodu z dokumentácie*<sup>2</sup> na základe čoho bol vo výsledku jeden sumárny výpis profilovacích hodnôt (priemer desiatich profilovaní).

Názov	Percento času
<i>median</i>	62.02
<i>gen_pixel</i>	10.00
<i>clip_window</i>	8.74
<i>pixel_processing</i>	5.34
<i>shift_window</i>	4.46
<i>buffer</i>	3.66
<i>system_input</i>	2.80
<i>thresholding</i>	0.95
<i>main</i>	0.79
<i>update_base_pos</i>	0.11
<i>histogram_clean</i>	0.00
<i>otsu</i>	0.00

Tabuľka 1: Výsledky desiatich profilovaní pomocou *gprof*.



Obr. 1: Graf zobrazujúci namerané hodnoty z tabuľky 1.

<sup>1</sup>[sourceware.org/binutils/docs/gprof](http://sourceware.org/binutils/docs/gprof)

<sup>2</sup>[sourceware.org/binutils/docs/gprof/Sampling-Error.html](http://sourceware.org/binutils/docs/gprof/Sampling-Error.html)

## 2 MCU

Profilovanie MCU bolo vykonané pomocou makra `#define PROFILE`. Výsledky sú zobrazené v tabuľke 2.

Spracovaná časť	Čas spracovania
pixel	183 $\mu s$
rámec	14.0544 s

Tabuľka 2: Spracovanie určitých častí a ich trvanie.

Implementácia MCU časti je upravená tak aby spracovala 5 rámcov – rámce číslo 100, 200, 300, 400, 500. Napriek tomu, že sa spracuje len 5 rámcov, doba spracovania piatich rámcov trvá 70.272 s (1min 10s 272ms). Kebyže implementácia MCU časti nie je upravená – spracuje sa každý rámec, tak by spracovanie trvalo 7027.2 s (1h 57min 7s 200ms).

## 3 FPGA

Vlastnosti komponenty pre filtráciu a segmentáciu obrazu:

- V jadre modulu pre *filter* je *main* zrefazený (pipeline enabled) s inicializačným intervalom 4
- Cyklus označený ako *Limit* je rozbalený (unroll enabled)
- Cyklus označený ako *L2* je rozbalený (unroll enabled)
- Cyklus označený ako *L1a* je rozbalený (unroll enabled)
- Cyklus označený ako *L1b* je rozbalený (unroll enabled)
- Latencia obvodu je 4

Využitie zdrojov je zobrazené v tabuľke 3.

Number of Slice Flip Flops	492 out of 1,536 (32%)
Number of 4 input LUTs	1,178 out of 1,536 (76%)
Number of occupied Slices	766 out of 768 (99%)

Tabuľka 3: Množstvo spotrebovaných zdrojov FPGA čipu.

## 4 Porovnanie vlastností SW a SW-HW

Porovnanie jednotlivých vlastností SW a SW-HW je zobrazené v tabuľke 4.

	SW	SW-HW
pixel	183 $\mu s$	<b>TODO</b>
rámec	14.0544 s	<b>TODO</b>

Tabuľka 4: Spracovanie určitých častí a ich trvanie.

## 5 Zhrnutie