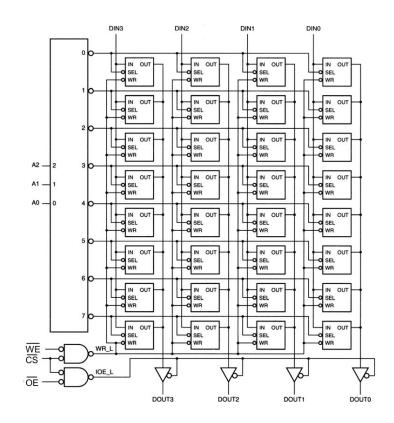
RAM. RAM в FPGA. Память команд

Память

- RAM Random Access Memory
- ROM Read Only Memory
 - Пример: микросхема с BIOS
- Триггеры
- Динамическое ОЗУ (DRAM)
- Статическое ОЗУ (SRAM)

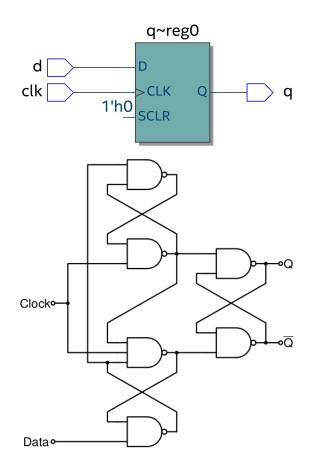
- Адресные входы
- Входы данных
- Выходы данных



Матрица SRAM 8x4

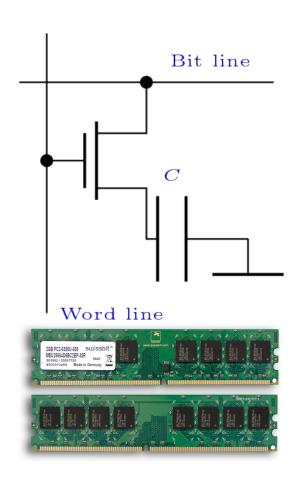
Триггеры

- Триггеры
 - ~20 транзисторов
 - Маленькая задержка
 - Пример: регистровый файл
- Динамическое ОЗУ (DRAM)
- Статическое ОЗУ (SRAM)



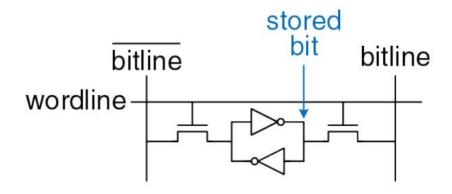
DRAM

- Триггеры
- Динамическое ОЗУ (DRAM)
 - Битовым значениям соответствует наличие или отсутствие заряда конденсатора, управляемого полевым транзистором.
 - Из-за саморазряда ячейки такой памяти нужно регенерировать.
 - 1 транзистор на ячейку
 - Большая задержка
- Статическое ОЗУ (SRAM)



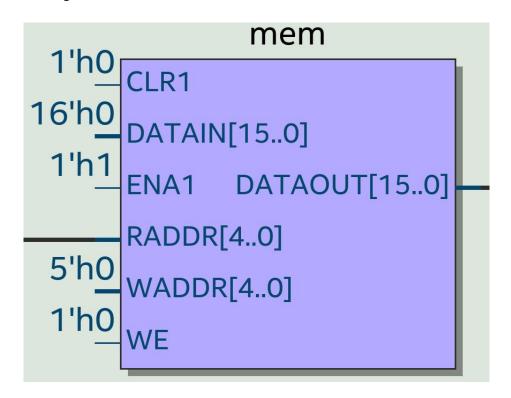
SRAM

- Триггеры
- Динамическое ОЗУ (DRAM)
- Статическое ОЗУ (SRAM)
 - Данные хранятся в бистабильной схеме
 - 6 транзисторов на ячейку
 - Средняя задержка



M9K SRAM в FPGA Altera Cyclone IV

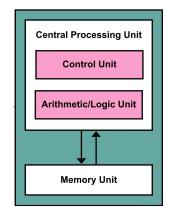
- Всего 276480 бит в EP4CE6E22C8
- Блоки по 9216 бит
- Работа в режиме RAM и ROM
- Инициализация из файла в момент прошивки FPGA



Память команд и память данных

- Память команд
- Память данных

- Архитектура фон Неймана данные и команды хранятся совместно
- Гарвардская архитектура данные и команды хранятся раздельно, каналы данных и инструкций тоже разделены



rom.v

```
module rom #(parameter LENGTH = 8,
                                                  module rom_fetcher(
             parameter WIDTH = 32)(
                                                      input clk,
    input [31:0]addr,
                                                      output [15:0]q
    output [WIDTH - 1:0]q
                                                  );
                                                  reg [7:0]pc = 0;
reg [WIDTH - 1:0]mem[LENGTH - 1:0];
                                                  wire [7:0]pc_next = pc + 1;
assign q = mem[addr];
                                                  rom #(.WIDTH(16)) rom(.addr(pc), .q(q));
initial begin
                                                  always @(posedge clk) begin
    $readmemh("program.txt", mem);
                                                      pc <= pc_next;</pre>
end
                                                  end
endmodule
                                                  endmodule
```

Результат

```
$ cat program.txt
BEEF
1001
1234
5678
9ABC
DEF0
6000
7000
```

