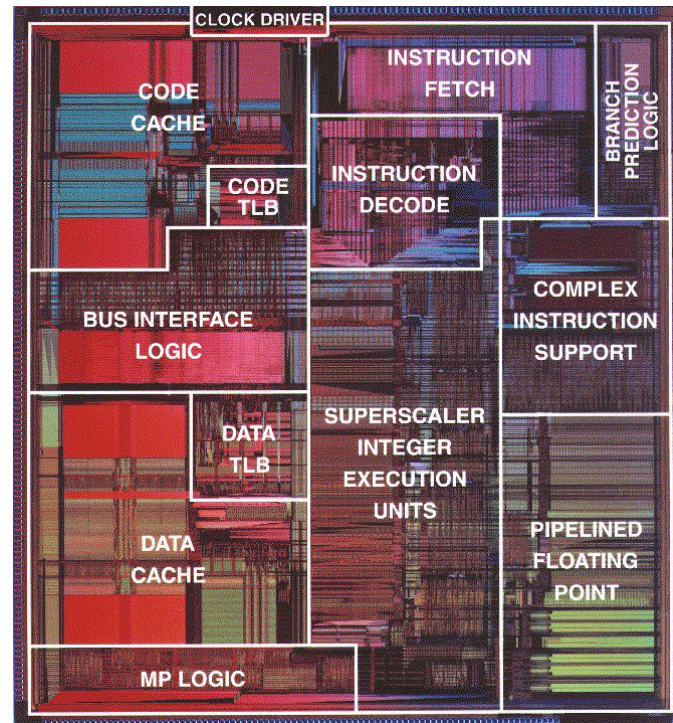
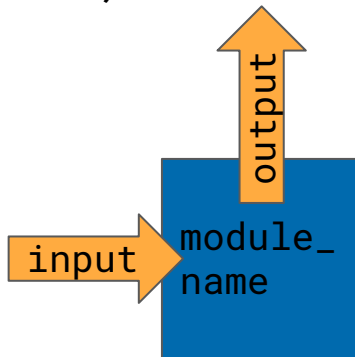


Базовые концепции
Verilog. Симуляция. Icarus
Verilog

Модули Verilog

- Модуль — основная конструкция языка
- Представляет схему или часть схемы

```
module module_name(  
    port_direction port_name,  
    port_direction port_name,  
    ...  
);  
  
...  
  
endmodule
```

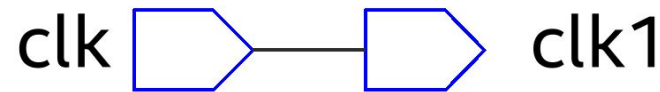


Тривиальный модуль

```
module lab00_test(  
    input wire clk,  
  
    output wire clk1  
);
```

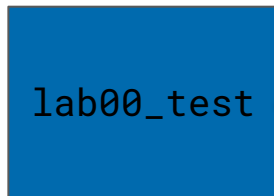
```
assign clk1 = clk; // Continuous assignment
```

```
endmodule
```



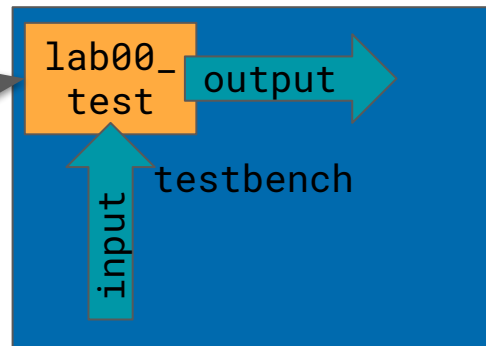
Как проверить, что модуль работает?

Тестируемый синтезируемый
модуль



`lab00_test.v`

Тестирующий несинтезируемый
модуль



`testbench.v`

Тестовое окружение

```
`timescale 1 ns / 100 ps

module testbench();

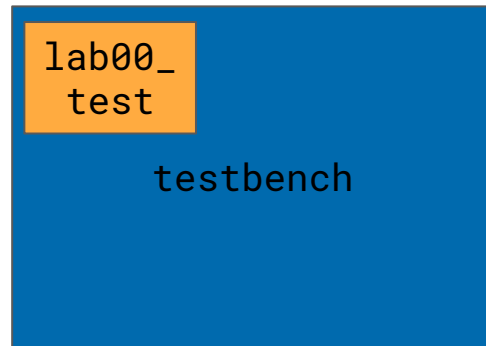
    reg clk = 1'b0;
    always begin
        #1 clk = ~clk;
    end

    wire clk1;

    lab00_test lab00_test(.clk(clk), .clk1(clk1));

    initial begin
        $dumpvars;
        $display("Test started...");
        #10 $finish;
    end

endmodule
```



Icarus Verilog

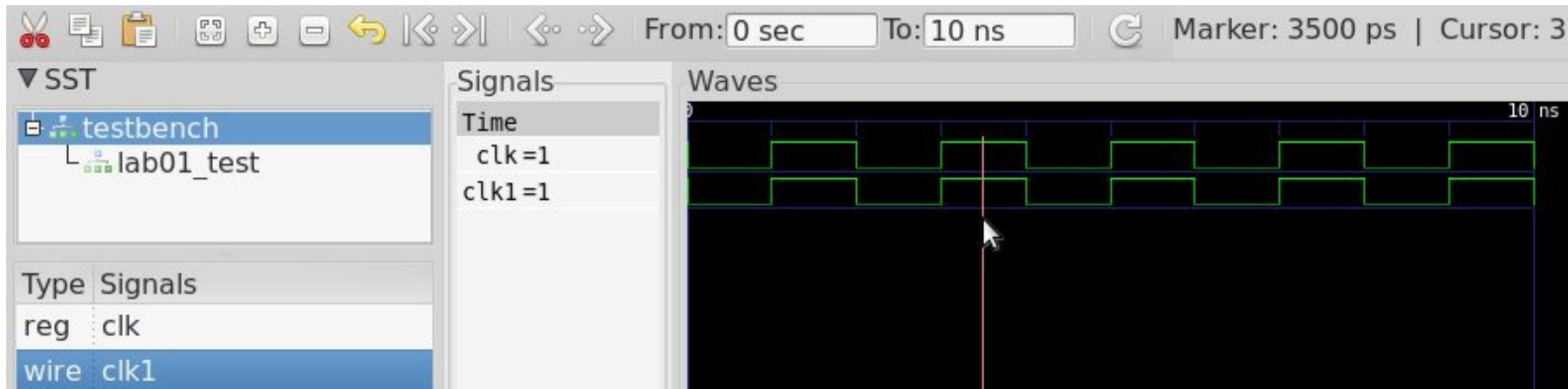
```
~/fpga-intro/labs/00_test $ iverilog testbench.v lab00_test.v -o lab00_test
```

```
~/fpga-intro/labs/00_test $ ./lab00_test
```

```
VCD info: dumpfile dump.vcd opened for output.
```

```
Test started...
```

```
~/fpga-intro/labs/00_test $ gtkwave dump.vcd
```



GitHub

github.com/viktor-prutyanov/drec-fpga-intro