

# Вводная лекция

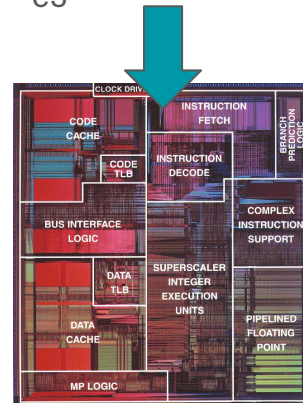
- CPU
- ASIC
- FPGA
  - Verilog

# CPU

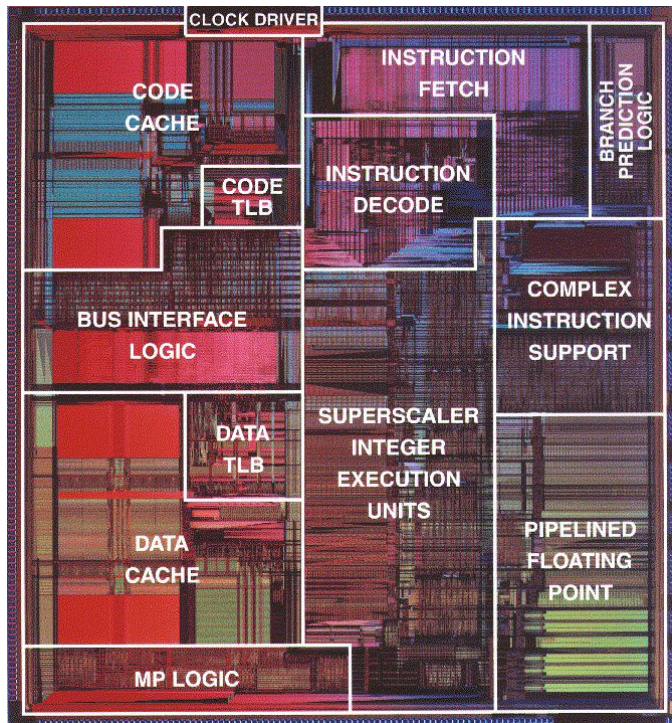
```
void add_func(const int *a,
              const int *b, int *c)
{
    for (int i = 0; i < 99; i++)
    {
        c[i] = a[i] + b[i];
    }
}
```

```
add_func:
    xor eax, eax
.L2:
    mov ecx, DWORD PTR [rsi+rax*4]
    add ecx, DWORD PTR [rdi+rax*4]
    mov DWORD PTR [rdx+rax*4], ecx
    add rax, 1
    cmp rax, 99
    jne .L2
    ret
```

31	c0		
8b	0c	86	
03	0c	87	
89	0c	82	
48	83	c0	01
48	83	f8	63
75	ed		
c3			



# CPU



Плюсы:

- Универсальность
- Доступность

Минусы:

- Невысокая эффективность для специфичных задач

# ASIC

- Application-Specific Integrated Circuit
- Заказная специализированная интегральная схема

Примеры:

- Микросхема цифровой обработки звукового сигнала в мобильном телефоне
- Оборудование для майнинга криптовалют

# ASIC

## Достоинства:

- Максимальная производительность и энергоэффективность для выполнения конкретной задачи

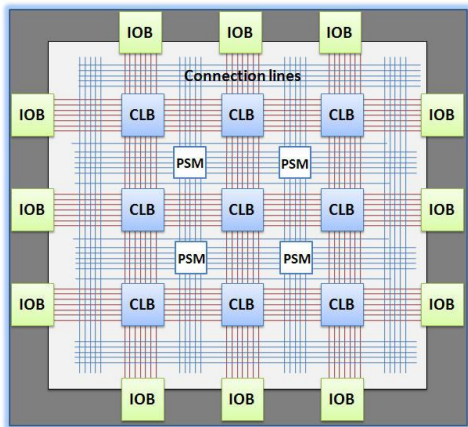
## Недостатки:

- Высокая стоимость выпуска больших партий микросхем
- Узкая специализация готовой микросхемы
- Большое время на разработку

# FPGA

- Field-Programmable Gate Array
- ПЛИС — программируемая логическая интегральная схема

Главный плюс — возможность реконфигурации

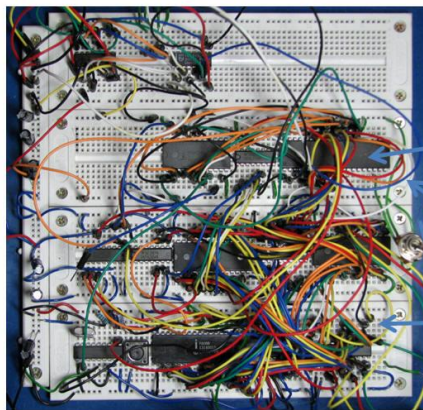


**IOB**  
Input Output Block

**CLB**  
Configurable  
Logic Block

**PSM**  
Programmable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct



**IOB** "IOB"  
Input Block

**CLB** "CLB"  
Non Configurable  
Logic Block

**PSM** "PSM"  
Programmable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct



# FPGA

- Есть возможность поменять схему под конкретную задачу
- Обычно не подходит для готовых пользовательских устройств

Области применения:

- Прототипирование электронных схем
- Обработка сетевых пакетов
- Цифровая обработка сигналов (DSP)
- Computer Vision
- Нейронные сети
- etc.

# Verilog

- HDL — hardware definition language

```
genvar i;  
  
generate  
    for (i = 0; i < 99; i = i + 1)  
    begin : vec_add_gen  
        assign c[i] = a[i] + b[i];  
    end  
endgenerate
```

