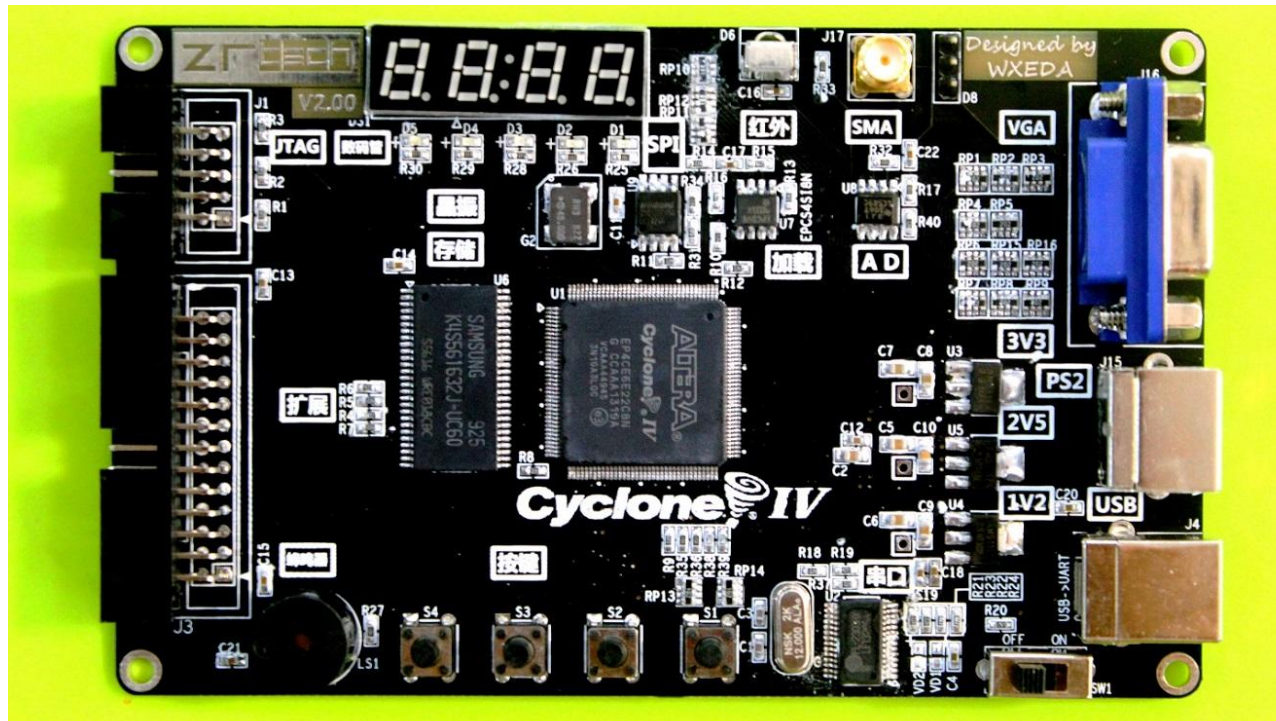


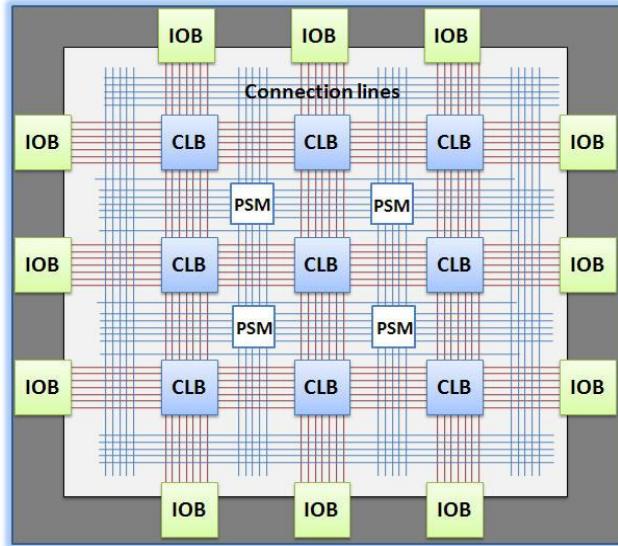
# Устройство FPGA Altera Cyclone IV

# Отладочная плата

- FPGA Altera Cyclone IV EP4CE6E22C8N
- 7-сегментный индикатор
- 4 светодиода
- Питание подводится через USB
- Прошивка загружается через 10-пиновый JTAG
- 48 МГц кварцевый генератор



# FPGA

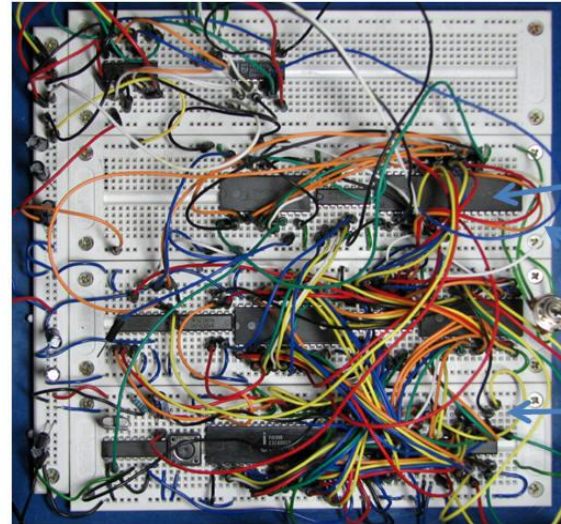


**IOB**  
Input Output Block

**CLB**  
Configurable  
Logic Block

**PSM**  
Programmable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct



**IOB**  
"IOB"  
Input Block

**CLB**  
"CLB"  
Non Configurable  
Logic Block


**PSM**  
"PSM"  
Programmable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct

# Altera Cyclone IV EP4CE6E22C8N

## Ресурсы:

- Логические элементы
- Блоки памяти
- Умножители
- Блоки ФАПЧ (PLL)
- Порты ввода-вывода

Flow Summary	
 <<Filter>>	
Flow Status	Successful - Sat Jan 19 14:01:23 2019
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	sample
Top-level Entity Name	top
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	26 / 6,272 ( < 1 % )
Total registers	26
Total pins	6 / 92 ( 7 % )
Total virtual pins	0
Total memory bits	0 / 276,480 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 30 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

# Altera Cyclone IV EP4CE6E22C8N

Ресурсы:

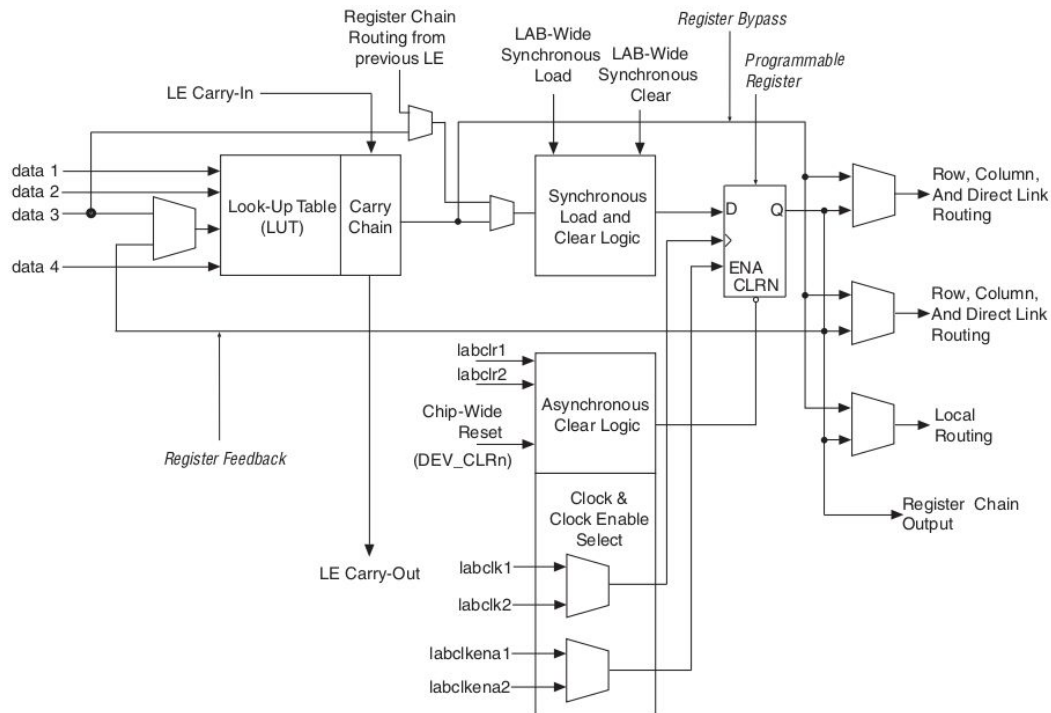
- Логические элементы
- Блоки памяти
- Умножители
- Блоки ФАПЧ (PLL)
- Порты ввода-вывода

**Table 1-1. Resources for the Cyclone IV E Device Family**

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22
Logic elements (LEs)	6,272	10,320	15,408	22,320
Embedded memory (Kbits)	270	414	504	594
Embedded 18 × 18 multipliers	15	23	56	66
General-purpose PLLs	2	2	4	4
Global Clock Networks	10	10	20	20
User I/O Banks	8	8	8	8
Maximum user I/O <sup>(1)</sup>	179	179	343	153

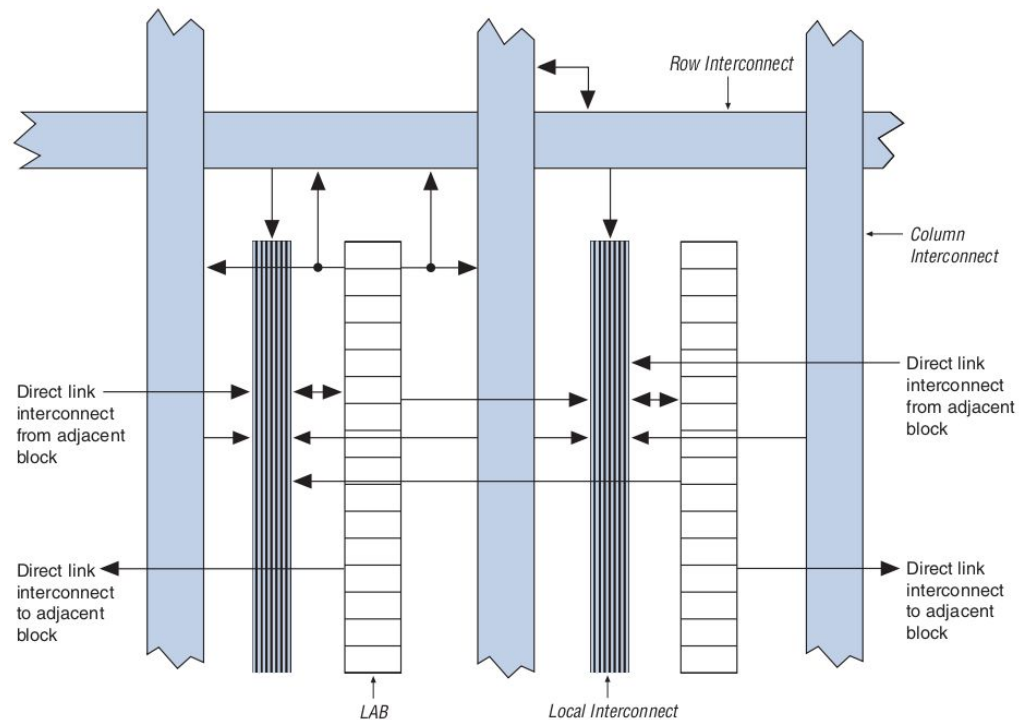
# Логический элемент (LE) в Cyclone IV

- 4-входовая таблица преобразования (LUT — look-up table)
- Цепь переноса
- Регистр
- Вход тактового сигнала



# Logical Array Block (LAB)

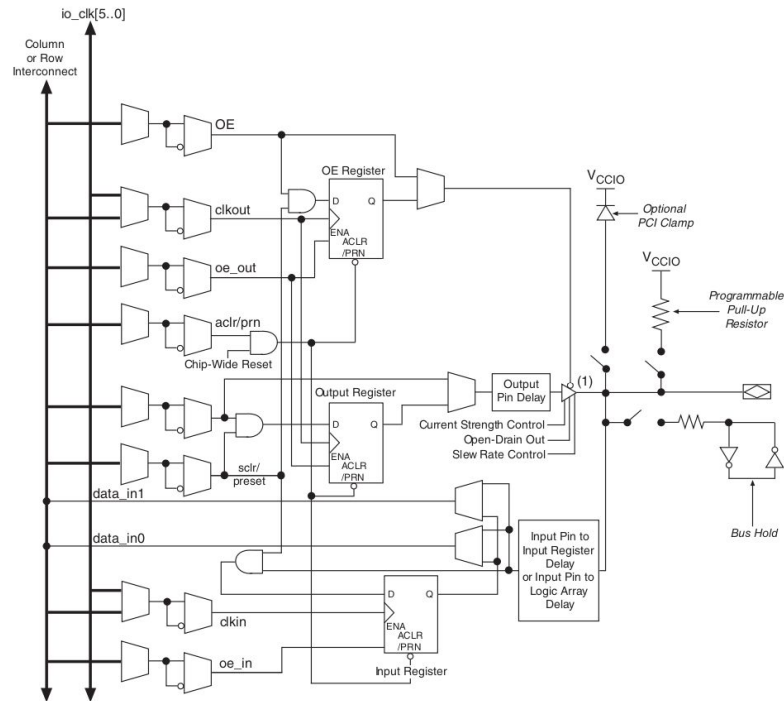
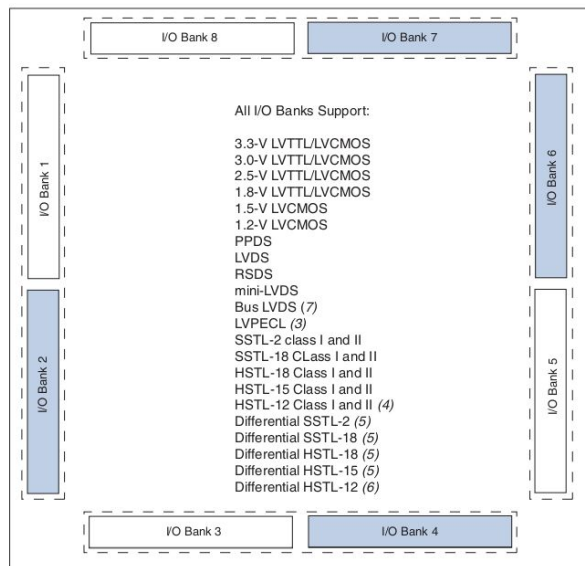
- 16 логических элементов
- Local interconnect
- Row interconnect
- Column interconnect





# I/O

- 8 банков портов ввода-вывода





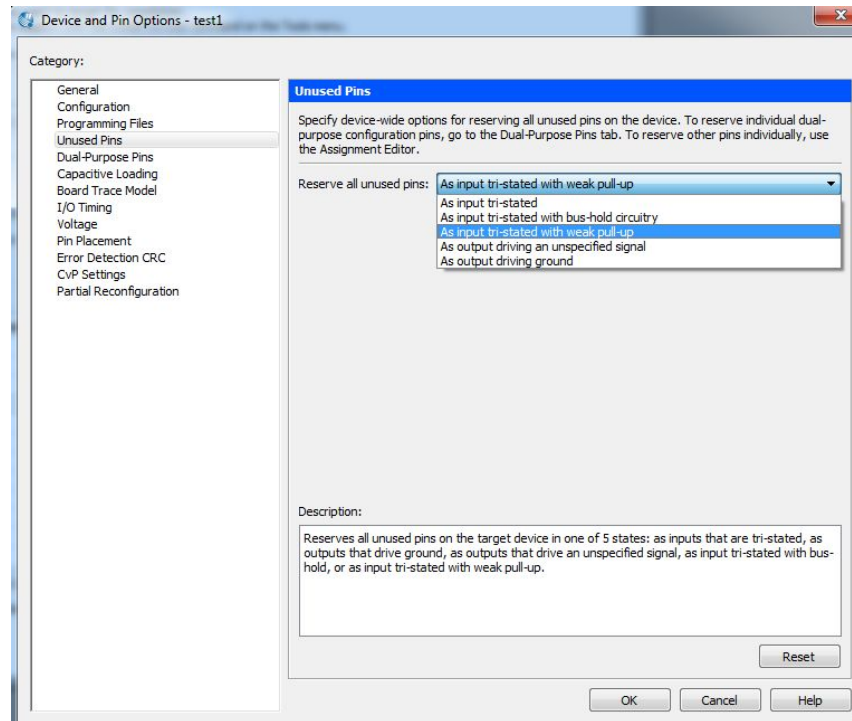
# I/O

Device > Device and Pin Options > Unused Pins

5 режимов работы неиспользуемых пинов

Лучше выбирать:

- As input tri-stated — высокоомный вход
- As input tri-stated with weak pull-up — высокоомный вход с подтяжкой к питанию



# Mapping и Fitting

Mapping:

- Процесс отображение функции на логические элементы конкретной микросхемы

Fitting:

- Также “Place and route”
- Процесс определение, к какой таблице преобразования относится каждая функция, и как эти таблицы соединены между собой

# GitHub

[github.com/viktor-prutyanov/drec-fpga-intro](https://github.com/viktor-prutyanov/drec-fpga-intro)