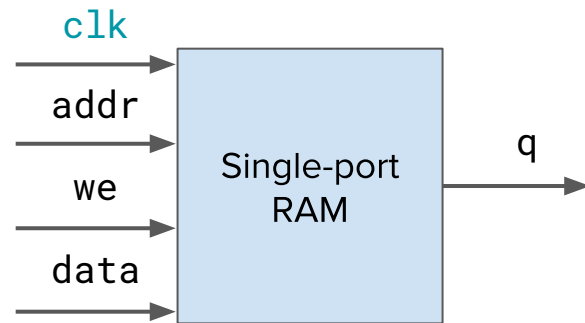
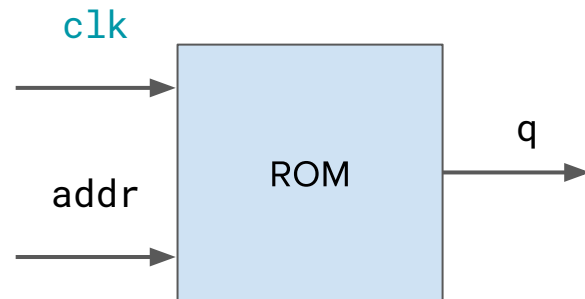


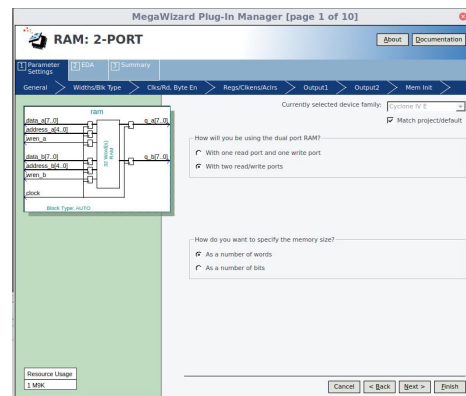
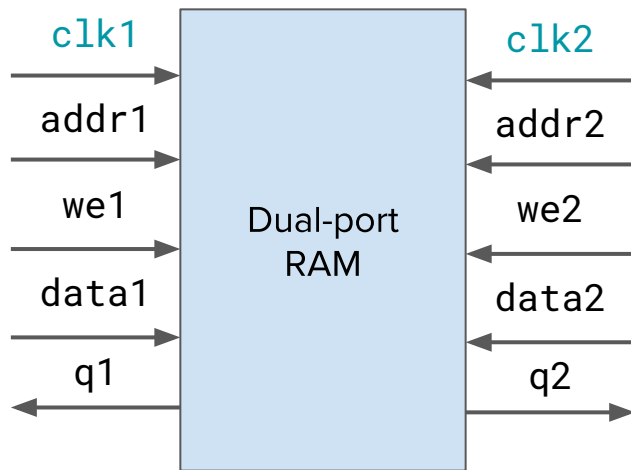
Dual-port RAM.  
FIFO

# Режимы работы M9K SRAM в Altera Cyclone IV

- ROM
  - Single-port
  - Dual-port
  - FIFO
- 
- Что если требуется две одновременных операции чтения/записи по разным адресам?
  - Что если требуется передать данные в другую часть схемы, работающую на другой частоте?



# Dual-port



IP Catalog > RAM: 2-PORT

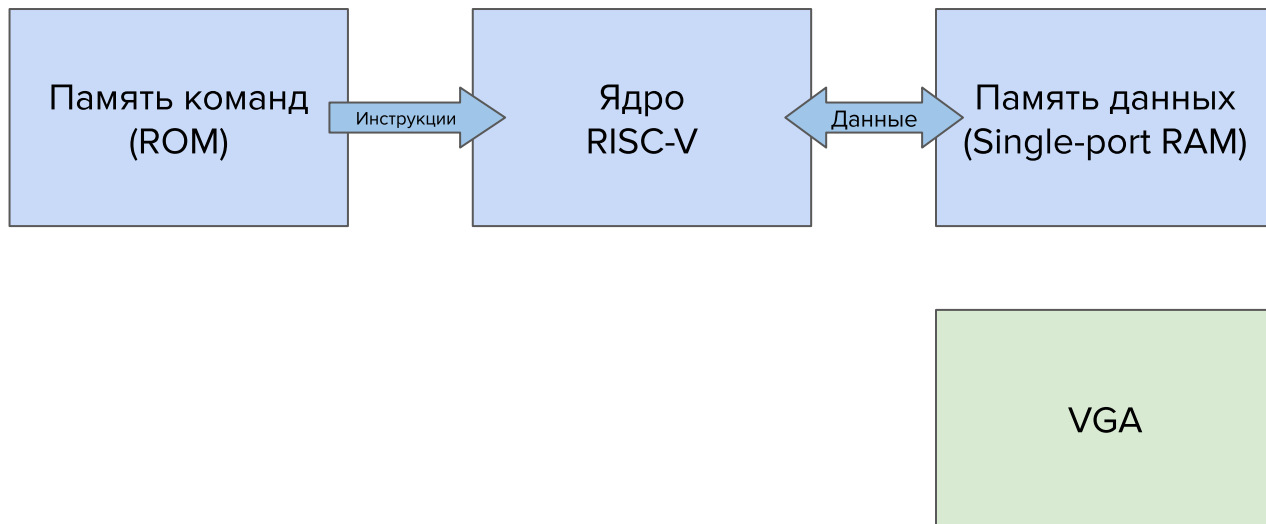
- Позволяет выполнить любую комбинацию операций с двумя портами: два чтения, две записи, одно чтение и одна запись на двух разных частотах
- М9К блок не имеет встроенной защиты от одновременной записи в одну ячейку из двух портов

# FIFO

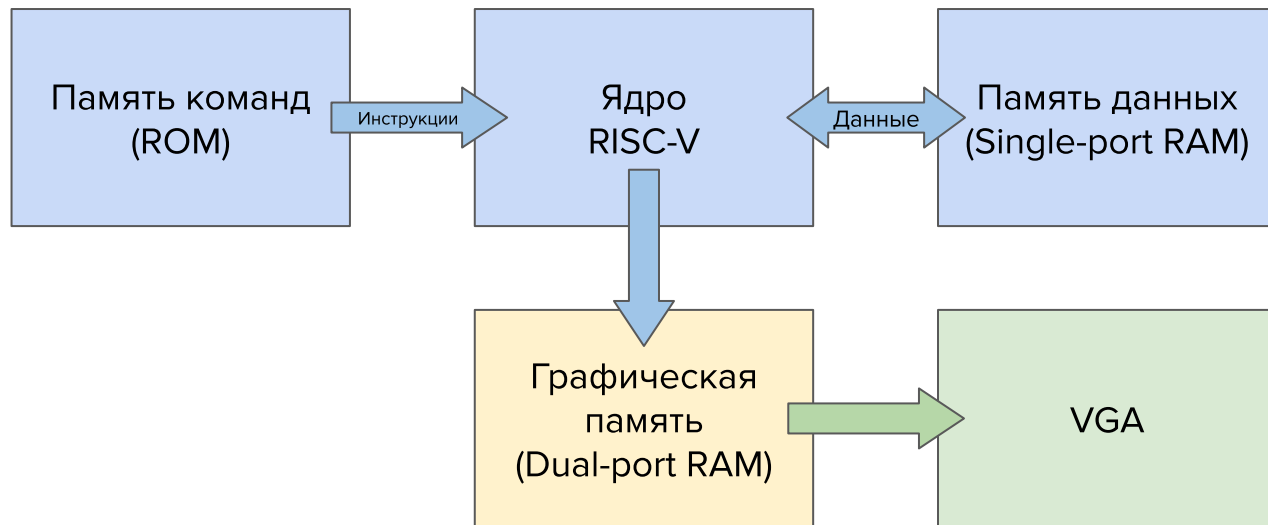


- Работает как очередь (First In, First Out — “первым пришёл, первым ушёл”)
- Передаёт данные из одного clock domain в другой:
  - Запись происходит на частоте **wr\_clk** по сигналу **wr\_req**
  - Чтение происходит на частоте **rd\_clk** по сигналу **rd\_req**
- Сигнал **rd\_empty** защищает от чтения из пустой очереди, сигнал **wr\_full** — от записи в заполненную очередь

# RISC-V CPU и VGA



# RISC-V CPU и VGA



- Синяя часть схемы работает на частоте 48 МГц
- Зеленая часть схемы работает на частоте 25,175 МГц

# GitHub

[github.com/viktor-prutyanov/drec-fpga-intro](https://github.com/viktor-prutyanov/drec-fpga-intro)