



Centro Federal de Educação Tecnológica de Minas Gerais

Departamento de Computação
Curso de graduação em Engenharia da Computação
Laboratório de Arquitetura e Organização de Computadores II
Profa. Daniela Cristina Cascini Kupsch (cascini@decom.cefetmg.br)

Prática I – Valor 20 pontos Data de Entrega: Partes I e II: 06/09/2019 Data de Entrega Parte III: 13/09/2019

Objetivo: Esta prática tem a finalidade de exercitar os conceitos relacionados à hierarquia de memória e relembrar como se utiliza a placa FPGA.

Parte I (4 pontos) : Implementação de uma memória RAM utilizando a biblioteca LPM. A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos.

Parte II (4 pontos): Inicialização da memória utilizando um arquivo (MIF - *memory initialization file* (MIF)). A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos.

Parte III (12 pontos): Implemente uma cache associativa por conjunto de 2 vias, com utilização do MIF e realização da leitura e escrita utilizando o *display* de 7-segmentos. O aluno deve mostrar o que ocorre em casos de acerto e falha de leitura/escrita na cache e situações que modificam os bits “Dirty”, “LRU” e “Válido”.

Submissão

Crie um pacote contendo TODOS os códigos fontes, formas de onda, e o relatório do projeto. Cada dupla deverá submeter um pacote no Moodle. O nome do arquivo deve ser: *nomealuno1_nomealuno2_pratica1.zip*

O relatório deverá incluir os seguintes componentes:

1. Para cada parte, as formas de onda com uma explicação que mostre o correto funcionamento.
2. Para a parte II e III, arquivo .mif.
3. O **projeto** do seu sistema para a **Parte III**, incluindo detalhes necessários dos módulos criados. Faça uma figura mostrando os blocos básicos e interconexões.

Apresentação em sala

Para cada parte, cada dupla deverá apresentar o funcionamento na placa com as seguintes funcionalidades:

Parte I e Parte II: Leitura e escrita em posições distintas da memória.

Parte III: (a) Leitura/escrita com acerto, (b) Leitura/escrita com falha, (c) atualização dos bits “válido”, “dirty” e “LRU”.

Avaliação

Parte I: Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

Parte II: Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

Parte III: Qualidade do código (3,0 pts); Simulações com explicações no relatório (3,5 pts); Apresentação na Placa (3,5 pts)

Relatório: Qualidade do texto, descrição do projeto e figura (3,0 pts)

Para cada parte, cada dupla deverá apresentar o funcionamento na placa.