HC4

- 手のひらサイズの4bitCPU

清水星那

2025/11/11

©2025 Shimizu Sena All Rights Reserved.

自己紹介

- なまえ　清水星那
- 学年　　高校２年
- 生息地　東京
- 趣味
  電子工作、ゲームなど

普段は部活でCPUを作ってます

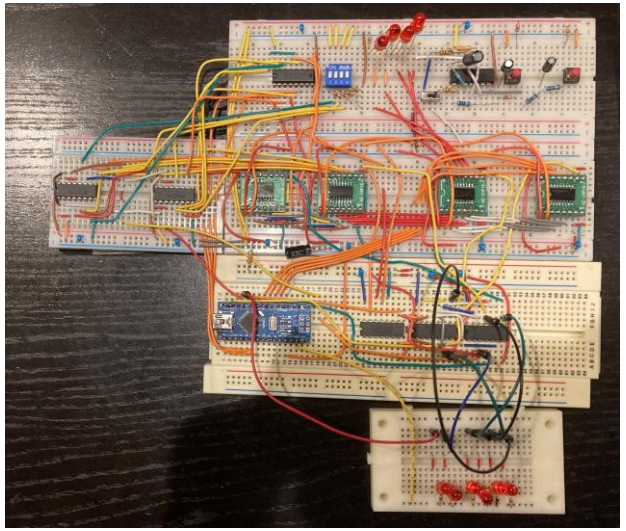
©2025 Shimizu Sena All Rights Reserved.

CPU自作のきっかけ

- 中学3年のころ
  YouTubeの動画で「CPUの創り方」と出会い、
  TD-4を作る

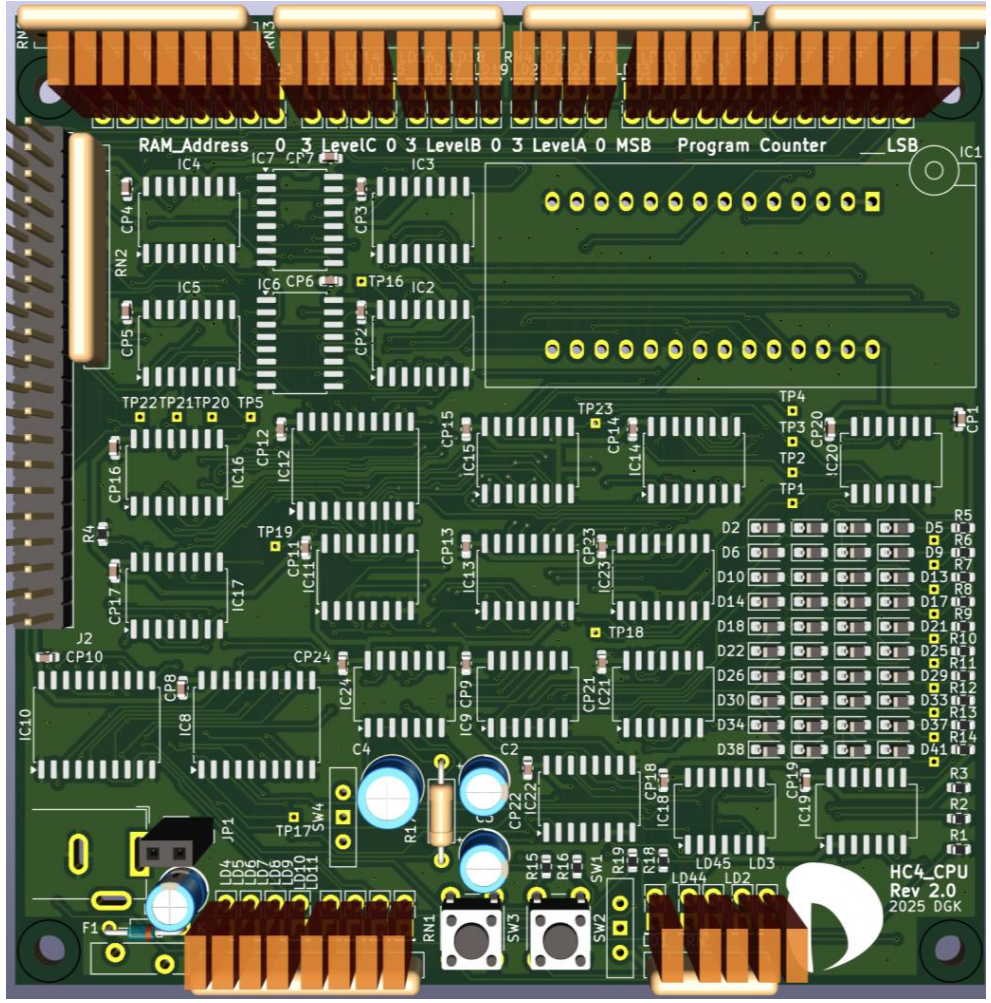
- 高校1年のころ
  自作CPUに初挑戦→なんとか動作
  文化祭で展示

- 高校2年
  HC4を作る



©2025 Shimizu Sena All Rights Reserved.

HC4の概要



HC4

-概要-

- ロジックICのみで作った4bit CPU
- 10x10cmの基板に収まる（Rev.2）
- 命令数をなるべく減らす設計

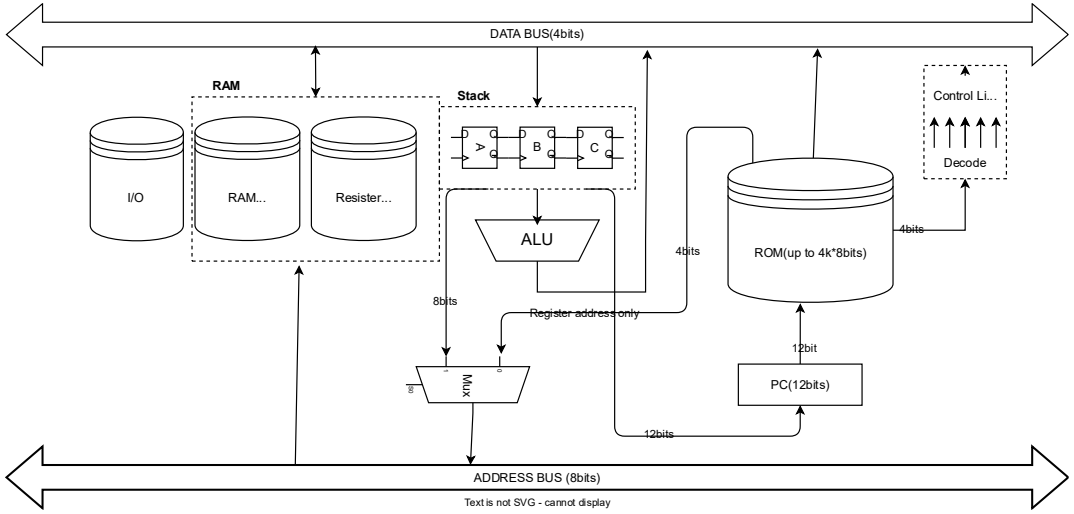
-性能-

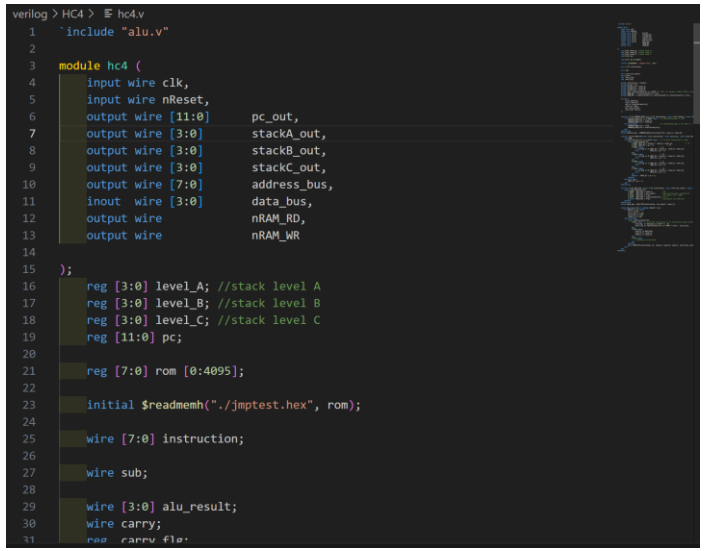
- ビット数:4bit
- 周波数:0Hz~5MHz
- 最大RAM容量:256x4bits　(2101一個分)
- 最大ROM容量:4096x8bits (2732一個分)
- ハーバードアーキテクチャ

©2025 Shimizu Sena All Rights Reserved.

HC4の作成過程

- 2025年1月
  ブロック図を描き、アーキテクチャを決定
  Verilogでシミュレーションする
- 2025年2月～3月
  初代基板を作成、大量の設計ミス、配線ミスが発覚





```
verilog > HC4 > hc4.v
`include "alu.v"

module hc4 (
    input wire clk,
    input wire nReset,
    output wire [11:0]      pc_out,
    output wire [3:0]       stackA_out,
    output wire [3:0]       stackB_out,
    output wire [3:0]       stackC_out,
    output wire [7:0]       address_bus,
    inout  wire [3:0]       data_bus,
    output wire             nRAM_RD,
    output wire             nRAM_WR

);
    reg [3:0] level_A; //stack level A
    reg [3:0] level_B; //stack level B
    reg [3:0] level_C; //stack level C
    reg [11:0] pc;

    reg [7:0] rom [0:4095];

    initial $readmemh("./jmptest.hex", rom);

    wire [7:0] instruction;

    wire sub;

    wire [3:0] alu_result;
    wire carry;
    reg  carry_flg;
```

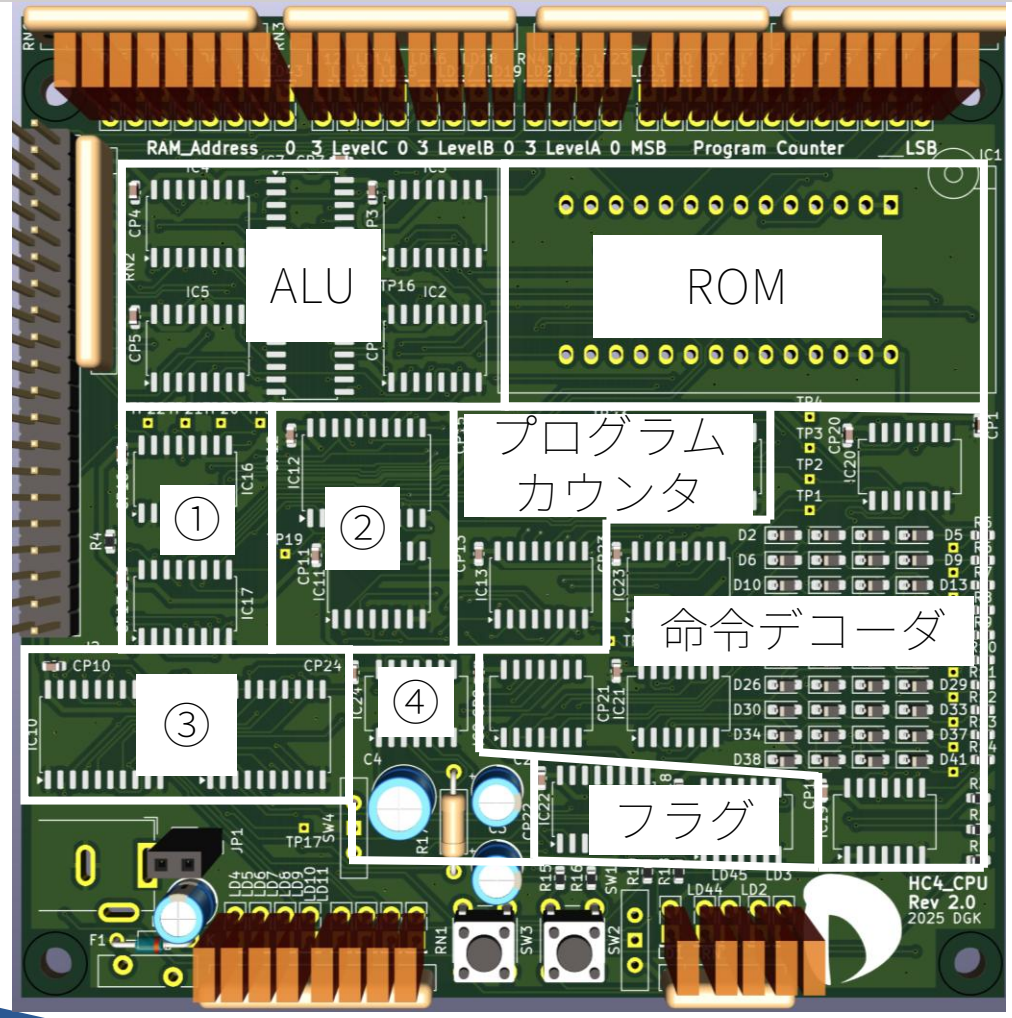

©2025 Shimizu Sena All Rights Reserved.

HC4の制作過程

- 2025年5～6月
  二代目基板を作成
- 2025年夏休み
  HC4用アセンブラ（二代目）を開発
- 2025年9月
  文化祭に展示

©2025 Shimizu Sena All Rights Reserved.

HC4の各部紹介

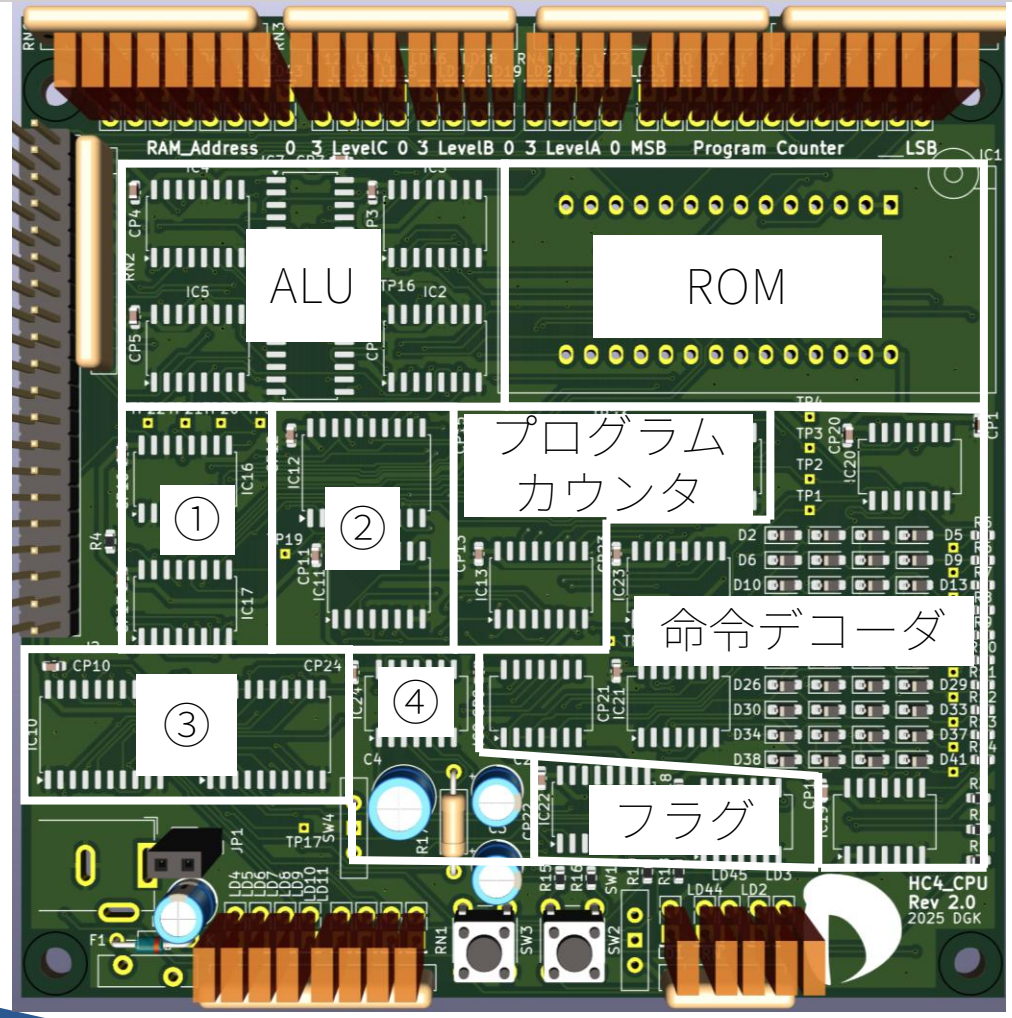


HC4
-各部解説-

- ALU
  CPUの中で、実際に計算をする部分。
- ROM
  Read Only Memory. プログラムを保存している。
- ② 演算スタック
  計算に使う一時的なデータを保存する部分。
- プログラムカウンタ
  現在実行中のプログラムのアドレスを保持する。命令の実行ごとに+1される。
- 命令デコーダ
  命令を解釈し各部分に正しい信号を送る

©2025 Shimizu Sena All Rights Reserved.

HC4の各部紹介

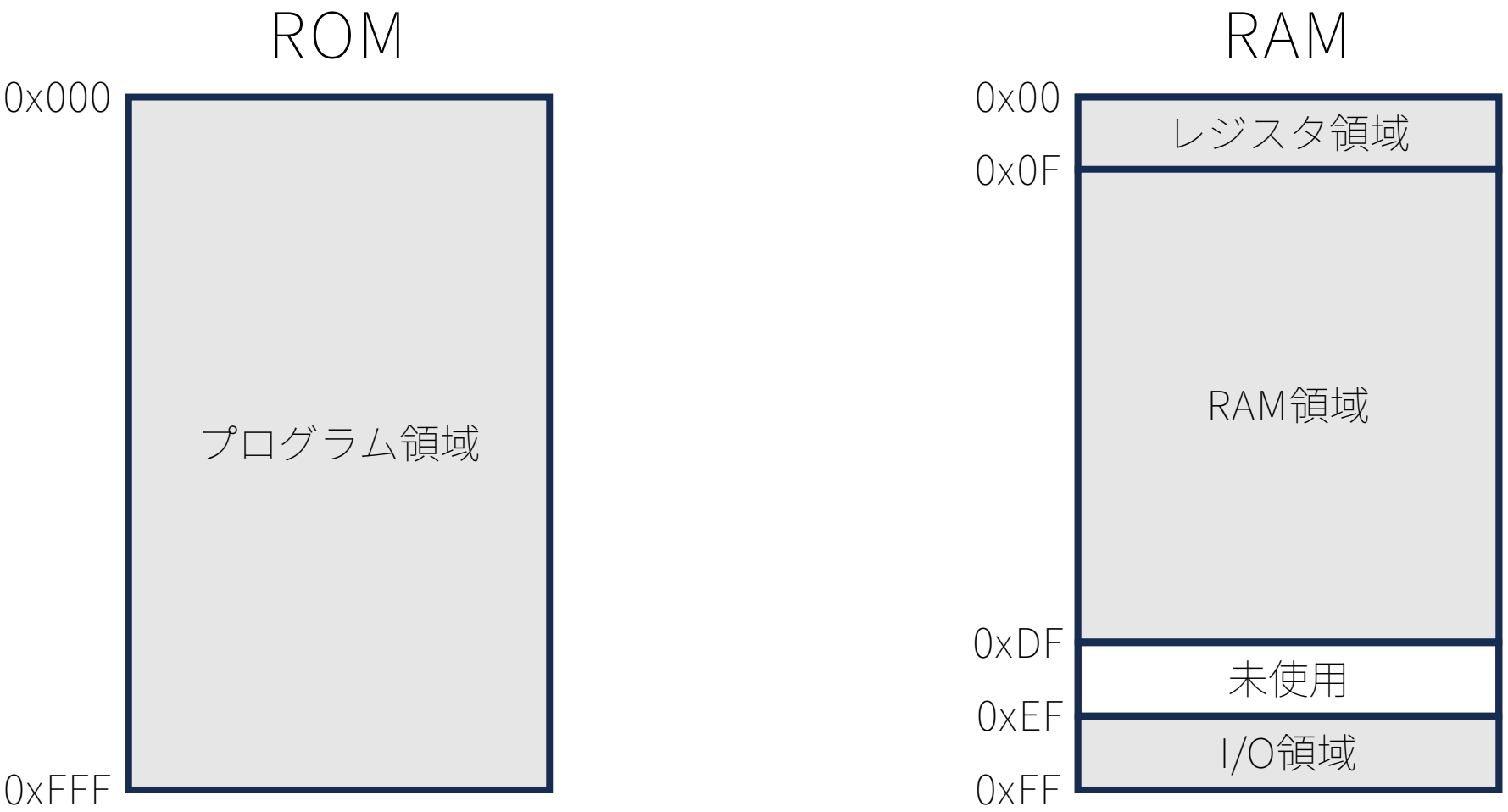


HC4
-各部解説-

- ① アドレスバスコントローラ
  RAMのアドレスを選ぶ。
- ③ データバスコントローラ
  データバスの調停を行う。
- ④ クロック・リセットジェネレータ
  CPUの動作の基準となる信号を生成して供給する。CPUのペースメーカー。
- フラグレジスタ
  前の計算で出た桁上がりなどの情報を保持しておく。

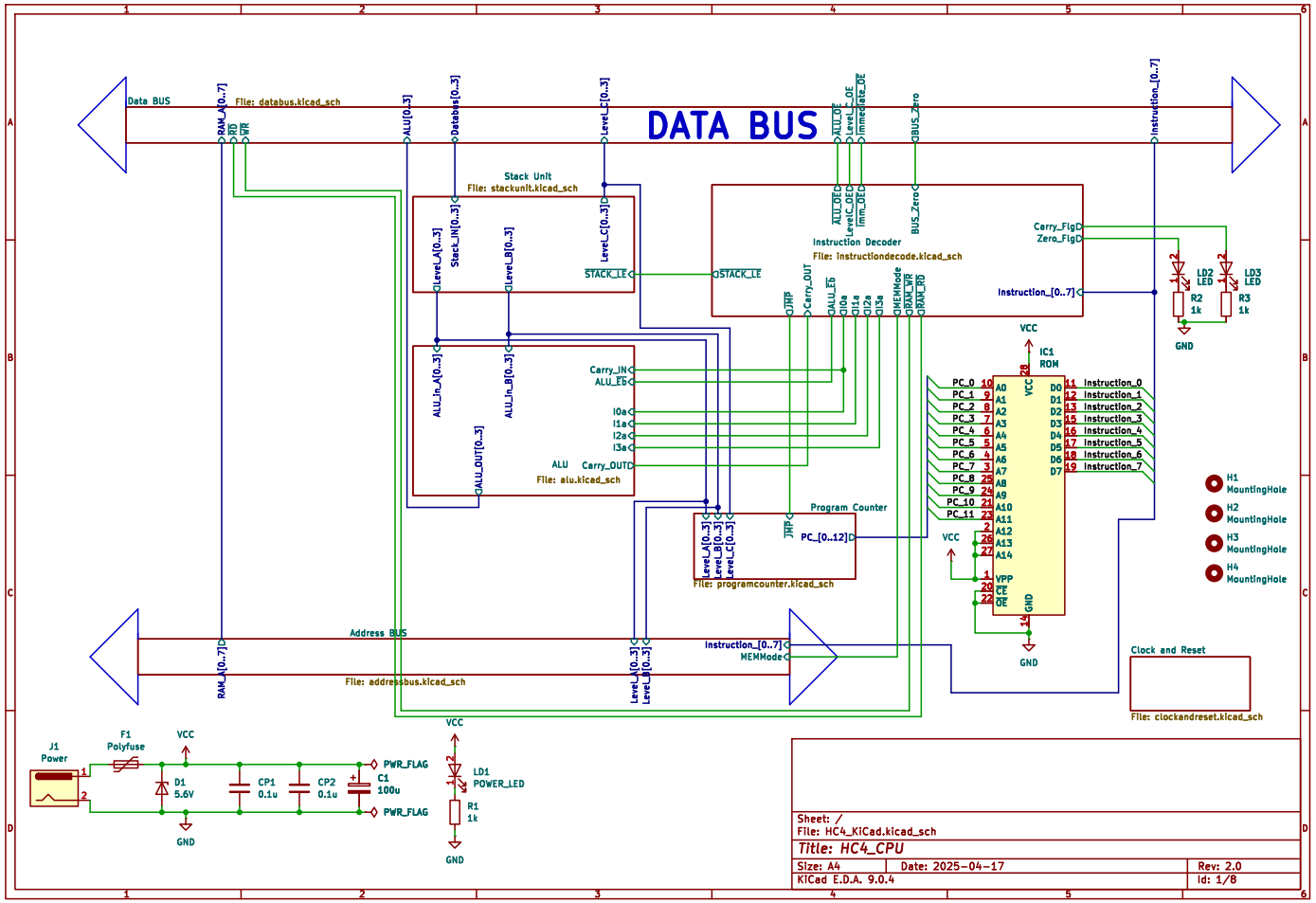
©2025 Shimizu Sena All Rights Reserved.

アドレスマップ（現状）



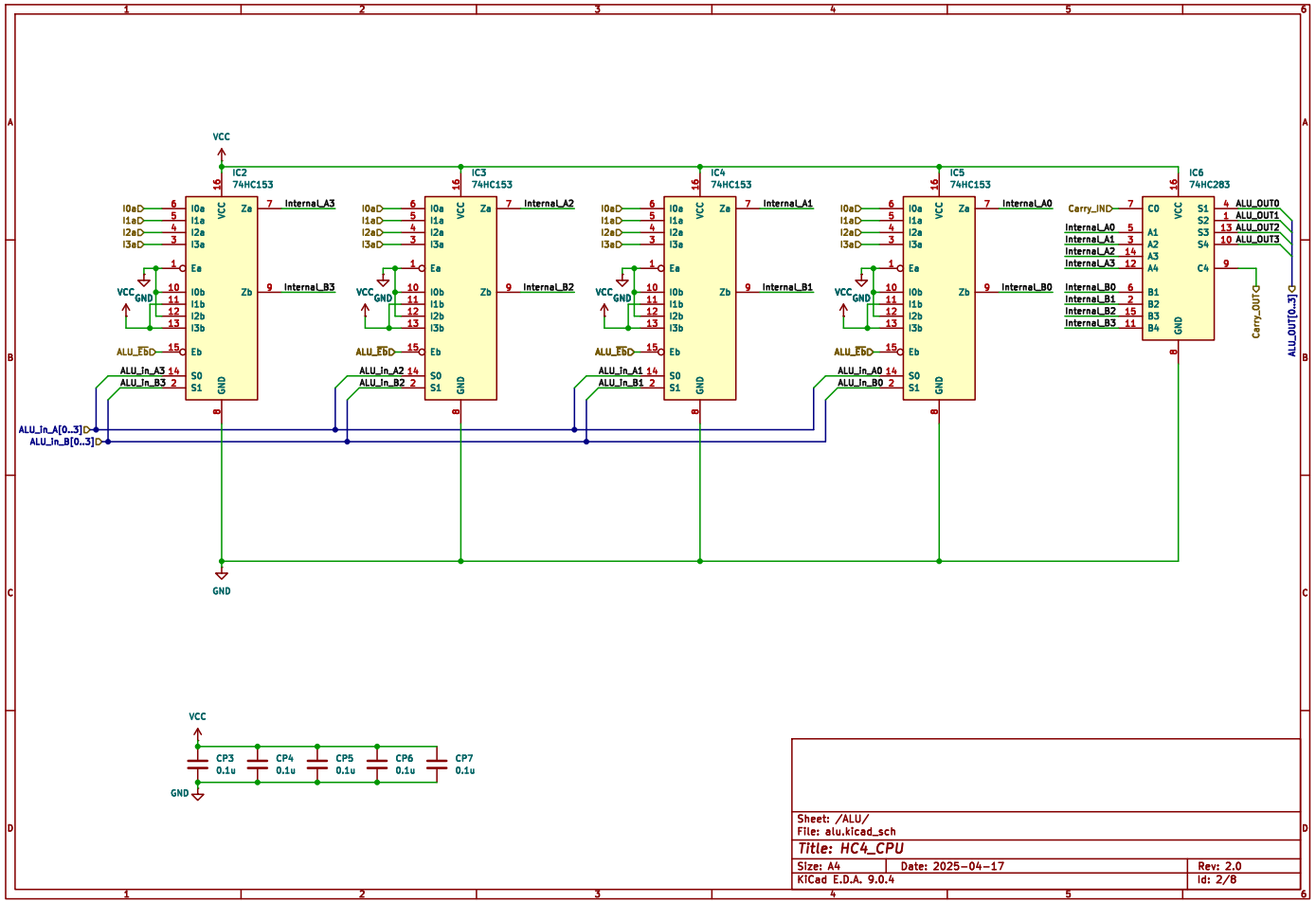
©2025 Shimizu Sena All Rights Reserved.

全回路図　全体



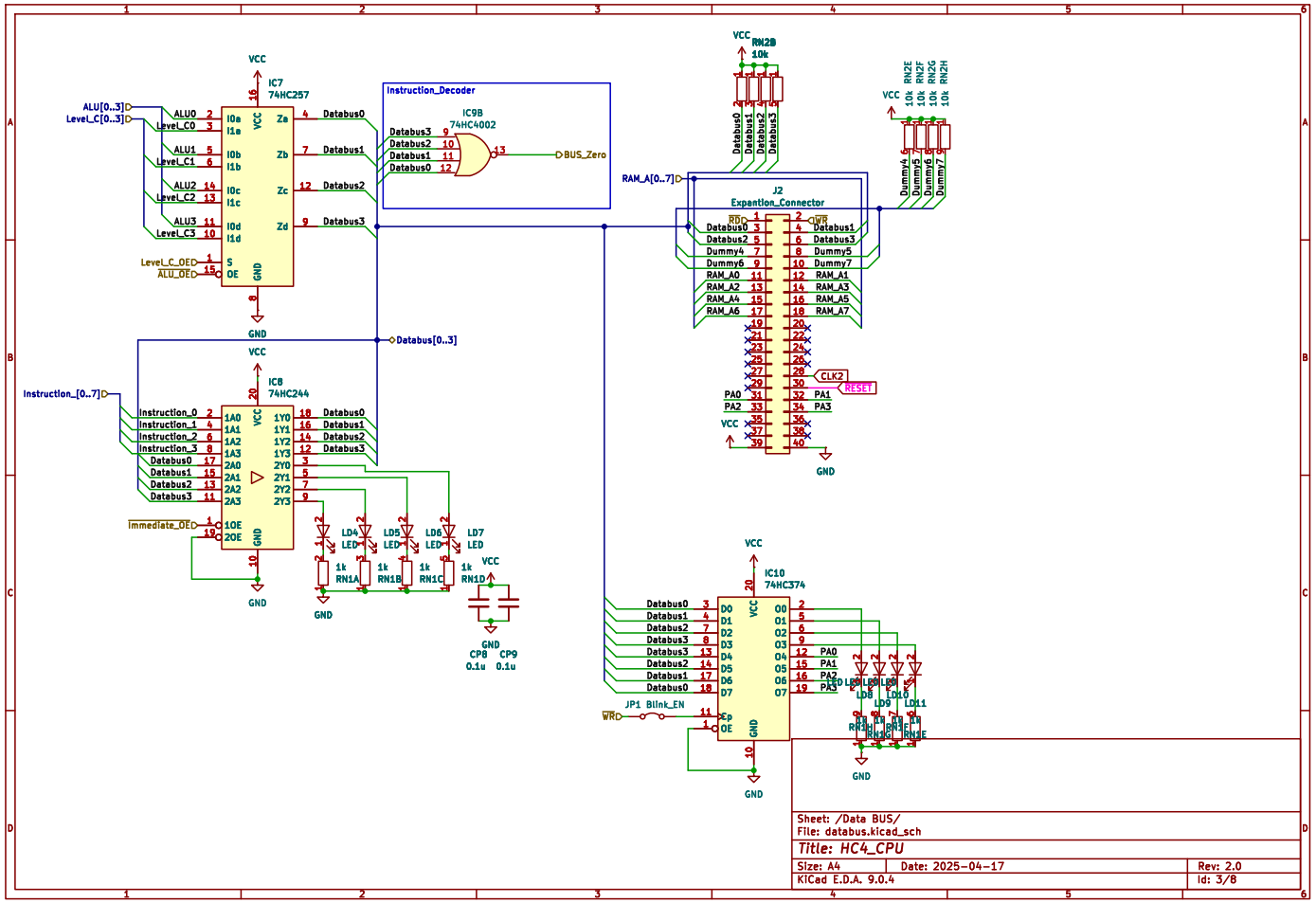
©2025 Shimizu Sena All Rights Reserved.

全回路図　ALU



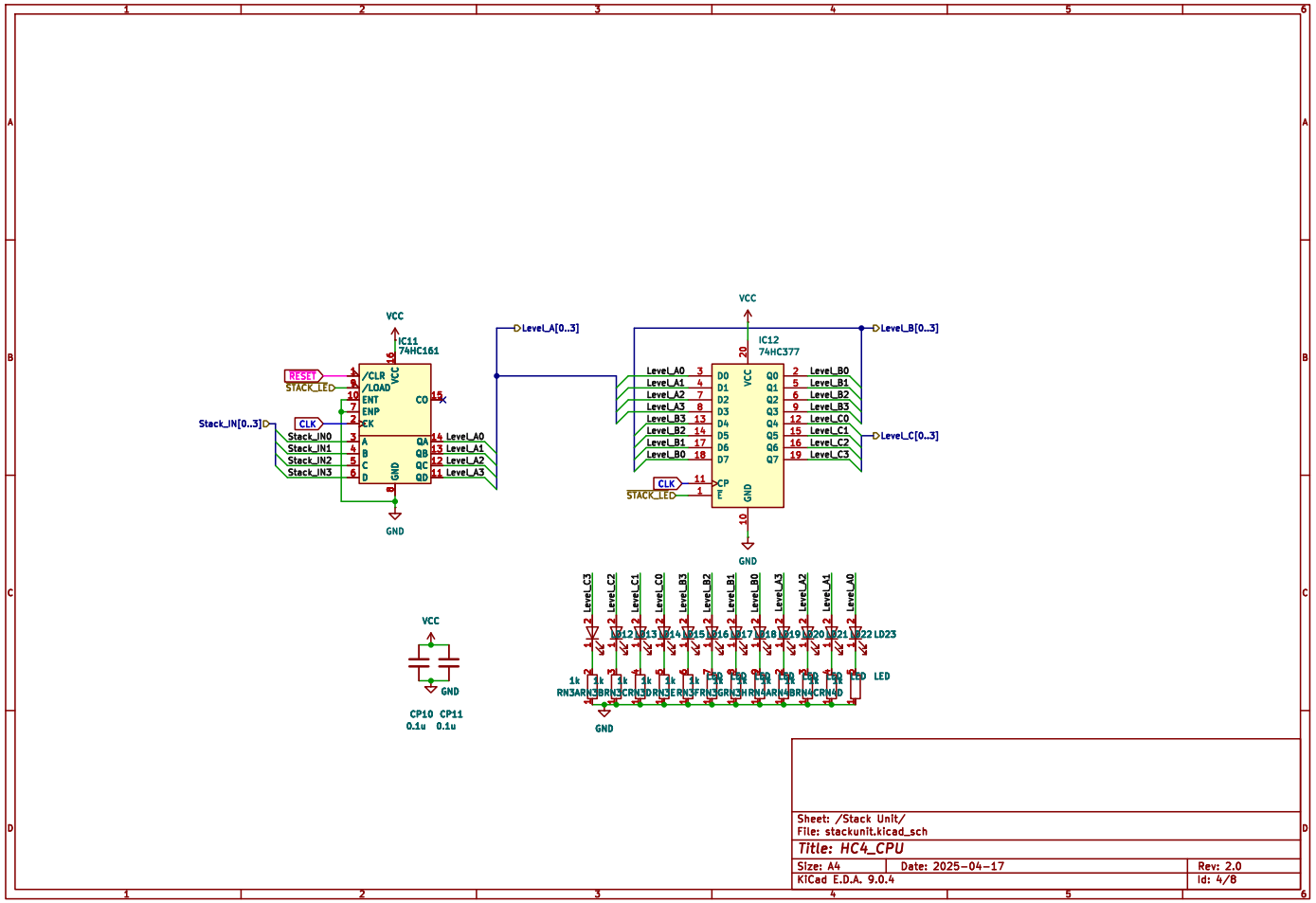
©2025 Shimizu Sena All Rights Reserved.

全回路図　データバス



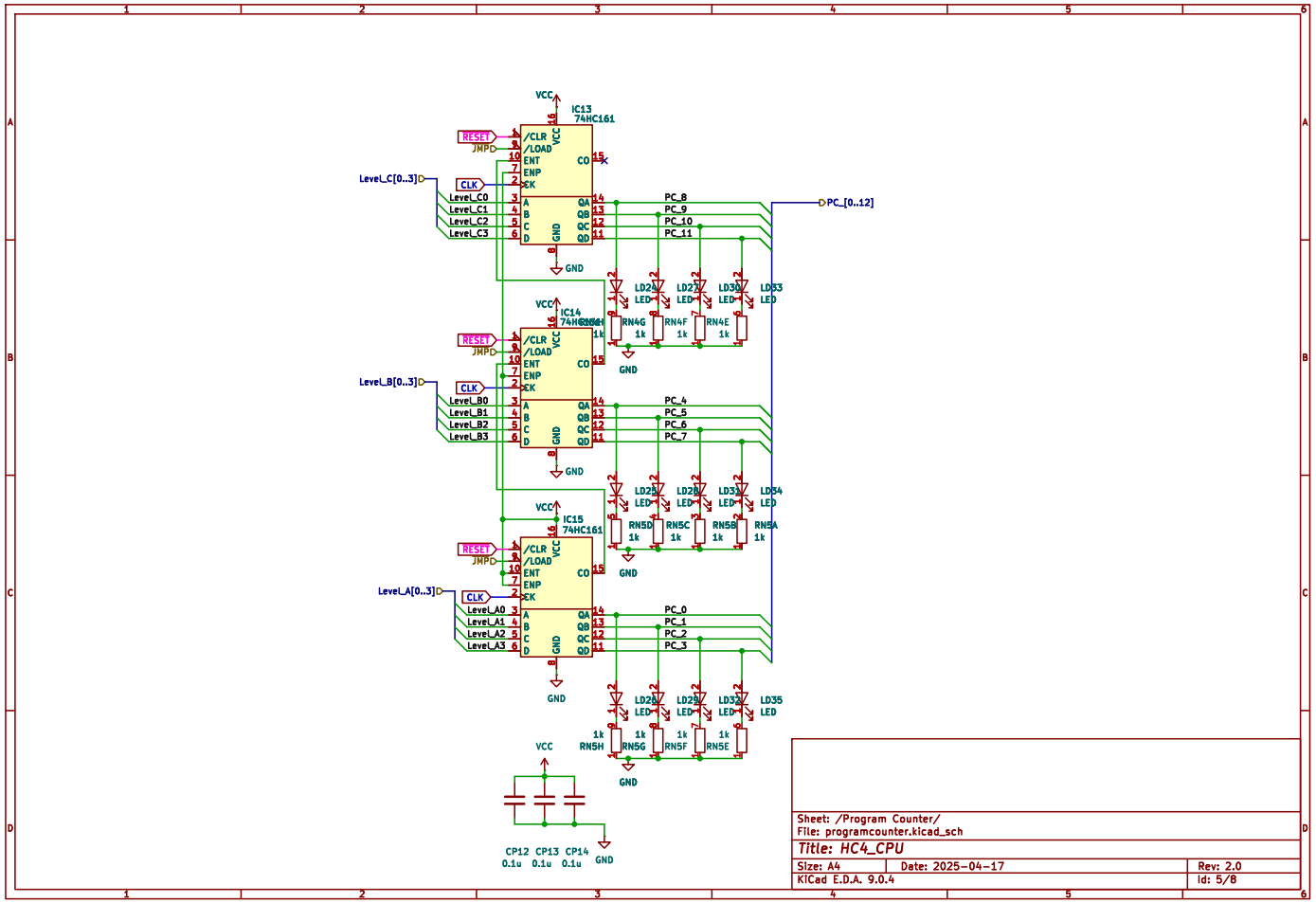
©2025 Shimizu Sena All Rights Reserved.

全回路図　演算スタック



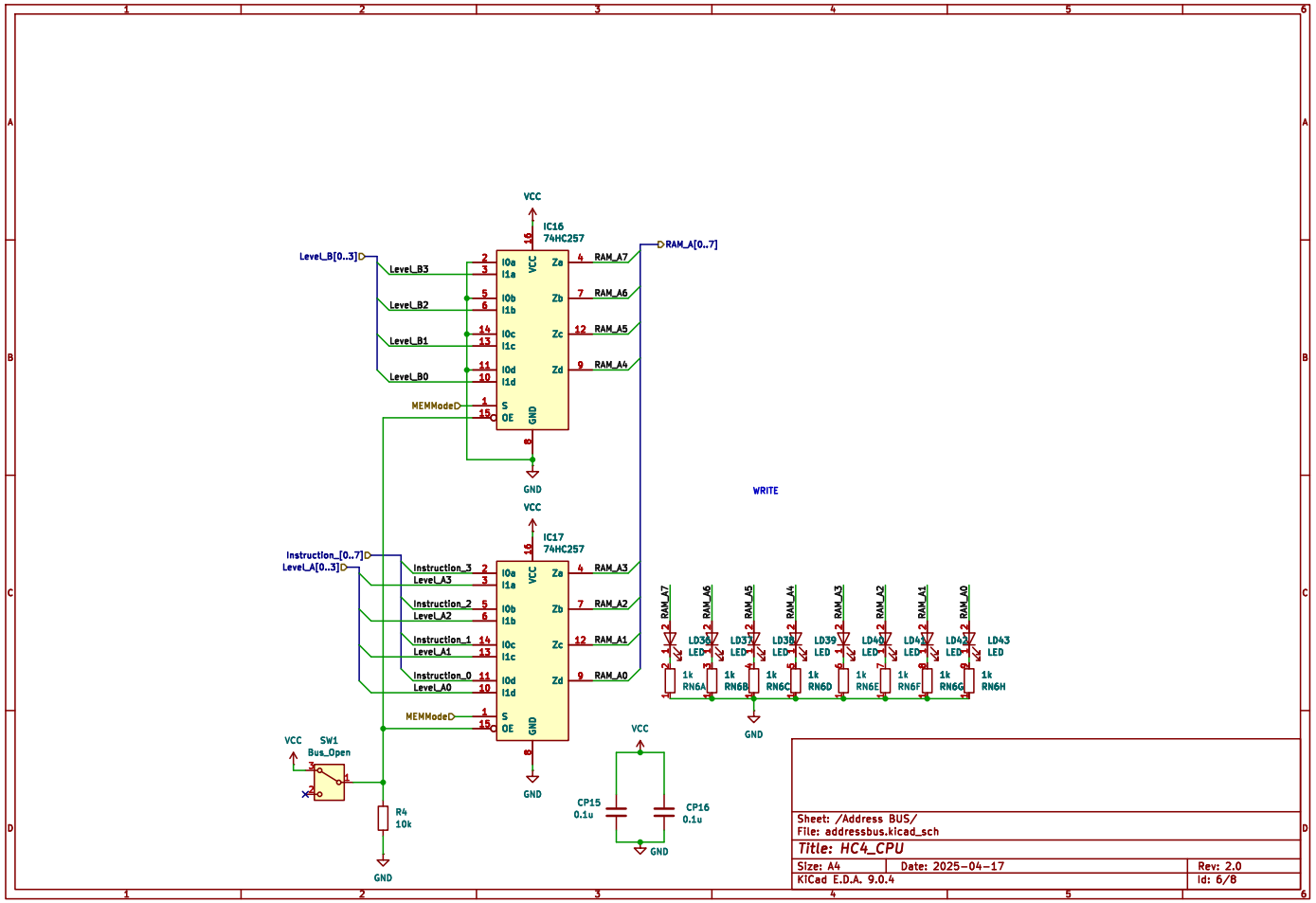
©2025 Shimizu Sena All Rights Reserved.

全回路図　プログラムカウンタ



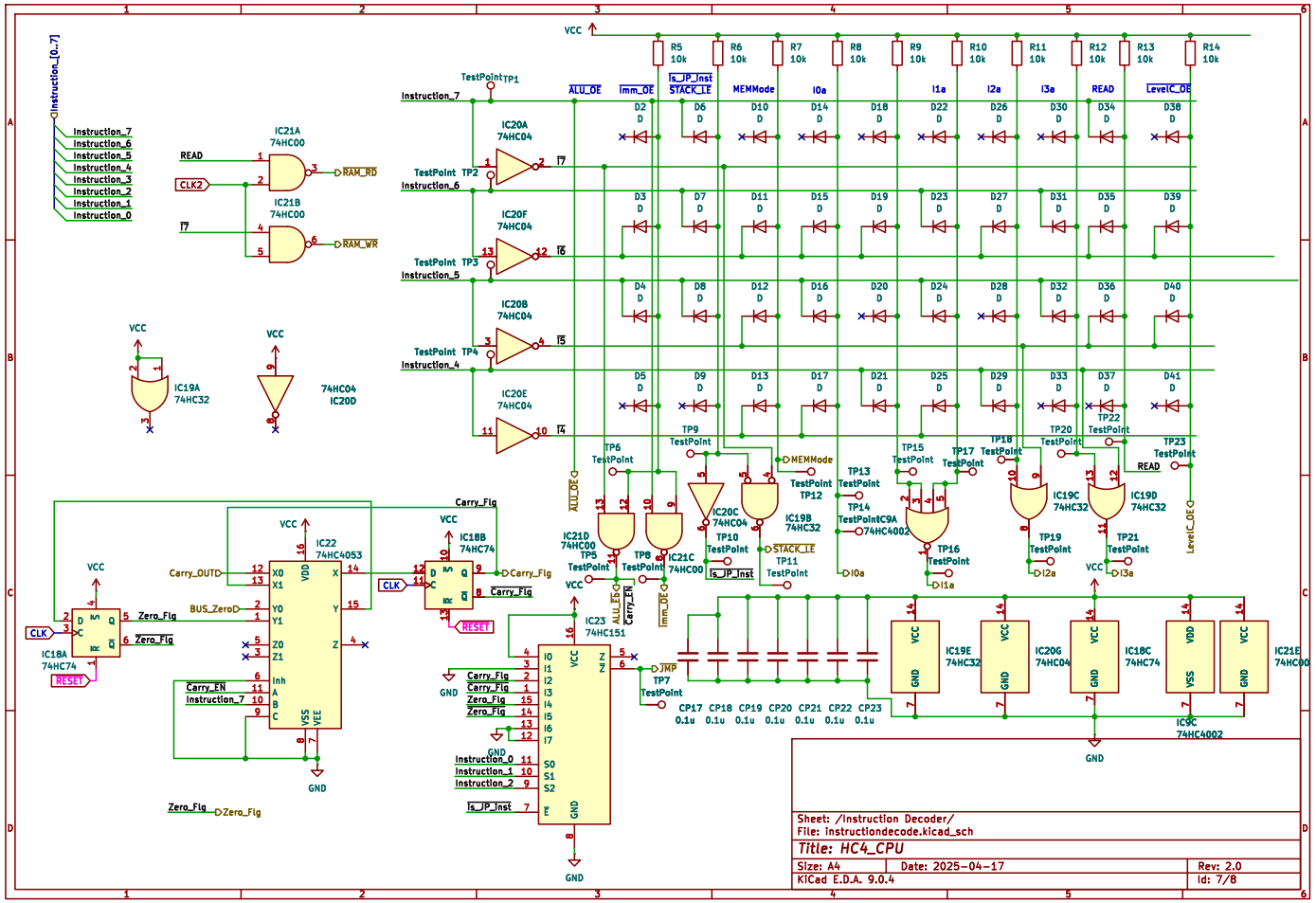
©2025 Shimizu Sena All Rights Reserved.

全回路図　アドレス生成



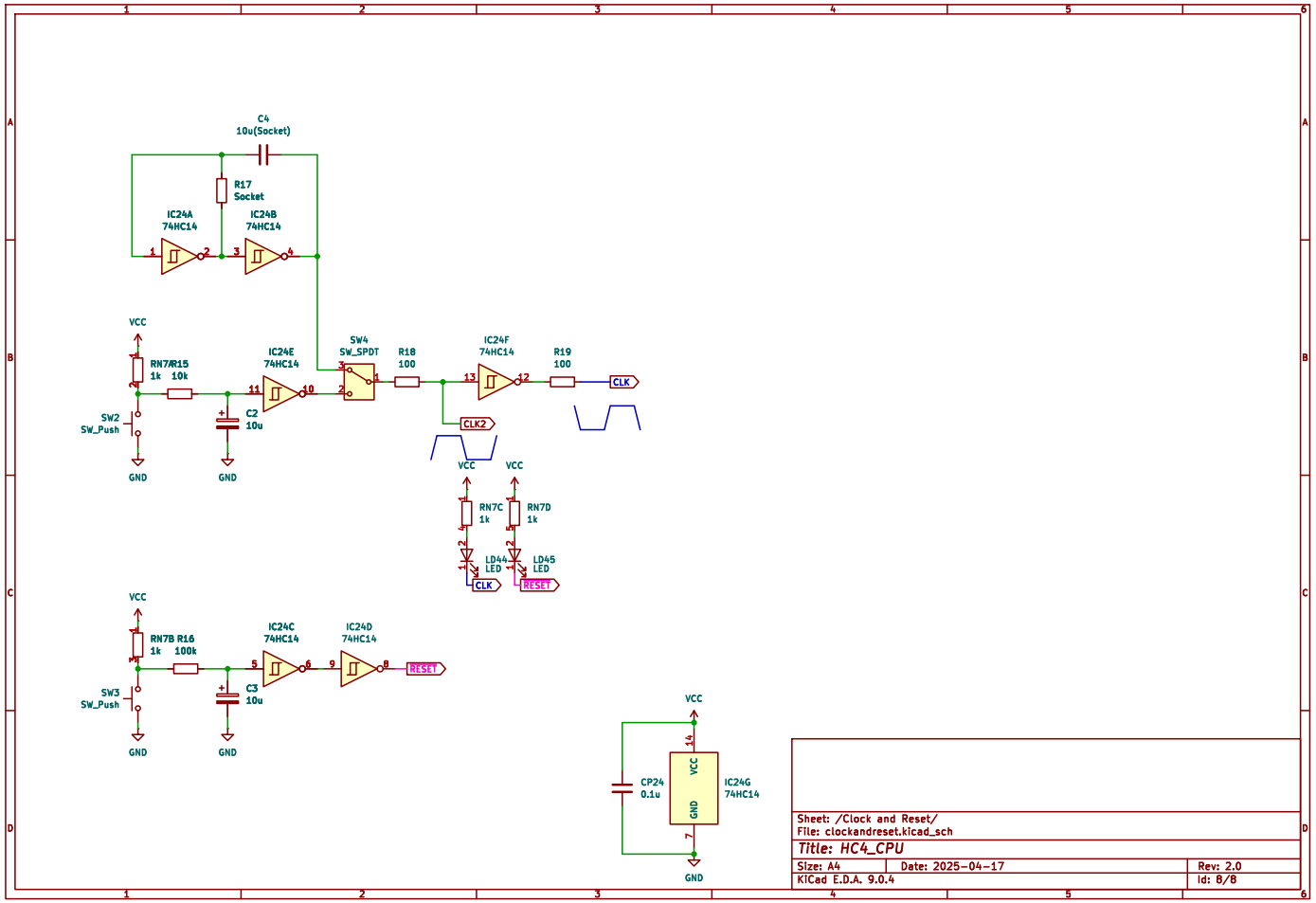
©2025 Shimizu Sena All Rights Reserved.

全回路図　命令デコーダ



©2025 Shimizu Sena All Rights Reserved.

全回路図　クロックジェネレータ



©2025 Shimizu Sena All Rights Reserved.

リンク

- HC4リポジトリ
  https://github.com/nasu8151/HC4

- HC4アセンブラ
  https://github.com/nasu8151/hcxasm

©2025 Shimizu Sena All Rights Reserved.