

第4回 自作CPUを語る会

自作4ビットCPU ZCU4

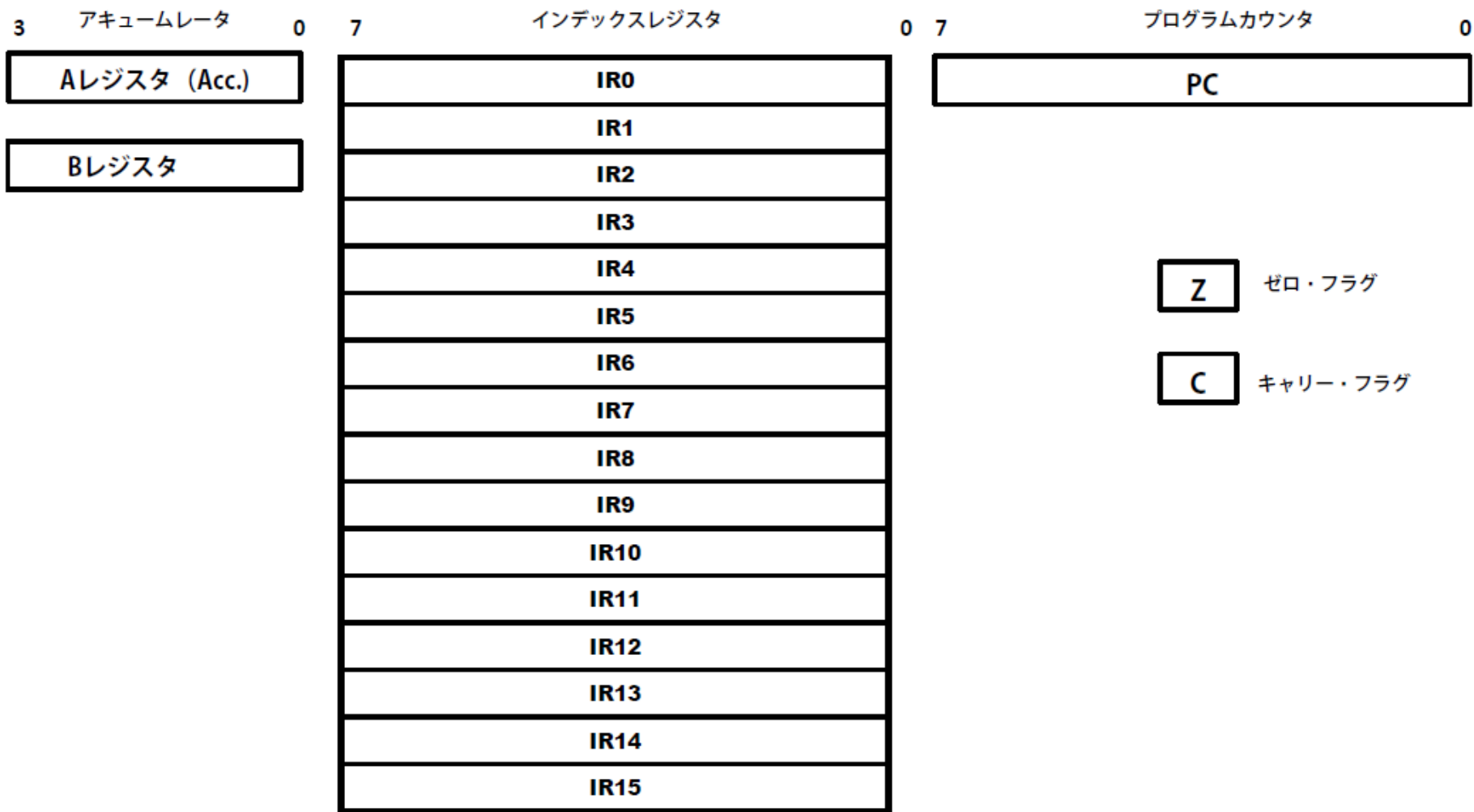
@yyhayami

ZCU4とは

- ▶ コンピュータサイエンスの学習におけるCPU構造の理解のしやすさを狙ったオリジナル・アーキテクチャの4ビットCPU
- ▶ CPU部を21個のロジックIC＋メモリICでコンパクトに組み立てたCPUボード
- ▶ CPUの内部バスの動作が分かりやすいように、バスのライン毎にLEDを接続すると共に内部レジスタのデータ値もLEDで表示



ZCU4 レジスタ構成



ZCU4 命令一覧

オリジナル4ビットCPU命令一覧

命令	コード	解説
NOP/HALT	00	何もしない/停止
STABX	1x	IXレジスタにBレジスタ,Aレジスタペアの内容を転送
LDA Im	2x	Aレジスタにイミディエイト(4ビット)を転送
LDB Im	3x	Bレジスタにイミディエイト(4ビット)を転送
OPA	4x	xが示す演算をAとBレジスタで実行して結果をAレジスタに転送
OPAM	5x	xが示す演算をAとBレジスタで実行して結果をAレジスタに転送
IN A	6x	Aレジスタに入力xポートを転送
OUT A	7x	Aレジスタを出力xポートへ転送
LDAX	8x	AレジスタにIRxレジスタが示すアドレスのメモリの内容を転送
LDBX	9x	BレジスタにIRxレジスタが示すアドレスのメモリの内容を転送
STAX	Ax	IRxレジスタが示すアドレスのメモリにAレジスタを転送
STBX	Bx	IRxレジスタが示すアドレスのメモリにBレジスタを転送
JNZ	Cx	ZゼロフラグがないとIRxレジスタが示すヘジャンプ
JNC	Dx	CキャリーフラグがないとIRxレジスタが示すヘジャンプ
JMP	Ex	xレジスタが示すヘジャンプ, x=FでCALLからのリターン
CALL	Fx	IRxレジスタが示すアドレスのサブルーチンを実行

OP演算の種類

	命令	コード	解説	
OP	SBC	0110	減算	6
	ADC	1001	加算	9
	DEC	1111	1デクリメント	F
OPM	NOT	10000	否定	8
	XOR	10110	排他論理和	16
	XNOR	11001	否定排他論理和	19
	MOV A,B	11010	Bレジスタを転送	1A
	AND	11011	論理積	1B
	OR	11110	論理和	1E

フラグ

Z	ゼロフラグ
C	キャリーフラグ



CPUの構造の三要素

▶ 動作タイミング

システム・クロックを中心として複数のクロックを生成して、それにより各部の動作の順番を決める。

▶ バスのコントロール制御

CPU内部には、外部に出ているアドレスバスやデータバスの元のバスの他に様々なバスがある。それらのバスは、乗っているデータの出力元が異なるため、それを制御するコントロール信号が的確に行われる必要がある。

▶ 命令デコード

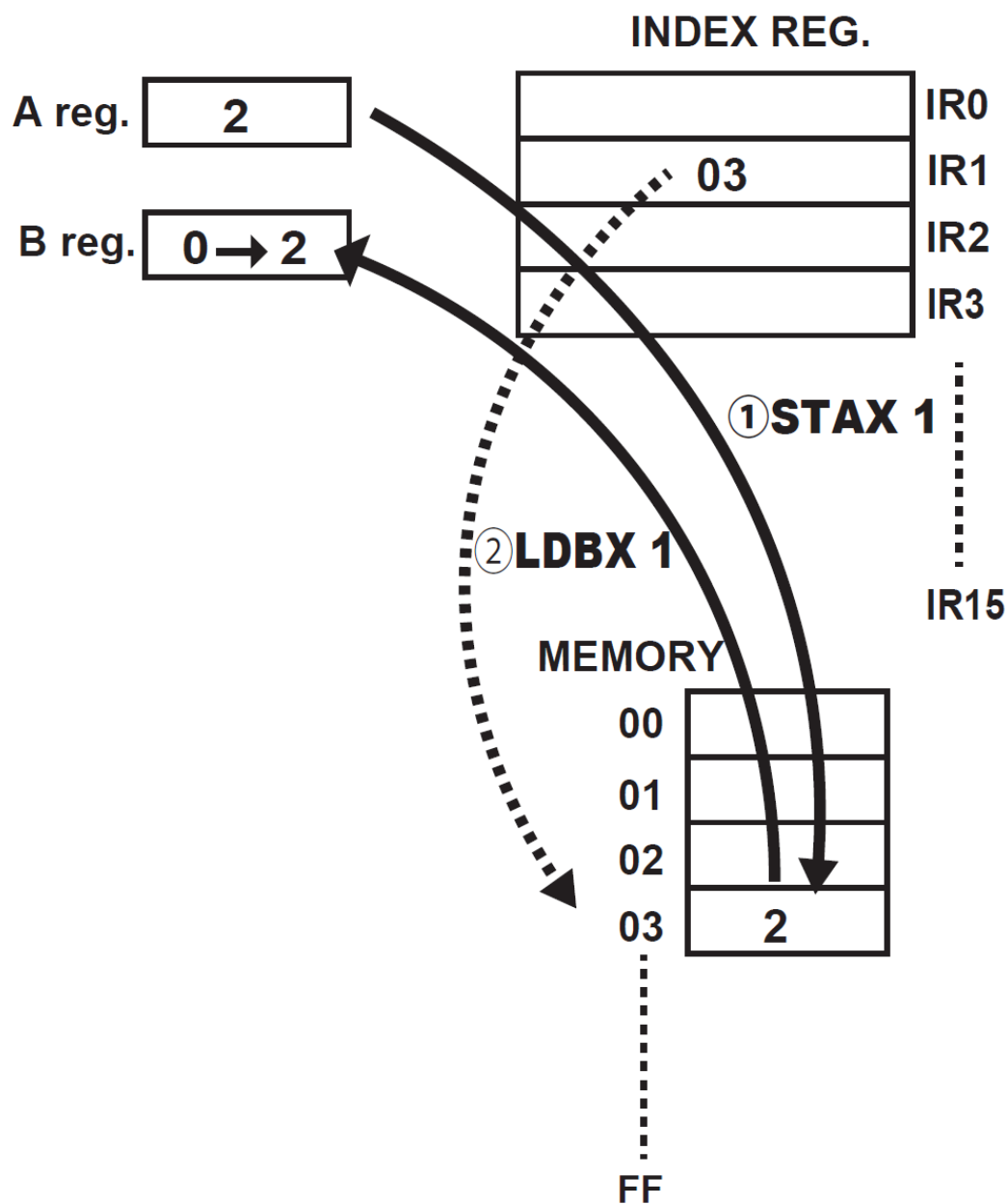
命令コードを解読して、各部にどのような動作を行うかを指示する。

- ▶ CPUの表面的な動きは、3命令デコードが中心のように思いがちだが、1動作タイミングと2バスのコントロール制御が重要である。



テストコード

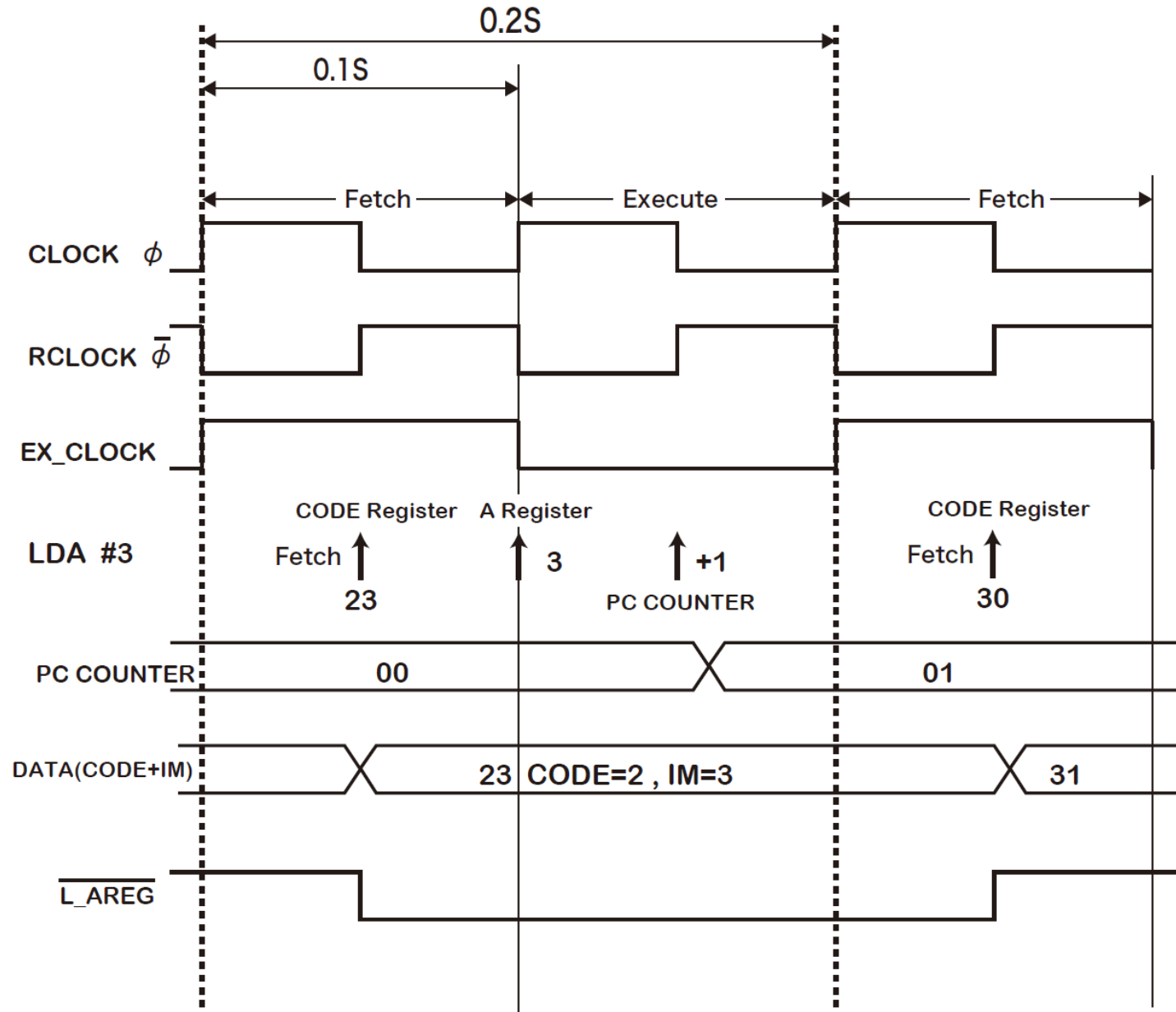
00	22	START:LDA	#3
01	30	LDB	#0
02	11	STABX	1
03	23	LDA	#2
04	A1	STAX	1 ①
05	91	LDBX	1 ②
06	E1	JMP	1



・ A レジスタに 3 をロード

ZCU4 (10Hz)

LDA #3

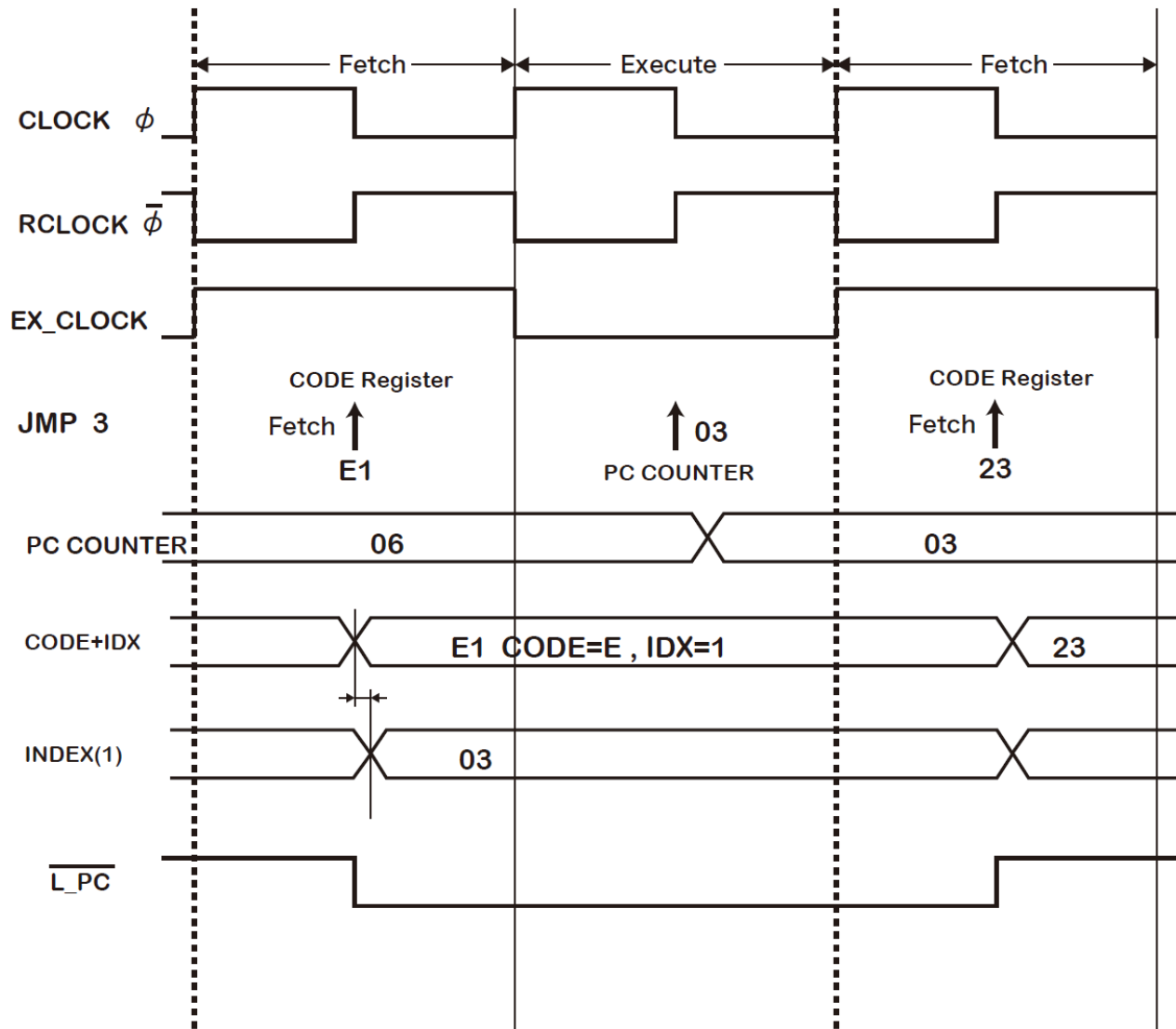


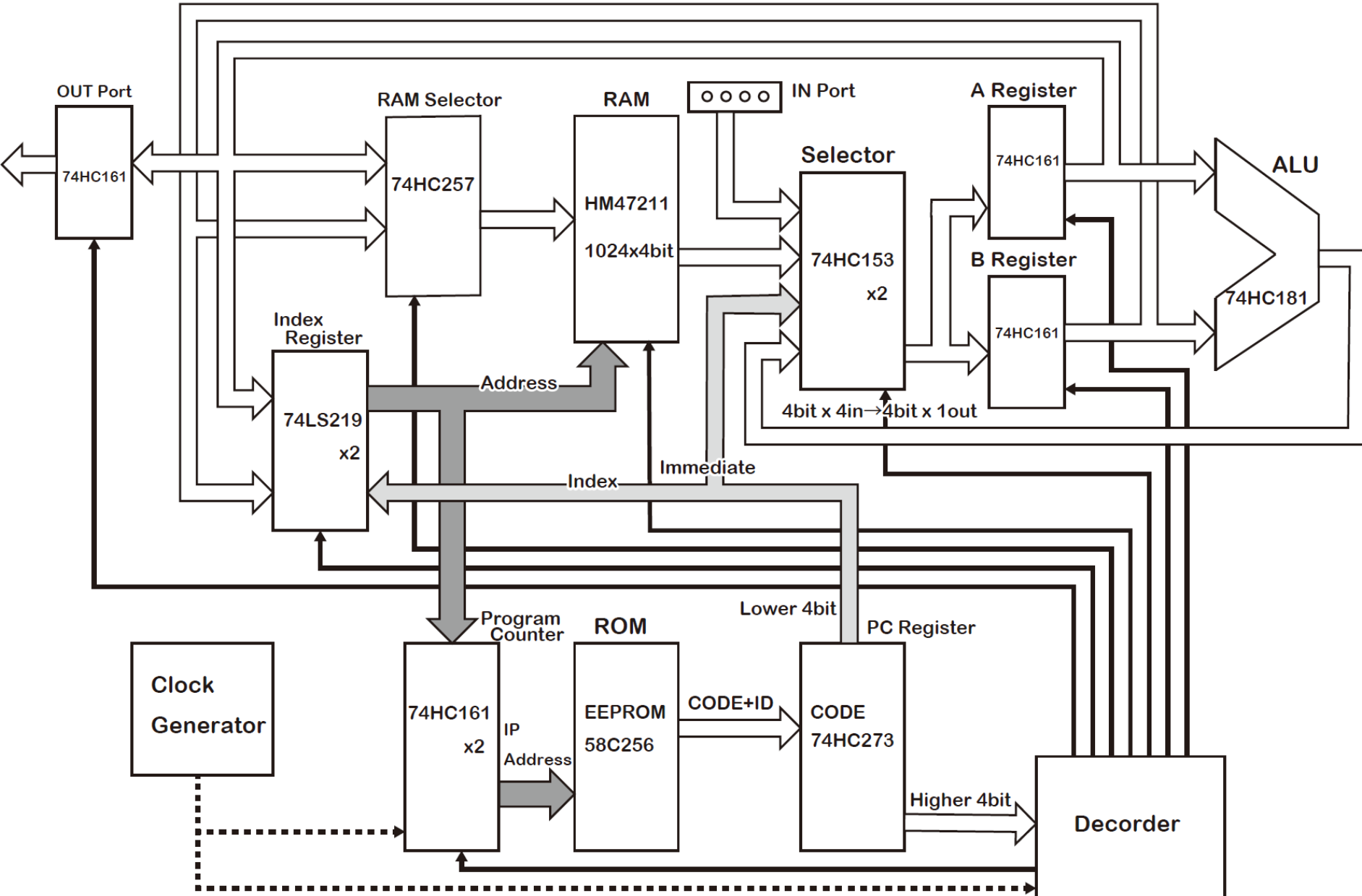
- ・インデックス 1 に格納されている

ZCU4 (10Hz)

メモリアドレス 03 ヘジャンプ

JMP 3





ZCU4 ver.1.20

入力スイッチ

動作中

Aレジスタ Bレジスタ

周波数10Hz

プログラムカウンタ

出力データ

コードデータ

ROM

ZCU4 v.1.20

00	20	START:	LDA	#0
01	30		LDB	#0
02	10		STABX	0
03	21		LDA	#1
04	11		STABX	1
05	2C		LDA	#C
06	12		STABX	2
07	2D		LDA	#D
08	13		STABX	3
09	31		LDB	#1
0A	25		LDA	#5
0B	14		STABX	4



0C	20	LOOP1:	LDA	#0	
0D	A0	LOOP2:	STAX	0	
0E	70		OUTA		
0F	60		INA		
10	A1		STAX	1	
11	91		LDBX	1	
12	80		LDAX	0	
13	49		ADC		// OPA (ADC)
14	D3		JNC	LOOP2	



15	A0	L00P3:	STAX	0	
16	70		OUTA		
17	60		INA		
18	A1		STAX	1	
19	91		LDBX	1	
1A	80		LDAX	0	
1B	46		SBC		// OPA (SBC)
1C	C4		JNZ	L00P3	
1D	25		LDA	#5	
1E	70		OUTA		
1F	E2		JMP	L00P1	
20	00		HALT		



将来の改良

- ▶ プログラムコード書き換え ROM装置作成
- ▶ PC+2をインデックスレジスタへ格納する命令の追加
- ▶ 稀少ロジックIC問題解決のための GAL化(PIC化?)

