



7-9 ROM را به گونه ای برنامه ریزی می کنیم که هر آدرسی را با توجه به ورودی از دستور فراهم کند. در خانه ای از حافظه که شماره آن برابر با کد دستور است آدرس ریز دستور را می گذاریم

7-13

INDR2 { I = 0 : DRTAR  $\vee$  JMP next  
I = 1 : READ  $\vee$  RET ---

(A) 7-15

60: CLRAC, COM  $\vee$  JMP INDRCT  $\rightarrow$  67  
61: WRITE, READ I CALL FETCH  $\rightarrow$  64  
62: ADD, SUB 5 RET NEXT  
63: DRTAC, INCDR  $\geq$  MAP 60

(B)

INC و COM برای AC به صورت همزمان که غیر ممکن است.  
نوشتن و خواندن از حافظه که امکان پذیر نیست  
ADD و SUB همزمان ممکن نیست  
عمل MAP بدون توجه به  $\geq$  انجام می شود

ADM:

7-16

Nop	I	CALL	INDRct
READ	U	JMP	NEXT
ADD	U	JMP	NEXT
ACTDR	U	JMP	NEXT
WRITE	U	JMP	FETCH

BP NZ:

Nop	S	JMP	FETCH
Nop	Z	JMP	FETCH
Nop	I	CALL	INDRct
ARTpc	U	JMP	FETCH

ISZ:

7-17

Nop	I	CALL	INDRct
READ	U	JMP	NEXT
INCDR	U	JMP	NEXT
DRTAC, ACTDR	U	JMP	NEXT
DRTAC, ACTDR	≥	JMP	Zero
WRITE	U	JMP	FETCH

Zero: WRITE, INCpc U JMP FETCH

8-2 حداقل سیکل زمانی برای یک پالس برابر با:

$$10 + 20 + 10 = 40 \text{ ns}$$

8-7

AB x CD x EF x ++ (A)

AB x ABD x CE x ++ (B)

FG + E x CD x B x A + (C)

ABCDE + x + x FGH + x / (D)

$2^4 \times 2^3 \times 2^4 \times 2^{11} \rightarrow$

opcode	4 bit	} 22 bit
Mode	3 bit	
Reg	4 bit	
Address	11 bit	

8-13

opcode	Mode	Reg	Address
4	3	4	11

$$11 + 4 + 3 + 4 = 22$$



