



زبان های توصیف سخت افزار و مدارها

دانشگاه صنعتی اصفهان

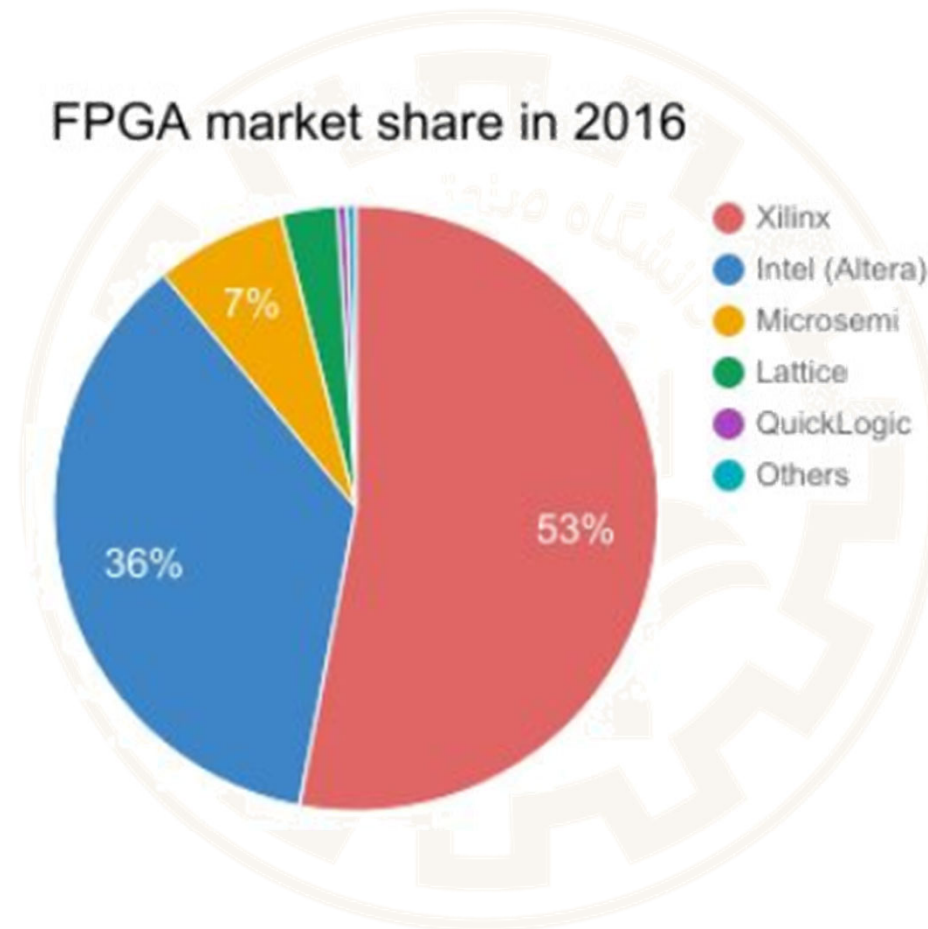
دانشکده مهندسی برق و کامپیوتر

امیر خورسندی

زمستان ۱۴۰۱

تراشه های FPGA محصول Xilinx

سهم بازار در حوزه FPGA



خانواده تراشه های Xilinx



- Spartan: ارزان قیمت و در دسترس
Spartan2, Spartan3, Spartan6



- Virtex: کارایی بالا
Virtex2, Virtex4, Virtex6

نسل جدید از سال ۲۰۱۰

- تکنولوژی ساخت ۲۸ نانومتر
- افزایش حجم به دو برابر
- کاهش توان به نصف



- Spartan7
- Virtex7
- Kintex7
- Artix7

تراشه های UltraScale

• تکنولوژی ساخت ۲۰ نانومتر (UltraScale) و ۱۶ نانومتر (UltraScale⁺)

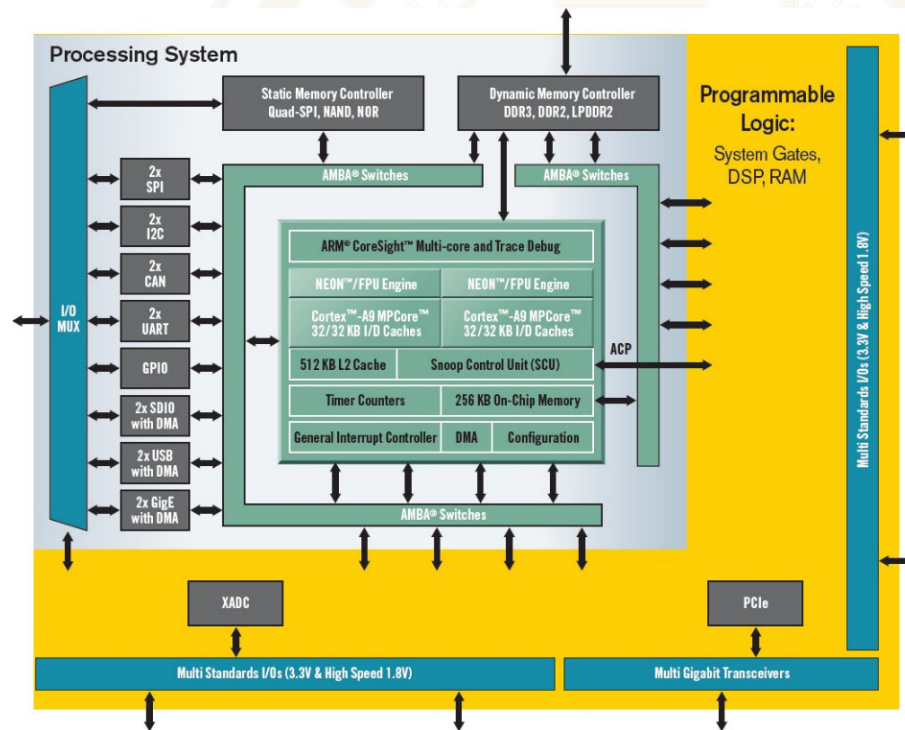
• Virtex

• Kintex



تراشه های Zynq

- یک SoC حاصل از ترکیب FPGA و ریزپردازنده ARM
- مناسب برای سیستمهای تعبیه شده



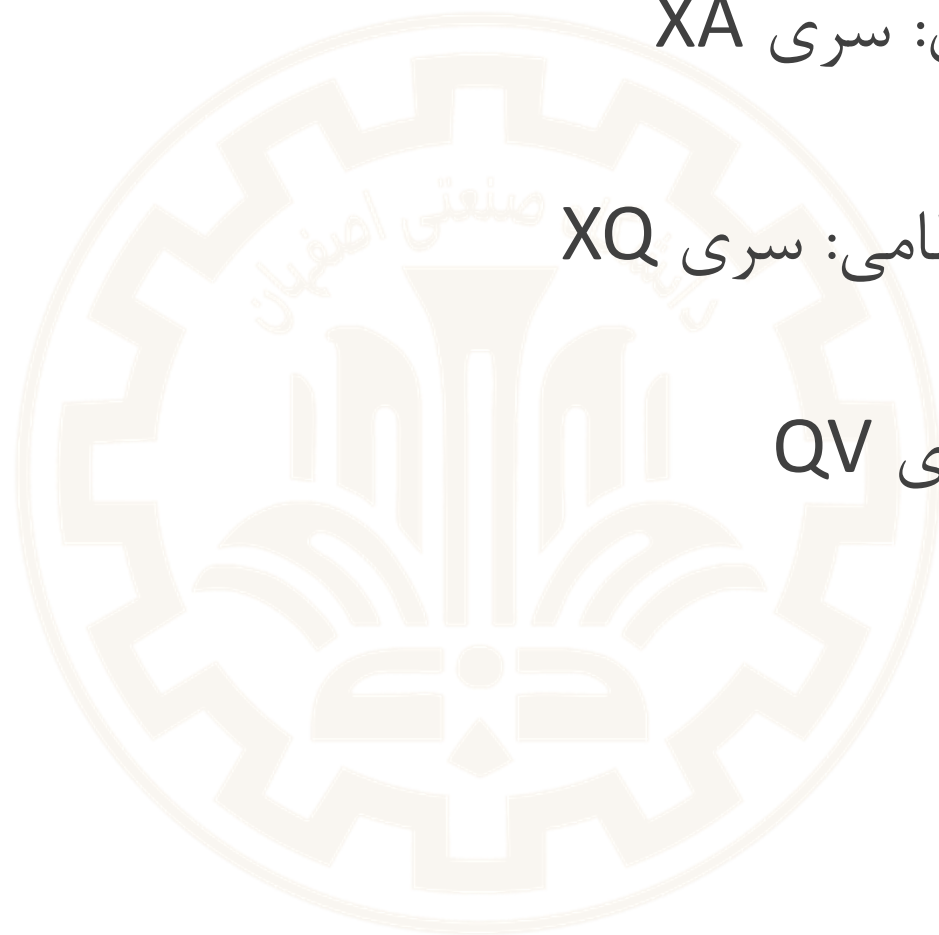
• Zynq7000

رده های خاص

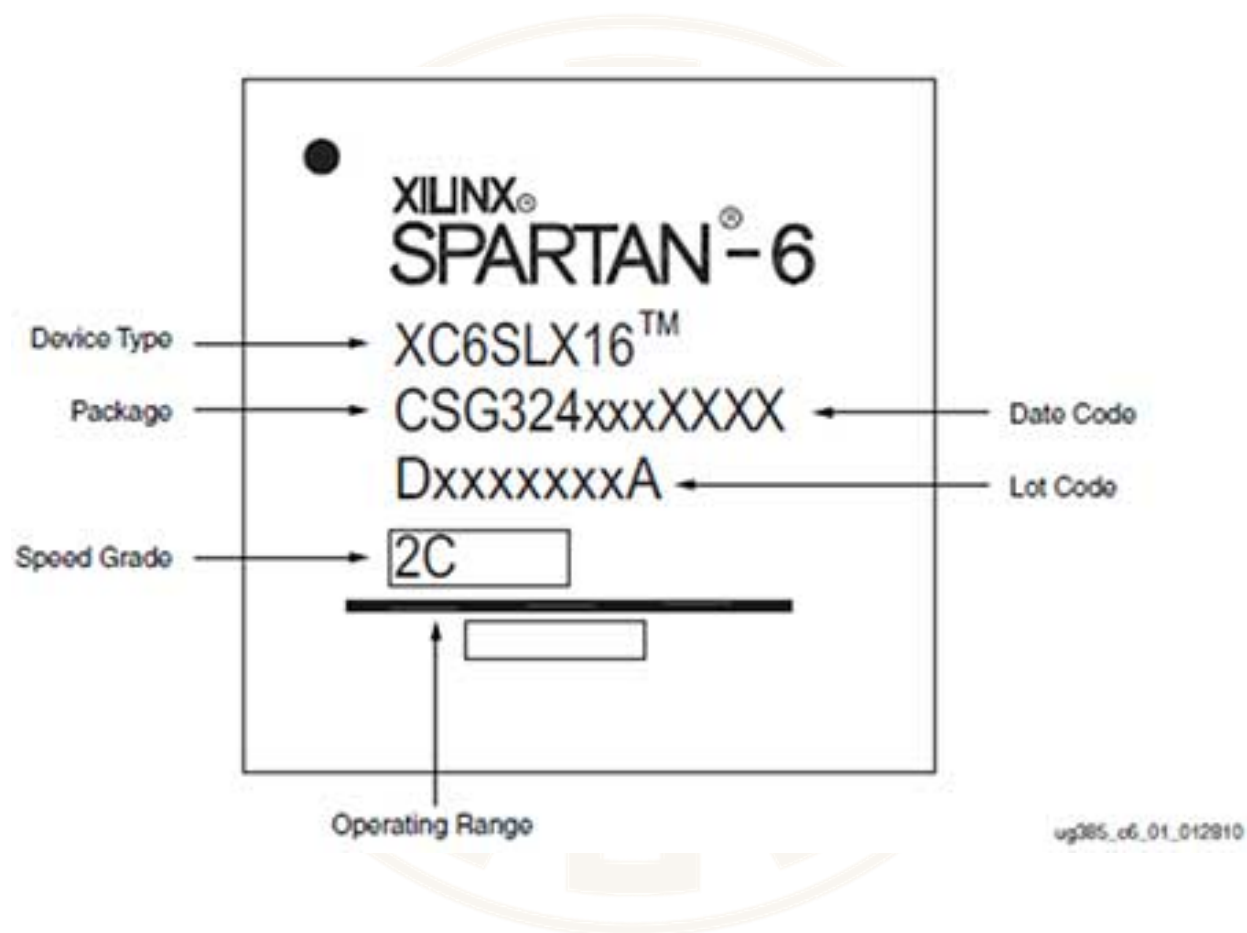
- صنایع خودروسازی: سری XA

- صنایع دفاعی – نظامی: سری XQ

- صنعت فضایی: سری QV



کدگذاری تراشه ها

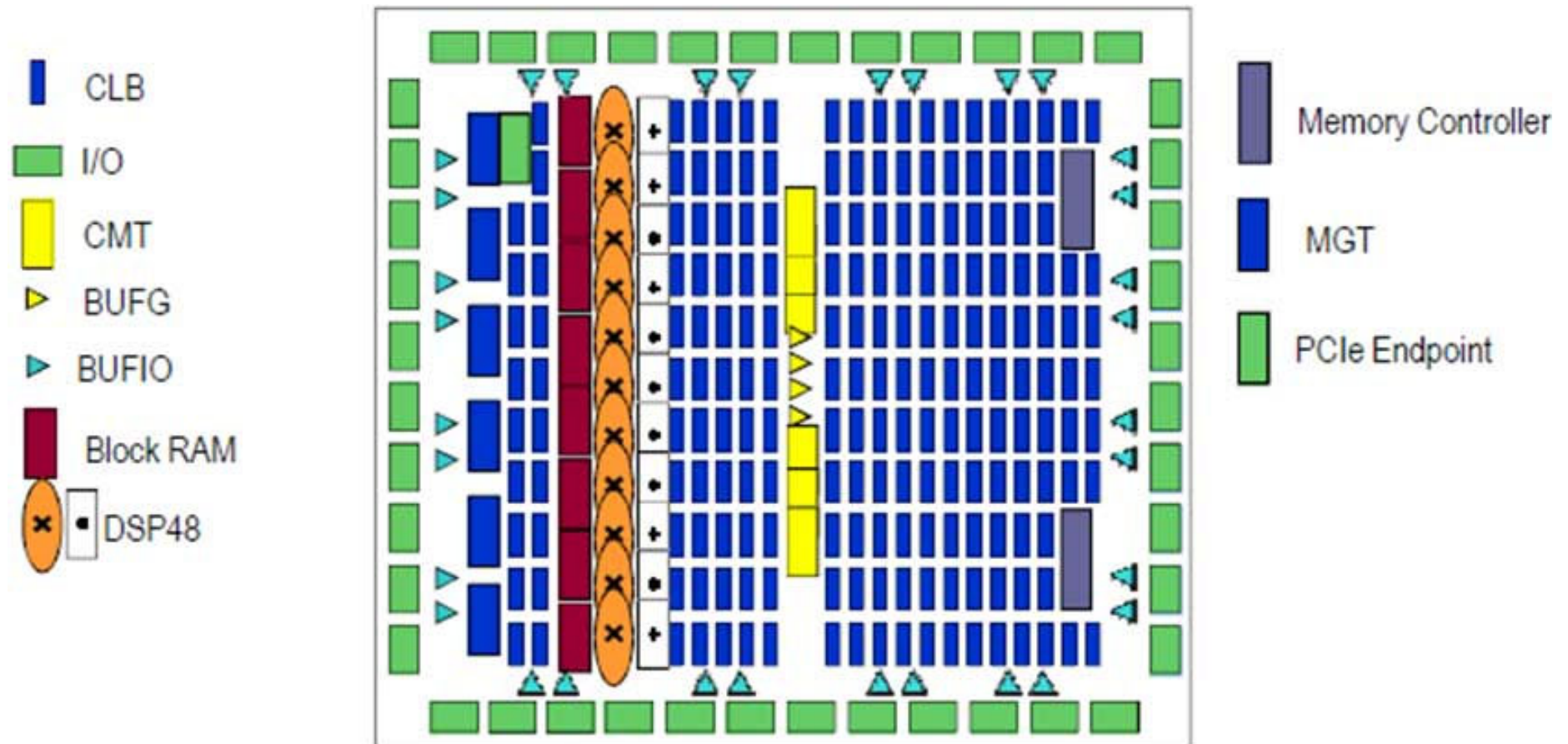


پورد Posedge

- پورد آموزشی
- تراشه Spartan6-LX9



معماری Spartan6



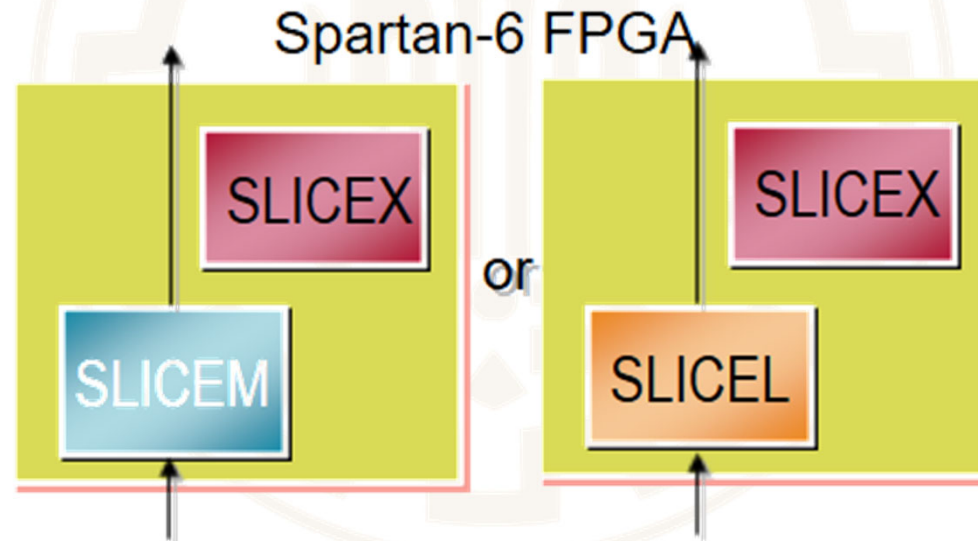
ساختار CLB

- از دو بخش مجزا تشکیل شده است.
- برای ارتباط با بلوک های دیگر به سویچ مرتبط است.
- بیت نقلی در بخش اول به صورت مجزا از بلوک پایینی به بلوک بالایی منتقل می شود.



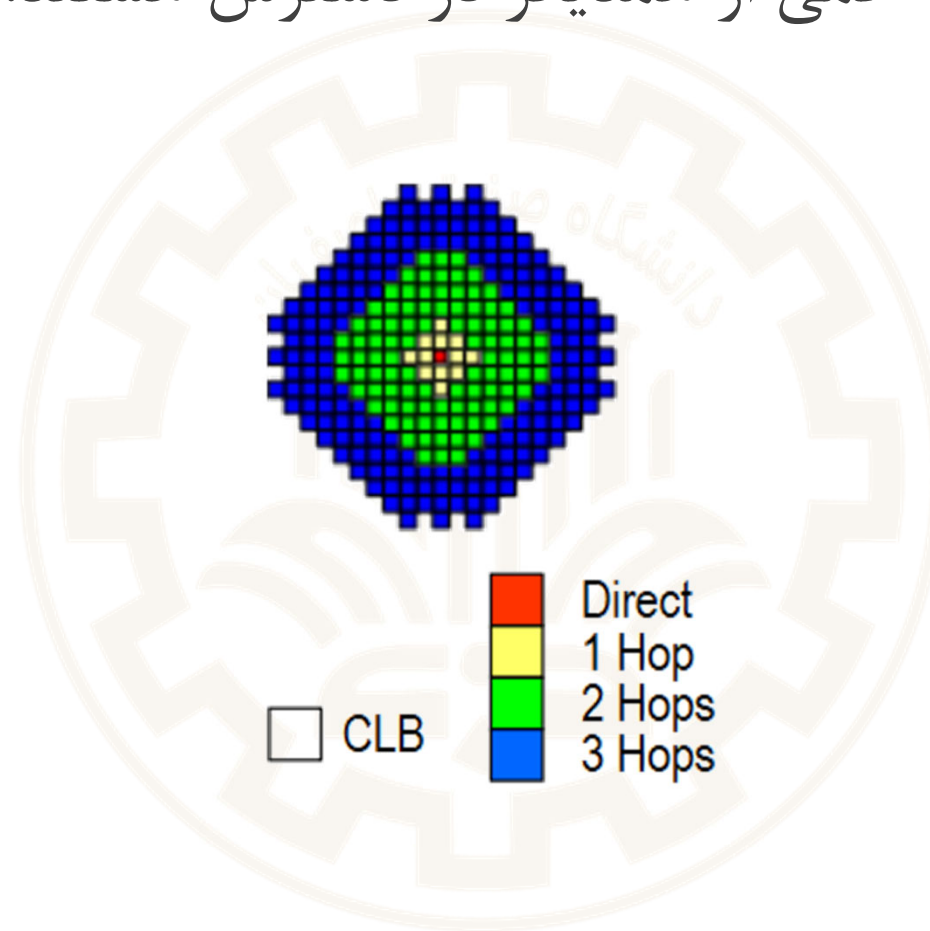
انواع CLB

- SLICEM: بخش کامل برای پیاده سازی مدار ترکیبی، حافظه رم و یا شیفتر رجیستر
- SLICEL: برای پیاده سازی مدار ترکیبی به همراه زنجیره نقلی
- SLICEX: برای پیاده سازی فقط مدار ترکیبی



ساختار ارتباطی

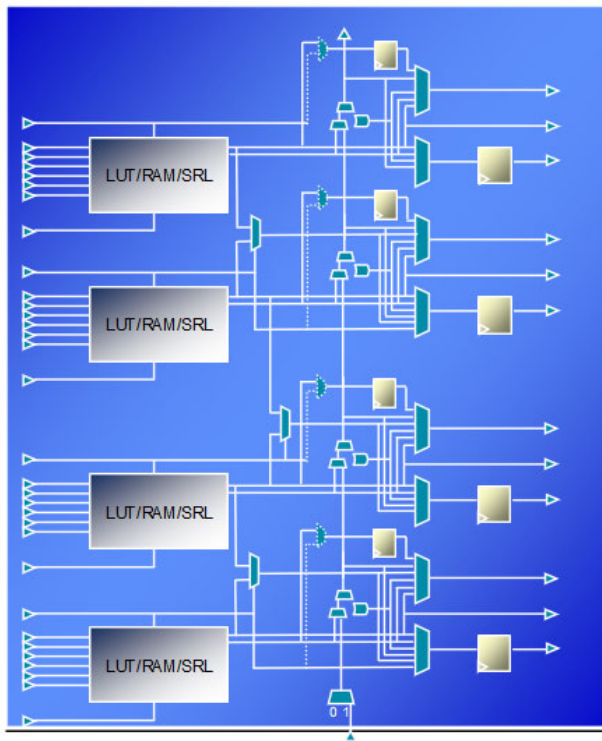
- بلوک ها با فاصله کمی از همدیگر در دسترس هستند.



ساختار هر بخش CLB

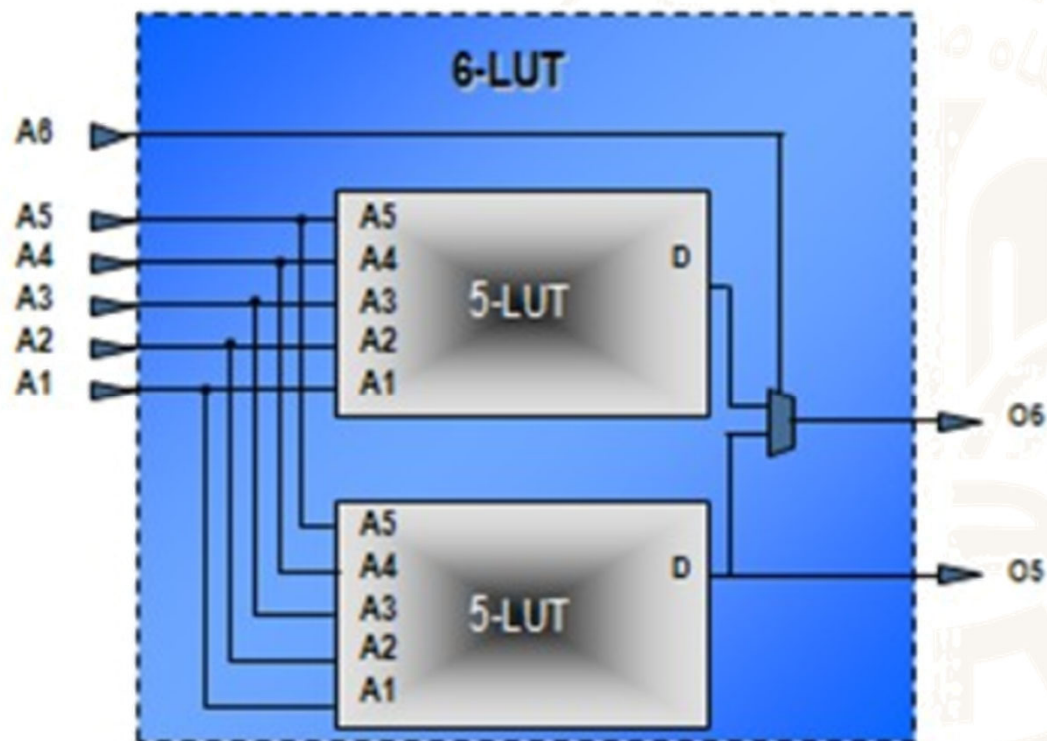
- چهار عدد LUT با شش ورودی
- چهار عدد FF/Latch
- چهار عدد FF اضافه
- زنجیره بیت نقلی
- مالتی پلکسهای عریض

- ابزارهای سنتز و پیاده سازی نحوه نگاشت طرح بر روی ساختار را بر عهده دارد.



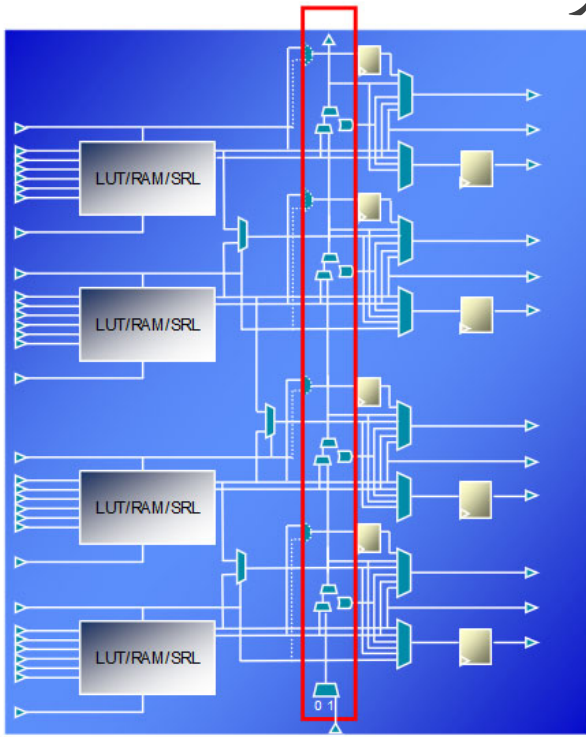
LUT

- هر تابع حاصل از ۶ ورودی
- دو تابع مجزای ۵ ورودی



زنجیره بیت نقلی

- مناسب برای انجام جمع و تفریق سریع
- انتشار بیت نقلی در هر بخش
- انتقال بیت نقلی در یک ستون به بخش های دیگر
- مدار پیش بینی بیت نقلی در هر بخش



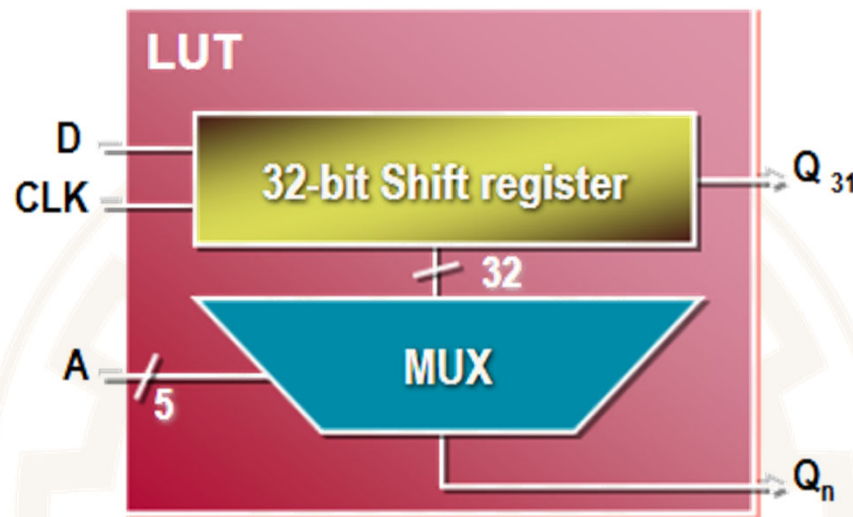
حافظه RAM

- استفاده از حافظه مشترک با LUT
- پیکربندی های مختلف:
- تک پورت: 64×1 یا 32×2
- دو پورت: ۱ پورت خواندنی/۱ پورت خواندنی-نوشتنی
- دو پورت ساده: ۱ پورت خواندنی/۱ پورت نوشتنی
- چهارپورت: ۳ پورت خواندنی/۱ پورت خواندنی-نوشتنی

حافظه RAM (ادامه)

Single Port	Dual Port	Simple Dual Port	Quad Port
32x2	32x2D	32x6SDP	32x2Q
32x4	32x4D	64x3SDP	64x1Q
32x6	64x1D		
32x8	64x2D		
64x1	128x1D		
64x2			
64x3			
64x4			
128x1			
128x2			
256x1			

شیفت رجیستر



SRL Configurations in one Slice (4 LUTs)
16x1, 16x2, 16x4, 16x6, 16x8
32x1, 32x2, 32x3, 32x4
64x1, 64x2
96x1
128x1

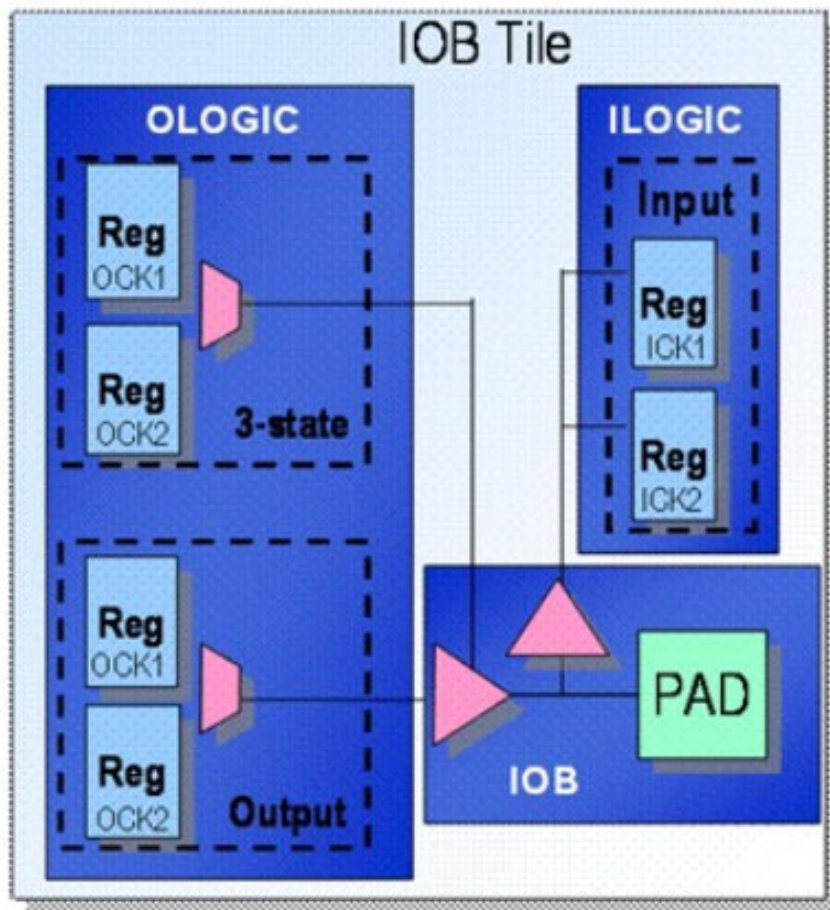
ورودی/خروجی

- برای برقراری ارتباط تراشه با محیط پیرامون استفاده می شوند.
- در قالب واحدهایی به نام IO Bank دسته بندی شده اند:
- بر روی هر تراشه بر اساس نوع تراشه بین ۴ تا ۶ بانک قرار دارد.
- درون هر بانک بین ۳۰ تا ۸۳ پایه ورودی/خروجی تعبیه شده است.
- هر پایه بیش از ۴۰ استاندارد متفاوت را پوشش می دهد.
- استفاده از پایه های درون هر بانک به منظور ارتباط ورودی/خروجی تابع قوانین خاصی می باشد.

ساختار ورودی/خروجی

- پالس ساعت مجزا برای مسیرهای ورودی و خروجی

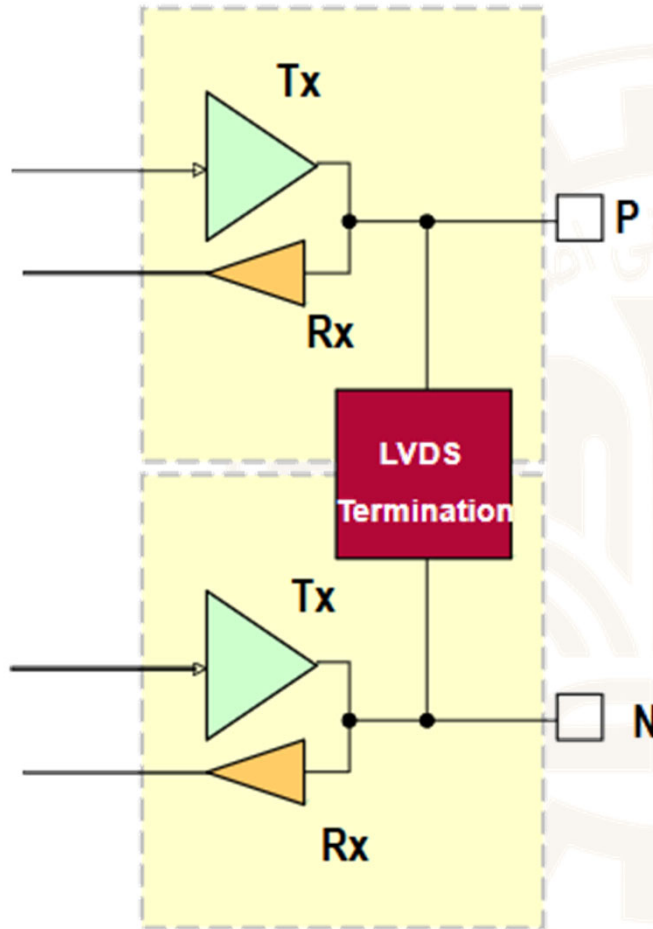
- Set و Reset مشترک



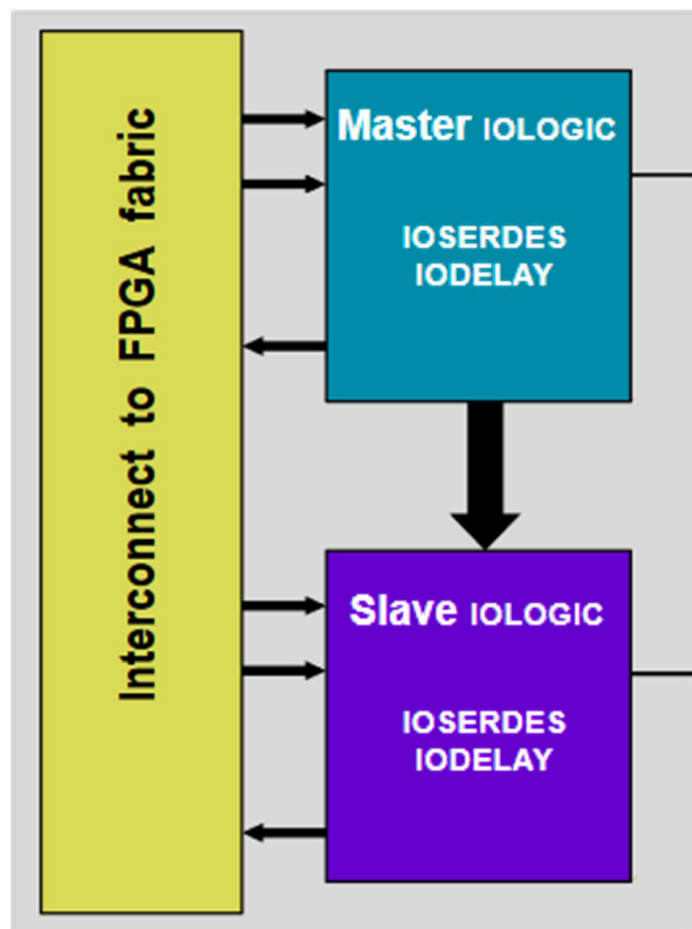
انواع ورودی / خروجی

Single Ended •

Differential Pair •



ارتباط ورودی / خروجی با درون FPGA



- بلوک های Master و Slave می توانند به صورت مجزا و یا در تعامل با هم کار کنند.

- SERDES وظیفه تبدیل داده سریال به داده موازی و یا بالعکس را بر عهده دارد.

- واحد IODELAY جهت ایجاد تاخیر کنترل شده و رعایت زمان بندی استفاده می شود.