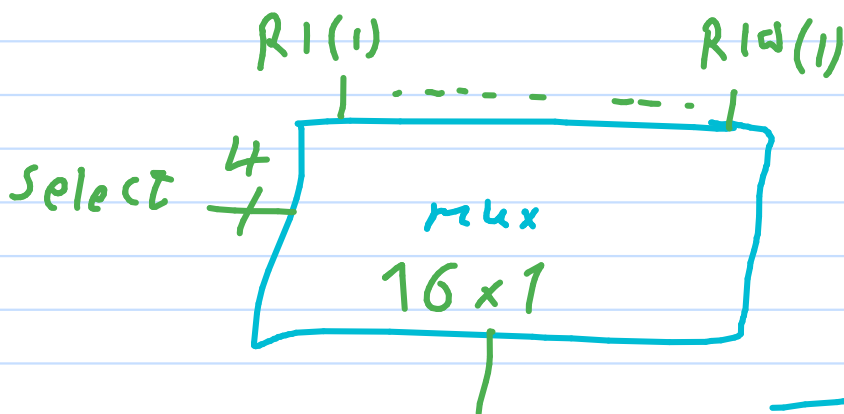


$p: R_1 \leftarrow R_2$
 $p \cdot q: R_1 \leftarrow R_p$

۳-۴

۴-۶: دارای ۱۶ ثبات R_1 تا R_{16} که هر کدام

۳۲ بیت دارند \Leftarrow mux ما به این شکل خواهد بود



(A) ورودی انتخابی

(B) 16×1 اندازه هر mux است.

(C) چون ۳۲ بیت دارند پس به ۳۲ عدد

mux نیاز داریم

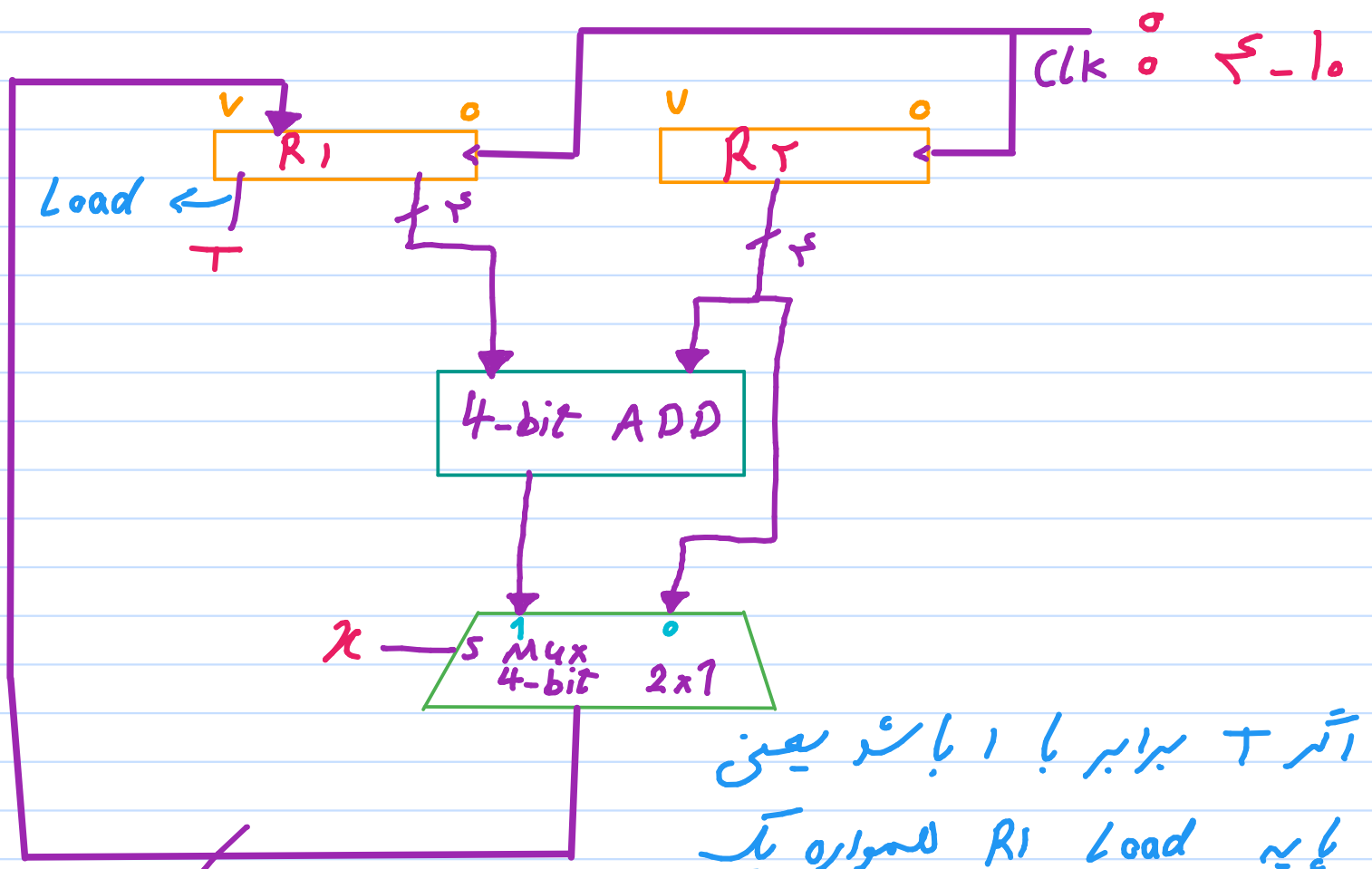
۴-۷

A) خواندن از حافظه $\rightarrow R_2 \leftarrow M[AR]$

از درون حافظه مقداری که در خانه با آدرس AR قرار دارد
 کپی می شود و درون R_2 نوشته می شود

B) $M[AR] \leftarrow R_3 \rightarrow$ نوشتن درون حافظه
 یک کپی از R_3 درون خانی حافظه با آدرس
 AR ریخته می‌شود

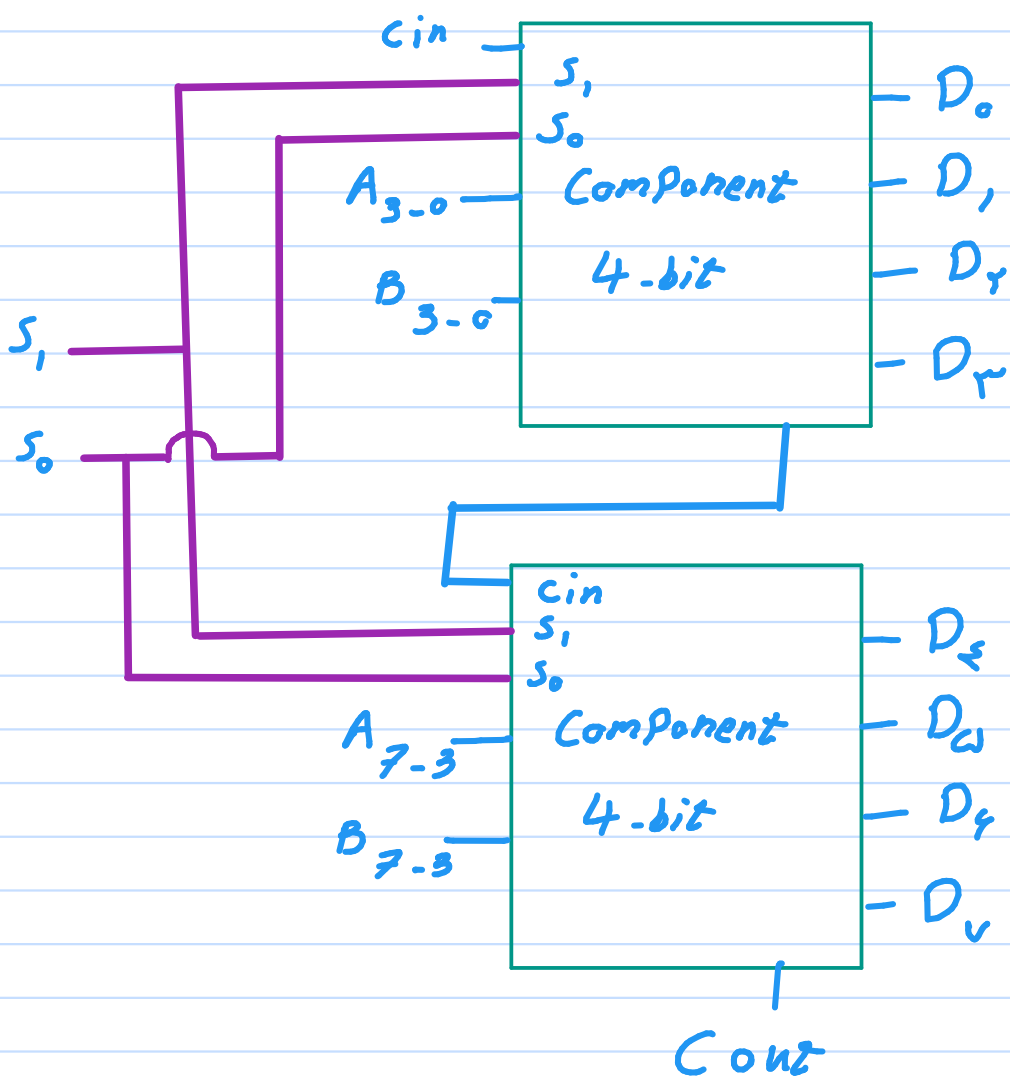
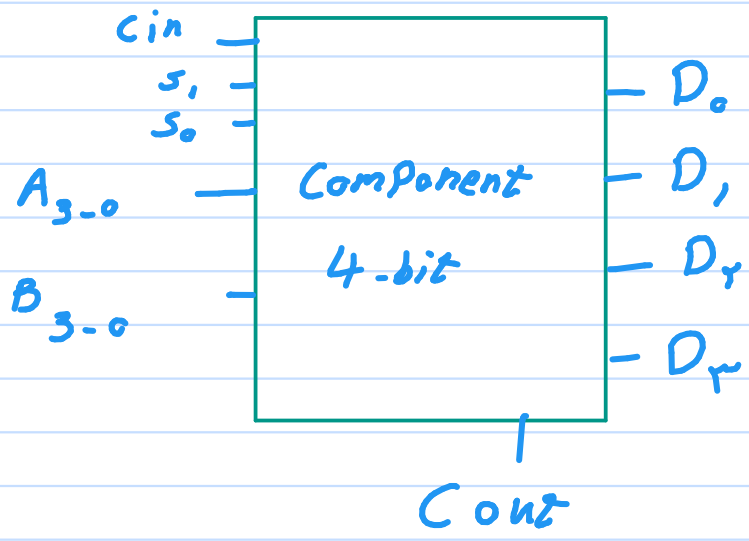
C) $R_4 \leftarrow M[R_4] \rightarrow$ خواندن از حافظه
 مقدار درون خانی حافظه با آدرس R_4 درون
 ثبات R_4 کپی می‌شود



آثر x برابر با 1 باشد یعنی
 پایه Load R_1 همواره یک

می‌باشد. آثر $x=1$ ، حاصل جمع R_1 و R_2 درون R_1 ثبات R_1
 ریخته می‌شود و آثر $x=0$ ، محتوای R_2 به ثبات R_1 انتقال
 می‌یابد

۴-۱۴ : طبق مدار ۹-۴ ما چنین کامپوننتی داریم



A) $AR \leftarrow AR + BR$

$$\begin{array}{r} 11110010 \\ + 11111111 \\ \hline 11110001 \end{array}$$

پس $AR = 11110001$

B) $CR \leftarrow CR \wedge DR, BR \leftarrow BR + 1$

$$\begin{array}{r} 1011001 \\ \wedge 11101010 \\ \hline 10101000 \end{array}$$

$$\begin{array}{r} 11111111 \\ + 1 \\ \hline 00000000 \end{array}$$

۱ بیت داریم و یک دور ریخته می شود

پس $BR = 00000000$ و $CR = 10101000$

C) $AR \leftarrow AR - CR$

مکمل ۲، CR برابر است با ۰۱۰۱۱۰۰۰

$$\begin{array}{r} 11110001 \\ + 01011000 \\ \hline 101001001 \end{array}$$

دور ریز

در نهایت داریم:

$AR = 01001001$

$BR = 00000000$

$CR = 10101000$

$DR = 11101010$

شيفت به راست $1001100 \rightarrow 1100110$

شيفت به چپ $1001100 \rightarrow 0011000$

← بیت علامت تغییر کرده است و سرریز رخ داده است

$$A) AR \leftarrow \overline{AR}, AR \leftarrow 0$$

$$B) R1 \leftarrow R2, R1 \leftarrow R3$$

$$C) PC \leftarrow AR, PC \leftarrow PC + 1$$

می دانیم که عملیات ها به صورت همزمان اجرا می شوند پس نمی توانیم مقصد یکسان داشته باشیم چرا که امکان دارد اتصال کوتاه رخ دهد مشکل این ۳ مثال نیز داشتن مقصد یکسان است