

زبان های توصیف سخت افزار و مدارها

امیر خورسندی

بهار ۱۴۰۲



دانشگاه صنعتی اصفهان
دانشکده مهندسی برق و کامپیوتر

سنتز



امیر خورسندی

سنتز لاجیک

✓پروسه تبدیل توصیف سطح بالای یک طرح به توصیف بهینه در سطح دروازه های منطقی با در نظر گرفتن مجموعه سلول های استاندارد، شرط ها و قیود اعمال شده به طرح است.



سنتز

امیر خورسندی

سنتز لاجیک در ذهن طراح

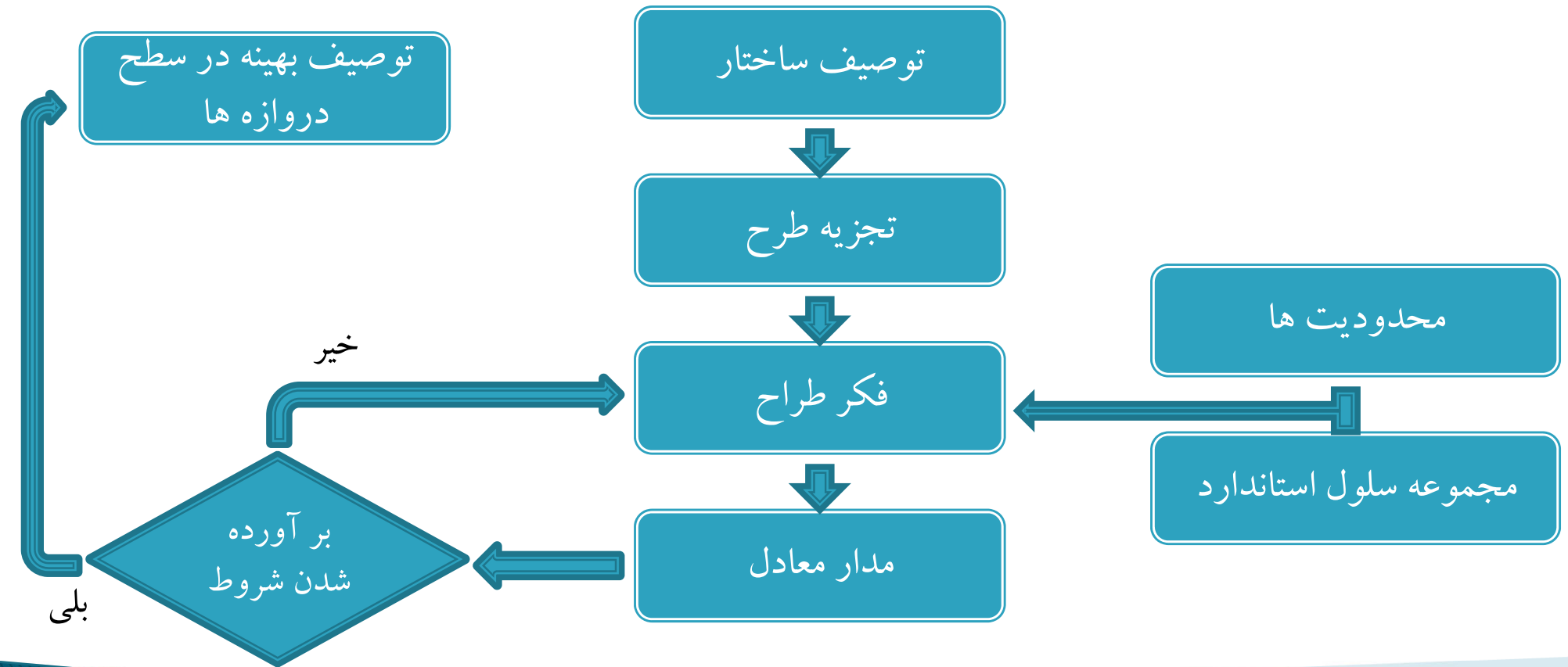
- ✓ بررسی توصیف معماری توسط طراح
- ✓ تقسیم طرح به ماژول های کوچکتر
- ✓ پیاده سازی بلوک با استفاده از سلول های موجود و با توجه به محدودیت ها
- ✓ تست مدار و در صورت نیاز پیاده سازی ماژول های سازنده



سنتز

امیر خورسندی

روندنمای سنتز لاجیک در ذهن طراح



معایب سنتز دستی

- ✓ احتمال وجود خطای انسانی در تولید مدار در سطح گیت
- ✓ زمان بالای تولید مدار
- ✓ عدم اطلاع از صحت کار مدار تا پایان کار
- ✓ وقت گیر و گران بودن تغییر طرح و طراحی مجدد
- ✓ عدم امکان استفاده مجدد طرح



سنتز

امیر خورسندی

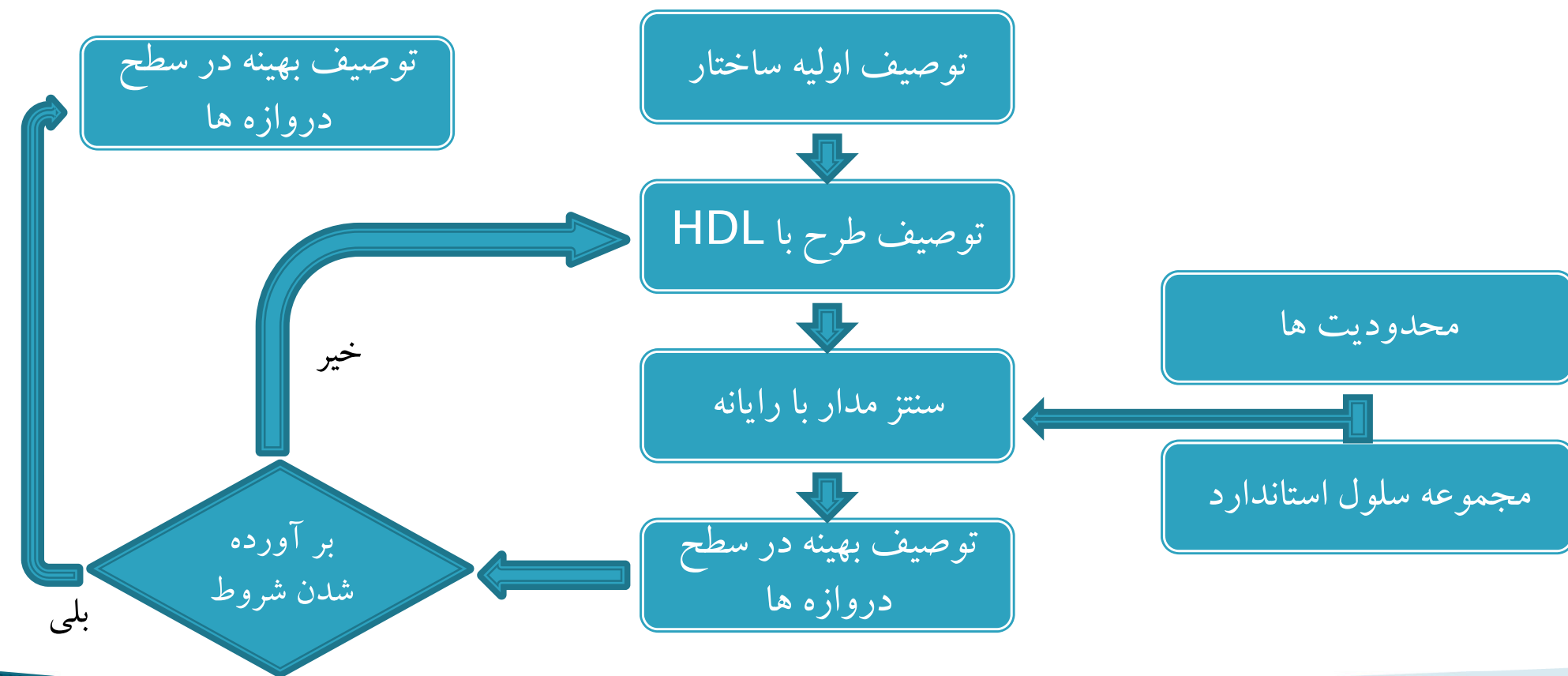
سنتز رایانه ای

✓ تبدیل خودکار توصیف سطح بالای یک طرح به مدار
معادل



سنتز
امیر خورسندی

روندنمای سنتز لاجیک با رایانه



مزایای سنتز رایانه ای نسبت به روش دستی

- ✓ کاهش خطا به دلیل توصیف طراح در سطح بالا
- ✓ انجام سریع فرایند تبدیل طرح به مدار منطقی
- ✓ امکان اعمال تغییرات در زمان کوتاه
- ✓ طراحی مستقل از تکنولوژی می باشد.
- ✓ امکان استفاده مجدد طرح تنها با تغییر کتابخانه تکنولوژی و سنتز مجدد طرح



سنتز

امیر خورسندی

طراحی قابل سنتز

✓ طرح هایی که در سطح RTL نوشته شده اند می توانند توسط نرم افزارها سنتز شوند.

✓ در این جا مقصود از RTL برنامه ای است که در سطح انتقال داده و یا مدل سازی رفتاری نوشته شده اند.



سنتز

امیر خورسندی

ساختارهای قابل سنتز در Verilog

- ✓ تعریف ماژول ها، پارامترها، پورت ها، سیگنال ها و متغیر ها (بردارها)
- ✓ توابع (task و function)
- ✓ فراخوانی ماژول ها، توابع و primitive ها
- ✓ عبارات always، if-then-else، case، casez و casex
- ✓ بلوک های begin-end، assign و حلقه ها



سنتز

امیر خورسندی

ساختارهای محذوف در سنتز

- ✓ تاخیرهای با ساختار $\langle \text{delay} \rangle \#$ حذف می شوند.
- ✓ ساختار initial نیز توسط سنتز کننده حذف می شود.

• اعمال شرایط اولیه باید توسط پورت Reset انجام شود.

✓ فقط دو عملگر $==$ و $!=$ قابل سنتز نیست.

✓ نکته: بهتر است تعریف عملگرها با پرائتز مشخص شود.



Reset

✓ با توجه به سنتز نشدن initial برای تعیین شرایط نیاز به یک ورودی reset می باشد.

✓ Reset می تواند به صورت سنکرون یا آسنکرون با پالس ساعت عمل کند.



سنتز

امیر خورسندی

Synch Reset

```
always @ (posedge clk)  
if(reset)
```

شرایط اولیه

```
else
```

عملکرد عادی



سنتز

امیر خورسندی

Asynch Reset

```
always @ (posedge clk or negedge reset)
```

```
if(!reset)
```

شرایط اولیه

```
else
```

عملکرد عادی

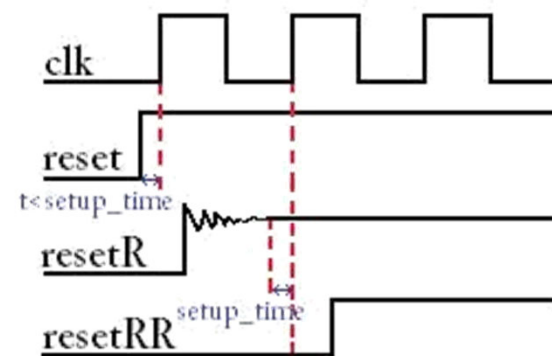
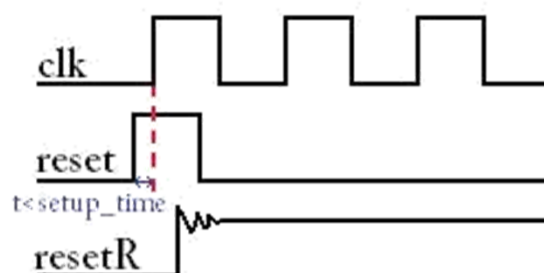
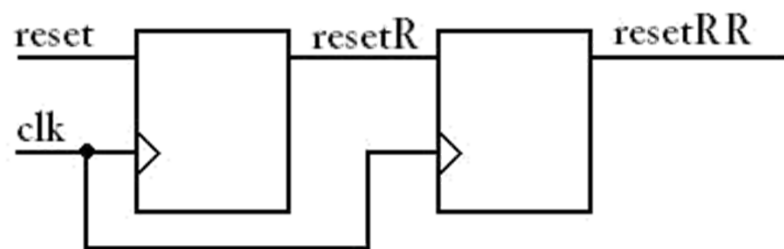


سنتز

امیر خورسندی

پایدارسازی Reset

✓ در مداري كه فرکانس پالس ساعت بالا است برای جلوگیری از ناپایداری می توان سیگنال reset را دو بار رجیستر کرده و سپس از آن استفاده نمود.



سنتز

امیر خورسندی

نمونه بیان ساختارهای قابل سنتز

✓ عبارت های مختلف که در وریلاگ برای توصیف مدار به کار می روند، هر یک به روش خاصی به یک مدار معادل تبدیل می شوند.

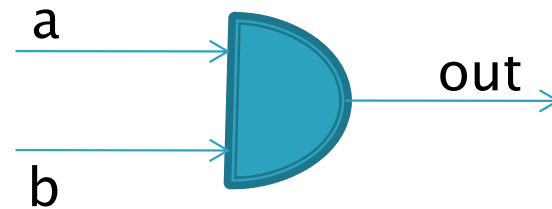


سنتز
امیر خورسندی

عبارت assign

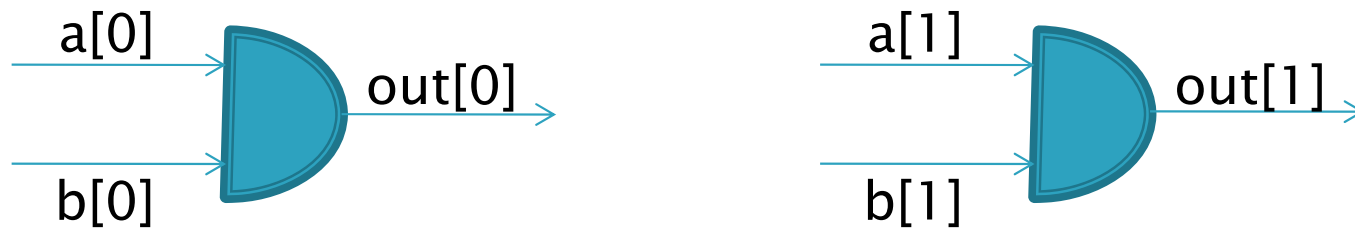
• تبدیل به یک مدار ترکیبی می شود.

```
assign out = a & b;
```



عبارت assign (ادامه)

• در حالتی که a و b دو بردار چند بیتی باشند:



• عملگر $?$ در عبارت assign معادل یک Mux است.



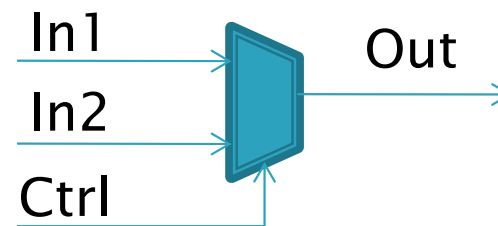
سنتز

امیر خورسندی

if-else

```
if(Ctrl)  
    Out = In1;  
else  
    Out = In2;
```

• معادل مدار یک Mux می باشد.



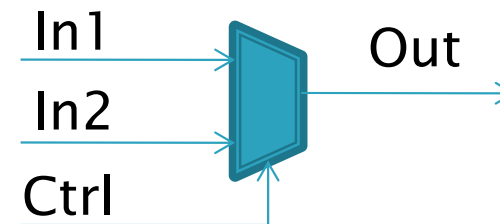
• شرط های تو در تو به صورت MUX های پشت سر هم سنتز می شوند که این می تواند تاخیر مدار را زیاد کند.



case

• معادل یک Mux بزرگ می باشد.

```
Case(Ctrl)  
  1'b0: Out = In1;  
  1'b1: Out = In2;  
endcase
```



for

• حلقه باز شده و لاجیک ترکیبی
پشت سر یکدیگر تبدیل می شود.

```
begin  
  c = cin;  
  for(i=0;i<=7;i=i+1)  
    {c,s[i]} = a[i] + b[i] + c;  
  cout = c;  
end
```

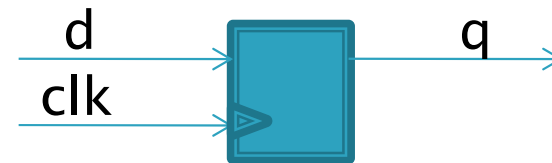


سنتز
امیر خورسندی

always

- در مدار ترتیبی توسط لبه پالس ساعت کنترل می شود.
- اجرای بلوک و انتساب محاسبات به لبه ساعت است.
- پس ابزار سنتز، انتساب را به صورت فلیپ فلاپ نوع D محاسبات به لبه بالا رونده پالس ساعت ترجمه می کند.

```
always @ (posedge clk)  
q=d;
```



سنتز

امیر خورسندی

always (ادامه)

always✓

- در مدار ترکیبی عبارت می تواند حساس به هر تغییری باشد.
- مدار به صورت یک latch حساس به سطح ترجمه می شود.

```
always @ (clk or d)
  if(clk)
    q=d;
```



function

• به صورت بلوک های ترکیبی با یک خروجی ترجمه می شود.



سنتز
امیر خورسندی

روند طراحی و سنتز

✓ توصیف RTL

✓ ترجمه: تبدیل توصیف RTL به توصیف در سطح دروازه ها مستقل از تکنولوژی ساخت

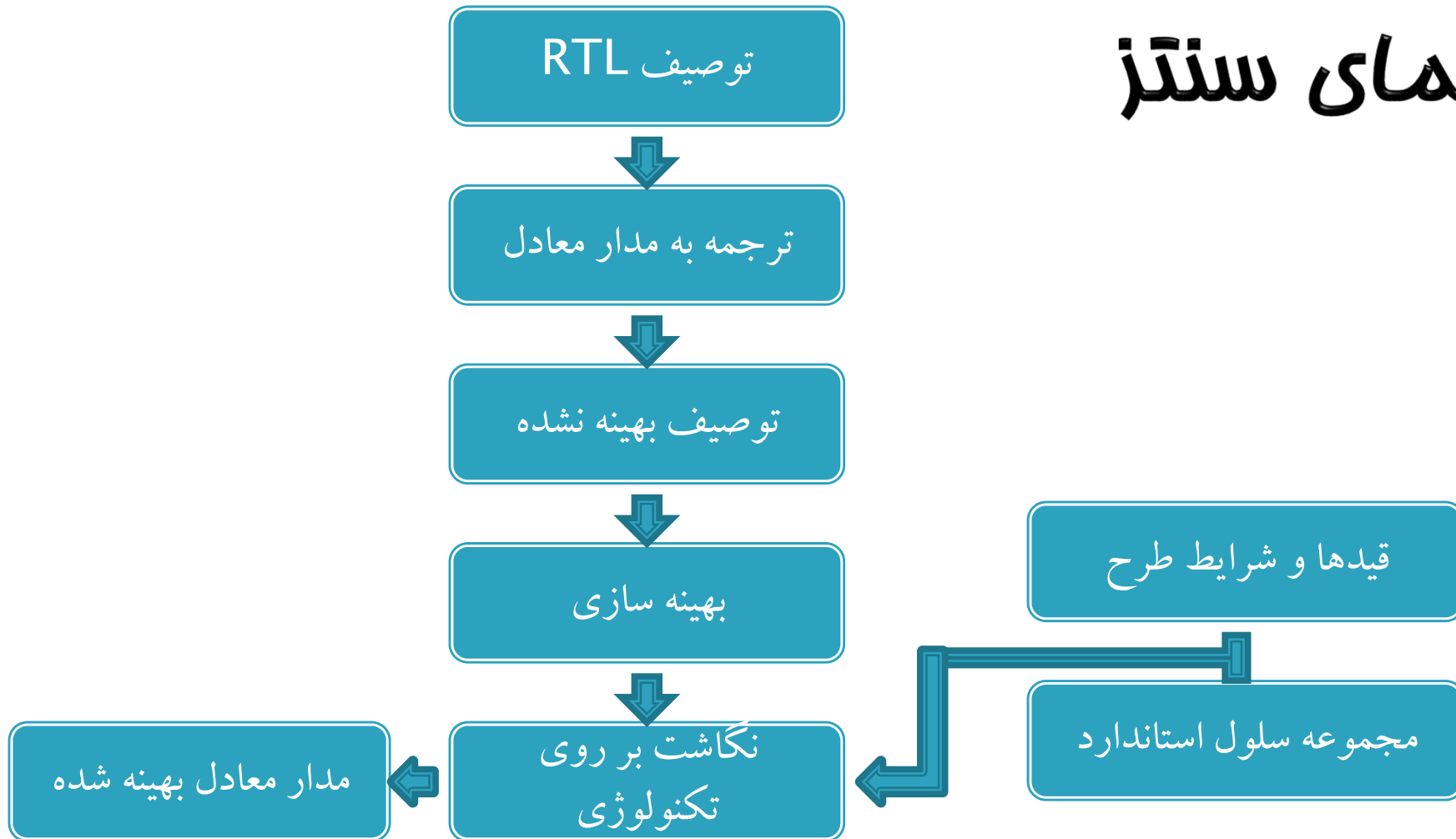
✓ نگاشت: با در نظر گرفتن سلول های استاندارد و قید ها و شرایط (زمان بندی، فرکانس و ...)



سنتز

امیر خورسندی

روند نمای سنتز



قیود طراحی

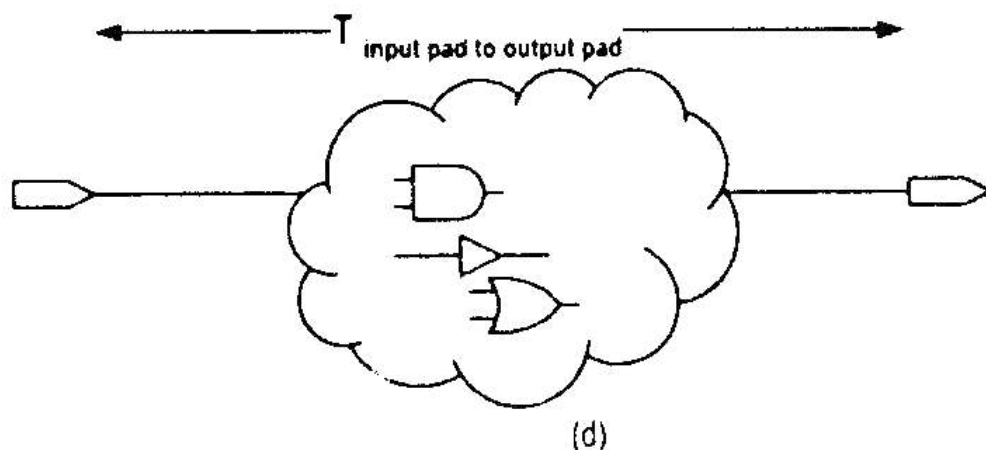
- ✓ زمان بندی
- ✓ پایه های تراشه
- ✓ سطح
- ✓ توان



سنتز
امیر خورسندی

زمان بندی

✓ در مدار ترکیبی تنها تاخیر از ورودی تا خروجی قابل تعریف است.



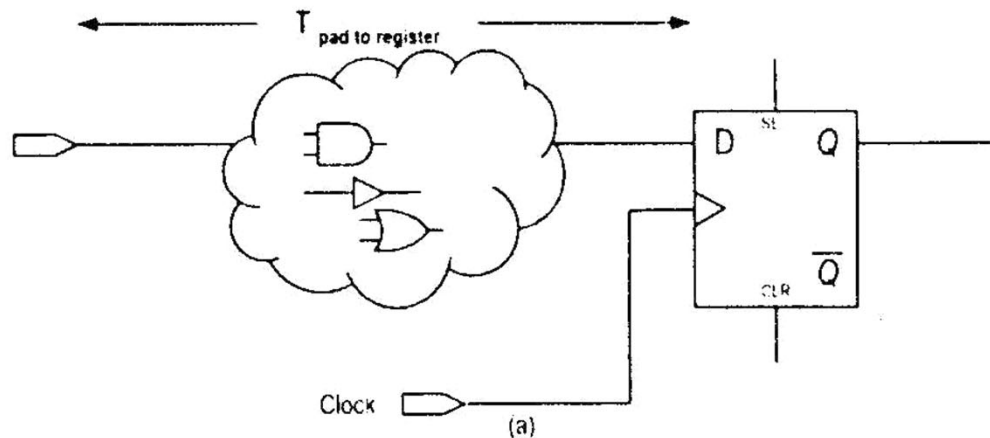
سنتز

امیر خورسندی

زمان بندی (ادامه)

✓ در مدار ترتیبی تاخیر ها عبارتند از :

• تاخیر از ورودی تا نخستین رجیستر

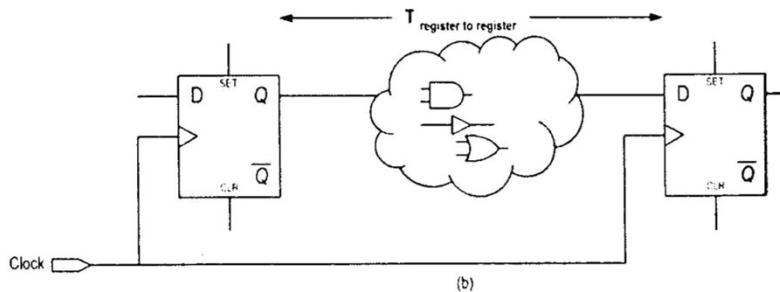


سنتز

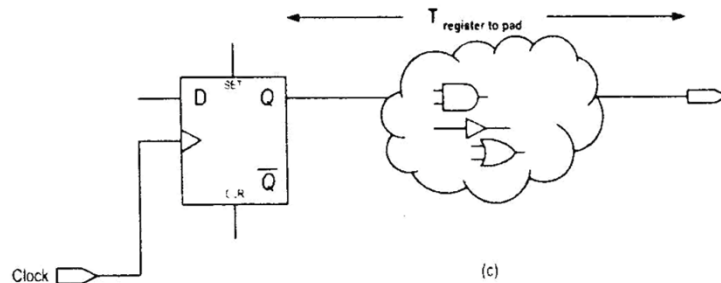
امیر خورسندی

زمان بندی (ادامه)

• تاخیر از یک رجیستر تا رجیستر بعدی



• تاخیر از یک رجیستر تا خروجی



نکات مفید در مدل سازی



سنتز

امیر خورسندی

کدنویسی موثر

- ✓ نوشتن کد سطح بالا با در نظر گرفتن روند سنتز نهایی
- ✓ استفاده از بلوک های پایه به جای عبارات assign
- ✓ به کار بردن اسامی معنادار و خوانا
- ✓ عدم مقداردهی به یک سیگنال در جاهای مختلف
- ✓ حذف Latch های غیرضروری



طراحی سلسله مراتبی

✓ طراحی و بررسی بلوک های کوچک راحت تر است.

✓ امکان انجام کار تیمی

✓ امکان استفاده مجدد

✓ از نظر استفاده بهینه از منابع و بهره وری کلی از یک طرح یک پارچه کمتر است.

✓ هنگام پیاده سازی روی FPGA مرزهای جداسازی می تواند بهینه نباشد.



سنتز

امیر خورسندی

تقسیم بندی طرح

✓ انواع تقسیم بندی: افقی و عمودی

✓ تقسیم بندی طرح باید بسیار با دقت و بهینه انجام شود.

- قرار دادن logic های به هم وابسته و منابع فایل اشتراکی در یک بلوک
- تقسیم بلوک ها براساس نوع محدودیت مورد نظر
- استفاده از ساختارهای موازی
- استفاده از Pipeline

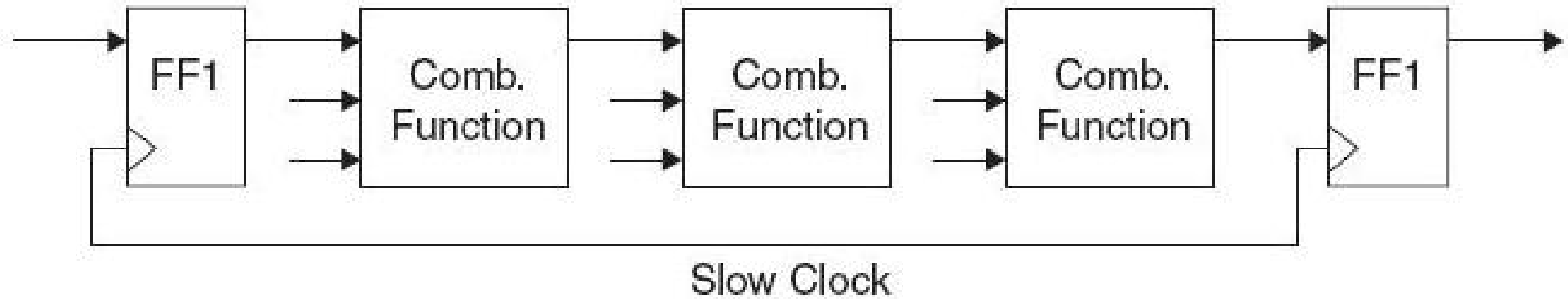
نکته: خروجی ها در هر بلوک رجیستر شوند.



سنتز

امیر خورسندی

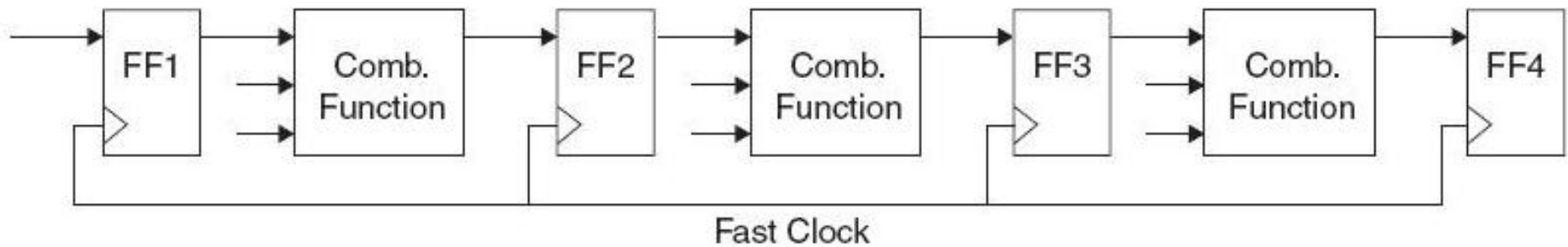
استفاده از Pipeline



$$t_{\text{clk}} = \text{FF1}_{\text{clk-to-out}} + \text{logic_delay} + \text{routing_delay} + \text{FF1}_{\text{setup_time}}$$



استفاده از Pipeline (ادامه)



$$t_{\text{clk}} = \text{FF1}_{\text{clk-to-pad}} + \max(\text{logic_delay}) + \max(\text{routing_delay}) + \text{FF1}_{\text{setup_time}}$$



سنتز

امیر خورسندی