



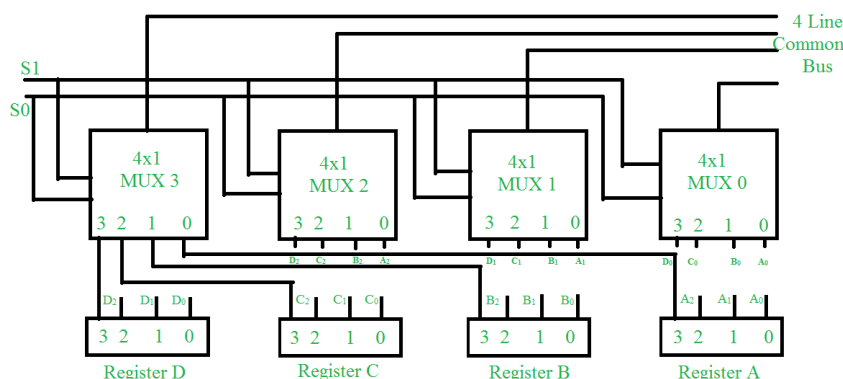
۳-۳ عبارت کنترل شرطی زیر را بوسیله دو عبارت انتقال ثبات با توابع کنترل نشان دهید.

If($P=1$) then ($R1 \leftarrow R2$) else if ($Q=1$) then ($R1 \leftarrow R3$)

P: $R1 \leftarrow R2$

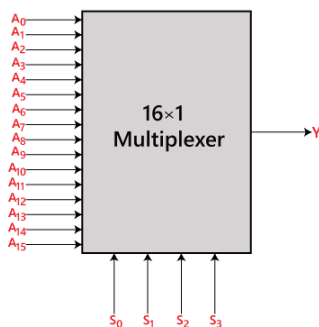
P' Q: $R1 \leftarrow R3$

۴-۶ یک کامپیوتر دیجیتال دارای سیستم گذرگاه مشترک برای 16 ثبات 32 بیتی است. گذرگاه با مولتی پلکسر ساخته شده است.
(الف) در هر مولتی پلکسر چند ورودی انتخاب وجود دارد
(ب) اندازه مولتی پلکسر چیست
(ج) چند مولتی پلکسر در گذرگاه است



در شکل بالا یک نمونه کوچک برای مثال آورده شده است

(الف) چون هر رجیستر مسئول انتخاب یک بیت است وقتی تعداد رجیسترها 2^n باشد پس 2^n ورودی داریم برای انتخاب بین رجیسترها به n خط انتخاب نیاز است تا از یکی از رجیسترها انتخاب شود. پس در اینجا چون 16 رجیستر داریم به 4 خط انتخاب نیاز است هر یک از رجیسترها به شکل زیر در می آید.



ب) همانطور که در شکل میبینید هر یک از رجیسترها 16×1 خواهد شد.
 ج) چون 32 بیت داریم و برای هر بیت یک مالتی پلکسر تصمیم می‌گیرد 32 مالتی پلکسر نیاز خواهد بود.

۴-۷ عبارات زیر انتقال در یک حافظه را مشخص می‌کنند. در هر حالت عمل حافظه را توضیح دهید.

الف) $R2 \leftarrow M[AR]$ ب) $M[AR] \leftarrow R3$ ج) $R5 \leftarrow M[R5]$

الف) مقداری که در مموری در آدرس AR است را بخوان و در رجیستر R2 بنویس.

ب) مقداری که در رجیستر R3 است را بخوان و در مموری در آدرس AR بنویس.

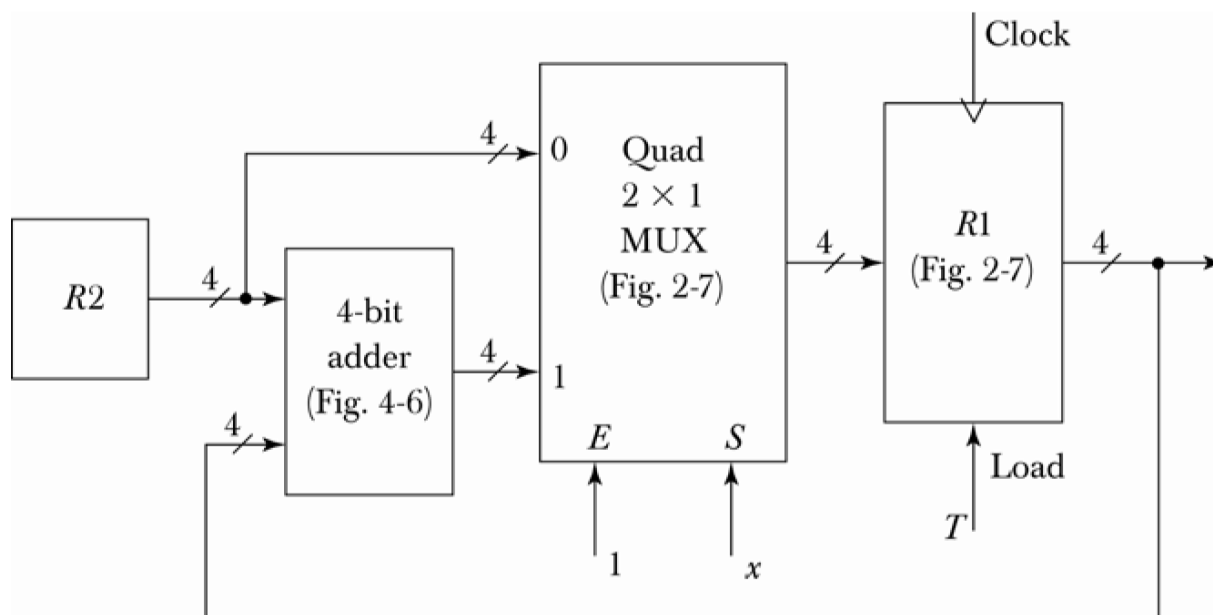
الف) مقدار رجیستر R5 را بخوان مقداری که در مموری در آدرس R5 است را بخوان و در رجیستر R5 بنویس. در این حالت مقدار قبلی R5 از بین می‌رود.

۴-۱۰ عبارت انتقال ثبات زیر را برای دو ثبات 4 بیتی R1 و R2 ملاحظه کنید

$$xT: R1 \leftarrow R1 + R2$$

$$x'T: R1 \leftarrow R2$$

هر بار که $T=1$ است، اگر $x=1$ باشد. محتوای R2 به R1 اضافه می‌شود و اگر $x=0$ باشد R2 به R1 انتقال می‌یابد. دیاگرامی رسم کنید که پیاده سازی سخت افزاری دو عبارت را نشان دهد. برای دو ثبات 4 بیتی، یک جمع کننده 4 بیت، و یک مولتی پلکسر چهارتایی 2:1 که ورودی‌ها R1 را انتخاب می‌کند از بلاک دیاگرام استفاده کنید. در دیاگرام نشان دهید که متغیرهای کنترلی x و T چگونه ورودی‌های مولتی پلکسر و ورودی بار کردن ثبات R1 را انتخاب می‌کنند.



۱۴-۲ فرض کنید که مدار چهاربیت شکل ۹-۴ در یک مدار مجتمع قرار گرفته باشد. اتصالات لازم برای دو IC از این نوع را برای ساختن یک مدار حسابی ۸ بیتی نشان دهید.

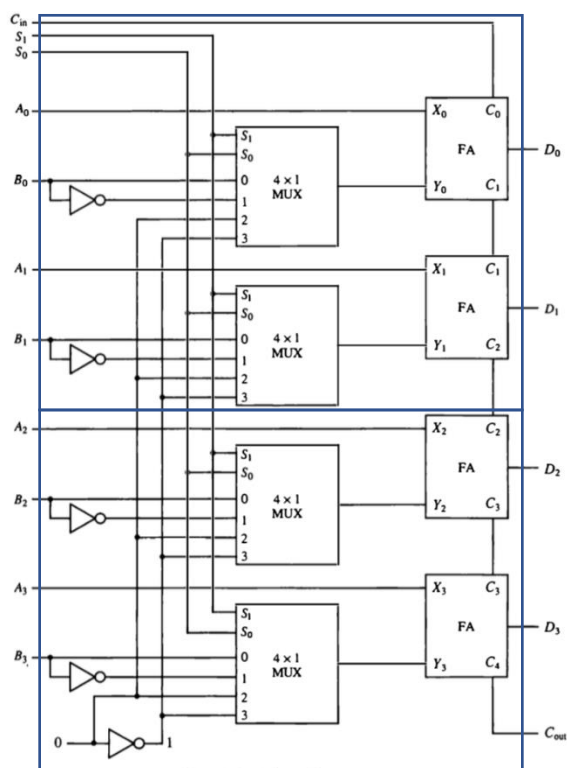
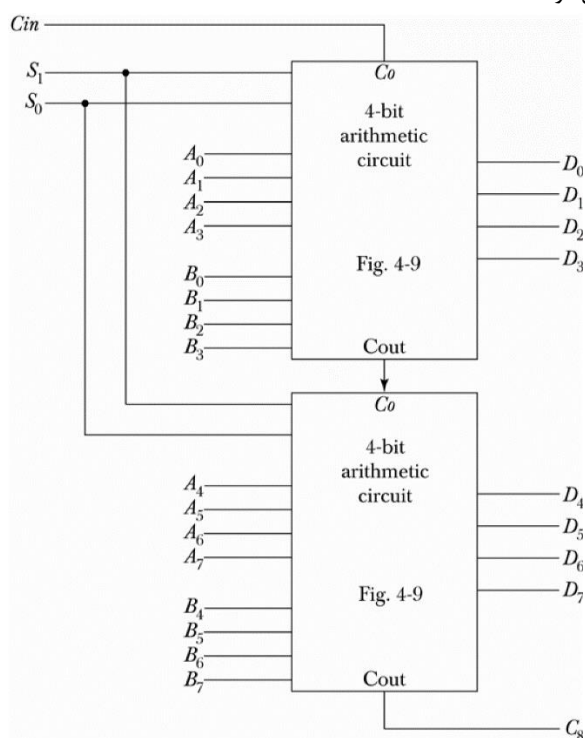


Figure 4-9 4-bit arithmetic circuit.

با توجه به خود شکل ۹-۴ میتوان گفت این شکل از دو مدار ۲ بیتی تشکیل شده که با یکدیگر ادغام شده اند و با توجه به همین ایده مدار ۸ بیتی نیز از دو مدار ۴ بیتی تشکیل می شود.



۱۹-۴ ثبات‌های 8 بیتی AR، BR، CR و DR ابتدا دارای مقادیر زیرند

AR = 11110010

BR = 11111111

CR = 10111001

DR = 11101010

محتوای هشت بیتی هر یک از ثبات‌ها را پس از اجرای هر یک از رشته ریز عمل‌ها مشخص کنید.

AR ← AR + BR

BR را با هم جمع کن

CR ← CR ∧ DR, BR ← BR + 1

DR و CR راه AND کن، BR را افزایش بده

AR ← AR - CR

CR را از AR کم کن

AR = 11110010

BR = 11111111(+)

AR = 11110001

BR = 11111111

CR = 10111001

DR = 11101010

CR = 10111001
DR = 11101010 (AND)
CR = 10101000

BR = 1111 1111
+1
BR = 0000 0000

AR = 11110001

DR = 11101010

AR = 11110001
CR = 10101000 (-)
AR = 01001001

BR = 00000000

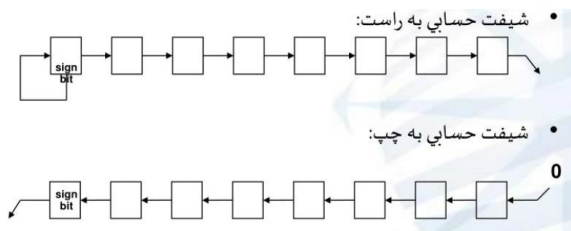
CR = 10101000

DR = 11101010

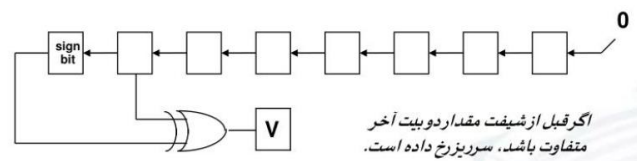
۲۰-۴ یک ثبات هشت بیتی حاوی عدد دودویی 10011100 است. پس از یک شیفت به راست حسابی

مقدار ثبات چقدر است؟ با شروع از مقدار اولیه 10011100، مقدار ثبات را پس از یک شیفت به

چپ حسابی معین کنید، و بگوئید آیا سرریز وجود دارد؟



در شیفت به چپ باید مساله سرریز (overflow) چک شود.



11001110

پس از شیفت حسابی به راست

00111000

پس از شیفت حسابی به چپ

سرریز هنگامی رخ میدهد که نتیجه یک عملیات در رجیستر فعلی جای نگیرد در حالت شیفت به چپ حسابی میدانیم که در حقیقت این

شیفت به چپ به معنای دو برابر کردن عدد است اگر دو بیت سمت چپ یکسان نباشد بعد از شیفت چپ چون چپ ترین بیت از بین می‌رود

پس علامت عدد عوض می‌شود که سبب سرریز است پس در مثال فوق بعد از شیفت حسابی به چپ سرریز رخ داده است.

۲۳-۴ چه چیزی در عبارات انتقال ثابت زیر غلط است

ب) $yT: R1 \leftarrow R2, R1 \leftarrow R3$

الف) $xT: AR \leftarrow \overline{AR}, AR \leftarrow 0$

ج) $zT: PC \leftarrow AR, PC \leftarrow PC + 1$

به صورت کلی در همه موارد دلیل غلط بودن انتقال این است که همزمان نمی‌توان در یک رجیستر دو مقدار را نوشت.

الف) نمی‌توان یک ثابت را به طور همزمان مکمل کرد و افزایش داد.

ب) نمی‌توان دو مقدار مختلف ($R2$ و $R3$) را به یک ثابت ($R1$) به صورت همزمان انتقال داد

ج) نمی‌تواند به صورت همزمان یک مقدار جدید را به یک ثابت (PC) منتقل کرد و مقدار اصلی را نیز افزایش داد.