



زبان های توصیف سخت افزار و مدارها

دانشگاه صنعتی اصفهان

دانشکده مهندسی برق و کامپیوتر

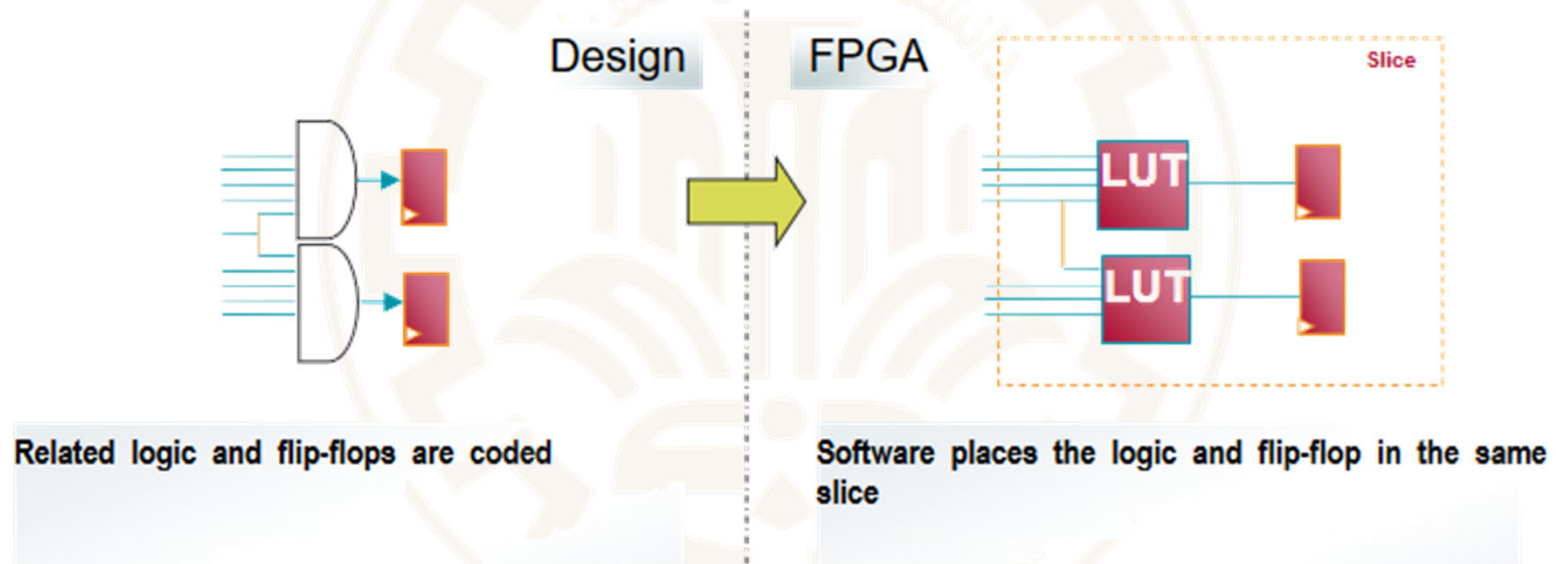
امیر خورسندی

زمستان ۱۴۰۱

ابزارهای نرم افزاری کار با FPGA

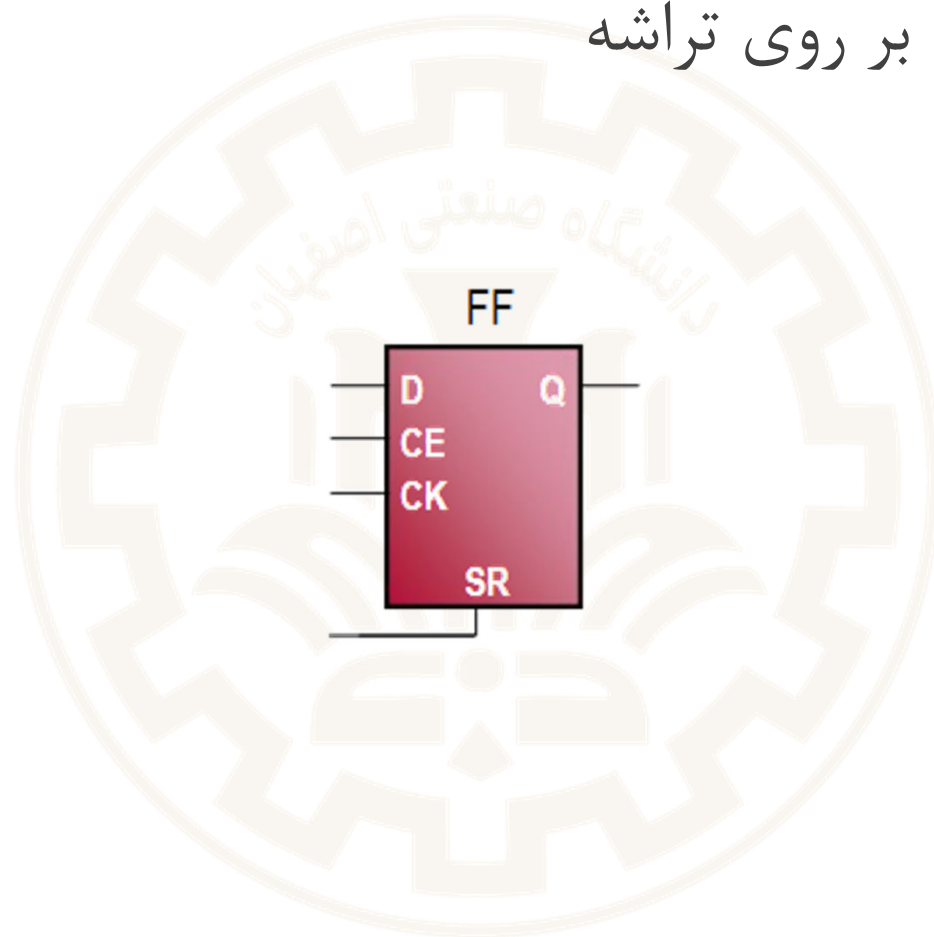
نقش ابزارهای نرم افزاری

- پیاده سازی و نگاشت سخت افزار توصیف شده بر روی تراشه FPGA



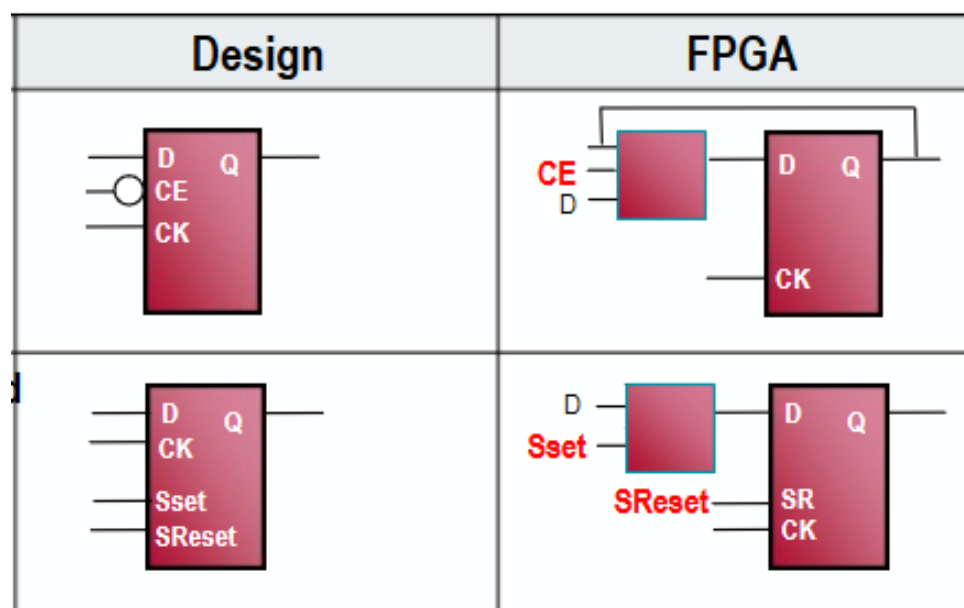
مثال

- ساختار فلیپ فلاپ بر روی تراشه



مثال (ادامه)

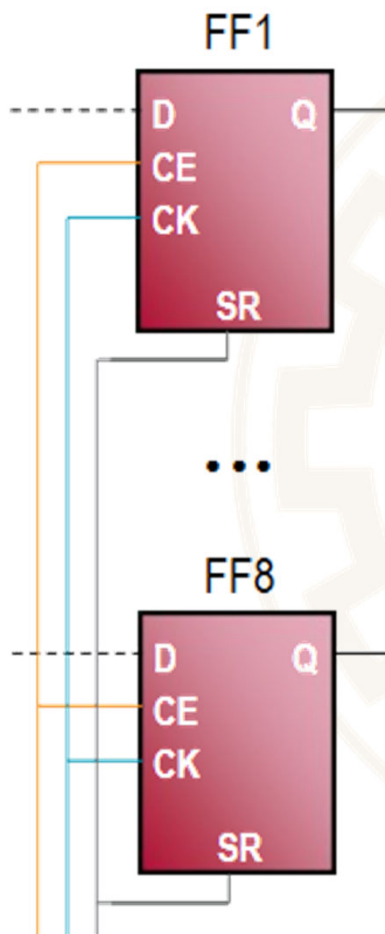
- پیاده سازی سخت افزار توصیف شده



- طراح باید نسبت به نحوه پیاده سازی آگاهی داشته باشد.

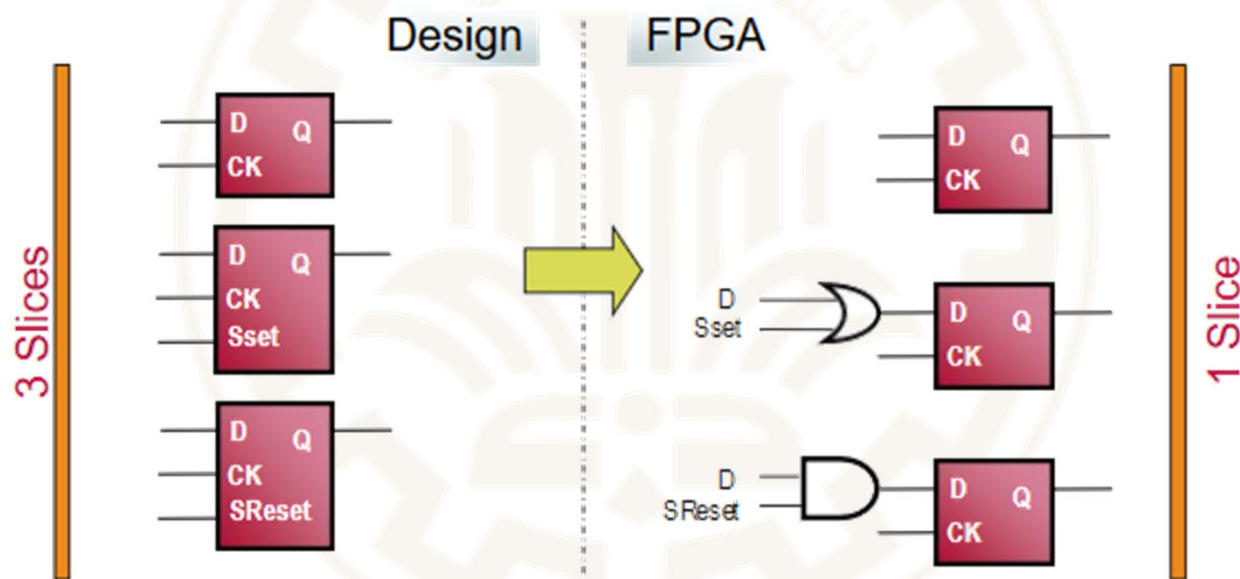
مثال دیگر

- ارتباط فلیپ فلاپ ها در یک بخش CLB



مثال دیگر (ادامه)

- سه عدد فلیپ فلاپ با سیگنال های کنترلی متفاوت

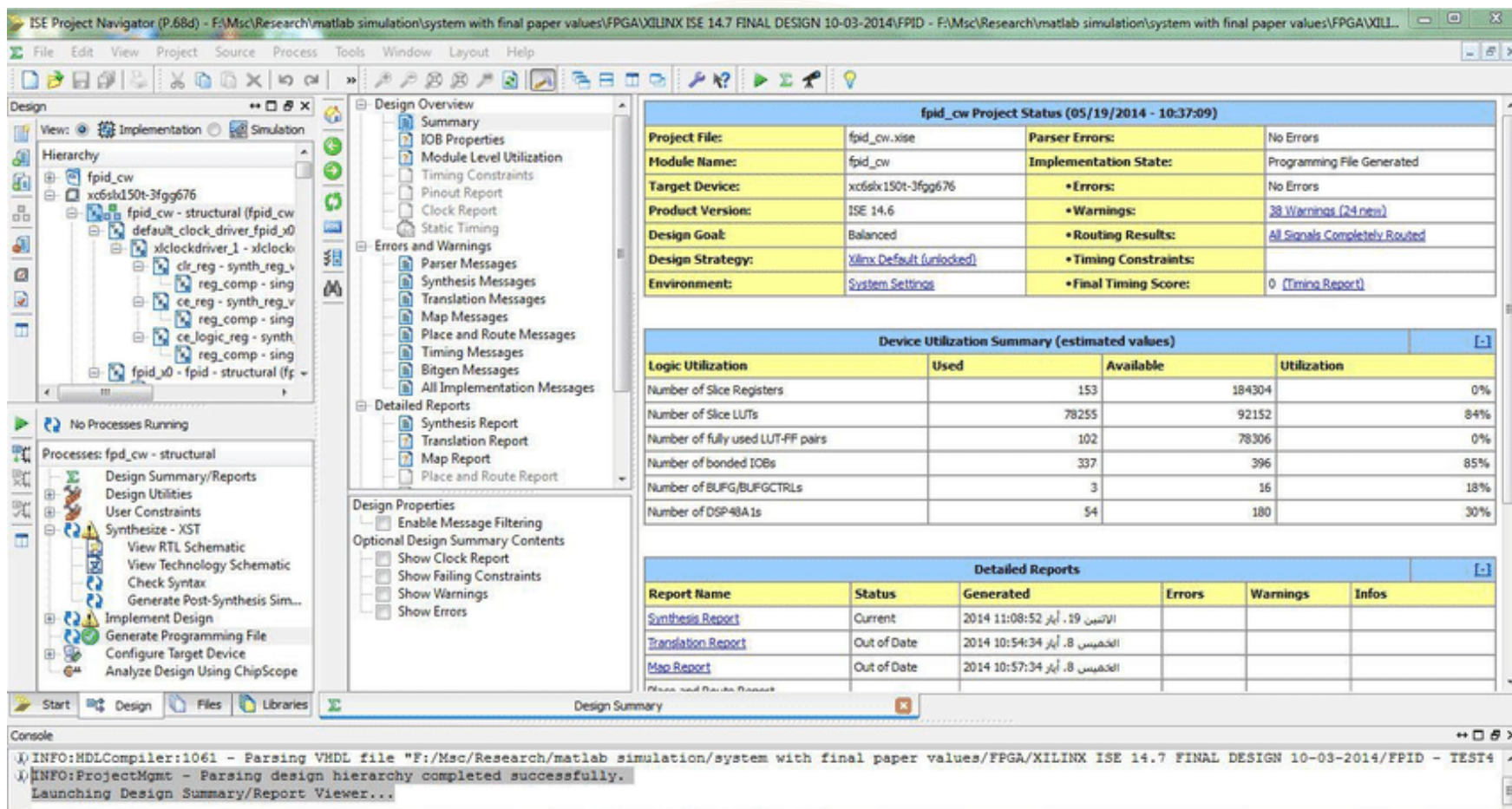


پیشنهادهای در راستای بهبود طراحی

- استفاده از Set و یا Reset همزمان
- به کار نبردن سیگنال های کنترل با منطق معکوس
- استفاده از سیگنال های کنترلی یکسان برای همه فلیپ فلاپ ها در صورت امکان
- استفاده از مسیرهای اختصاصی برای توزیع پالس ساعت جهت جلوگیری از انحراف پالس ساعت
- قرار ندادن دروازه ها و مدارهای ترتیبی در مسیر پالس ساعت

روش های اصلی طراحی

- توصیف رفتار سخت افزار با استفاده از زبان RTL و پیاده سازی به کمک ابزارهای سنتز
- طراحی و پیاده سازی با استفاده از تعیین کوچکترین عناصر پایه موجود (Primitives)
- طراحی و پیاده سازی با استفاده از هسته های توسعه داده شده قبلی (IP Cores)



The screenshot displays the Xilinx ISE Project Navigator interface for a project named 'fpid_cw'. The main window shows the 'Project Status' and 'Device Utilization Summary'.

fpid_cw Project Status (05/19/2014 - 10:37:09)

Project File:	fpid_cw.xise	Parser Errors:	No Errors
Module Name:	fpid_cw	Implementation State:	Programming File Generated
Target Device:	xc6slx150t-3fgg676	• Errors:	No Errors
Product Version:	ISE 14.6	• Warnings:	38 Warnings (24 new)
Design Goal:	Balanced	• Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	
Environment:	System Settings	• Final Timing Score:	0 (Timing Report)

Device Utilization Summary (estimated values)

Logic Utilization	Used	Available	Utilization
Number of Slice Registers	153	184304	0%
Number of Slice LUTs	78255	92152	84%
Number of fully used LUT-FF pairs	102	78306	0%
Number of bonded IOBs	337	396	85%
Number of BUFG/BUFGCTRLs	3	16	18%
Number of DSP48A1s	54	180	30%

Detailed Reports

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report	Current	الثنين 19، آيار 11:08:52 2014			
Translation Report	Out of Date	الخميس 8، آيار 10:54:34 2014			
Map Report	Out of Date	الخميس 8، آيار 10:57:34 2014			

The console at the bottom shows the following messages:

```

INFO:MDLCompiler:1061 - Parsing VHDL file "F:/Msc/Research/matlab simulation/system with final paper values/FPGA/XILINX ISE 14.7 FINAL DESIGN 10-03-2014/FPID - TEST4
INFO:ProjectMgmt - Parsing design hierarchy completed successfully.
Launching Design Summary/Report Viewer...
  
```



ابزارهای شناخته شده (ادامه)

The screenshot displays the Vivado IDE interface for a project named 'project_1'. The top menu bar includes File, Edit, Flow, Tools, Window, Layout, View, and Help. The 'Implementation Complete' status is shown in the top right corner.

Flow Navigator: The left sidebar shows the project structure, including Project Manager, IP Integrator, Simulation, RTL Analysis, Synthesis, Implementation, and Program and Debug.

Netlist: The central pane shows the netlist for the 'base_zynq_wrapper' component, listing various components like DDR_addr, DDR_ba, DDR_dm, DDR_dq, DDR_dqs_n, DDR_dqs_p, FIXED_IO_mio, led_4bits_tri_o, and various IO pins.

Project Summary: The right pane provides details about the project settings, board part, synthesis, implementation, DRC violations, timing, and power.

Project Settings:

- Project name: project_1
- Project location: /opt2/Xilinx/Vivado/2016.4/bin/project_1
- Product family: Zynq-7000
- Project part: ZYNQ-7 ZC706 Evaluation Board (xc7z045ffg900-2)
- Top module name: base_zynq_wrapper
- Target language: VHDL
- Simulator language: Mixed

Board Part:

- Display name: ZYNQ-7 ZC706 Evaluation Board
- Board part name: xilinx.com:zc706:part0:1.3
- Repository path: /opt2/Xilinx/Vivado/2016.4/data/boards/board_files
- URL: www.xilinx.com/zc706
- Board overview: ZYNQ-7 ZC706 Evaluation Board

Synthesis:

- Status: Complete
- Messages: 20 warnings
- Active run: synth_1
- Part: xc7z045ffg900-2
- Strategy: Vivado Synthesis Defaults

Implementation:

- Status: Complete
- Messages: 4 warnings
- Active run: impl_1
- Part: xc7z045ffg900-2
- Strategy: Vivado Implementation Defaults
- Incremental compile: None

DRC Violations:

- No DRC violations were found.
- Implemented DRC Report

Timing:

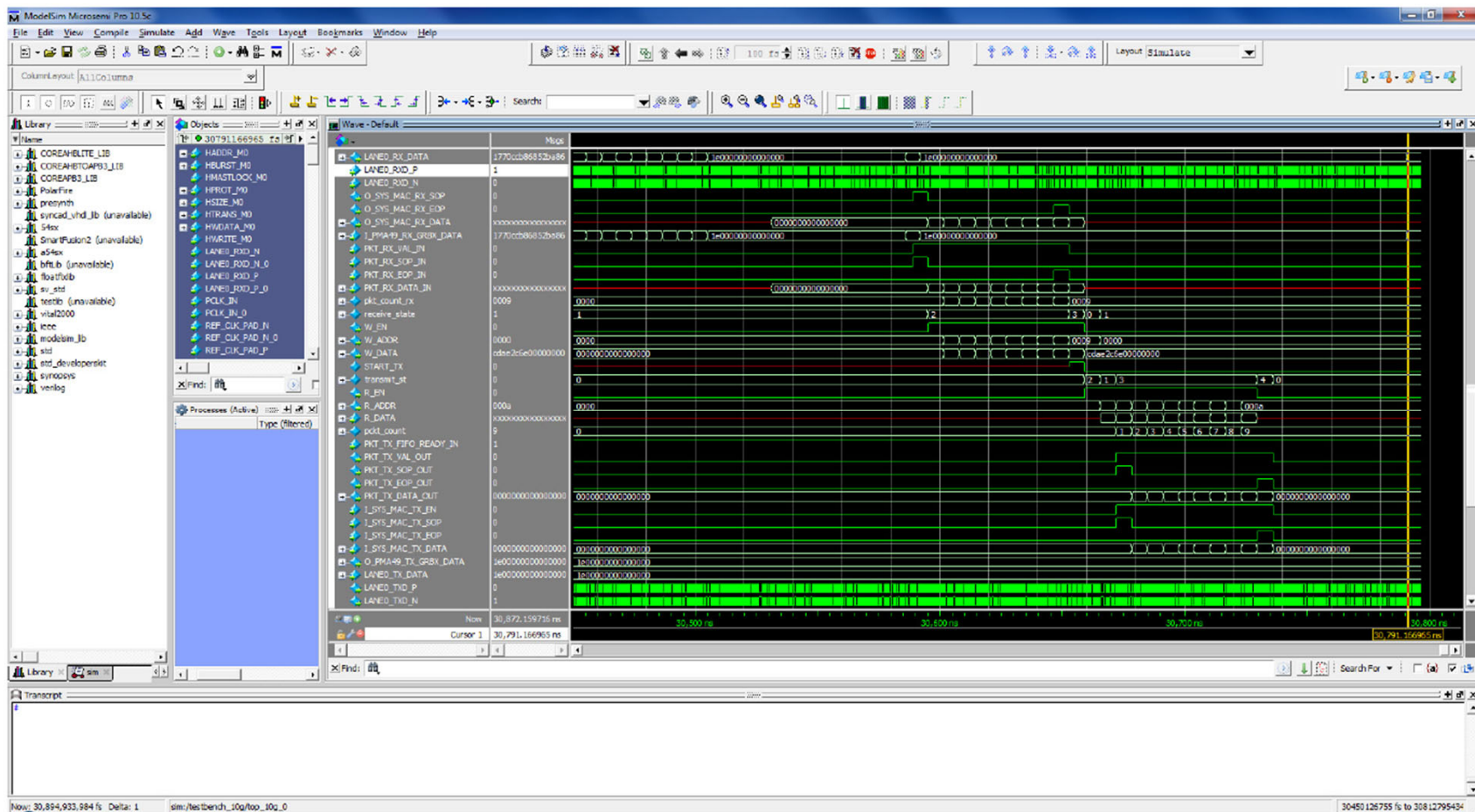
- Worst Negative Slack (WNS): 11.673 ns
- Total Negative Slack (TNS): 0 ns
- Number of Failing Endpoints: 0
- Total Number of Endpoints: 3795
- Implemented Timing Report
- Setup Hold Pulse Width

Power:

Utilization - Post-Implementation:

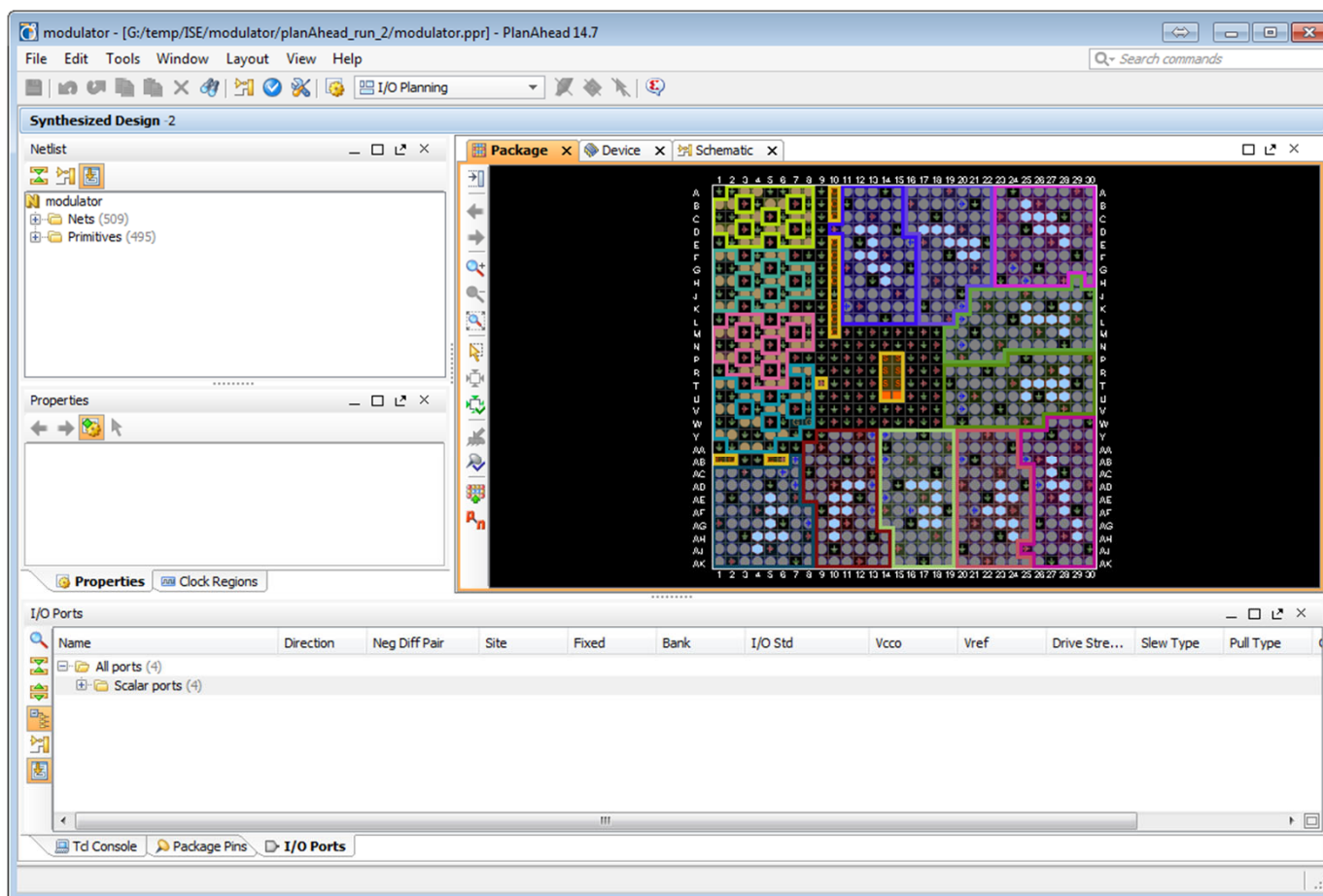
Tcl Console:

```
WARNING: [Constraints 10-550] Could not create 'IOSTANDARD' constraint because net 'base_zynq_i/axi_gpio_0/gpio_io_o[2]' is not directly connected to top level port. 'IOSTANDARD' is ignored by
```

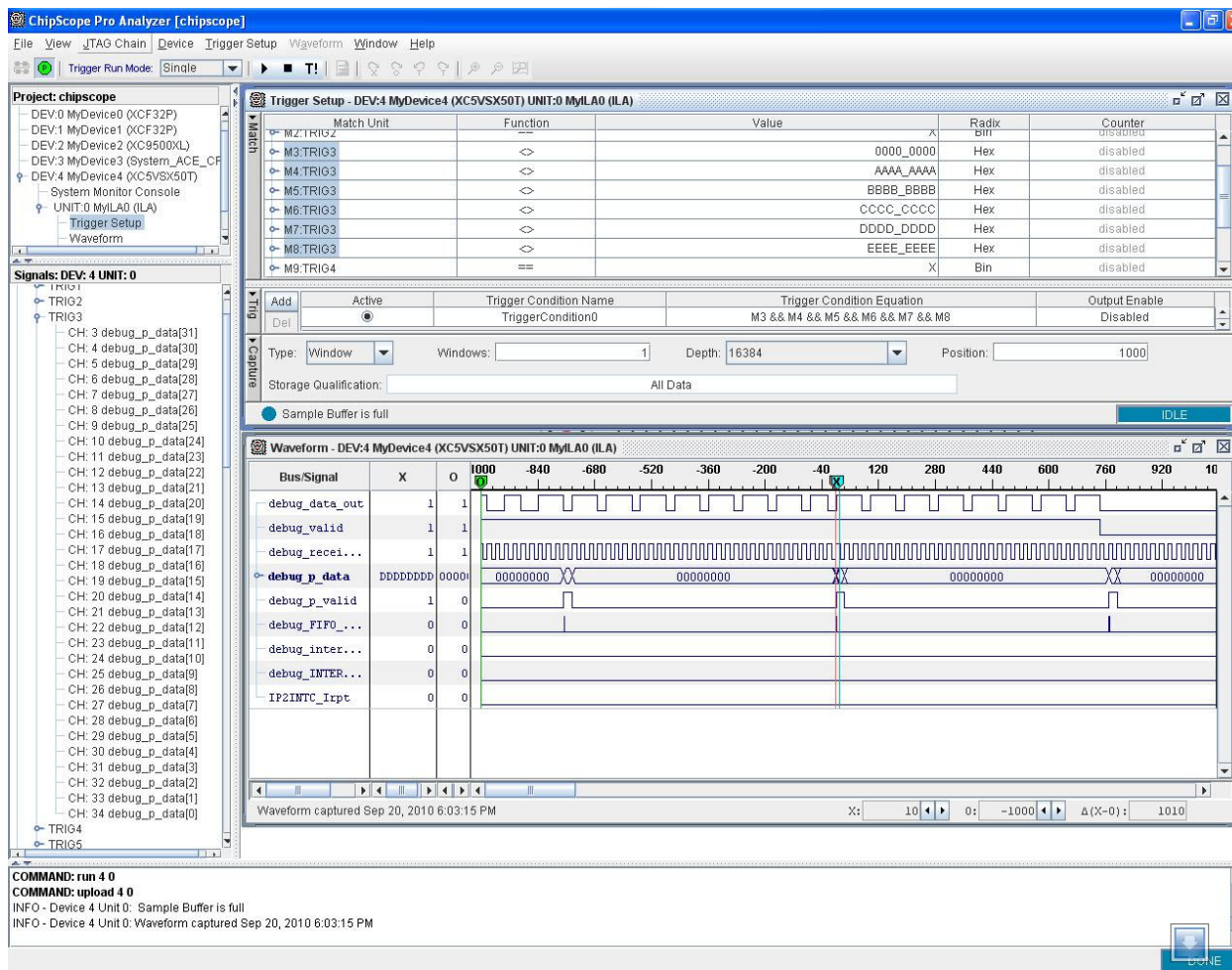




ابزارهای شناخته شده (ادامه)



ابزارهای شناخته شده (ادامه)



ChipScope Pro Analyzer [chipscope]

File View JTAG Chain Device Trigger Setup Waveform Window Help

Trigger Run Mode: Single

Project: chipscope

- DEV:0 MyDevice0 (XCF32P)
- DEV:1 MyDevice1 (XCF32P)
- DEV:2 MyDevice2 (XC9500XL)
- DEV:3 MyDevice3 (System_ACE_CF)
- DEV:4 MyDevice4 (XC5VSX50T)
 - System Monitor Console
 - UNIT:0 MyLA0 (ILA)
 - Trigger Setup
 - Waveform

Signals: DEV: 4 UNIT: 0

- TRIG1
- TRIG2
- TRIG3
 - CH: 3 debug_p_data[31]
 - CH: 4 debug_p_data[30]
 - CH: 5 debug_p_data[29]
 - CH: 6 debug_p_data[28]
 - CH: 7 debug_p_data[27]
 - CH: 8 debug_p_data[26]
 - CH: 9 debug_p_data[25]
 - CH: 10 debug_p_data[24]
 - CH: 11 debug_p_data[23]
 - CH: 12 debug_p_data[22]
 - CH: 13 debug_p_data[21]
 - CH: 14 debug_p_data[20]
 - CH: 15 debug_p_data[19]
 - CH: 16 debug_p_data[18]
 - CH: 17 debug_p_data[17]
 - CH: 18 debug_p_data[16]
 - CH: 19 debug_p_data[15]
 - CH: 20 debug_p_data[14]
 - CH: 21 debug_p_data[13]
 - CH: 22 debug_p_data[12]
 - CH: 23 debug_p_data[11]
 - CH: 24 debug_p_data[10]
 - CH: 25 debug_p_data[9]
 - CH: 26 debug_p_data[8]
 - CH: 27 debug_p_data[7]
 - CH: 28 debug_p_data[6]
 - CH: 29 debug_p_data[5]
 - CH: 30 debug_p_data[4]
 - CH: 31 debug_p_data[3]
 - CH: 32 debug_p_data[2]
 - CH: 33 debug_p_data[1]
 - CH: 34 debug_p_data[0]
- TRIG4
- TRIG5

Trigger Setup - DEV:4 MyDevice4 (XC5VSX50T) UNIT:0 MyLA0 (ILA)

Match	Unit	Function	Value	Radix	Counter
M2:TRIG2				X	disabled
M3:TRIG3			0000_0000	Hex	disabled
M4:TRIG3			AAAA_AAAA	Hex	disabled
M5:TRIG3			BBBB_BBBB	Hex	disabled
M6:TRIG3			CCCC_CCCC	Hex	disabled
M7:TRIG3			DDDD_DDDD	Hex	disabled
M8:TRIG3			EEEE_EEEE	Hex	disabled
M9:TRIG4				X	disabled

Trigger Condition

Add	Active	Trigger Condition Name	Trigger Condition Equation	Output Enable
Del	<input checked="" type="radio"/>	TriggerCondition0	M3 && M4 && M5 && M6 && M7 && M8	Disabled

Type: Window Windows: 1 Depth: 16384 Position: 1000

Storage Qualification: All Data

Sample Buffer is full

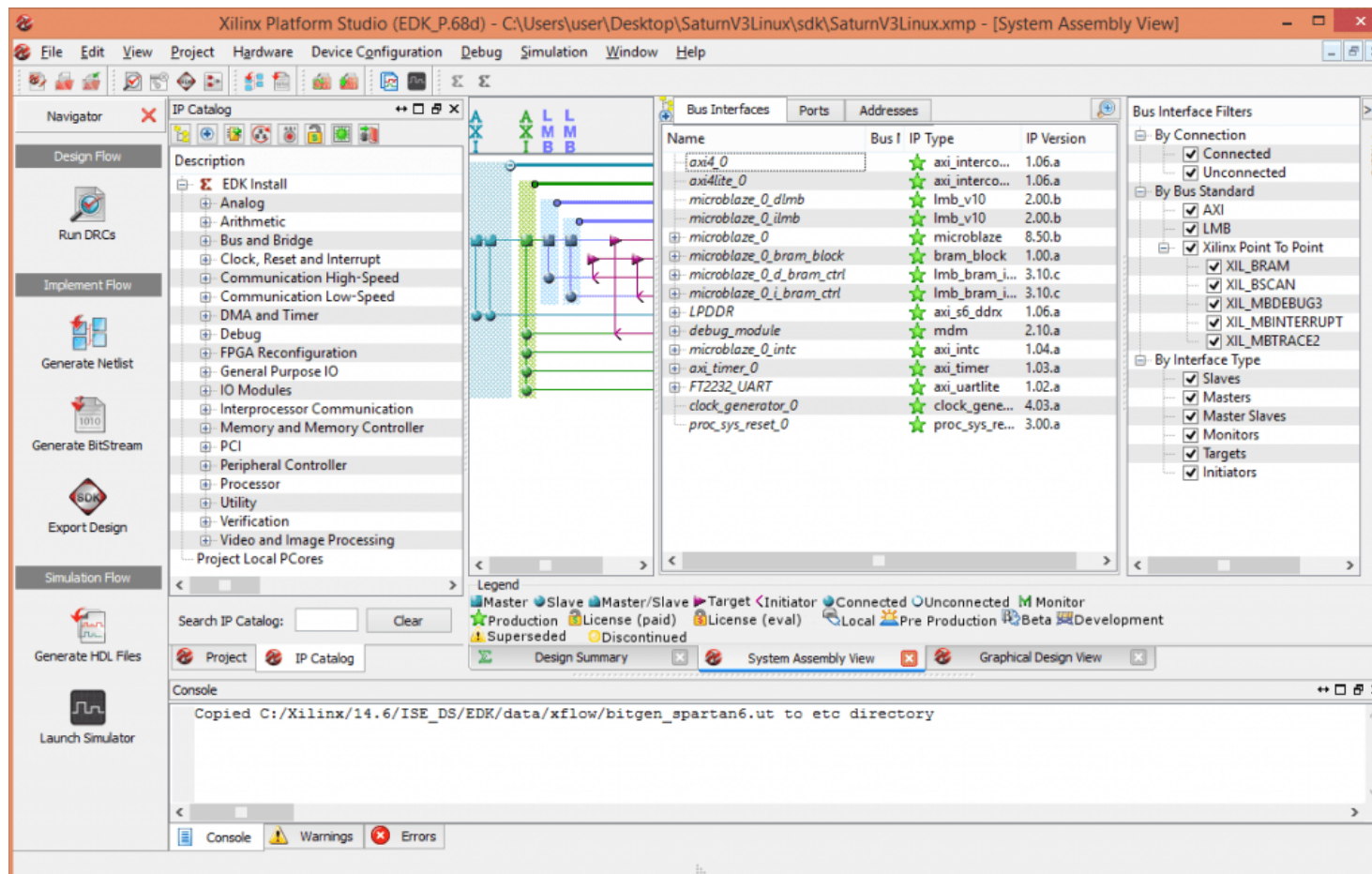
Waveform - DEV:4 MyDevice4 (XC5VSX50T) UNIT:0 MyLA0 (ILA)

Bus/Signal	X	O
debug_data_out	1	1
debug_valid	1	1
debug_recei...	1	1
debug_p_data	DDDDDDDD	00000000
debug_p_valid	1	0
debug_FIFO...	0	0
debug_inter...	0	0
debug_INTER...	0	0
IP2INTC_Irpt	0	0

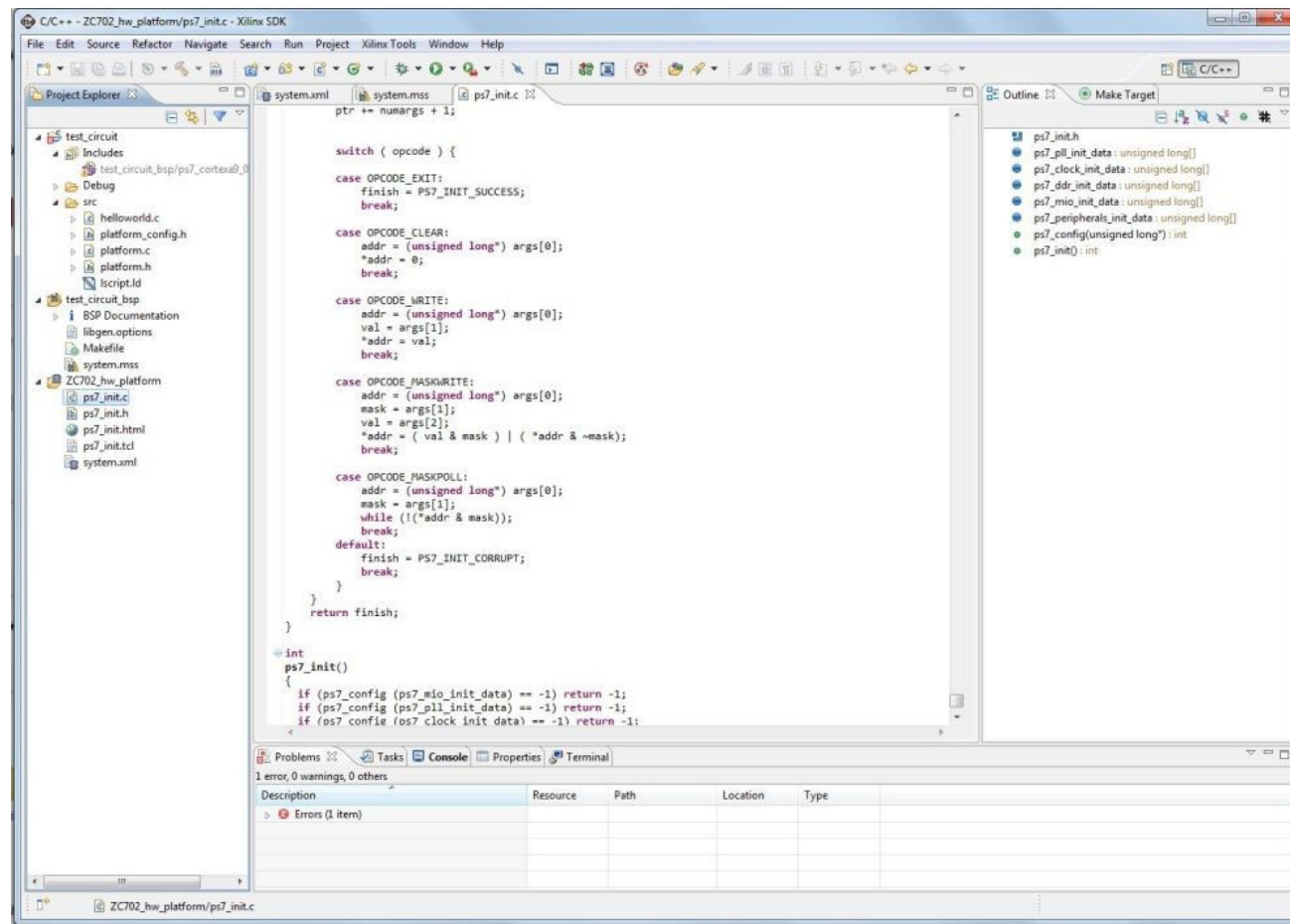
Waveform captured Sep 20, 2010 6:03:15 PM

COMMAND: run 4 0
COMMAND: upload 4 0
INFO - Device 4 Unit 0: Sample Buffer is full
INFO - Device 4 Unit 0: Waveform captured Sep 20, 2010 6:03:15 PM

ابزارهای شناخته شده (ادامه)



ابزارهای شناخته شده (ادامه)



ابزارهای شناخته شده (ادامه)

