



زبان های توصیف سخت افزار و مدارها

دانشگاه صنعتی اصفهان

دانشکده مهندسی برق و کامپیوتر

امیر خورسندی

زمستان ۱۴۰۱

مقدمه

فهرست مطالب

- سیستم های دیجیتال

- انواع تراشه ها

- FPGA

- HDL

- انواع FPGA و ابزارهای مرتبط

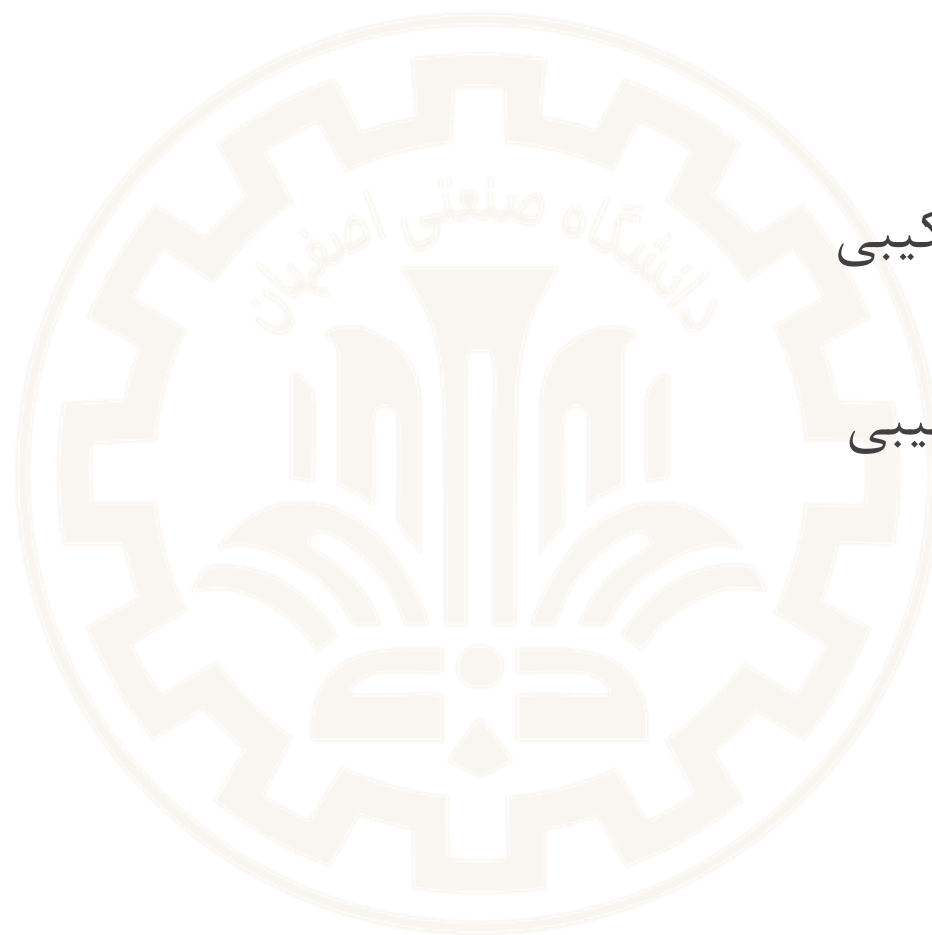


سیستم های دیجیتال

- سیستم دیجیتال

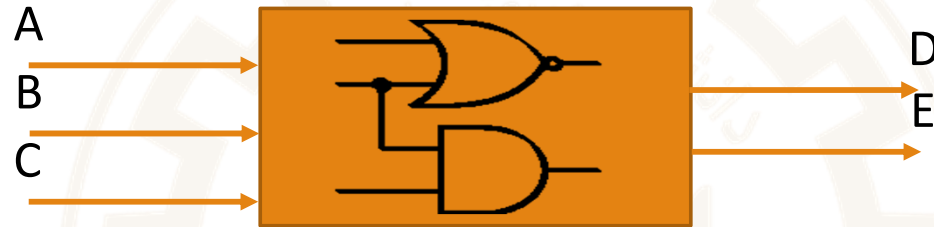
- مدارهای منطقی ترکیبی

- مدارهای منطقی ترتیبی



مدارهای ترکیبی

- به صورت یک تابع از صرفاً سیگنال های ورودی تعریف می شود:



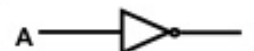
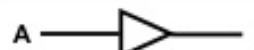






$$D = f_1(A, B, C)$$

$$E = f_2(A, B, C)$$

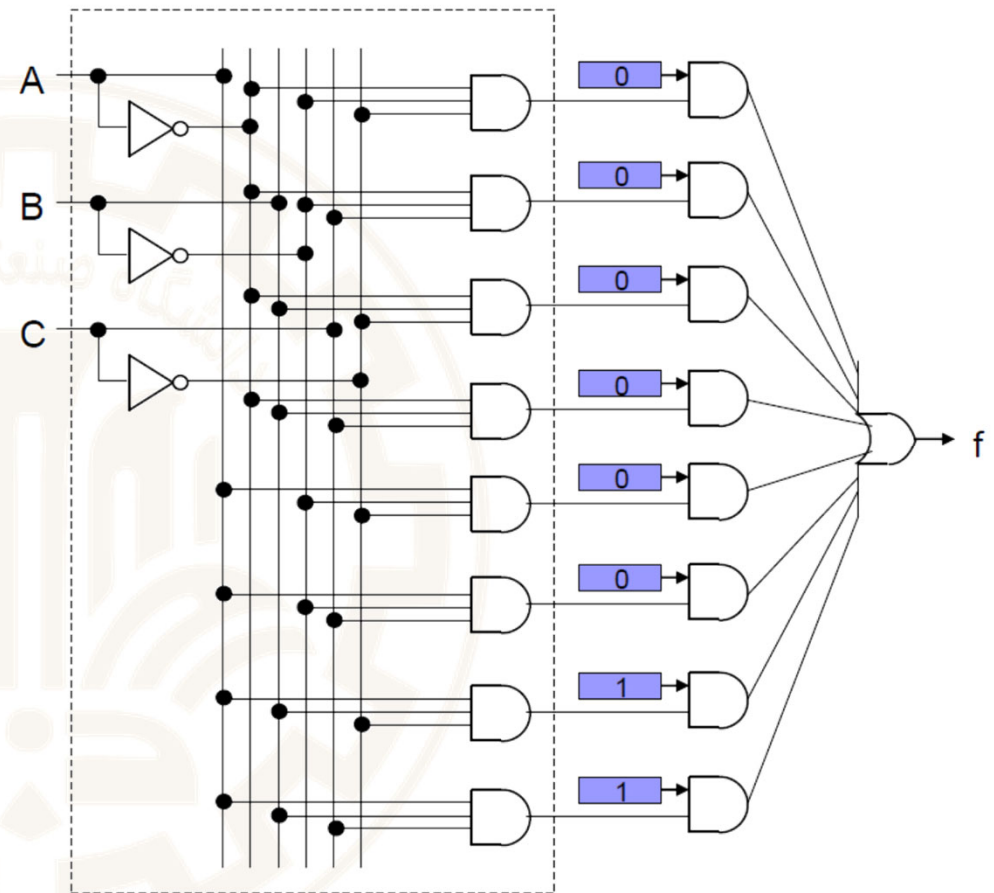
در این مدارها المان حافظه و حلقه وجود ندارد.

دروازه های ترکیبی

Name	Symbol	Function	Truth Table															
AND		$X = A \cdot B$ or $X = AB$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	X	0	0	0	0	1	0	1	0	0	1	1	1
A	B	X																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$X = A + B$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	X	0	0	0	0	1	1	1	0	1	1	1	1
A	B	X																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
I		$X = A'$	<table><tr><th>A</th><th>X</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	X	0	1	1	0									
A	X																	
0	1																	
1	0																	
Buffer		$X = A$	<table><tr><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	X	0	0	1	1									
A	X																	
0	0																	
1	1																	
NAND		$X = (AB)'$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	X	0	0	1	0	1	1	1	0	1	1	1	0
A	B	X																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$X = (A + B)'$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	X	0	0	1	0	1	0	1	0	0	1	1	0
A	B	X																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR Exclusive OR		$X = A \oplus B$ or $X = A'B + AB'$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	X	0	0	0	0	1	1	1	0	1	1	1	0
A	B	X																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR Exclusive NOR or Equivalence		$X = (A \oplus B)'$ or $X = A'B' + AB$	<table><tr><th>A</th><th>B</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	X	0	0	1	0	1	0	1	0	0	1	1	1
A	B	X																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

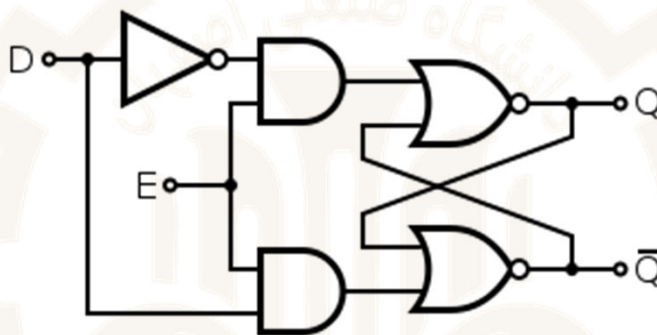
جدول درستی

A	B	C	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

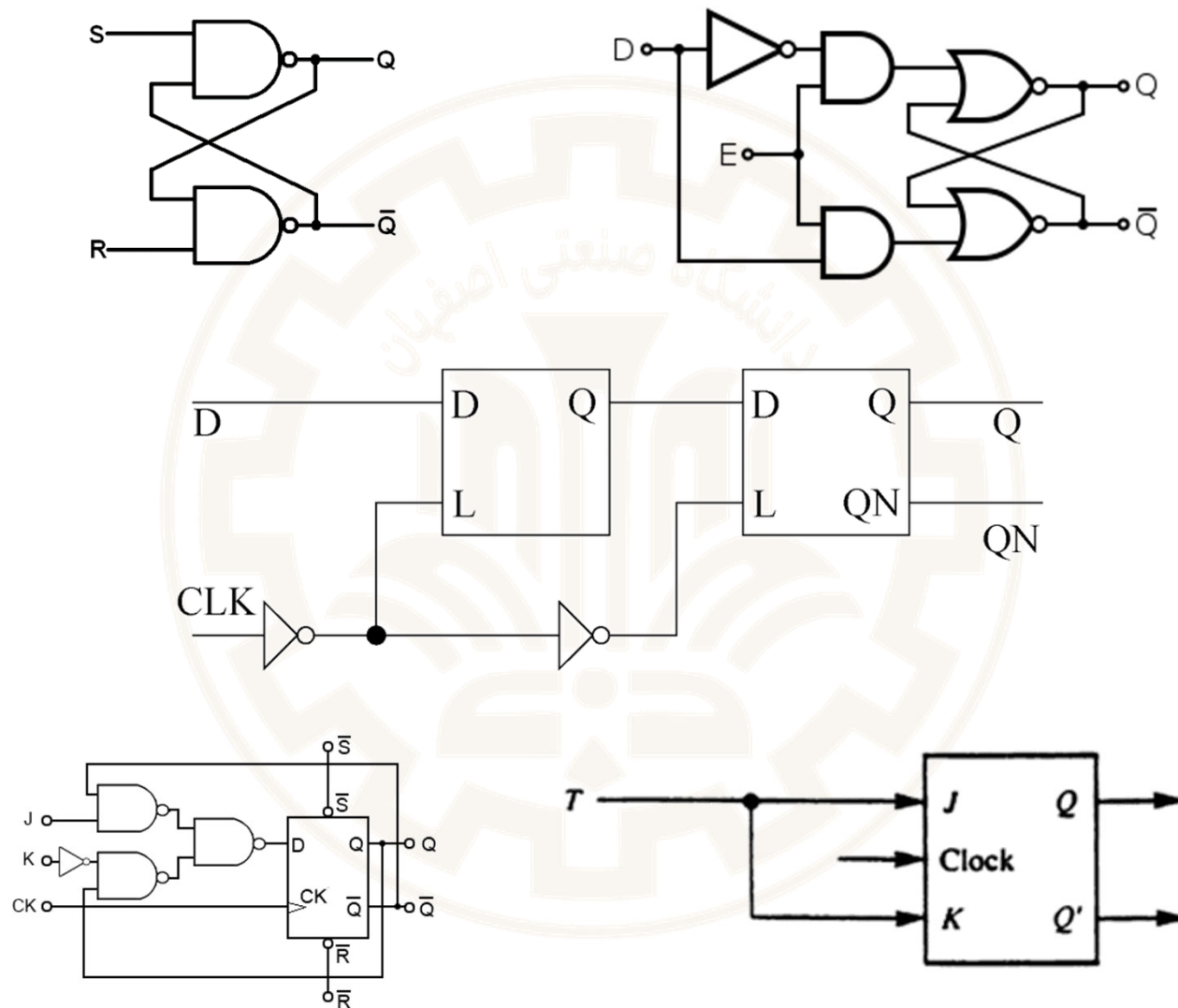


مدارهای ترتیبی

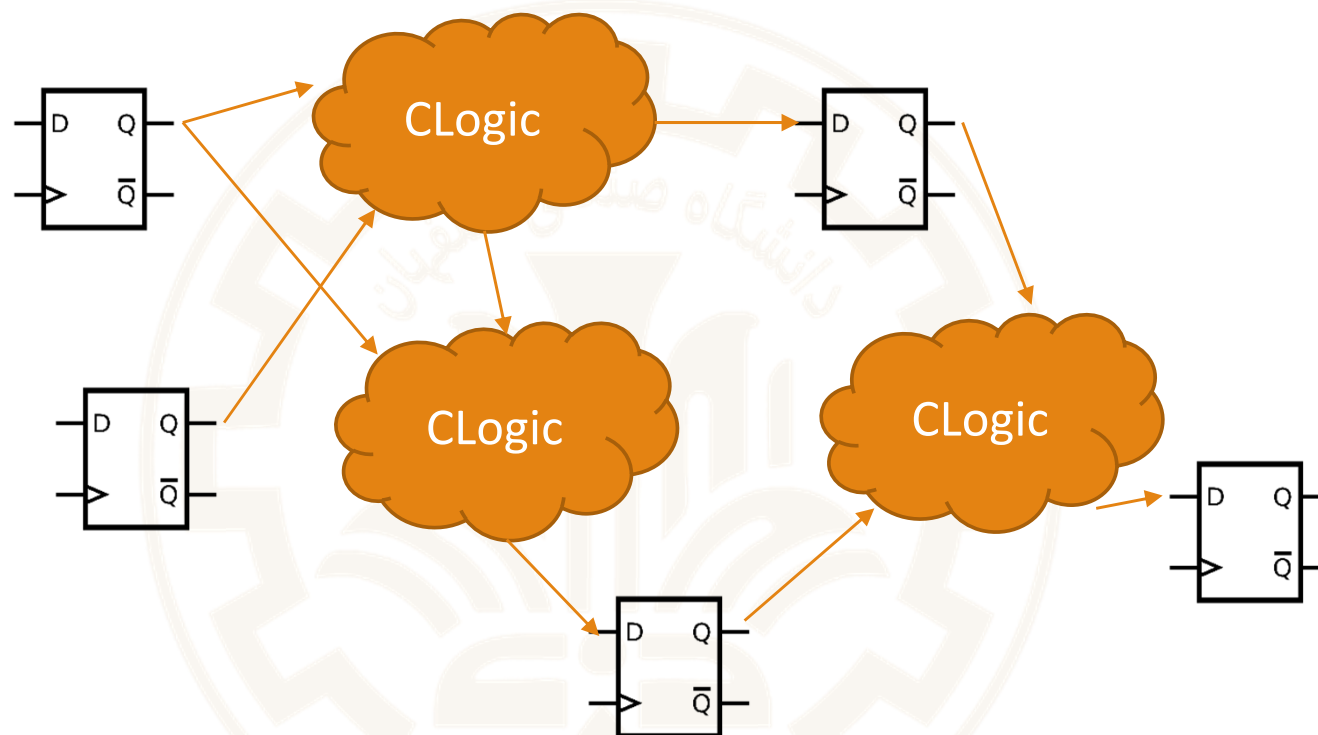
- به صورت یک تابع از سیگنال های ورودی در زمان های متفاوت تعریف می شود:



المان های پایه ترکیبی



شمای کلی یک سیستم دیجیتال



انواع تراشه ها

- خاص منظوره: ASIC

- قابل برنامه ریزی

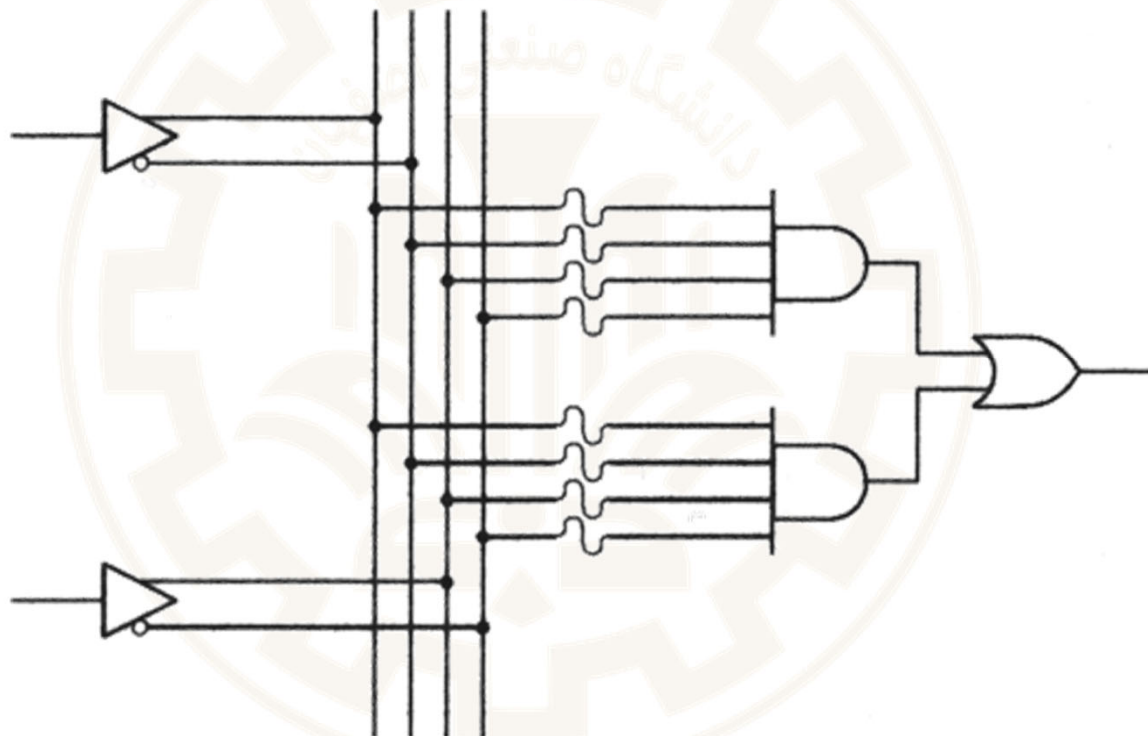
- PLD

- FPGA



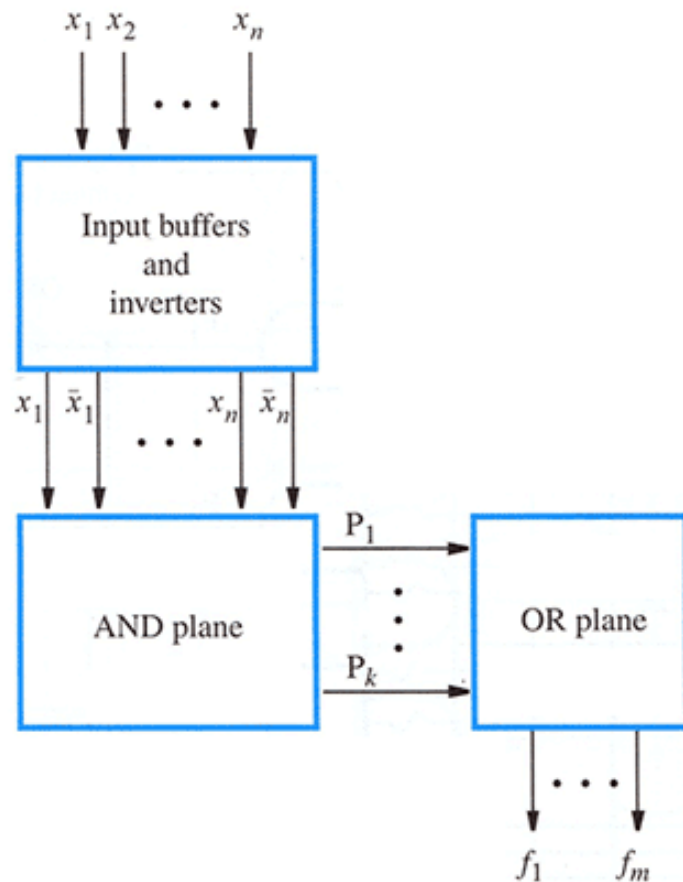
تراشه های PLD

PAL •

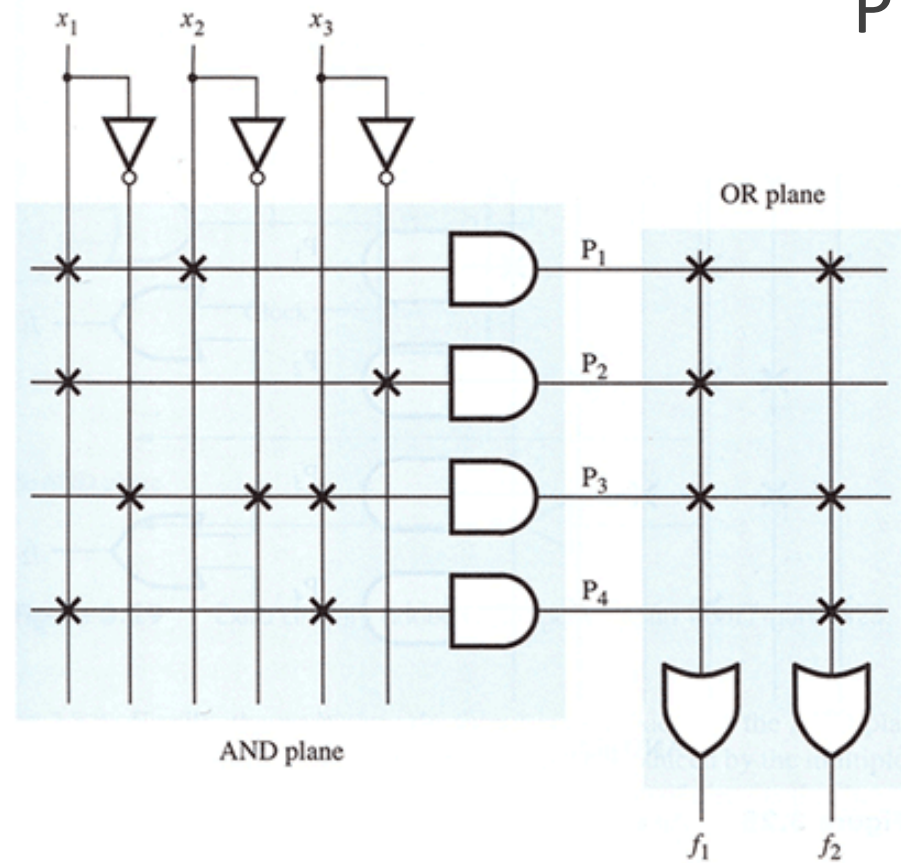


تراشه های PLD (ادامه)

PLA •



General structure of a PLA



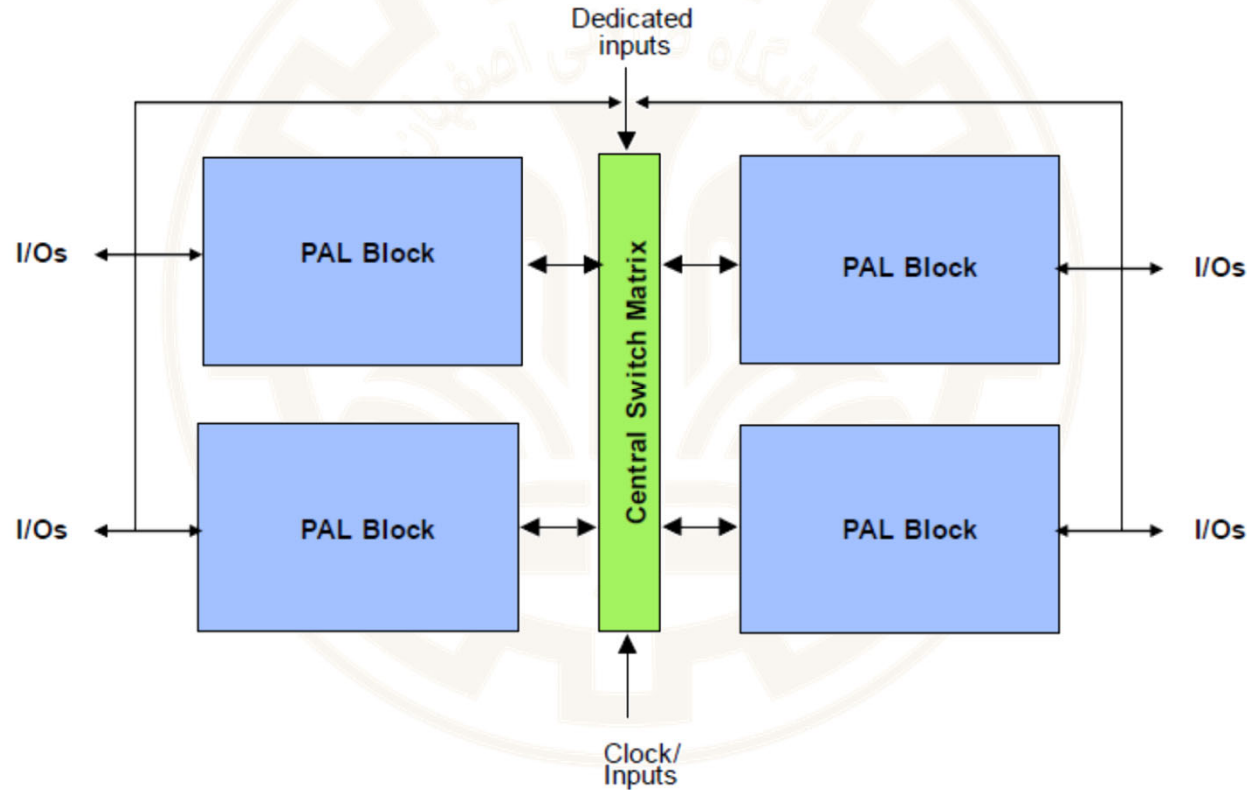
Customary schematic for PLA

تراشه های PLD (ادامه)

BASIS FOR COMPARISON	PLA	PAL
Stands for	Programmable Logic Array	Programmable Array Logic
Construction	Programmable array of AND and OR gates.	Programmable array of AND gates and fixed array of OR gates.
Availability	Less prolific	More readily available
Flexibility	Provides more programming flexibility.	Offers less flexibility, but more likely used.
Cost	Expensive	Intermediate cost
Number of functions	Large number of functions can be implemented.	Provides the limited number of functions.
Speed	Slow	High

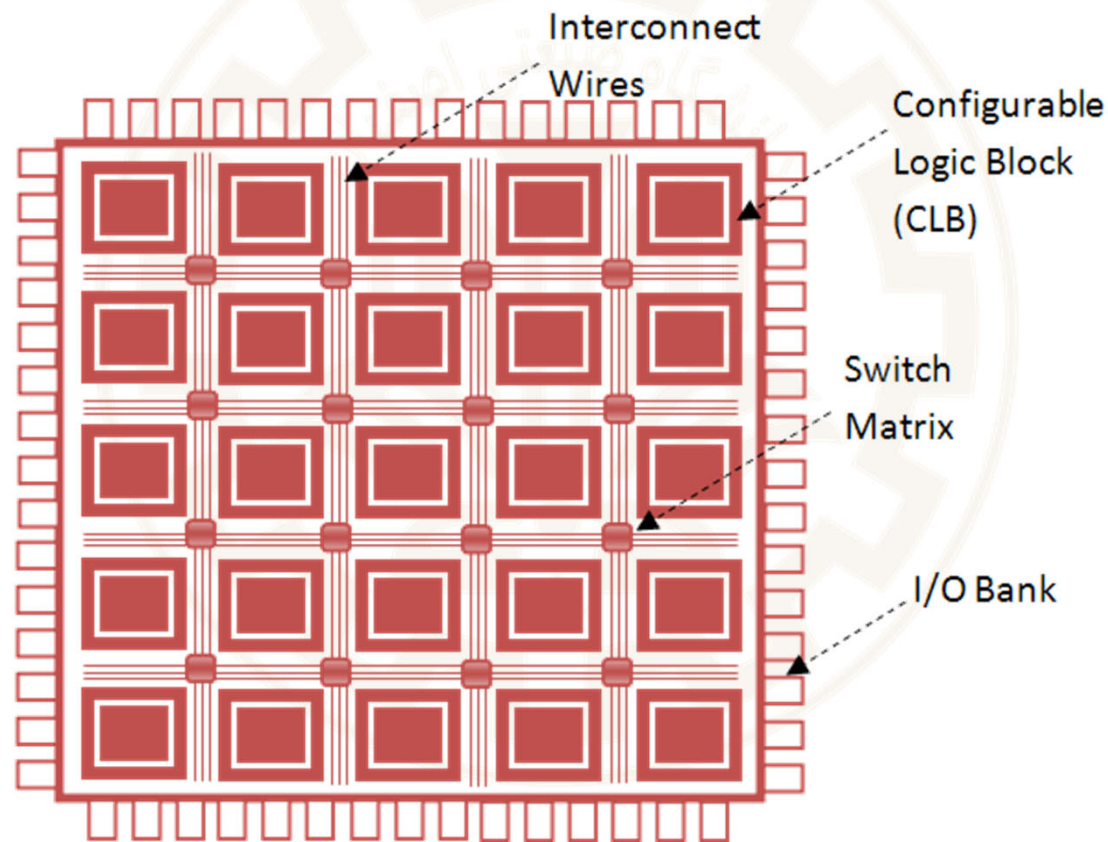
تراشه های PLD (ادامه)

- CPLD: ساختار ارتباطی قابل برنامه ریزی

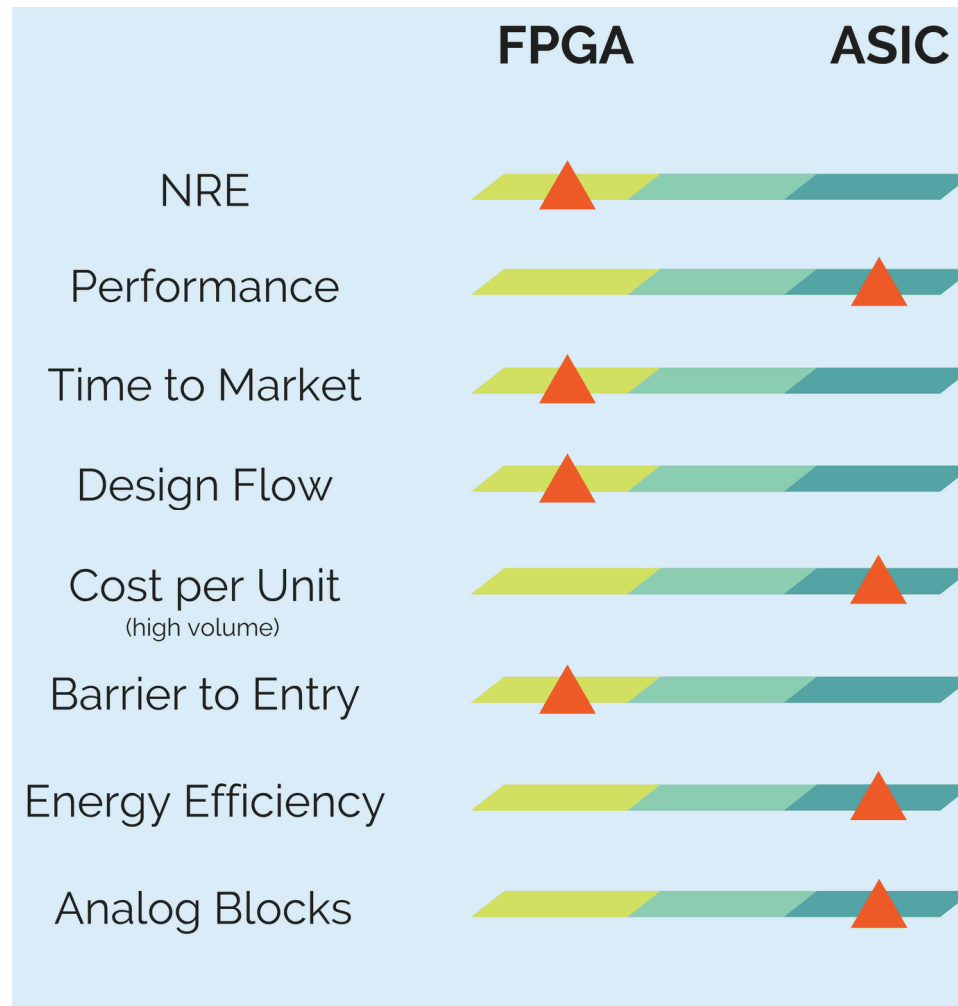


FPGA

- تعبیه عناصر پایه سخت افزاری بر روی تراشه به همراه ساختار ارتباطی قابل برنامه ریزی



FPGA در مقایسه با ASIC



زبان های توصیف سخت افزار

- یک زبان برنامه نویسی که با هدف توصیف اجزاء، ارتباطات و کارکرد یک سیستم سخت افزاری طراحی شده است.
- ویژگی اصلی این زبان ها برنامه نویسی همروند است.

انواع زبان های HDL

Verilog •

VHDL •

```
module
HALF_ADDER (
    A, B,
    S, C
);

    input A, B;
    output S, C;

    assign S = A ^ B;
    assign C = A & B;
endmodule
```

```
library IEEE;
use IEEE.std_logic_1164.all;

entity HALF_ADDER is
    port ( A, B : in std_logic;
           S, C : out std_logic );
end HALF_ADDER;

architecture STRUCTURE of HALF_ADDER is
begin
    S <= A xor B;
    C <= A and B;
end STRUCTURE;
```