



به نام خدا

معماری و سازمان کامپیوتر - نیمسال 4012

تکلیف شماره سوم

تنظیم کننده: امیررضا حسینی

## فصل پنجم: سازمان و طراحی یک کامپیوتر پایه

سوال چهارم)

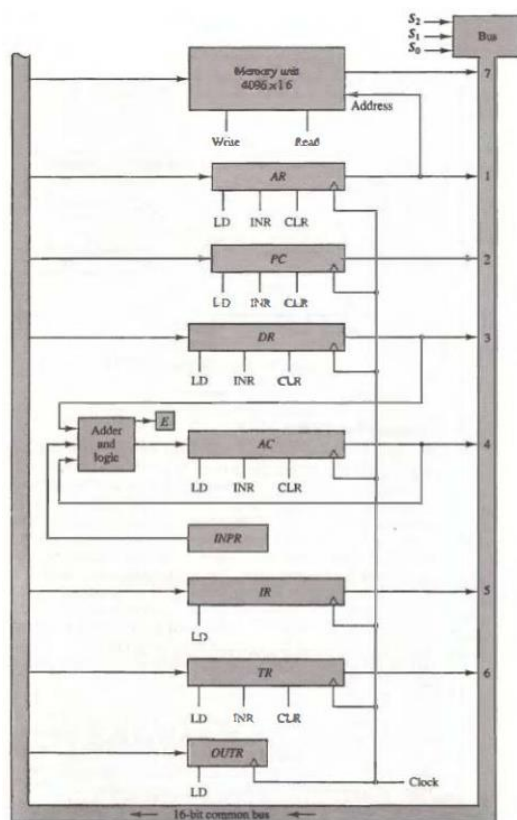


Figure 5-4 Basic computer registers connected to a common bus.

	(1) $S_2 S_1 S_0$	(2) Load(LD)	(3) Memory	(4) Adder
(a) $AR \leftarrow PC$	010 (PC)	AR	—	—
(b) $IR \leftarrow M[AR]$	111 (M)	IR	Read	—
(c) $M[AR] \leftarrow TR$	110 (TR)	—	Write	—
(d) $DR \leftarrow AC$ $AC \leftarrow DR$	100 (AC)	DR and AC	—	Transfer DR to AC

توضیح قسمت (d): توجه کنید که این دو عمل همزمان میتوانند انجام پذیرند چون یکی از گذرگاه استفاده کرده و دیگری نیاز به گذرگاه ندارد. همچنین با توجه به حساس بر لبه بودن ثباتها و در نظر گرفتن زمان انتشار مقدارهای نامعتبر (در اثر تغییر مقدار همزمان) در ثباتها ثبت نمیشود.

سوال دهم)

	PC	AR	DR	AC	IR
مقدار اولیه	021	—	—	A937	—
AND	022	083	B8F2	A832	0083
ADD	022	083	B8F2	6229	1083
LDA	022	083	B8F2	B8F2	2083
STA	022	083	—	A937	3083
BUN	083	083	—	A937	4083
BSA	084	084	—	A937	5083
ISZ	022	083	B8F3	A937	6083

سوال دوازدهم)

الف) باتوجه به محتوا داخل آدرس 3AF داریم:

$$9_{10} = (1001)_2$$

$$I=1 \quad \text{ADD} \Rightarrow \text{ADD} \mid 32E$$

در نتیجه داریم:

حافظه	
3AF	932E
32E	09AC
9AC	8B9F

ب)

$$\text{جمع} \quad AC = 7EC3$$

$$DR = 8B9F$$

$$0A62 \quad (E=1)$$

PC=3AF+1=3B0

AR=9AC

DR=8B9F

AC=0A62

IR=932E

E=1

I=1

SC=0000

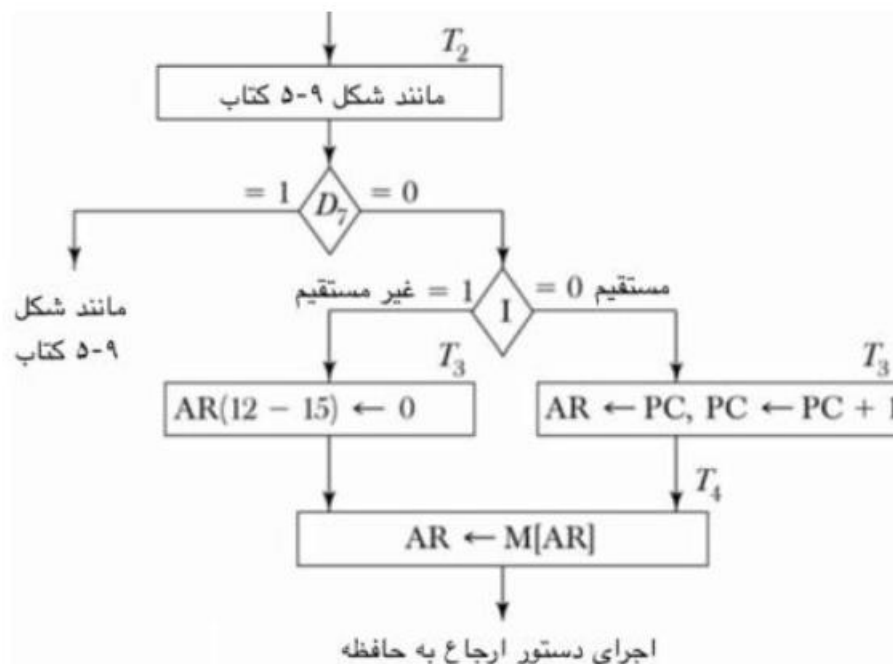
سوال سیزدهم)

**TABLE 5-4** Memory-Reference Instructions

Symbol	Operation decoder	Symbolic description
AND	$D_0$	$AC \leftarrow AC \wedge M[AR]$
ADD	$D_1$	$AC \leftarrow AC + M[AR], \quad E \leftarrow C_{out}$
LDA	$D_2$	$AC \leftarrow M[AR]$
STA	$D_3$	$M[AR] \leftarrow AC$
BUN	$D_4$	$PC \leftarrow AR$
BSA	$D_5$	$M[AR] \leftarrow PC, \quad PC \leftarrow AR + 1$
ISZ	$D_6$	$M[AR] \leftarrow M[AR] + 1,$ If $M[AR] + 1 = 0$ then $PC \leftarrow PC + 1$

<u>XOR</u>	$D_0T_4$ :	$DR \leftarrow M[AR]$
	$D_0T_5$ :	$AC \leftarrow AC \oplus DR, SC \leftarrow 0$
<u>ADM</u>	$D_1T_4$ :	$DR \leftarrow M[AR]$
	$D_1T_5$ :	$DR \leftarrow AC, AC \leftarrow AC + DR$
	$D_1T_6$ :	$M[AR] \leftarrow AC, AC \leftarrow DR, SC \leftarrow 0$
<u>SUB</u>	$D_2T_4$ :	$DR \leftarrow M[AR]$
	$D_2T_5$ :	$DR \leftarrow AC, AC \leftarrow DR$
	$D_2T_6$ :	$AC \leftarrow \overline{AC}$
	$D_2T_7$ :	$AC \leftarrow AC + 1$
	$D_2T_8$ :	$AC \leftarrow AC + DR, SC \leftarrow 0$
<u>XCH</u>	$D_3T_4$ :	$DR \leftarrow M[AR]$
	$D_3T_5$ :	$M[AR] \leftarrow AC, AC \leftarrow DR, SC \leftarrow 0$
<u>SEQ</u>	$D_4T_4$ :	$DR \leftarrow M[AR]$
	$D_4T_5$ :	$TR \leftarrow AC, AC \leftarrow AC \oplus DR$
	$D_4T_6$ :	If $(AC = 0)$ then $(PC \leftarrow PC + 1), AC \leftarrow TR, SC \leftarrow 0$
<u>BPA</u>	$D_5T_4$ :	If $(AC \neq 0 \wedge AC(15) = 0)$ then $(PC \leftarrow M[AR]), SC \leftarrow 0$

سوال پانزدهم)



این طراحی از هدر رفتن T3 در حالت آدرس‌دهی مستقیم جلوگیری کرده و از آن برای آدرس‌دهی ۱۶ بیتی استفاده کرده که حافظه‌ی بزرگتری را پشتیبانی میکند.

سوال بیست و پنجم)

از جدول ۵-۶ کتاب داریم:

$$\text{CLR}(\text{SC}) = RT_2 + D_7T_3 + (I' + I) + (D_0 + D_1 + D_2 + D_5)T_5 + (D_3 + D_4)T_4 + D_6T_6$$

