



QFLOW

FLUXO DE PROJETO ASIC

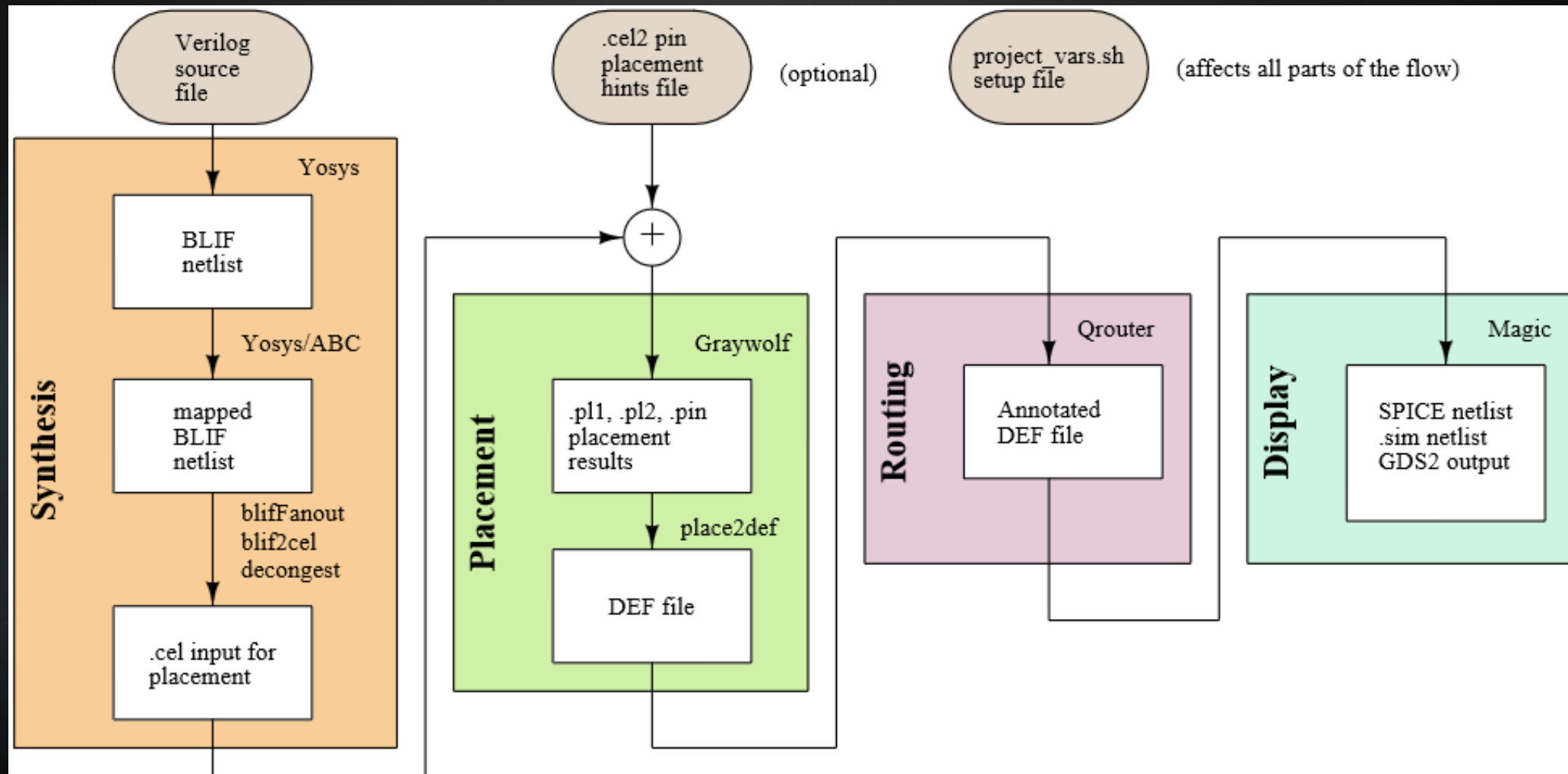
Qflow

- ▶ Qflow é um conjunto de ferramentas que transforma o circuito descrito em verilog ou VHDL em um circuito “físico”;
- ▶ Dividido em diversas ferramentas:
 - ▶ Yosys - Síntese;
 - ▶ Graywolf - *Placement*;
 - ▶ Qrouter - Roteamento;
 - ▶ Magic - Visualização.

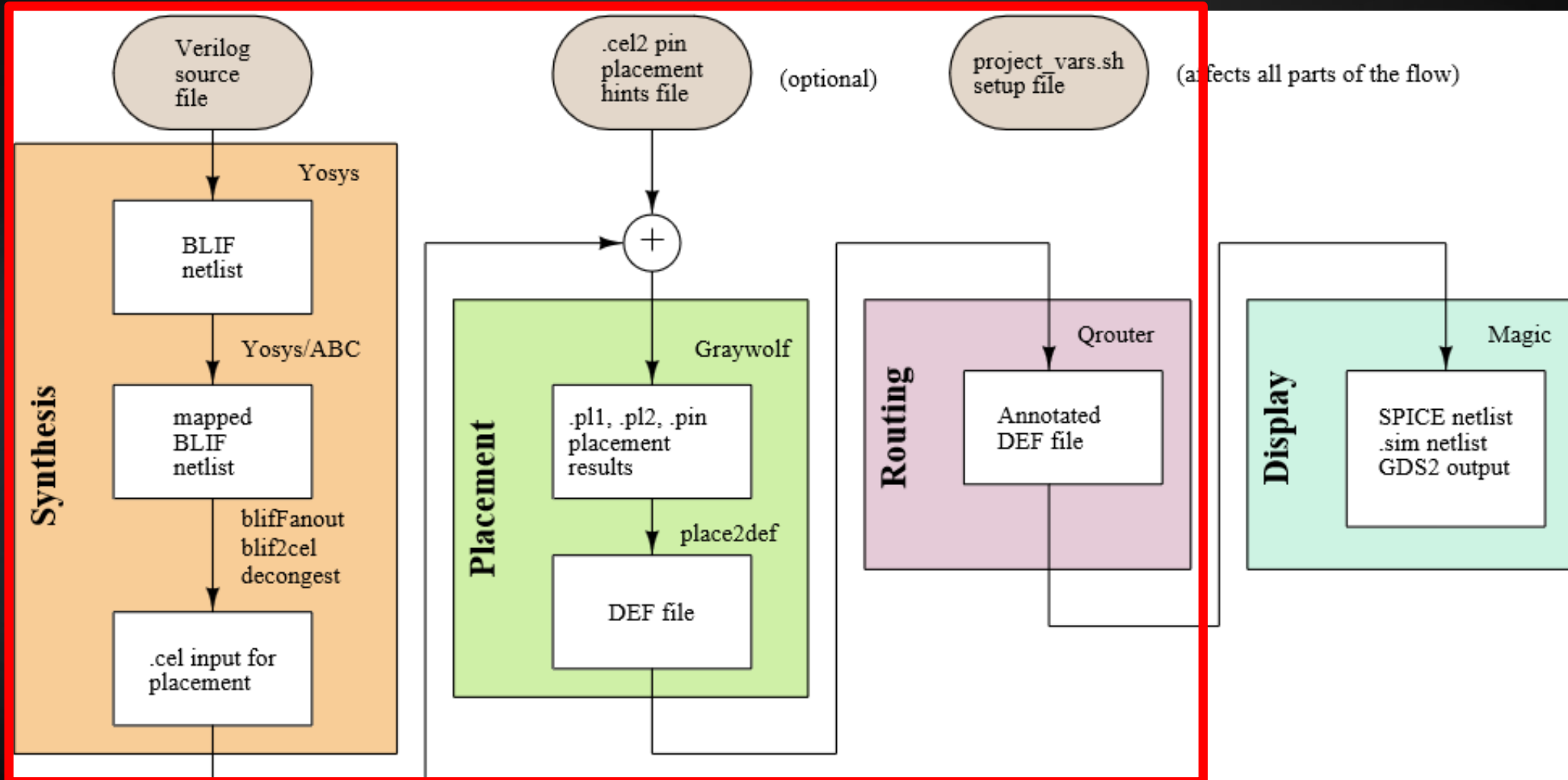
Qflow

- ▶ Qflow é um conjunto de ferramentas que transforma o circuito descrito em verilog ou VHDL em um circuito “físico”;
- ▶ Dividido em diversas ferramentas:
 - ▶ **Yosys - Síntese;**
 - ▶ **Graywolf - Placement;**
 - ▶ **Qrouter - Roteamento;**
 - ▶ Magic - Visualização.

Fluxo Qflow



Fluxo Qflow



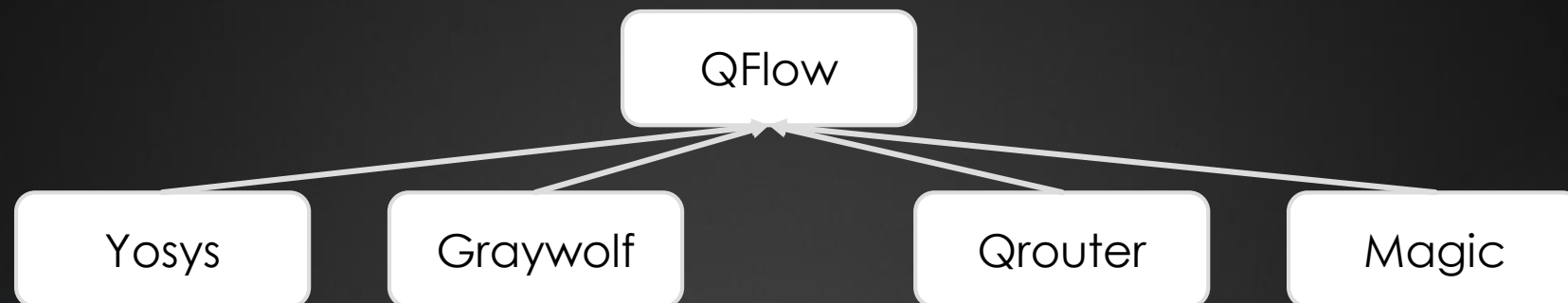
Instalação

- ▶ Uma das partes mais complicadas do processo:
 - ▶ Muitas dependências entre ferramentas;
 - ▶ Muitos pacotes a serem instalados.

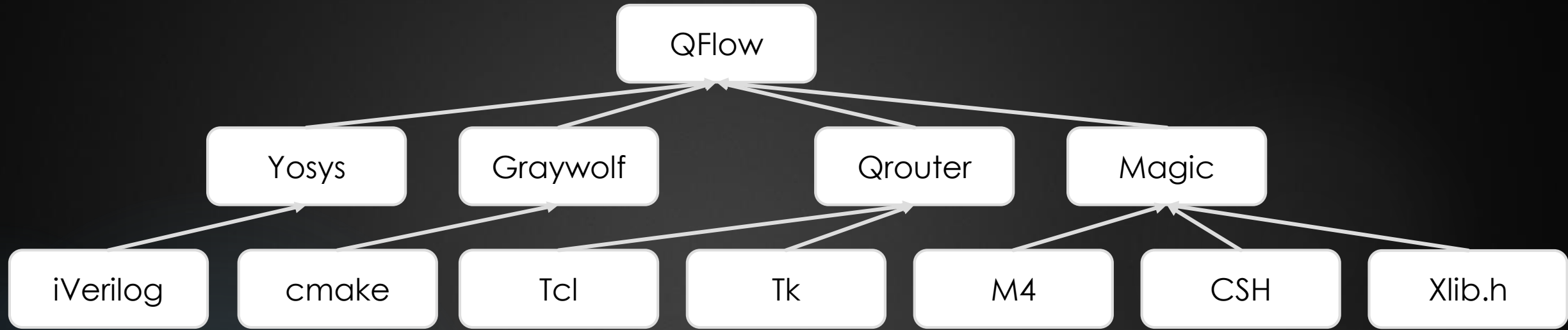
Instalação

QFlow

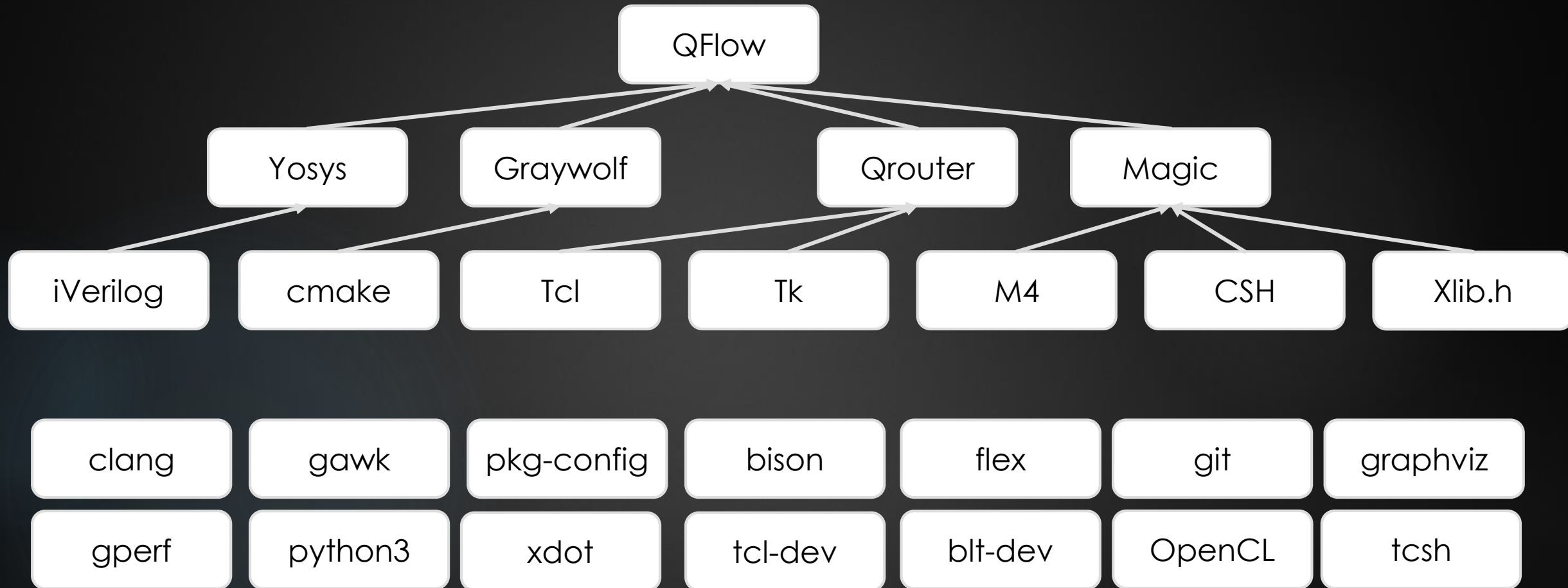
Instalação



Instalação



Instalação



Instalação

- ▶ Visando facilitar o processo de instalação, foi desenvolvido em um *shell-script*:
 - ▶ **install.sh**
- ▶ Para instalar o Qflow, com suas ferramentas e dependências, basta executar o seguinte comando (na pasta qflow-org):

```
$ ./install.sh
```
- ▶ Desta forma, basta apenas colocar a senha de *root* quando requisitado e pressionar *enter* algumas vezes.

Corrigindo bugs pendentes da Instalação

- ▶ Durante a execução do Qflow, alguns arquivos **.tcl** são utilizados, os quais são interpretados pelo software **tclsh**.
- ▶ Entretanto, estes arquivos “acreditam” que o executável do **tclsh** está na pasta **/bin/tclsh**, ao passo que este se encontra em **/usr/bin/tclsh**
 - ▶ Solução: criar um link na pasta **/bin/** do arquivo **/usr/bin/tclsh**
 - ▶ Como fazer?

```
$ sudo ln -s /usr/bin/tclsh /bin/
```

Antes de utilizar o Qflow: vhdl2verilog

- ▶ O Qflow apenas aceita arquiteturas descritas em *Verilog*, sendo assim devemos traduzi-las para VHDL antes de utilizar no Qflow.
- ▶ Para isto, uma ferramenta possível de ser utilizada é a *vhdl2verilog*, a qual já é disponibilizada junto com os demais arquivos.

Registrando a ferramenta vhdl2verilog

- ▶ Esta ferramenta, embora seja gratuita, deve ser registrada para que possa ser utilizada
 - ▶ Site: <http://form.jotform.me/form/30917447754462>
 - ▶ Preencher o formulário e seguir os passos para obter a licença;
 - ▶ OBS: A licença é enviada por e-mail.

Utilizando a ferramenta vhdl2verilog

- ▶ Após receber a licença por e-mail, entre na pasta **vhdl2verilog/10OCT2015** e digite os seguintes comandos:

```
$ export EDAUTILS_ROOT=$PWD
```

```
$ set path=$EDAUTILS_ROOT/bin $path
```

```
$ export EDAUTILS_LICENSE_KEY=<sua licença>
```

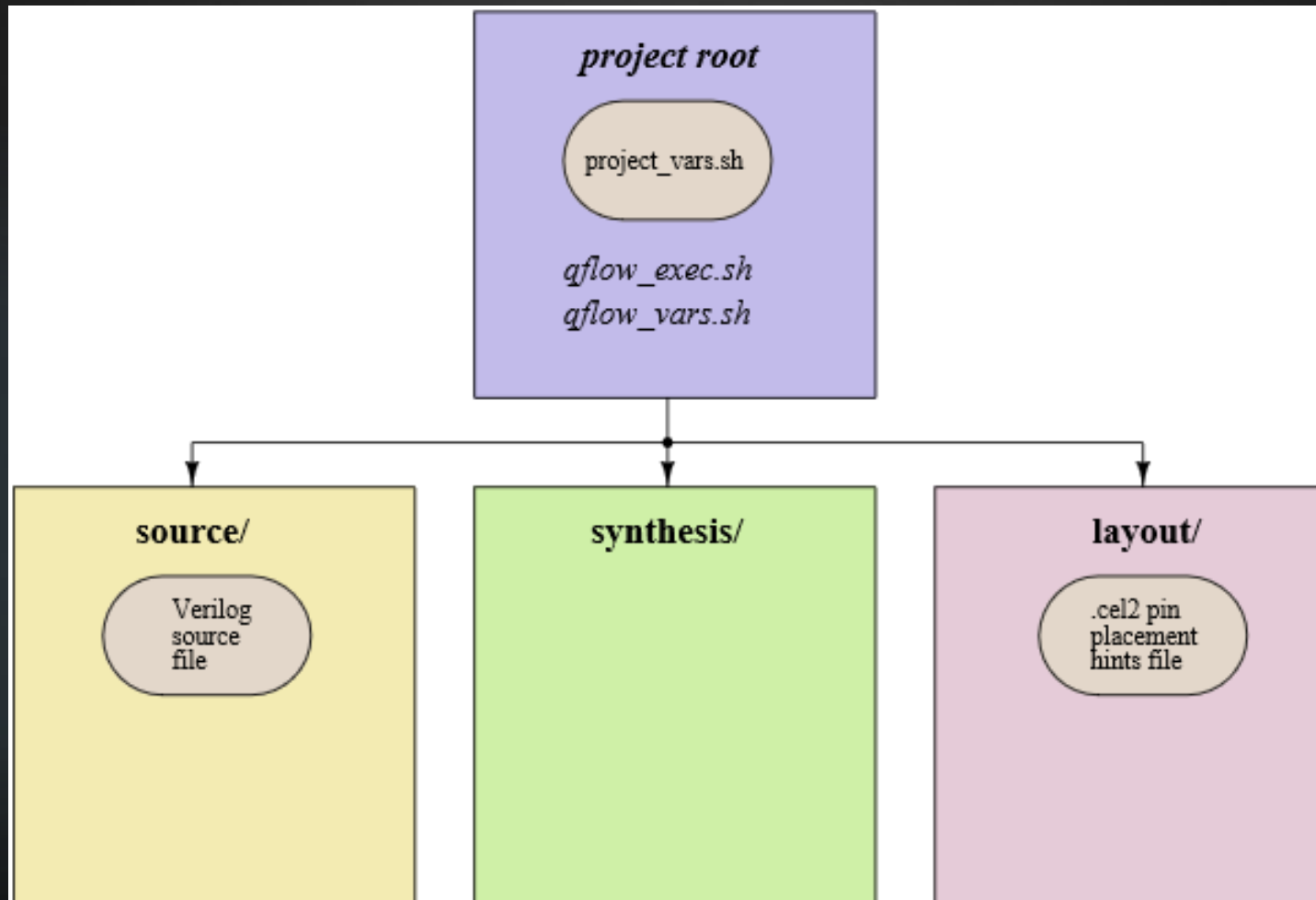
```
$ ./bin/vhdl2verilog -in <arquivo_entrada.vhd> -out <arquivo_saída.v> -top  
<entidade_top_level (sem .vhd)>
```

Utilizando o Qflow

- ▶ Para utilizar o Qflow, crie uma pasta com um nome qualquer, e dentro deste diretório, crie três pastas com estes nomes:
 - ▶ *source*
 - ▶ *layout*
 - ▶ *synthesis*
- ▶ Coloque o arquivo .v (Verilog) dentro da pasta **source**
- ▶ Na pasta raiz do projeto (a que contém as outras 3 pastas), insira o seguinte comando:

```
$ qflow build <arquivo_ponto_v>
```
- ▶ Se nenhum erro ocorrer, a síntese foi realizada com sucesso.
 - ▶ Resultados em synth.log

Utilizando o Qflow



Utilizando o Qflow

- ▶ Após executado o Qflow, será gerado alguns arquivos:
 - ▶ **synth.log**: contém informações geradas durante o processo de síntese da arquitetura;
 - ▶ **project_vars.sh**: seta variáveis a serem utilizadas no projeto;
 - ▶ **qflow_vars.sh**: seta variáveis a serem utilizadas pelo Qflow;
 - ▶ **qflow_exec.sh**: contém o fluxo de execução do projeto.

Gerando dados de Tempo

- ▶ Após executar o comando para realizar a síntese da arquitetura, é importante gerar os resultados de tempo:

```
$ qflow sta <arquivo_ponto_v>
```

Extração dos resultados de área e tempo

- ▶ Um script em python foi desenvolvido para realizar a coleta automática dos dados e mostrar ao usuário.
- ▶ Quando chamado, deve-se passar como parâmetro o arquivo `qflow_vars.sh`, conforme o exemplo abaixo:

```
$ ./showResults.py qflow_vars.sh
```

Mãos a obra!

- Crie uma pasta para o projeto e dentro dela crie outras três pastas conforme a estrutura mencionada anteriormente.

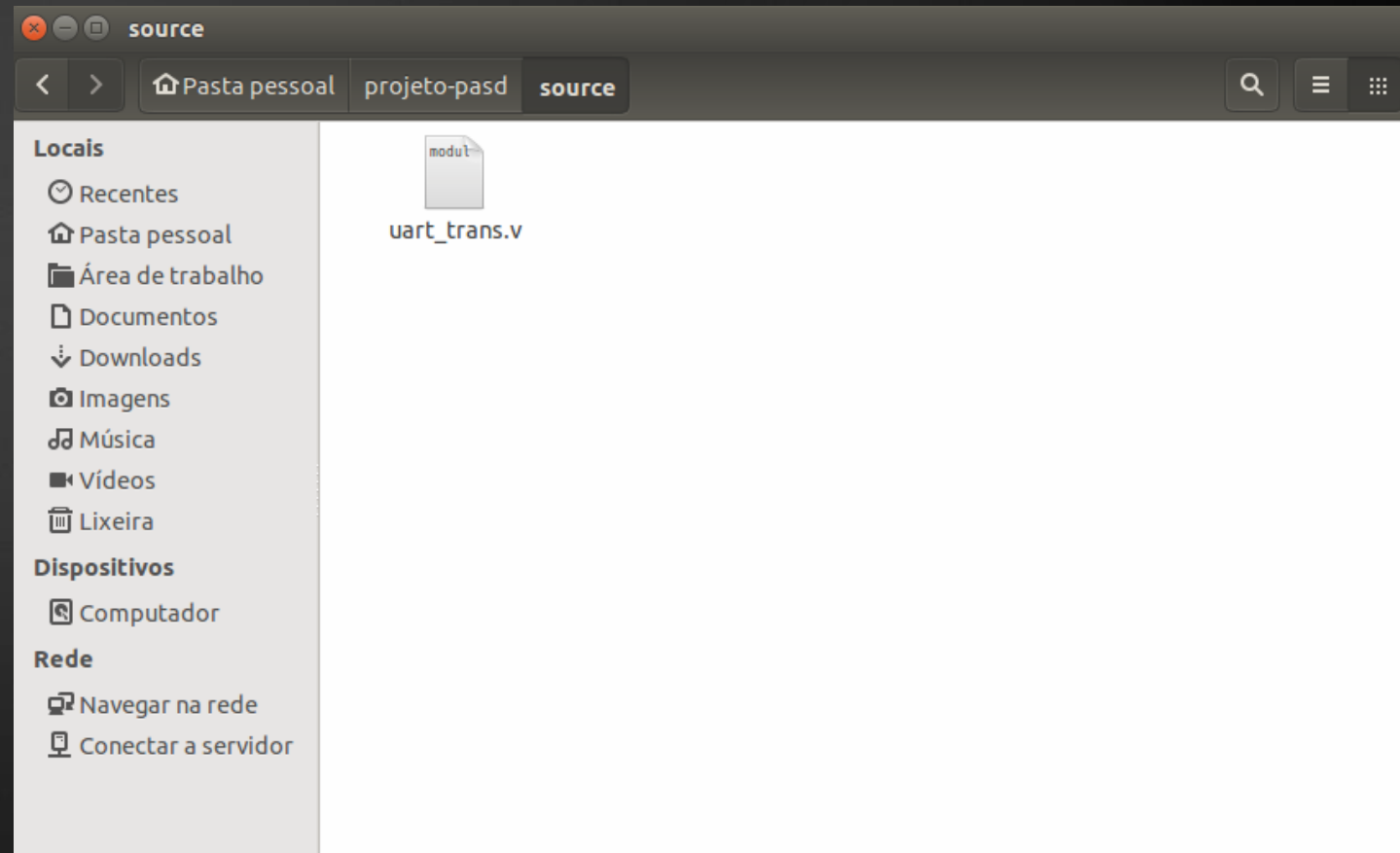
```
ruhan@ruhan-VirtualBox:~$ mkdir projeto-pasd
ruhan@ruhan-VirtualBox:~$ cd projeto-pasd/
ruhan@ruhan-VirtualBox:~/projeto-pasd$ mkdir layout
ruhan@ruhan-VirtualBox:~/projeto-pasd$ mkdir synthesis
ruhan@ruhan-VirtualBox:~/projeto-pasd$ mkdir source
ruhan@ruhan-VirtualBox:~/projeto-pasd$
```

Mãos a obra!

- ▶ Visto que para utilizar o vhdl2verilog é necessário gerar uma licença, vamos pular esta parte...
- ▶ Entre no AVA e baixe o arquivo Verilog disponibilizado.

Mãos a obra!

- Coloque o arquivo Verilog dentro da pasta **source**.



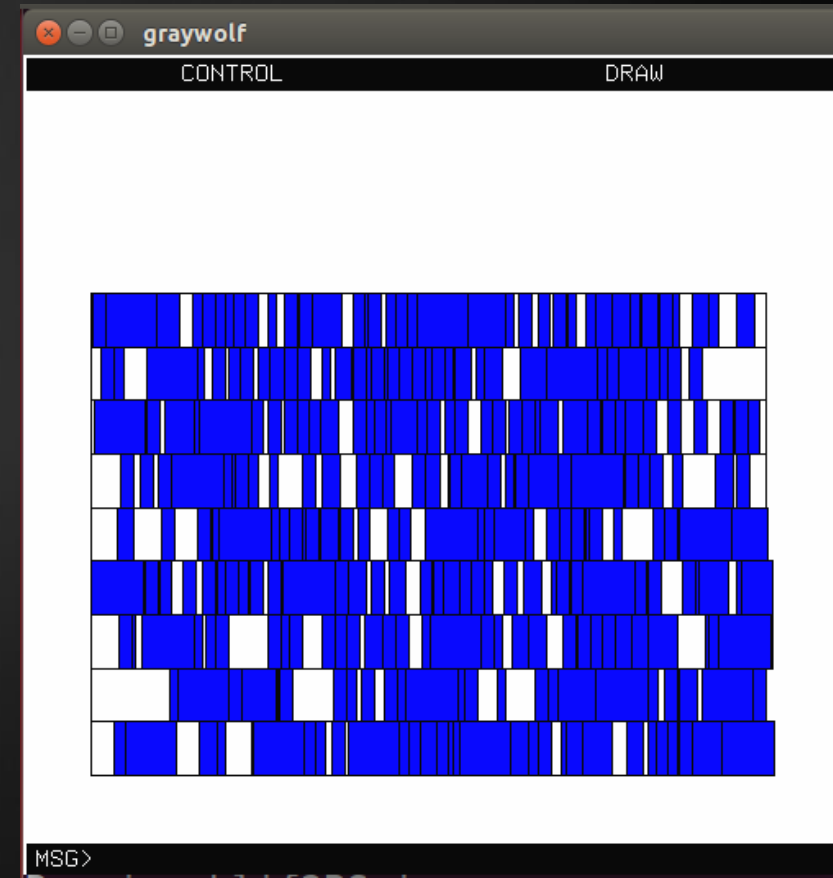
Mãos a obra!

- ▶ Vamos sintetizar a arquitetura descrita em Verilog.

```
ruhan@ruhan-VirtualBox:~/projeto-pasd$ qflow build uart_trans
```


Mãos a obra!

- ▶ Alguns desenhos malucos devem aparecer durante a execução:



Mãos a obra!

- ▶ Se nenhum erro aparecer, a síntese foi concluída com sucesso.
- ▶ Vamos gerar os resultados de tempo da arquitetura:

```
ruhan@ruhan-VirtualBox:~/projeto-pasd$ qflow sta uart_trans
```

Mãos a obra!

- ▶ Próximo passo é executar o script ***showResults***, desenvolvido em **python** para exibir os dados gerados pelo Qflow.
 - ▶ OBS: para facilitar, cole o script na pasta do projeto.

```
ruhan@ruhan-VirtualBox:~/projeto-pasd$ ./showResults.py qflow_vars.sh
```

Mãos a obra!

```
ruhan@ruhan-VirtualBox:~/projeto-pasd$ ./showResults.py qflow_vars.sh
Diretorio do synth.log: /home/ruhan/projeto-pasd/synth.log
Biblioteca de celulas: /usr/local/share/qflow/tech/osu035/osu035_stdcells.lib
```

Portas utilizadas no projeto:

```
OR2X2: 10
AND2X2: 31
XOR2X1: 3
NOR2X1: 51
XNOR2X1: 24
INVX1: 17
NAND2X1: 156
```

NUMERO DE GATES EQUIVALENTES UTILIZADOS: 336.0

FREQUENCIA MAXIMA DE OPERACAO: 243.312 MHz

Links

- ▶ Arquivos fontes, instaladores, scripts gerados pelo grupo:
 - ▶ <https://github.com/radc/qflow>
- ▶ Open Circuits Design:
 - ▶ <http://opencircuitdesign.com/>
- ▶ EDA Utils
 - ▶ <http://www.edautils.com/>
 - ▶ <http://www.edautils.com/vhdl2verilog.html>

Agradecimentos

- ▶ Professor Marcelo Porto;
- ▶ Professor Rafael Soares;
- ▶ Henrique Maich;
- ▶ Guilherme Paim.

Qualquer dúvida

- ▶ Contato:
 - ▶ ruhanconceicao@gmail.com
 - ▶ lisandroids@gmail.com



Obrigado

QFLOW: FLUXO DE PROJETO ASIC