

UNIVERSIDAD MARIANO GÁLVEZ
CENTRO DE CHIMALTENANGO
FACULTA DE INGENIERÍA
CURSO: Electrónica Digital
ING. ROLANDO PALACIOS GOMEZ
Grupo No. 4



LABORATORIO 3
DISEÑO DE CIRCUITO SECUENCIAL CON MODELOS MEALY Y MOORE

Nombre	Carne
Nelson Willian Rene Roquel Rosalio	1990-23-968
Kevin Alexander Esquit Choc	1990-23-561
Jonatan Josue Santiago Itzep	1990-23-19455

Chimaltenango ,Chimaltenango 3 de octubre 2025

ÍNDICE

Introducción.....	3
Marco teórico.....	3
Diseño.....	6
Conclusiones y recomendaciones.....	10
Bibliografía.....	10
Rúbrica de evaluación.....	12

Introducción

En los circuitos lógicos secuenciales, a comparación de los combinacionales, las salidas en un momento determinado depende tanto de las entradas actuales como del estado anterior del sistema, lo que se traduce a que dichos circuitos poseen memoria, ya que pueden conservar información de eventos pasados mediante elementos de almacenamiento como biestables o flip-flops. Gracias a esta capacidad, muestran comportamientos dependientes del tiempo y resultan esenciales en aplicaciones digitales como contadores, registros o máquinas de estados finitos. Ejemplos comunes de estos dispositivos son los contadores de pulsos y los registros de datos, entre muchos otros.

En este informe se desarrolla el marco teórico sobre el diseño de circuitos secuenciales síncronos, con énfasis en los modelos de máquina de Moore y de Mealy, así como en los flip-flops que funcionan como memoria dentro de estos sistemas. El propósito es comprender el proceso de diseño de este tipo de circuitos y las diferencias entre ambos modelos.

Marco teórico

Circuitos secuenciales

Un circuito secuencial es un circuito lógico digital en el que la salida, en cada momento, no depende únicamente de las entradas actuales, sino también del historial de entradas anteriores. Dicho de otro modo, el sistema posee un estado interno almacenado que condiciona su respuesta futura. Esto es posible gracias a elementos de memoria, como los biestables o flip-flops, que permiten conservar la información de entradas pasadas.

Circuitos Biestables

Un biestable, también conocido como flip-flop, es un circuito digital con dos estados estables (0 y 1) que permite almacenar un bit de información. Constituye el elemento básico de memoria en la lógica secuencial, ya que conserva su estado hasta que una señal de control lo modifica. En esencia, es un multivibrador biestable formado por compuertas lógicas, capaz de mantener un valor lógico aun cuando las entradas originales hayan desaparecido. Gracias a esta propiedad, los flip-flops se emplean en el registro de datos, la sincronización de señales y en la construcción de contadores, registros y sistemas secuenciales de control.

Existen distintos tipos de flip-flops, diferenciados por la forma en que reciben sus entradas y cambian de estado. Los principales son:

- **Flip-Flop RS (Set-Reset):** Dispone de dos entradas, S (Set) para fijar la salida en 1 y R (Reset) para llevarla a 0. Si ambas entradas están en 0, conserva su estado anterior. La condición prohibida ocurre cuando $S=1$ y $R=1$ simultáneamente, lo que provoca un estado indeterminado. Por esta limitación, se aplica en situaciones sencillas.

- **Flip-Flop D (Data o Delay):** Simplifica al RS utilizando una única entrada D y una señal de reloj. La salida Q toma el valor de D solo en el instante del pulso de reloj, ignorando cambios posteriores. Es ideal para registros y sincronización de señales, evitando estados inválidos.
- **Flip-Flop J-K:** Versión mejorada del RS. Con entradas J y K, permite realizar las funciones de Set, Reset y memoria, y cuando ambas son 1 produce una conmutación (toggle) en cada pulso de reloj. Esto elimina la condición indeterminada del RS, lo que lo convierte en un dispositivo versátil, utilizado en contadores y divisores de frecuencia.
- **Flip-Flop T (Toggle):** Posee una entrada T y un reloj. Si $T=1$ al llegar un pulso, la salida cambia de estado; si $T=0$, la salida permanece sin cambio. Es empleado en contadores binarios y divisores de frecuencia.

Además, muchos flip-flops incluyen entradas asíncronas de Set o Reset (preset/clear) que permiten forzar la salida a 1 o 0 en cualquier momento, lo que resulta útil para inicializar registros. En la actualidad, la mayoría se implementa con disparo por flanco (edge-triggered), garantizando transiciones precisas y reemplazando configuraciones más antiguas como los latches transparentes o maestro - esclavo.

Modelos de máquinas de estado

Al diseñar circuitos secuenciales su representación mayoritariamente es mediante máquinas de estado finito (FSM). Una FSM es un modelo abstracto en el que el sistema puede encontrarse en uno de varios estados definidos y pasar de uno a otro en función de sus entradas, generando al mismo tiempo salidas. Dentro de este marco existen dos enfoques clásicos:

Mealy

En este modelo, las salidas dependen únicamente del estado actual, sin considerar directamente las entradas. En los diagramas de estado, cada estado lleva asociada la salida correspondiente. Esto implica que los cambios en las salidas solo ocurren cuando se produce una transición de estado, generalmente sincronizada con el reloj. Como resultado, las salidas son más estables y fáciles de analizar, aunque a veces se requieren más estados para representar combinaciones de entrada distintas. Un ejemplo típico es el detector de secuencias, que puede necesitar estados adicionales intermedios antes de activar la salida.

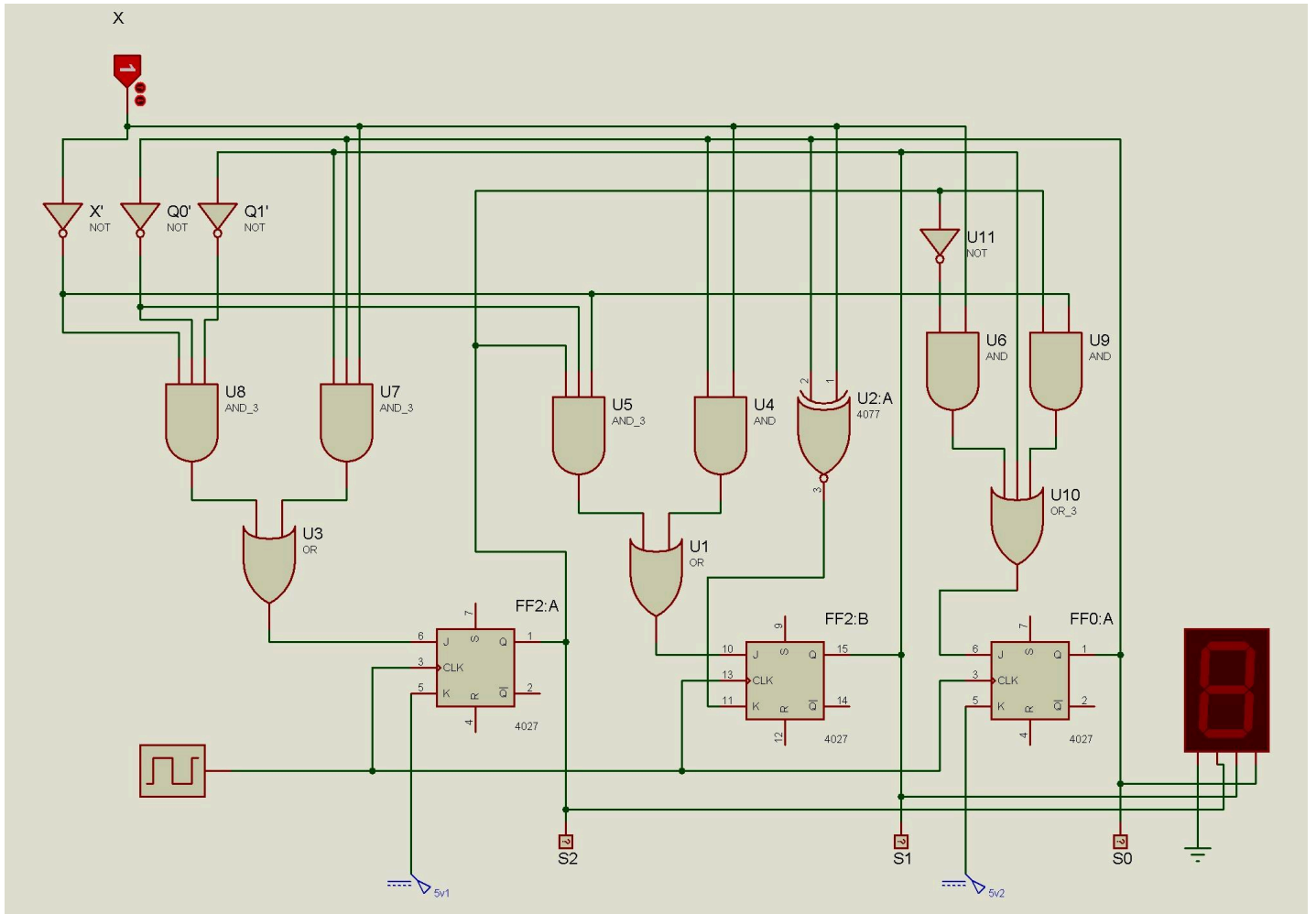
Moore

Aquí, las salidas dependen tanto del estado presente como de las entradas actuales. Esto significa que la salida se genera durante las transiciones, lo que permite reaccionar inmediatamente a cambios en las entradas sin esperar un ciclo completo de reloj. Una ventaja práctica es que suelen necesitar menos estados que una máquina de Moore equivalente, ya que las condiciones de entrada pueden

diferenciarse en el mismo estado. En el caso del detector de secuencias, la salida puede activarse en el mismo instante en que se detecta el último símbolo de la secuencia.

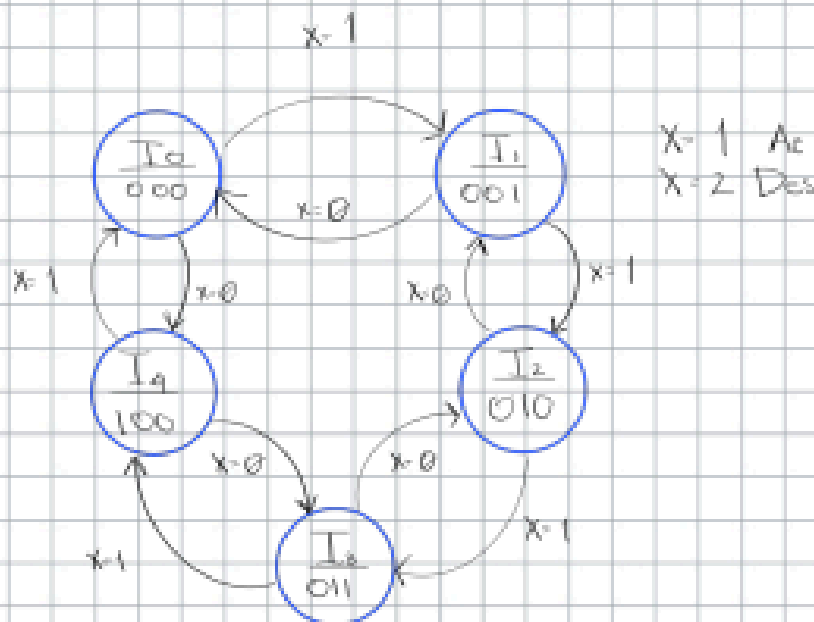
Aspecto	Máquina de Moore	Máquina de Mealy
Dependencia de salidas	Dependen únicamente del estado actual.	Dependen del estado actual y de las entradas.
Tiempo de respuesta	Las salidas cambian en el siguiente ciclo de reloj (respuesta más lenta, un ciclo de retardo).	Las salidas pueden reaccionar de inmediato a cambios en la entrada (respuesta más rápida).
Número de estados	Generalmente requiere más estados para representar todas las combinaciones posibles.	Suele necesitar menos estados, lo que reduce complejidad y área de hardware.
Estabilidad de salidas	Más estables, cambian solo en las transiciones de estado, menos propensas a glitches.	Menos estables: las salidas pueden fluctuar si las entradas cambian de forma repentina o ruidosa.
Facilidad de diseño	Más simple de analizar y depurar, ya que cada estado tiene salidas definidas.	Requiere mayor atención, pues hay que considerar entradas y transiciones.
Aplicaciones típicas	Preferida en sistemas donde la sincronización y la estabilidad de las salidas son críticas.	Útil en sistemas que necesitan respuesta inmediata a las entradas.

Diseño



Circuito Secuencial Sincrono que Cuente ascendente de 0 a 4 y descendente de 4 a 0

1) Diagrama de estados



2) Tabla de estados

Estado Inicial		X	Estado Final	Salida		
Q _{1t}	Q _{0t}		Q _{1f} Q _{0f}	S ₂	S ₁	S ₀
I ₀	0	0	I ₁	0	0	0
I ₀	1	1	I ₁	0	0	0
I ₁	0	0	I ₀	0	0	1
I ₁	1	1	I ₂	0	0	1
I ₂	0	0	I ₁	0	1	0
I ₂	1	1	I ₃	0	1	0
I ₃	0	0	I ₂	0	1	1
I ₃	1	1	I ₄	0	1	1
I ₄	0	0	I ₃	1	0	0
I ₄	1	1	I ₀	1	0	0

3) Codificar estados

Código	Estados
000	I ₀
001	I ₁
010	I ₂
011	I ₃
100	I ₄

4. definir un elemento de memoria y su
tabla de excitación, elemento de memoria = JK = T flip

Q_0	Q_{n-1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

5. Tabla de excitación del circuito

Estado Inicial				Estado Final			ffz	ff1	ff0	Salidas					
Q2	Q1	Q0	x	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0	S2	S1	S0
0	0	0	0	1	0	0	1	x	0	x	0	x	0	0	0
0	0	0	1	0	0	1	0	x	0	x	1	x	0	0	0
0	0	1	0	0	0	0	0	x	0	x	x	1	0	0	1
0	0	1	1	0	1	0	0	x	1	x	x	1	0	0	1
0	1	0	0	0	0	1	0	x	x	1	1	x	0	1	0
0	1	0	1	0	1	1	0	x	x	0	1	x	0	1	0
0	1	1	0	0	1	0	0	x	x	0	x	1	0	1	1
0	1	1	1	1	0	0	1	x	x	1	x	1	0	1	1
1	0	0	0	0	1	1	x	1	1	x	1	x	1	0	0
1	0	0	1	0	0	0	x	1	0	x	0	x	1	0	0

6. Funciones lógicas de excitación del circuito

J_2

$Q_2 \backslash Q_0$	00	01	11	10
00	1	0	0	0
01	0	0	1	0
11	x	x	x	x
10	x	x	x	x

$J_2 = \bar{Q}_1 \bar{Q}_0 \bar{x} + Q_1 Q_0 x$

K_2

$Q_2 \backslash Q_0$	00	01	11	10
00	x	x	x	x
01	x	x	x	x
11	x	x	x	x
10	1	1	x	x

$K_2 = 1 = S_V$

J_1

$Q_2 \backslash Q_0$	00	01	11	10
00	0	0	1	0
01	x	x	x	x
11	x	x	x	x
10	1	0	x	x

$J_1 = Q_2 \bar{Q}_0 \bar{x} + Q_0 x$

K_1

$Q_2 \backslash Q_0$	00	01	11	10
00	x	x	x	x
01	1	0	1	0
11	x	x	x	x
10	x	x	x	x

$K_1 = \bar{Q}_0 \bar{x} + Q_0 x$
 $K_1 = Q_0 \odot x$

J_0

$Q_2 \backslash Q_0$	00	01	11	10
00	0	1	x	x
01	1	1	x	x
11	x	x	x	x
10	1	0	x	x

$J_0 = Q_1 + \bar{Q}_2 x + Q_2 x'$

K_0

$Q_2 \backslash Q_0$	00	01	11	10
00	x	x	1	1
01	x	x	1	1
11	x	x	x	x
10	x	x	x	x

$K_0 = 1 = S_V$

S_2

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	x	x	x	x
10	1	1	x	x

$$S_2 = Q_2$$

S_1

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	x	x	x	x
10	0	0	x	x

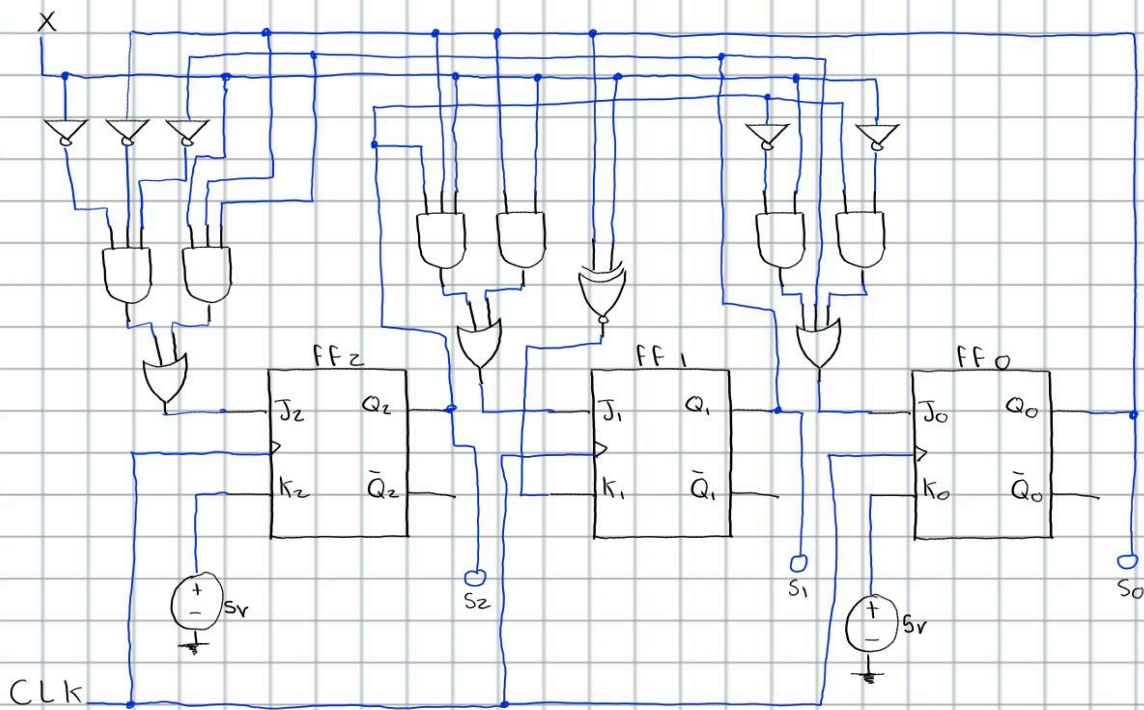
$$S_1 = Q_1$$

S_0

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	x	x	x	x
10	0	0	x	x

$$S_0 = Q_0$$

7 Diseño del circuito



Conclusiones y recomendaciones

Conclusiones

Los circuitos secuenciales son elementos fundamentales en el diseño digital, ya que integran memoria mediante biestables, lo que permite que las salidas no solo se determinen por las entradas presentes, sino también por la trayectoria de estados anteriores. Gracias a esta propiedad, pueden ejecutar funciones más avanzadas que las de los circuitos combinacionales, siendo la base de estructuras como registros, contadores y controladores de procesos.

En cuanto a los modelos de máquinas de estado, Moore y Mealy proponen dos perspectivas distintas para describir su funcionamiento. El modelo de Moore ofrece mayor estabilidad en las salidas al depender únicamente de los estados, mientras que el de Mealy proporciona una reacción más ágil al considerar tanto entradas como estados. Ambos, apoyados en el uso de flip-flops, constituyen un marco teórico sólido que respalda el desarrollo de sistemas digitales confiables y eficientes.

Recomendaciones

Se recomienda que, al diseñar un circuito secuencial, se realice primero una clara definición de las entradas, salidas y estados, complementada con diagramas de transición que permitan visualizar de manera sistemática el funcionamiento del sistema. Además, es importante elegir correctamente el tipo de flip-flop a utilizar según la aplicación, garantizando que los estados iniciales estén bien definidos mediante señales de reset o preset para evitar comportamientos indeterminados en la práctica.

En futuros trabajos de laboratorio, conviene elegir entre los modelos de Moore y Mealy considerando la naturaleza del problema: Moore para diseños que demanden salidas estables y sincronizadas, y Mealy cuando se priorice la inmediatez en la respuesta. Asimismo, se recomienda reforzar el estudio teórico con herramientas de simulación como Proteus, ya que estas permiten detectar errores lógicos, validar la secuencia de estados y afianzar el aprendizaje antes de realizar la implementación física del circuito.

Bibliografía

Área Tecnología. (s. f.). *Codificador y decodificador*. Recuperado el 4 de septiembre de 2025, de <https://areatecnologia.com/electronica/codificador-decodificador.html>

Freddy, G. A. (s. f.). *Laboratorio visualizador - decodificador*. Recuperado el 4 de septiembre de 2025, de <https://www.monografias.com/trabajos15/visualizador/visualizador>

C. (2005). *Práctica No. 5: Decodificador BCD a display de 7 segmentos*. Tripod. Recuperado el 4 de septiembre de 2025, de <https://sergioc2005.tripod.com/arqcomp1/Pract5DecBCDa7Seg.pdf>


Mano, M. M. (s.f.). *Lógica digital y diseño de computadores* (Cap. 5, p. 171). Prentice Hall

Casasnovas, M. (2014). *Máquinas de Estado Finitas – Apuntes de Técnicas Digitales*. Universidad Tecnológica Nacional (UTN). **Disponible en:** <https://www.profesores.frc.utn.edu.ar/electronica/tecnicasdigitales/pub/file/AportesDelCudar/Maquinas%20de%20Estado%20MC%20V5.pdf>

Instituto Nacional de Educación Tecnológica (INET). (2023). *Fundamentos de los circuitos secuenciales*. Buenos Aires, Argentina: INET. **Disponible en:** <https://www.inet.edu.ar/wp-content/uploads/2023/02/INET-CircuitosSecuenciales.pdf>

Laboratorio de Electrónica, Universidad de Buenos Aires. (2019). *Práctica 6 – Lógica Combinacional y Secuencial*. **Disponible en:** <http://materias.df.uba.ar/leb2019c2/files/2019/08/P6-Logica-Combinacional-y-Secuencial.pdf>

Rúbrica de evaluación

CURSO: Electrónica Digital									
GRUPO No.	4								
TAREA No	Laboratorio 3								
FECHA	3 de octubre								
LIDER DE GRUPO	Nelson Willian Rene Roquel Rosalio								
INTEGRANTES DEL GRUPO									
	Jonatan Josue Santiago Itzep			Kevin Alexander Esquit Choc			Nelson Willian Rene Roquel		
	E	M	NM	E	M	NM	E	M	NM
1 Participa activamente en las reuniones									
2 Conoce y aplica las leyes y métodos para la solución									
3 Plantea estrategias para elaborar las ecuaciones de solución									
4 Demuestra habilidad para la solución de la ecuaciones									
5 Resolvió al menos un problema									
<p>A cada estudiante evalúalo conforme los siguientes criterios, marcando en la casilla correspondiente, según la participación de cada uno</p> <p>E Excelente</p> <p>M Medio</p> <p>NM Necesita mejorar</p>									
				 Firma Lider de grupo					