

1、读写没有空闲周期。（ $f_A > f_B$ ）

$f_A = 80\text{MHz}$

$f_B = 50\text{MHz}$

Burst Length = 120

读写之间没有空闲周期，是连续读写一个突发长度。

解法：

写一个数据需要的时间 $= 1 / 80\text{MHz} = 12.5\text{ns}$

写一个突发需要的时间 $= 120 * 12.5\text{ns} = 1500\text{ns}$

读一个数据需要的时间 $= 1 / 50\text{MHz} = 20\text{ns}$

每 1500ns，120 个数据被写入 FIFO，但读一个数据需要 20ns 的时间

则 1500ns 内读出多少个数据， $1500 / 20 = 75$

剩下的没有读出，就存在 FIFO 中，则需要 $120 - 75 = 45$

快捷方法：FIFO 深度 $= 120 - 120 * 50 / 80 = 45$

补充：

读写没有空闲，若 $f_A \leq f_B$ ，则 FIFO 不会写满，深度为 1 即可。

2、读写都有空闲周期。（读写速率大小随意，可以相等）

$f_A = 80\text{MHz}$

$f_B = 50\text{MHz}$

Burst Length = 120

两个连续写入之间的空闲周期为 $= 1$ （写使能占得百分比为 50%）

两个连续读取之间的空闲周期为 $= 3$ （读使能占得百分比为 25%）

解法：

每写入一个数据等待 1 个周期再写入下个数据，即 2 周期写入 1 个数据。

每读出一个数据等待 3 个周期再读出下个数据，即 4 周期读出 1 个数据。

写一个数据需要的时间 $= 2 * (1 / 80\text{MHz}) = 25\text{ns}$

写一个突发需要的时间 $= 120 * 25\text{ns} = 3000\text{ns}$

读一个数据需要的时间 $= 4 * (1 / 50\text{MHz}) = 80\text{ns}$

每 3000ns，120 个数据被写入 FIFO，但读一个数据需要 80ns 的时间

则 3000ns 内读出多少个数据， $3000 / 80 = 37.5$ ，FIFO 深度 $= 120 - 37.5 = 82.5$ 。

快捷方法：FIFO 深度 $= 120 - 120 * (50 / 4) / (80 / 2) = 82.5 = 83$ 。

3、考虑背靠背，读写速率相等。

读写速率相等

每 100 个时钟写入 80 个数据

每 10 个时钟读取 8 个数据

突发长度为 160（这个条件其实多余）

解法：

每 100 个时钟写入 80 个数据，那剩下 20 个时钟周期去哪了？

每 10 个时钟读取 8 个数据，那剩下 2 个时钟周期去哪了？

剩下的周期在哪我们不管，只考虑最差的情况，即前 20 个时钟周期空闲，后 80 个周期写完 80 个数据，立马又是写请求，这次是前 80 个时钟周期写完 80 个数据，后 20 个时钟周期空闲。即两次连续的突发写入，又称为背靠背。

写一个突发需要的时间：160 时钟周期

则 160 个时钟周期内读出多少个数据， $160 * 8 / 10 = 128$ 。

FIFO 深度 $= 160 - 128 = 32$ 。

4、考虑背靠背，读写速率不等。

$f_A = 20\text{MHz}$

$f_B = 40\text{MHz}$

每 1000 个时钟周期写入 500 个数据

每 4 个时钟周期读出 1 个数据

解法：

考虑到“背靠背”的情况突发长度则为 $500 * 2 = 1000$

则为每 1000 个时钟周期写入 1000 个数据

每 4 个周期，读取一个数据。

写一个数据需要的时间 $= 1 / 20\text{MHz} = 50\text{ns}$

写一个突发需要的时间 $= 1000 * 50\text{ns} = 50000\text{ns}$

读一个数据需要的时间 $= 4 * (1 / 40\text{MHz}) = 100\text{ns}$

每 50000ns，120 个数据被写入 FIFO，但读一个数据需要 100ns 的时间

可以计算出，50000ns 内读出多少个数据， $50000 / 100 = 500$

剩下的没有读出，就存在 FIFO 中，则需要 $1000 - 500 = 500$

5、以下关于 FIFO 描述正确的是（CD）

A.空信号是在写时钟域产生的，满信号是在读时钟域产生的

B.外部可以直接操作 FIFO 的读写地址

C.FIFO 可以分为同步 FIFO 和异步 FIFO

D.FIFO 是先进先出的存储器

解答：A、“写满读空”。空信号是在读时钟域产生的，满信号是在写时钟域产生的；

B、FIFO（First Input First Output，先入先出队列），外部不可以直接操作 FIFO 的读写地址。

6、单口 RAM、双口 RAM、FIFO 三者之间的关系

单口只有一组数据线与地址线，因此读写不能同时进行，而双口有两组数据线与地址线，读写可以同时进行。RAM 有地址线，可以对存储单元寻址，FIFO 没有地址线，不能对存储单元寻址，此外 RAM 数据读完还有，FIFO 数据读完就没有了。

7、伪双口 RAM 和真双口 RAM 的区别？

伪双口 RAM，一个端口只读，另一个端口只写，且写入和读取的时钟可以不同，位宽比可以不是 1:1，而真双口 RAM 两个端口都分别带有读写端口，可以在没有干扰的情况下进行读写，彼此互不干扰。