

# ***Apéndice: Cartilla de Assembler Z-80***

## **1. Características del Procesador Z-80**

RDM de 2 bytes ( 0000h al FFFFh )

RBM de 1 bytes ( 8 bits en cada Transferencia de Memoria )

**El almacenamiento se realiza usando Little-Endian**

### **1.1. Registros**

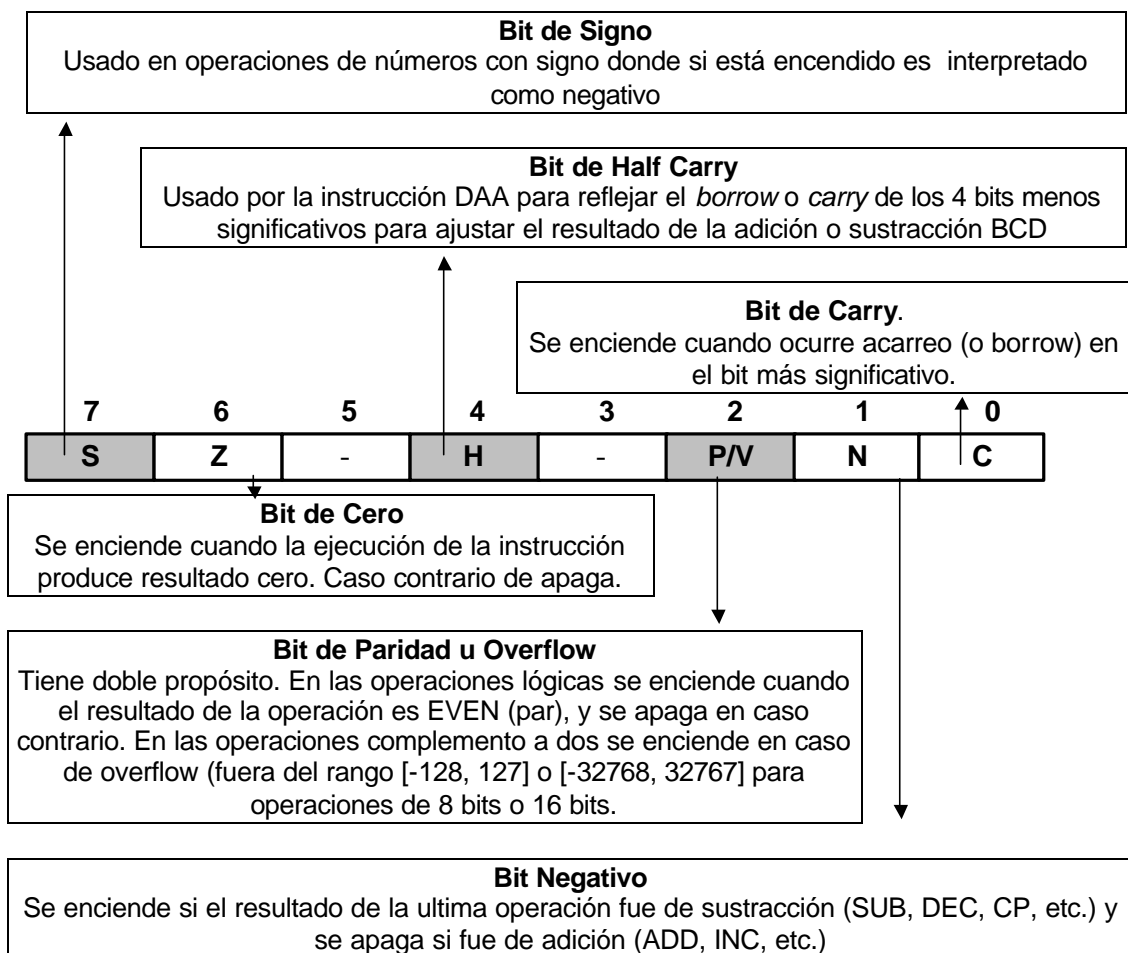
Existen **tres grupos** de registros: **grupo GR**, **grupo GR'** y **grupo de Registros Especiales**. La diferencia entre los del grupo GR' con los del GR es que sus contenido **no son directamente accesibles**, sólo pueden ser utilizados para intercambiarse con los del grupo GR a alta velocidad.

#### **Registros Especiales:**

- **I:** Registro de Interrupción (8 bits). Indica el lugar del vector de Interrupción.
- **R:** Registro Contador ó Refresh (8 bits). Los 7 bits menos significativos indican la cantidad de instrucciones ejecutadas por el procesador. Es incrementado por el procesador en cada fetch.
- **IX, IY:** Registros Índices (16 bits). Se usan para manipular datos y direcciones. Cuando se usa en direcciones, el contenido de un desplazamiento especificado en la instrucción es sumado o restado del registro índice para calcular la dirección efectiva de un operando.
- **SP:** Registro Stack Pointer (16 bits). Contiene la dirección del Stack.
- **PC:** Registro Contador de Programa (16 bits). Contiene la dirección de la próxima instrucción a ejecutar. Es actualizado automáticamente después de cada fetch.

#### **Registros del grupo GR:**

- **A:** Registro Acumulador (8 bits). Se utiliza para operaciones aritméticas, lógicas e instrucciones de E/S.
- **B, C, D, E, H, L:** Registros de Uso General para manipular datos de 8 bits. Pueden ser tratados en forma individual ( B, C, D, E, H, L ) o aparearse en tres pares ( BC, DE, HL ) para manipular 16 bits.
- **F:** Registro de Flag (8 bits). Guarda los bits de estados que guardan los resultados de la ejecución de instrucciones. Se consulta para controlar el flujo de ejecución del programa y la operación de la instrucción. El significado de cada uno de sus bits se detalla en el siguiente cuadro:



## 1.2. Modos de Direccionamiento

- ☞ **Registro Implícito:** Ciertas instrucciones se aplican automáticamente a un registro predeterminado. Por ejemplo las instrucciones aritméticas y lógicas utilizan direccionamiento implícito, ya que todas ellas realizan operaciones con el contenido del registro acumulador A.
- ☞ **Registro Directo:** El código de operación de la instrucción contiene cuál o cuáles registros están implicados en la ejecución de la instrucción.
- ☞ **Registro Indirecto:** Alguno de los registros de uso general (16 bits: BC, DE o HL) indican la dirección donde se encuentra el operando de memoria.
- ☞ **Registro Indexado:** La dirección del operando en memoria es calculada usando el contenido de uno de los registros índice IX o IY más un desplazamiento de 8 bits con signo que se especifica en las instrucción.
- ☞ **Extendido:** La dirección del operando en memoria es especificada por dos bytes contenidos en la instrucción. La dirección se coloca entre paréntesis.
- ☞ **Inmediato:** El operando está contenido en 1 ó 2 bytes de la instrucción.
- ☞ **Relativo:** Se utiliza sólo para instrucciones de bifurcación condicional o incondicional. El desplazamiento es sumado al registro PC.
- ☞ **I/O:** Se utiliza sólo para instrucciones de E/S.

## 2. Directivas al Compilador (Pseudoinstrucciones)

Son acciones que debe tomar el compilador, pero **NO GENERAN CÓDIGO**.

- **Definición de Constantes Simbólicas**

Asignan un nombre simbólico a una expresión. Existen dos formas de hacerlo:

<i>nombre</i>	<b>equ</b>	<i>expresión</i>
---------------	------------	------------------

<i>nombre</i>	<b>defl</b>	<i>expresión</i>
---------------	-------------	------------------

- **Definición de Datos**

Reservan posiciones de memoria para guardar variables. Existen 5 formas de hacerlo, alguna de ellas permiten inicializar con un valor y otras sólo reservar espacio:

<i>nombre</i>	<b>db</b>	<i>listaDeExpresiones</i>	(cada dato en 1 byte)
---------------	-----------	---------------------------	-----------------------

<i>nombre</i>	<b>dw</b>	<i>listaDeExpresiones</i>	(cada dato en un doble byte)
---------------	-----------	---------------------------	------------------------------

<i>nombre</i>	<b>defb</b>	<i>mensajeDeCracteres</i>	(cada caracter en 1 byte)
---------------	-------------	---------------------------	---------------------------

<i>nombre</i>	<b>deff</b>	<i>listaDeNrosReales</i>	(IEEE 754 de 32 bits)
---------------	-------------	--------------------------	-----------------------

<i>nombre</i>	<b>ds</b>	<i>cantidadBytes</i>	(sólo reserva espacio)
---------------	-----------	----------------------	------------------------

- **Control de Ensamblado**

Indica que la primera instrucción a ejecutar (no necesariamente la primera ejecutable) es la que se encuentra en la dirección indicada por rótulo:

<b>end</b>	<i>rótulo</i>
------------	---------------

- **Referencias Externas**

Para indicar que pueden ser usados por otros módulos (análogo a colocar el “::” haciendo el rótulo o constante simbólica pública) se usa:

**public**    *listaDeIdentificadores*

**ent**        *listaDeIdentificadores*

Para indicar que los rótulos o constantes simbólicas están definidas en otros módulos y es el linkeditor el que debe resolverlas, se coloca:

**extern**    *listaDeIdentificadores*

**external** *listaDeIdentificadores*

- **Directivas de Segmento**

Segmento absoluto:

**Aseg  
org**        *direccionDeMemoria*

Segmento Reubicable:

**Cseg**  
.....  
*zonaDeCodigo*  
.....

**Dseg**  
.....  
*zonaDeDatos*  
.....

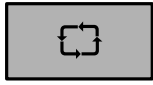
### 3. Set de Instrucciones Detalladas



Explica el modo de direccionamiento de los operandos que intervienen en la instrucción y el funcionamiento de la misma.



Indica el formato de la instrucción ( forma de uso para incluirla en un código fuente)



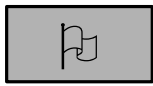
Indica la cantidad de ciclos de memoria utilizados en la ejecución de la instrucción



Indica la cantidad de ciclos de CPU utilizados en la ejecución de la instrucción



Muestra el código de operación (código de máquina) asociado a la instrucción (y por lo tanto la longitud de la instrucción)



Muestra el estado de los bits del registro F después de la ejecución de la instrucción, según la siguiente convención:

- ☒ si es alterado por la operación
- ☒ si no es alterado por la operación
- 0** si es apagado por la operación
- 1** si es encendido por la operación
- ?** si es indefinido después de la operación

En el caso de que una instrucción setee el bit **P/V** (Paridad/Overflow), se indica con una **P** o con una **V** según esté indicando Paridad u Overflow, respectivamente.

TABLA 1	
Regist ro	Códig o
B	000
C	001
D	010
E	011
H	100
L	101
-	110
A	111

TABLA 2	
Regist ro	Códig o
BC	00
DE	01
HL	10
AF	11

TABLA 3	
Regist ro	Códig o
BC	00
DE	01
HL	10
SP	11

TABLA 4	
Regist ro	Códig o
BC	00
DE	01
IX	10
SP	11

TABLA 5	
Regist ro	Códig o
BC	00
DE	01
IY	10
SP	11







TABLA 6		
Flag	Significado	Códig o
NZ	No zero	000
Z	Zero	001
NC	No carry	010
C	Carry	011
PO	Paridad impar	100
PE	Paridad par	101
P	Signo mas	110
M	Signo menos	111

3.1. Instrucciones Aritméticas ( 8 y 16 bits )

Add (8 bits)







La suma de 8 bits utiliza el **modo de direccionamiento implícito**, ya que siempre deja el resultado en el registro acumulador A.

Además, el otro operando que interviene en la suma puede tener diferentes modos de direccionamiento, que se indican en la tabla. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
Registro Directo  $A \leftarrow A + r$	<b>Add A, r</b>  Donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	22	4	8 ...  <b>10000---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indirecto  $A \leftarrow A + (HL)$	<b>Add A, (HL)</b>	2	6	<b>86</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A + (IX + d)$	<b>Add A, (IX + d)</b>  donde d es un desplazamiento de 8 bits	6	3	<b>DD 86 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A + (IY + d)$	<b>Add A, (IY + d)</b>  donde d es un desplazamiento de 8 bits	6	3	<b>FD 86 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Inmediato  $A \leftarrow A + v$	<b>Add A, v</b>  donde v es un dato de 8 bits	2	6	<b>C6 v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>

## Add (16 bits)







La suma de 16 bits utiliza el **modo de direccionamiento implícito** y el de **registro directo**. Sólo se pueden hacer sumas entre ciertos pares de registros.

										
					S	Z	H	P V	N	C
<b>Registro Directo</b>  $HL \leftarrow HL + r$	<b>Add HL, r</b>  donde r puede ser alguno de los siguientes pares registros de 16 bits: BC, DE, HL, SP	5	7	<b>... 9</b>  <b>00--1001</b> donde --- codifica alguno de los pares de registros de 16 bits con la convención de la tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
<b>Registro Directo</b>  $IX \leftarrow IX + r$	<b>Add IX, r</b>  donde r puede ser alguno de los siguientes pares registros de 16 bits: BC, DE, IX, SP	6	10	<b>DD...9</b>  <b>11011101</b> <b>00--1001</b> donde --- codifica alguno de los pares de registros de 16 bits con la convención de la tabla 4	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
<b>Registro Directo</b>  $IY \leftarrow IY + r$	<b>Add IY, r</b>  donde r puede ser alguno de los siguientes pares registros de 16 bits: BC, DE, IY, SP	6	10	<b>FD...9</b>  <b>11111101</b> <b>00--1001</b> donde --- codifica alguno de los pares de registros de 16 bits con la convención de la tabla 5	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>

**Adc (8 bits)**

La suma con carry utiliza el **modo de direccionamiento implícito**, ya que siempre deja el resultado en el registro acumulador A.







Además, el otro operando que interviene en la suma puede tener diferentes modos de direccionamiento, que se indican en la tabla. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
Registro Directo  $A \leftarrow A + r + c$	<b>Adc A, r</b>  donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	2	4	<b>8...</b>  <b>10001---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indirecto  $A \leftarrow A + (HL) + c$	<b>Adc A, (HL)</b>	6	6	<b>8E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A + (IX + d) + c$	<b>Adc A, (IX + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>DD 8E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A + (IY + d) + c$	<b>Adc A, (IY + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>FD 8E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
Inmediato  $A \leftarrow A + v + c$	<b>Adc A, v</b>  donde v es un dato de 8 bits	2	6	<b>CE v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>



Adc (16 bits)







La suma con carry de 16 bits utiliza el **modo de direccionamiento implícito** y el **directo**. Sólo se pueden hacer sumas entre ciertos pares de registros.

										
					S	Z	H	P V	N	C
Registro Directo  HL ← HL + r + c	<b>Adc HL, r</b>  donde r puede ser alguno de los siguientes pares registros de 16 bits: BC, DE, HL, SP	6	10	<b>ED...A</b>  <b>11101101</b> <b>01--1010</b> donde --- codifica alguno de los pares de registros de 16 bits con la convención de la tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>

Sub (8 bits)

La diferencia de 8 bits utiliza *el modo de direccionamiento implícito*, ya que siempre deja el resultado en el registro acumulador A.







Además, el otro operando que interviene en la diferencia puede tener distintos modos de direccionamiento. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
Registro Directo  $A \leftarrow A - r$	<b>Sub r</b>  donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	2	4	<b>9...</b>  <b>10010---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indirecto  $A \leftarrow A - (HL)$	<b>Sub (HL)</b>	2	6	<b>96</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A - (IX + d)$	<b>Sub (IX + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>DD 96 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indexado  $A \leftarrow A - (IY + d)$	<b>Sub (IY + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>FD 96 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Inmediato  $A \leftarrow A - v$	<b>Sub v</b>  donde v es un dato de 8 bits	2	6	<b>D6 v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

Sbc (8 bits)







La diferencia de 8 bits con carry utiliza el **modo de direccionamiento implícito**, ya que siempre deja el resultado en el registro acumulador A.

Además, el otro operando que interviene en la diferencia puede tener diferentes modos de direccionamiento. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
<b>Registro Directo</b>  $A \leftarrow A - r - c$	<b>Sbc A, r</b>  donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	2	4	<b>9...</b>  <b>10011---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<b>Registro Indirecto</b>  $A \leftarrow A - (HL) - c$	<b>Sbc A, (HL)</b>	2	6	<b>9E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<b>Registro Indexado</b>  $A \leftarrow A - (IX + d) - c$	<b>Sbc A, (IX + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>DD 9E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<b>Registro Indexado</b>  $A \leftarrow A - (IY + d) - c$	<b>Sbc A, (IY + d)</b>  donde d es un desplazamiento de 8 bits	6	14	<b>FD 9E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<b>Inmediato</b>  $A \leftarrow A - v - c$	<b>Sbc A, v</b>  donde v es un dato de 8 bits	2	6	<b>DE v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>







Sbc (16 bits)

La diferencia de 16 bits con carry utiliza el **modo de direccionamiento implícito** y el **directo**. Sólo puede realizarse entre determinado pares de registros.

										
					S	Z	H	P V	N	C
<p>Registro Directo</p> <p><math>HL \leftarrow HL - r - c</math></p>	<p><b>Sbc HL, r</b></p> <p>donde r puede ser alguno de los siguientes pares de registros de 16 bits: BC, DE, HL, SP</p>	6	10	<p><b>ED...2</b></p> <p><b>11101101</b> <b>01--0010</b> donde -- codifica alguno de los pares de registros de 16 bits con la convención de la tabla 3</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

**Inc (8 bits)**

Esta es una operación unaria, ya que tiene un único operando el cual incrementa en 1.El operando funciona como origen y destino, ya que en el mismo se guarda el valor modificado. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
Registro Directo  $r \leftarrow r + 1$	<b>Inc r</b>  donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	2	4	... ..  <b>00---100</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	<b>0</b>	<input checked="" type="checkbox"/>
Registro Indirecto  $(HL) \leftarrow (HL) + 1$	<b>Inc (HL)</b>	4	10	<b>34</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	<b>0</b>	<input checked="" type="checkbox"/>
Registro Indexado  $(IX + d) \leftarrow (IX + d) + 1$	<b>Inc (IX + d)</b>  donde d es un desplazamiento de 8 bits	8	18	<b>DD 34 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	<b>0</b>	<input checked="" type="checkbox"/>
Registro Indexado  $(IY + d) \leftarrow (IY + d) + 1$	<b>Inc (IY + d)</b>  donde d es un desplazamiento de 8 bits	8	18	<b>FD 34 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	<b>0</b>	<input checked="" type="checkbox"/>







**Inc (16 bits)**

Esta es una operación unaria, ya que tiene un único operando el cual incrementa en 1. El operando funciona como origen y destino, ya que en el mismo se guarda el valor modificado. La longitud de instrucción varía según el operando en cuestión.

[illegible]

Dec (8 bits)

Esta es una operación unaria, ya que tiene un único operando el cual se decrementa en 1. El operando funciona como origen y destino, ya que en el mismo se guarda el valor modificado. La longitud de instrucción varía según el operando en cuestión.

										
					S	Z	H	P V	N	C
<p>Registro Directo</p> <p><math>r \leftarrow r - 1</math></p>	<p><b>Dec r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A</p>	2	4	<p>... ..</p> <p><b>00---101</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<p>Registro Indirecto</p> <p><math>(HL) \leftarrow (HL) - 1</math></p>	<p><b>Dec (HL)</b></p>	4	10	<p><b>35</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<p>Registro Indexado</p> <p><math>(IX + d) \leftarrow (IX + d) - 1</math></p>	<p><b>Dec (IX + d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	8	18	<p><b>DD 35 d</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
<p>Registro Indexado</p> <p><math>(IY + d) \leftarrow (IY + d) - 1</math></p>	<p><b>Dec (IY + d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	8	18	<p><b>FD 35 d</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

## Dec (16 bits)







Esta es una operación unaria, ya que tiene un único operando el cual se decrementa en 1. El operando funciona como origen y destino, ya que en el mismo se guarda el valor modificado. La longitud de instrucción varía según el operando en cuestión.

[illegible]



Neg

La negación sólo se puede hacer en el registro acumulador A. Representa el complemento a 2 del acumulador ( aplicar NEG es lo mismo que hacer 0-A )

										
					S	Z	H	P V	N	C
Registro Implícito  A ← - A	Neg	2	6	ED 44	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

Mit

El operando funciona como origen y destino, ya que en el mismo se guarda el valor modificado.

**Sólo sirve para multiplicar números positivos.**

[illegible]

### 3.2. Instrucciones de Transferencia de Datos

**Ld** (8 bits)

[illegible]







[illegible]

[illegible]

[illegible]

**Ld (16 bits)**

					S	Z	H	P V	N	C
Registro Implícito en fuente y destino  SP ← HL	Ld SP, HL	2	4	F9	X	X	X	X	X	X
Registro Implícito en fuente y destino  SP ← IX	Ld SP,IX	3	7	DD F9	X	X	X	X	X	X
Registro Implícito en fuente y destino  SP ← IY	Ld SP, IY	3	7	FD F9	X	X	X	X	X	X
Registro Implícito para el destino, Extendido para el fuente  HL ←(mn)	Ld HL, (mn)  donde mn es un número de 16 bits	3	15	2A n m	X	X	X	X	X	X
Registro Implícito para el destino, Extendido para el fuente  IX ←(mn)	Ld IX, (mn)  donde mn es un número de 16 bits	6	18	DD 2A n m	X	X	X	X	X	X
Registro Implícito para el destino, Extendido para el fuente  IY ←(mn)	Ld IY, (mn)  donde mn es un número de 16 bits	6	18	FD 2A n m	X	X	X	X	X	X
Extendido para el destino, Registro Implícito para el fuente  (mn)←HL	Ld (mn), HL  donde mn es un número de 16 bits	6	16	22 n m	X	X	X	X	X	X







		 							
				S	Z	H	P V	N	C
Extendido para el destino, Registro Implícito para el fuente  (mn) ← IX	Ld (mn), IX  donde mn es un número de 16 bits	7	19	DD 22 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Extendido para el destino, Registro Implícito para el fuente  (mn) ← IY	Ld (mn), IY  donde mn es un número de 16 bits	7	19	FD 22 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Directo para el destino, Extendido para el fuente  r ←(mn)	Ld r, (mn)  donde r es alguno de los registros de la tabla 3, y mn es un dato de 16 bits	6	9	ED...B n m  11101101 01--1011 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Extendido para el destino, Registro Directo para el fuente  (mn) ← r	Ld (mn), r  donde r es alguno de los registros de la tabla 3 ( $\neq$ HL), y mn es un dato de 16 bits	7	19	ED...3 n m  11101101 01--0011 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Implícito para el destino, Inmediato para el fuente  IX ← mn	Ld IX, mn  donde mn es un dato de 16 bits	4	12	DD 21 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Implícito para el destino, Inmediato para la fuente  IY ← mn	Ld IY, mn  donde mn es un dato de 16 bits	4	12	FD 21 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Directo para el destino, Inmediato para el fuente  r ← mn	Ld r, mn  donde r es alguno de los registros de la tabla 3, y mn es un dato de 16 bits	3	9	...1 n m  00--0001 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>



### 3.3. Instrucciones Lógicas







And

La operación lógica de conjunción es de 8 bits y utiliza el **modo de direccionamiento implícito en el destino** ya que siempre deja el resultado en el registro acumulador A. El otro operando que interviene en la conjunción puede tener diferentes modos de direccionamiento.

										
					S	Z	H	P V	N	C
Registro Directo en fuente  $A \leftarrow A \& r$	<b>And r</b>  donde r es alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	1	4	<b>A ...</b>  <b>10100---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
Registro Indirecto  $A \leftarrow A \& (HL)$	<b>And (HL)</b>	1	6	<b>A6</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \& (IX + d)$	<b>And (IX + d)</b>	3	14	<b>DD A6 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \& (IY + d)$	<b>And (IY + d)</b>	3	14	<b>FD A6 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
Inmediato  $A \leftarrow A \& v$	<b>And v</b>	2	6	<b>E6 v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0







# Or

La operación lógica de disyunción es de 8 bits y utiliza el **modo de direccionamiento implícito en el destino** ya que siempre deja el resultado en el registro acumulador A. El otro operando que interviene en la disyunción puede tener diferentes modos de direccionamiento.

										
					S	Z	H	P V	N	C
Registro Directo en fuente  $A \leftarrow A \mid r$	<b>Or r</b>  donde r es alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	1	4	<b>B ...</b>  <b>10110---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indirecto  $A \leftarrow A \mid (HL)$	<b>Or (HL)</b>	1	6	<b>B6</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \mid (IX + d)$	<b>Or (IX + d)</b>	3	14	<b>DD B6 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \mid (IY + d)$	<b>Or (IY + d)</b>	3	14	<b>FD B6 d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Inmediato  $A \leftarrow A \mid v$	<b>Or v</b>	2	6	<b>F6 v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0







# Xor

La operación lógica de disyunción exclusiva es de 8 bits y utiliza el **modo de direccionamiento implícito en el destino** ya que siempre deja el resultado en el registro acumulador A. El otro operando que interviene en la disyunción exclusiva puede tener diferentes modos de direccionamiento.

										
					S	Z	H	P V	N	C
Registro Directo en fuente  $A \leftarrow A \oplus r$	<b>XOR r</b>  donde r es alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	1	4	<b>A ...</b>  <b>10101---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indirecto  $A \leftarrow A \oplus (HL)$	<b>XOR (HL)</b>	1	6	<b>AE</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \oplus (IX + d)$	<b>XOR (IX + d)</b>	3	14	<b>DD AE d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Registro Indexado  $A \leftarrow A \oplus (IY + d)$	<b>XOR (IY + d)</b>	3	14	<b>FD AE d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
Inmediato  $A \leftarrow A \oplus v$	<b>XOR v</b>	2	6	<b>EE v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0







Cpl

Esta instrucción realiza una negación bit a bit del registro acumulador. Es lo que se llama **complemento a 1**.

										
					S	Z	H	P V	N	C
Registro Implícito  $A \leftarrow \overline{A}$	Cpl	1	3	2F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/>

Cp







La operación de comparar es de 8 bits y utiliza el **modo de direccionamiento implícito en el destino**. El otro operando que interviene puede tener diferentes modos de direccionamiento.

										
					S	Z	H	P V	N	C
Registro Directo  A – r	<b>Cp r</b>  donde r es alguno de los siguientes registros de 8 bits: B, C, D, E, H, L, A	1	4	<b>B ...</b>  <b>10111---</b> donde --- codifica alguno de los registros de 8 bits con la convención de la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indirecto  A - (HL)	<b>Cp (HL)</b>	1	6	<b>BE</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indexado  A - (IX + d)	<b>Cp (IX + d)</b>	3	14	<b>DD BE d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Registro Indexado  A - (IY + d)	<b>Cp (IY + d)</b>	3	14	<b>FD BE d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
Inmediato  A – v	<b>Cp v</b>	2	6	<b>FE v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

3.4. Instrucciones de Salto y de Ciclo

JP (Incondicional)







Con esta instrucción se puede alterar la secuencia de ejecución. Existen diversas instrucciones según el modo de direccionamiento del operando.

										
					S	Z	H	P V	N	C
Inmediato  PC←mn	<b>JP rotulo</b>  donde rótulo es un número mn de 16 bits	3	9	<b>C3 n m</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Indirecto  PC←HL	<b>JP (HL)</b>	1	3	<b>E9</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Indexado  PC←IX	<b>JP (IX)</b>	2	6	<b>DD E9</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Registro Indexado  PC←IY	<b>JP (IY)</b>	2	6	<b>FD E9</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Relativo  PC←PC + (j-2)	<b>JR rotulo</b>	2	8	<b>18 (j-2)</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

j:    rotulo – dirección de la instrucción

# JP (Condicional)







Con esta instrucción se puede cortar la secuencia de ejecución según esté encendido o apagado alguno de los flags del registro F (carry, zero). Existen diversas instrucciones según el modo de direccionamiento del operando.

										
					S	Z	H	P V	N	C
Inmediato  Si f es TRUE PC←mn sino CONTINUAR	<b>JP f, rotulo</b>  donde rótulo es un valor mn de 16 bits y f puede ser alguno de los siguiente valores: NZ, Z, C, NC, PO, PE, P, M (Tabla 6)	3	6  (9)	... .. n m  <b>11---010</b> n m donde --- codifica según la tabla 6	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Relativo  Si C = 1 PC←PC + (j -2) sino CONTINUAR	<b>JR C, rotulo</b>	2	6  (8)	<b>38 (j-2)</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Relativo  si C = 0 PC←PC + (j -2) sino CONTINUAR	<b>JR NC, rotulo</b>	2	6  (8)	<b>30 (j-2)</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Relativo  si Z = 1 PC←PC + (j-2) sino CONTINUAR	<b>JR Z, rotulo</b>	2	6  (8)	<b>28 (j-2)</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Relativo  si Z = 0 PC←PC + (j-2) sino CONTINUAR	<b>JR NZ, rotulo</b>	2	6  (8)	<b>20 (j-2)</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

j: rotulo – dirección de la instrucción

DJNZ (ciclo)

Con esta instrucción se puede repetir un ciclo la cantidad de veces que se cargue inicialmente en el registro B.

										
					S	Z	H	P V	N	C
Registro Relativo  B←B-1  Luego, si B ≠ 0 PC←PC+(j-2) sino CONTINUAR con próxima instrucción	DJNZ rotulo	5	7 (9)	10 (j-2)	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>







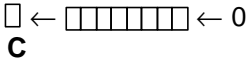
j: rotulo – dirección de la instrucción







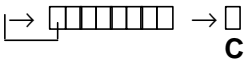








3.5. Instrucciones de Manipulación de Bits

Shift (Decalaje)

Permiten reubicar los bits moviéndolos hacia izquierda o derecha.







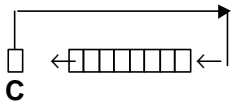
										
					S	Z	H	P V	N	C
<p>Registro Directo para fuente y destino</p> <p> <b>C</b> <i>shift left arithmetic</i></p>	<p><b>SLA r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A,B, C, D, E, H, L</p>	3	7	<p><b>CB 2...</b></p> <p><b>11001011</b> <b>00100---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SLA (HL)</b></p>	5	13	<p><b>CB 26</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SLA (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<p><b>DD CB d 26</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SLA (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<p><b>FD CB d 26</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>







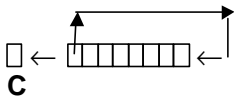
										
					S	Z	H	P V	N	C
Registro Directo para fuente y destino  	<b>SRA r</b>  donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L	3	7	<b>CB 2...</b>  <b>11001011</b> <b>00101---</b> donde --- codifica al registro según la tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
Registro Indirecto para fuente y destino  ídem al anterior	<b>SRA (HL)</b>	5	13	<b>CB 2E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
Registro Indexado para fuente y destino  ídem al anterior	<b>SRA (IX+d)</b>  donde d es un desplazamiento de 8 bits	7	19	<b>DD CB d 2E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
Registro Indexado para fuente y destino  ídem al anterior	<b>SRA (IY+d)</b>  donde d es un desplazamiento de 8 bits	7	19	<b>FD CB d 2E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>







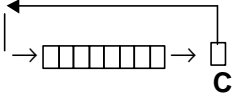
																			
					S	Z	H	P V	N	C									
<p>Registro Directo para fuente y destino</p> <p>0 → <table border="1" data-bbox="83 397 209 429"><tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table> → <table border="1" data-bbox="240 397 262 429"><tr><td> </td></tr></table> <b>C</b></p>										<p><b>SRL r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L</p>	3	7	<p><b>CB 3...</b></p> <p><b>11001011</b> <b>00111---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SRL (HL)</b></p>	5	13	<p><b>CB 3E</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>									
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SRL (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<p><b>DD CB d 3E</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>									
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>SRL (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<p><b>FD CB d 3E</b></p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>									







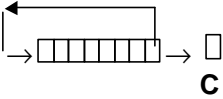
## Rotación







Permiten parecido al anterior reubicar los bits moviéndolos dentro del operando, pero realizando un tratamiento circular de los mismos.

										
					S	Z	H	P V	N	C
<p>Registro Implícito para fuente y destino</p> 	<b>RLA</b>	1	3	<b>17</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Directo para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RL r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L</p>	3	7	<p><b>CB 1...</b></p> <p><b>11001011</b> <b>00010---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<b>RL (HL)</b>	5	13	<b>CB 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RL (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>DD CB d 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RL (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>FD CB d 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

										
					S	Z	H	P V	N	C
<p>Registro Implícito para fuente y destino</p> 	<b>RLCA</b>	1	3	<b>07</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Directo para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RLC r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L</p>	3	7	<p><b>CB 0...</b></p> <p><b>11001011</b> <b>00000---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<b>RLC (HL)</b>	5	13	<b>CB 06</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RLC (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>DD CB d 06</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RLC (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>FD CB d 06</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

										
					S	Z	H	P V	N	C
<p>Registro Implícito para fuente y destino</p> 	<b>RRA</b>	1	3	<b>1F</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Directo Para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RR r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L</p>	3	7	<p><b>CB 1...</b></p> <p><b>11001011</b> <b>00011---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<b>RR (HL)</b>	5	13	<b>CB 1E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RR (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>DD CB d 1E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RR (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>FD CB d 1E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

										
					S	Z	H	P V	N	C
<p>Registro Implícito para fuente y destino</p> 	<b>RRCA</b>	1	3	<b>0F</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Directo para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RRC r</b></p> <p>donde r puede ser alguno de los siguientes registros de 8 bits: A, B, C, D, E, H, L</p>	3	7	<p><b>CB 0...</b></p> <p><b>11001011</b> <b>00001---</b> donde --- codifica al registro según la tabla 1</p>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indirecto para fuente y destino</p> <p>ídem al anterior</p>	<b>RRC (HL)</b>	5	13	<b>CB 0E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RRC (IX+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>DD CB d 0E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Indexado para fuente y destino</p> <p>ídem al anterior</p>	<p><b>RRC (IY+d)</b></p> <p>donde d es un desplazamiento de 8 bits</p>	7	19	<b>FD CB d 0E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

										
					S	Z	H	P V	N	C
<p>Registro Implícito para fuentes y destinos entre Registro A y (HL)</p> <p>Sean <math>A = N_3N_2</math> y (HL) = <math>N_1N_0</math></p> <p>esta operación mueve nibbles dejando <math>A = N_3N_1</math> y (HL) = <math>N_0N_2</math></p>	RLD	8	16	ED 6F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
<p>Registro Implícito para fuentes y destinos entre Registro A y (HL)</p> <p>Sean <math>A = N_3N_2</math> y (HL) = <math>N_1N_0</math></p> <p>esta operación mueve nibbles dejando <math>A = N_3N_0</math> y (HL) = <math>N_2N_1</math></p>	RRD	8	16	ED 67	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>



## Seteo de Bits

Permite setear o apagar bits dentro del operando.

[illegible]

[illegible]

### 3.6. Instrucciones para el Manejo de Stack

## Push

Coloca el contenido del registro de 16 bits especificado en el stack y actualiza el **stack pointer**.

[illegible]

Pop

Saca del stack 16 bits y los deja en el registro de 16 bits especificado, y actualiza el **stack pointer**.

[illegible]

## Call

Realiza un salto hacia el rótulo especificado, previo salvar la dirección del registro PC (Program Counter) en el stack.

[illegible]

## Ret







Realiza un salto hacia la dirección que se encuentra en el tope del stack.

[illegible]

### 3.7. Instrucciones Especiales de Control

## DAA

Esta instrucción ajusta el acumulador de manera tal que se obtenga la representación numérica BCD.






										
					S	Z	H	P V	N	C
Registro Implícito en A para fuente y destino  Ajuste Decimal Aritmético	<b>DAA</b>	2	4	<b>27</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> P	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

# NOP






Esta instrucción no tiene efecto alguno sobre memoria y registros, pero consume tiempo. Se la utiliza en rutinas de manejo de tiempo.






[illegible]

4. **Cartilla Reducida de Instrucciones**  
 (Ordenada por Nombre de Instrucción)






Grupo										
					S	Z	H	P V	N	C
ADC (8 bits)	Adc A, r	2	4	8 ...  10001--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Adc A, (HL)	6	6	8E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Adc A, (IX + d)	6	14	DD 8E d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Adc A, (IY + d)	6	14	FD 8E d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Adc A, v	2	6	CE v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
ADC (16 bits)	Adc HL, r	6	10	ED ...A  11101101 01--1010 tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
ADD (8 bits)	Add A, r	22	4	8 ...  10000--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Add A, (HL)	2	6	86	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Add A, (IX + d)	6	3	DD 86 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Add A, (IY + d)	6	3	FD 86 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Add A, v	2	6	C6 v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>



Grupo										
					S	Z	H	P V	N	C
ADD (16 bits)	Add HL, r	5	7	... 9 00--1001 tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
	Add IX, r	6	10	DD ...9 11011101 00--1001 tabla 4	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
	Add IY, r	6	10	FD ...9 11111101 00—1001 tabla 5	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
AND	And r	1	4	A ... 10100--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
	And (HL)	1	6	A6	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
	And (IX + d)	3	14	DD A6 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
	And (IY + d)	3	14	FD A6 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
	And v	2	6	E6 v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/> P	0	0
CALL	CALL mn	6	16	CD n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
CP	Cp r	1	4	B ... 10111--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Cp (HL)	1	6	BE	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Cp (IX + d)	3	14	DD BE d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Cp (IY + d)	3	14	FD BE d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Cp v	2	6	FE v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

Grupo										
					S	Z	H	P V	N	C
CPL	Cpl	1	3	2F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/>
DAA	Daa	2	4	27	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> P	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
DEC (8 bits)	Dec r	2	4	... .. 00---101 tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Dec (HL)	4	10	35	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Dec (IX + d)	8	18	DD 35 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Dec (IY + d)	8	18	FD 35 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
DEC (16 bits)	Dec r	2	4	... B 00--1011 tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Dec IX	3	7	DD 2B	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Dec IY	3	7	FD 2B	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
DJNZ	Djnz rotulo	5	7 (9)	10 (j-2)	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
INC (8 bits)	Inc r	2	4	... .. 00---100 tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Inc (HL)	4	10	34	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Inc (IX + d)	8	18	DD 34 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>
	Inc (IY + d)	8	18	FD 34 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	0	<input checked="" type="checkbox"/>






[illegible]

Grupo										
					S	Z	H	P V	N	C
LD (8 bits)	Ld A, I	2	6	ED 57	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
	Ld A, R	2	6	ED 5F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/>
	Ld I, A	2	6	ED 47	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld R, A	2	6	ED 4F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld A, (BC)	2	6	0A	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld A, (DE)	2	6	1A	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld (BC), A	6	7	02	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld (DE), A	3	7	12	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld r, r'	2	4	... ...  01--- --- r en tabla 1 r' en tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld A, (mn)	4	12	3A n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld (mn), A	5	13	32 n m	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Ld r, (HL)	2	6	... ...  01---110 tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
continúa ↓	Ld (HL), r	3	7	7 ...  01110--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>






[illegible]






[illegible]






[illegible]






Grupo										
					S	Z	H	P V	N	C
RES	<b>Res b, (HL)</b> b es lposición del bit	5	13	<b>CB .....</b>  11001011 10--- 110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Res b, (IX+d)</b> b es posición del bit	7	19	<b>DD CB d ...</b>  11011101 11001011 d 10---110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Res b, (IY+d)</b> b es posición del bit	7	19	<b>FD CB d ...</b>  11111101 11001011 d 10---110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Res b, r</b> b es posición del bit	3	7	<b>CB .....</b>  11001011 10--- --- primero b segundo tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
RET	RET	3	9	<b>C9</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Rotation  continúa ↓	<b>RLA</b>	1	3	<b>17</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RL r</b>	3	7	<b>CB 1...</b>  11001011 00010--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RL (HL)</b>	5	13	<b>CB 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RL (IX+d)</b>	7	19	<b>DD CB d 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RL (IY+d)</b>	7	19	<b>FD CB d 16</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RLCA</b>	1	3	<b>07</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	<b>RLC (HL)</b>	5	13	<b>CB 06</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>



Grupo										
					S	Z	H	P V	N	C
Rotation	RLC r	3	7	CB 0...  11001011 00000--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RLC (IX+d)	7	19	DD CB d 06	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RLC (IY+d)	7	19	FD CB d 06	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RLD	8	16	ED 6F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRA	1	3	1F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RR r	3	7	CB 1...  11001011 00011--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RR (HL)	5	13	CB 1E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RR (IX+d)	7	19	DD CB d 1E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RR (IY+d)	7	19	FD CB d 1E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRCA	1	3	0F	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRC r	3	7	CB 0...  11001011 00001--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRC (HL)	5	13	CB 0E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRC (IX+d)	7	19	DD CB d 0E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRC (IY+d)	7	19	FD CB d 0E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	RRD	8	16	ED 67	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

Grupo										
					S	Z	H	P V	N	C
SET	<b>Set b, r</b> b es posición del bit	3	7	<b>CB ...</b>  11001011 11--- --- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Set b,(HL)</b> b es posición del bit	5	13	<b>CB ...</b>  11001011 11--- 110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Set b, (IX+d)</b> b es posición del bit	7	19	<b>DD CB d ...</b>  11011101 11001011 d 11---110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	<b>Set b, (IY+d)</b> b es posición del bit	7	19	<b>FD CB d ...</b>  11111101 11001011 d 11---110	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
SBC (8 bits)	<b>Sbc A, r</b>	2	4	<b>9 ...</b>  10011--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	<b>Sbc A, (HL)</b>	2	6	<b>9E</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	<b>Sbc A, (IX + d)</b>	6	14	<b>DD 9E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	<b>Sbc A, (IY + d)</b>	6	14	<b>FD 9E d</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	<b>Sbc A, v</b>	2	6	<b>DE v</b>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
SBC (16 bits)	<b>Sbc HL, r</b>	6	10	<b>ED ...2</b>  11101101 01--0010 tabla 3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	?	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>

Grupo										
					S	Z	H	P V	N	C
Shift	SLA r	3	7	CB 2... 11001011 00100--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SLA (HL)	5	13	CB 26	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SLA (IX+d)	7	19	DD CB d 26	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SLA (IY+d)	7	19	FD CB d 26	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRA r	3	7	CB 2... 11001011 00101--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRA (HL)	5	13	CB 2E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRA (IX+d)	7	19	DD CB d 2E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRA (IY+d)	7	19	FD CB d 2E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRL r	3	7	CB 3... 11001011 00111--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRL (HL)	5	13	CB 3E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRL (IX+d)	7	19	DD CB d 3E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>
	SRL (IY+d)	7	19	FD CB d 3E	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	<input checked="" type="checkbox"/>

Grupo										
					S	Z	H	P V	N	C
SUB (8 bits)	Sub r	2	4	9 ... 10010--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Sub (HL)	2	6	96	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Sub (IX + d)	6	14	DD 96 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Sub (IY + d)	6	14	FD 96 d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
	Sub v	2	6	D6 v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/> V	1	<input checked="" type="checkbox"/>
XOR	XOR r	1	4	A ... 10101--- tabla 1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
	XOR (HL)	1	6	AE	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
	XOR (IX + d)	3	14	DD AE d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
	XOR (IY + d)	3	14	FD AE d	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0
	XOR v	2	6	EE v	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	<input checked="" type="checkbox"/> P	0	0