



پردازنده MIPS را در نظر بگیرید. فرض کنید این پردازنده دستورات زیر را پشتیبانی می‌کند.

Arithmetic/Logical Instructions: add, addi, sub, slt, slti

Memory Reference Instruction: lw, sw

Control Flow Instructions: j, jal, jr, beq, bne

با طراحی مسیره‌داده و واحد کنترل این نسخه از پردازنده MIPS را به صورت پایپ‌لاین طراحی کنید و آن را با زبان توصیف‌سخت‌افزاری Verilog مدل‌سازی کنید. در طراحی خود نکات زیر را در نظر بگیرید:

- مخاطره‌های داده‌ای را با استفاده از روش Forwarding برطرف کنید.
- در صورت وجود وابستگی داده‌ای بین دستورات beq و bne با دستور(ات) قبلی، از روش اضافه کردن دستور NOP در برنامه استفاده کنید (یعنی نیازی به تشخیص و برطرف کردن این مخاطره در سخت‌افزار وجود ندارد). برای مثال برنامه‌ی زیر را در نظر بگیرید:

```
add    R1, R2, R3
beq     R1, R10, 100
```

این برنامه به دلیل وجود وابستگی داده‌ای بین دستورات add و beq به صورت زیر تبدیل می‌شود (تعداد NOP را شما باید مشخص کنید):

```
add    R1, R2, R3
NOP
...
NOP
beq     R1, R10, 100
```

- مخاطره‌های کنترلی را با اضافه کردن NOP در برنامه حل کنید.

نکته: دستور NOP دستوری است که در وضعیت پردازنده تغییر ایجاد نمی‌کند. مثلاً دستور add R0, R0, R0 می‌تواند به عنوان NOP استفاده شود.

برای تست پردازنده خود، از برنامه‌ی زیر استفاده کنید:

برنامه‌ای بنویسد که اعضای یک آرایه ۱۰ عنصری با آدرس شروع ۱۰۰۰ را با هم جمع کند و نتیجه را در خانه ۲۰۰۰ بنویسد.

روش ارزیابی:

- پیاده‌سازی پایپ‌لاین پردازنده MIPS ۱۰۰ نمره دارد
 - ۲۰ نمره طراحی مسیر داده و واحد کنترل (به همراه کد وریلاگ و برنامه‌ی تست آپلود شود)
 - ۲۰ نمره روش کدینگ (مسیر داده به صورت ساختاری و واحد کنترل با استفاده از بدنه always)
 - ۴۰ نمره صحت طراحی با برنامه‌های آزمون توسط شما
 - ۲۰ نمره صحت طراحی با برنامه‌های آزمون توسط دستیاران آموزشی