



تمرین کامپیوتری شماره ۴ معماری کامپیوتر

نیم‌سال دوم ۹۹-۰۰

زمان آپلود: روز دوشنبه ۳۱ خرداد ۱۴۰۰ (ساعت ۵۹:۲۳)

پردازنده‌ی مبتنی بر استک (آزمون میان‌ترم دوم) را به صورت چندمرحله‌ای طراحی کنید و آن را با زبان توصیف‌سخت‌افزاری Verilog مدل-سازی کنید. برای تست پردازنده‌ی خود، از برنامه‌ی زیر استفاده کنید:

$y = ab+cd+-$

روش ارزیابی:

- پیاده‌سازی این پردازنده ۱۰۰ نمره دارد
 - ۲۰ نمره طراحی مسیر داده و واحد کنترل (به همراه کد وریلاگ و برنامه‌ی تست آپلود شود)
 - ۲۰ نمره روش کدینگ (مسیر داده به صورت ساختاری و واحد کنترل به صورت هافمن)
 - ۴۰ نمره صحت طراحی با برنامه‌های آزمون توسط شما
 - ۲۰ نمره صحت طراحی با برنامه‌های آزمون توسط دستیاران آموزشی