

INC - Návrh číslicových systémov

Asynchrónna sériová komunikácia

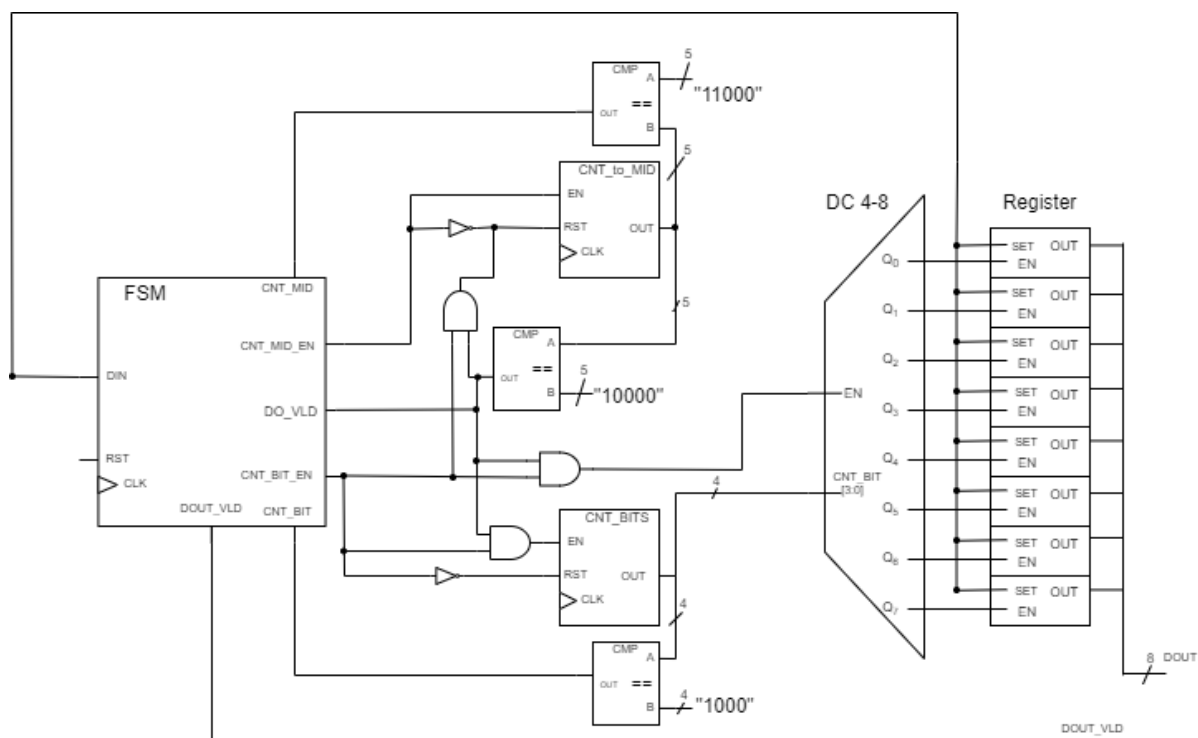
Projekt UART – prijímacia časť

Meno: Michal Laš

Login: xlasmi00

Architektúra navrhnutého obvodu (na úrovni RTL)

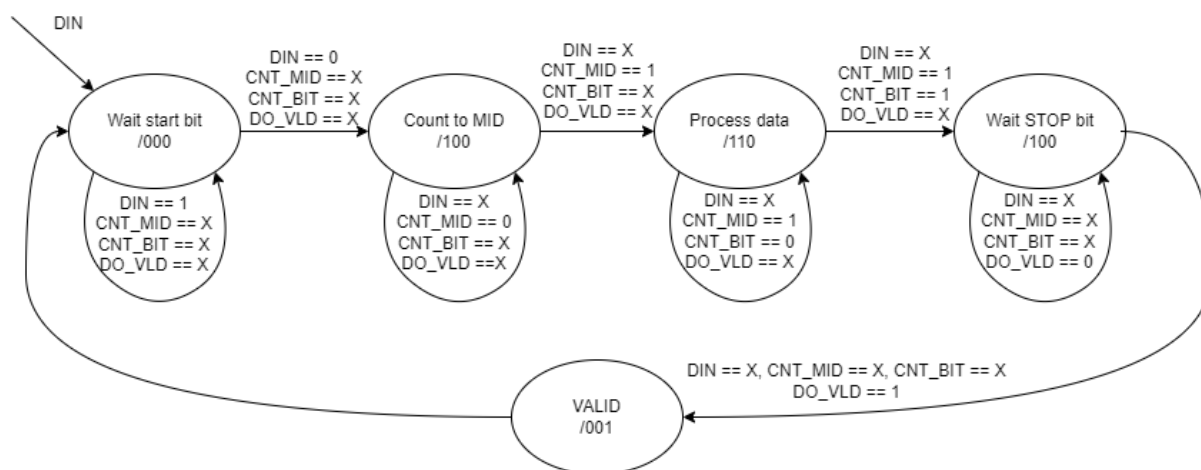
Schéma obvodu:



Po START bite pomocou CNT_to_MID obvod napočíta 24 CLK signálov tým sa dostaneme do stredu snímaného bitu (CNT_MID bude nastavený na 1). Ďalej obvod pomocou CNT_BITS počíta počet načítaných bitov. CNT_MID ďalej počíta 16 CLK signálov. Po 16 CLK signáloch sa navýši CNT_BITS a CNT_MID sa resetuje. Vstupný signál DIN sa ukladá do 8-bitového registru. DMUX zariadi aby signál DIN bol uložený do jednotlivých registrov. Po načítaní ôsmich bitov je výsledok na DOUT, platnosť výsledku potvrdzuje DOUT_VLD.

Návrh automatu (Finite State Machine)

Schéma automatu:



Stavy automatu: Wait start bit, Count to MID, Process data, Wait STOP bit

Vstupné signály: DIN, CNT_MID, CNT_BIT, DO_VLD

Moorove výstupy: CNT_MID_EN, CNT_BIT_EN, DOUT_VLD

Wait start bit: Automat čaká na START bit (DIN z log. 1 do log. 0)

Count ot MID: Po START bite automat počíta 24 hodinových signálov aby so dostal do stredu snímaných bitov. CNT_MID sa nastaví na log. 1.

Process data: Načítavanie bitov do registrov. Po ôsmich načítaných bitoch sa CNT_BIT nastaví na log. 1.

Wait STOP bit: CNT_MID ráta 16 CLK signálov do stredu STOP bitu.

VALID: DOUT_VLD sa nastaví na log. 1. Automat sa vráti do stavu **Wait start bit**

