

1. RS 플립-플롭에 대해서 조사하시오.

RS(SR) 플립-플롭은 SR Latch(5번 문항에서 설명)과 동일한 의미를 가지는 S 및 R의 두 입력을 가지고 있다. RS(SR) 플립-플롭의 동작은 아래의 상태도와 특성표로 확인할 수 있다.

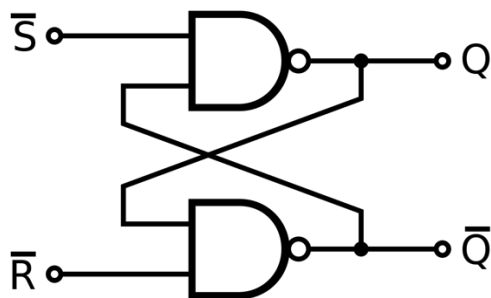


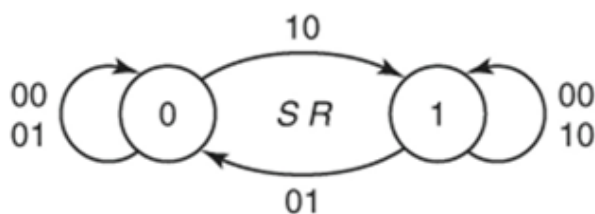
Table 5.5 SR flip flop behavioral tables.

S	R	q	q^*	
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	0	
1	0	0	1	
1	0	1	1	
1	1	0	—	not allowed
1	1	1	—	allowed

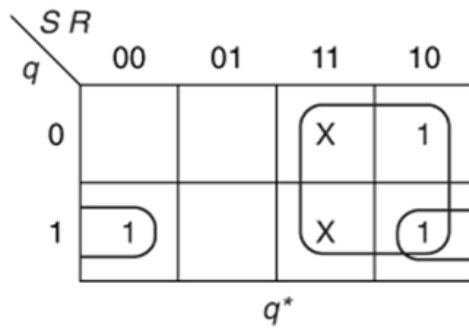
S	R	q^*
0	0	q
0	1	0
1	0	1
1	1	—

not allowed

Figure 5.15 SR flip flop state diagram.

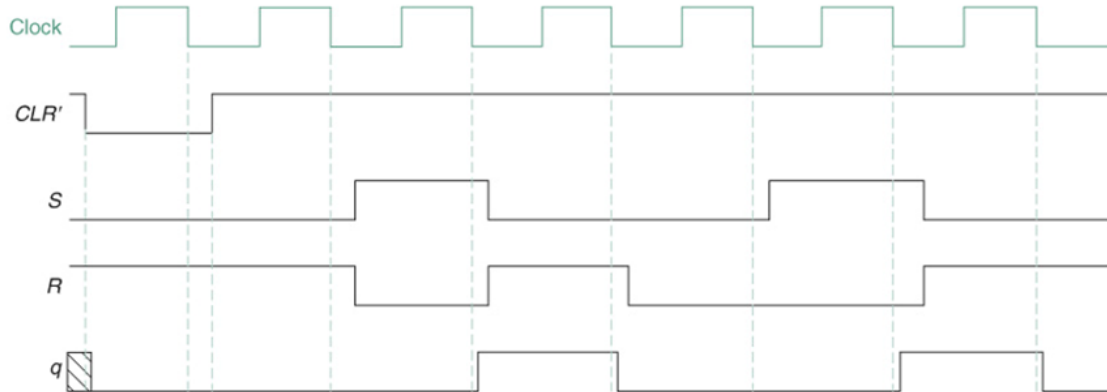


Map 5.1 SR flip flop behavioral map.



정리하면, $q^* = S + R'q$ 와 같이 나타낼 수 있다. 다음은 RS 플립-플롭의 타이밍도이다.

Figure 5.16 SR flip flop timing diagram.



2. JK 플립-플롭에 대해서 조사하시오.

JK 플립-플롭은 RS 플립-플롭과 T 플립-플롭으로 이루어져 있다. $J=K=1$ 일 때 플립-플롭의 상태를 변화시킨다는 점만 제외하고는 RS 플립-플롭의 동작과 동일하다.

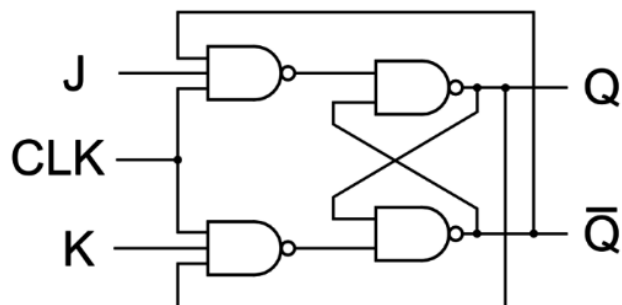
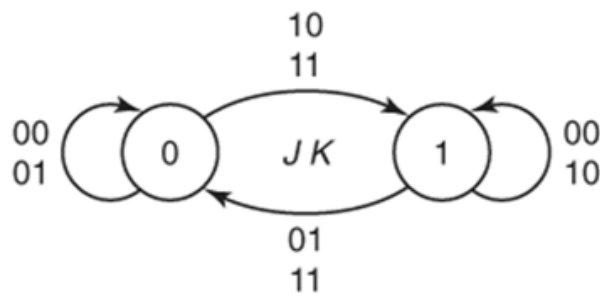


Table 5.7 JK flip flop behavioral tables.

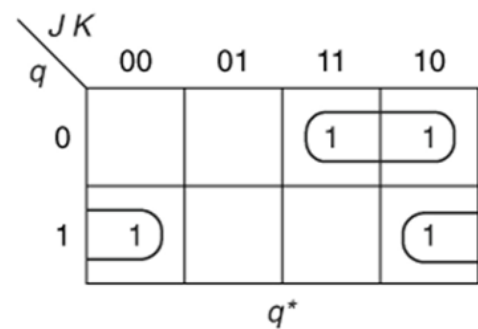
J	K	q	q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

J	K	q^*
0	0	q
0	1	0
1	0	1
1	1	q'

Figure 5.19 JK flip flop state diagram.

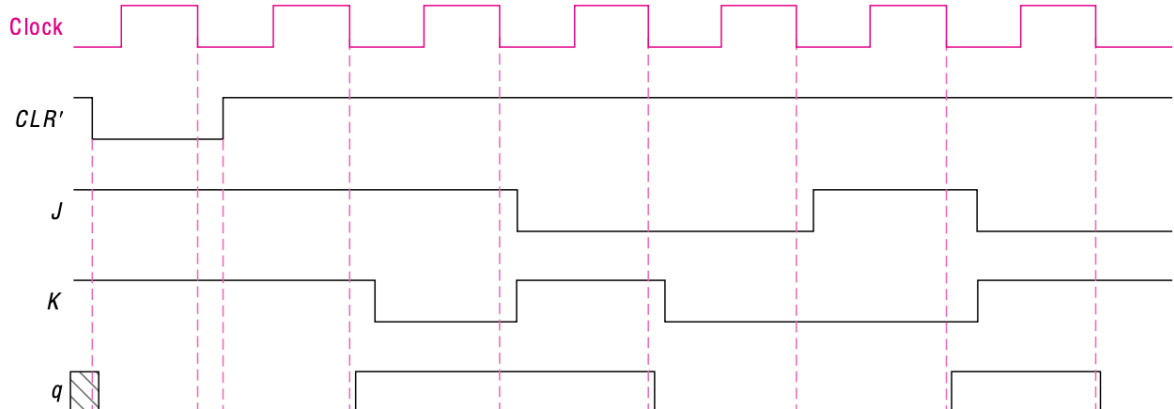


Map 5.2 JK flip flop behavioral map.



정리하면, $q^* = Jq' + K'q$ 와 같이 나타낼 수 있다. 다음은 JK 플립-플롭의 타이밍도이다.

Figure 6.21 Timing diagram for JK flip flop.



3. D 플립-플롭에 대해서 조사하시오.

가장 간단한 플립-플롭으로, Delay의 'D'를 따 D 플립-플롭으로 불린다. 그 이유는 출력이 입력의 지연과 같기 때문이다. D 플립-플롭의 다음 상태는 유효한 클럭천이가 일어나기 전의 D 입력값과 같다. 다음은 하강 에지 트리거(falling edge, trailing edge) D 플립-플롭과 상승 에지 트리거(rising edge, leading edge) D 플립-플롭의 블록도이다.

Figure 6.8 D flip flop diagrams.

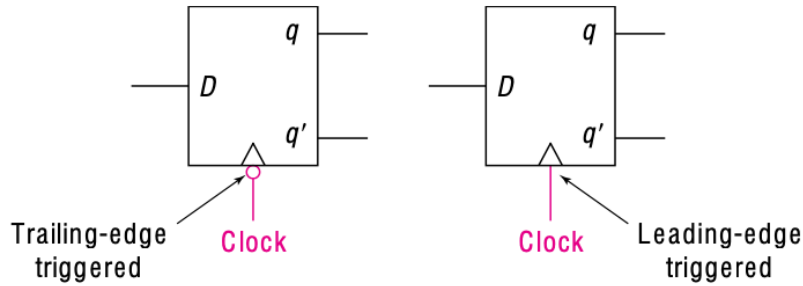
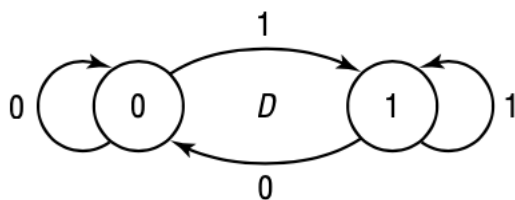


Table 6.3 The D flip flop behavioral tables.

D	q	q^*
0	0	0
0	1	0
1	0	1
1	1	1

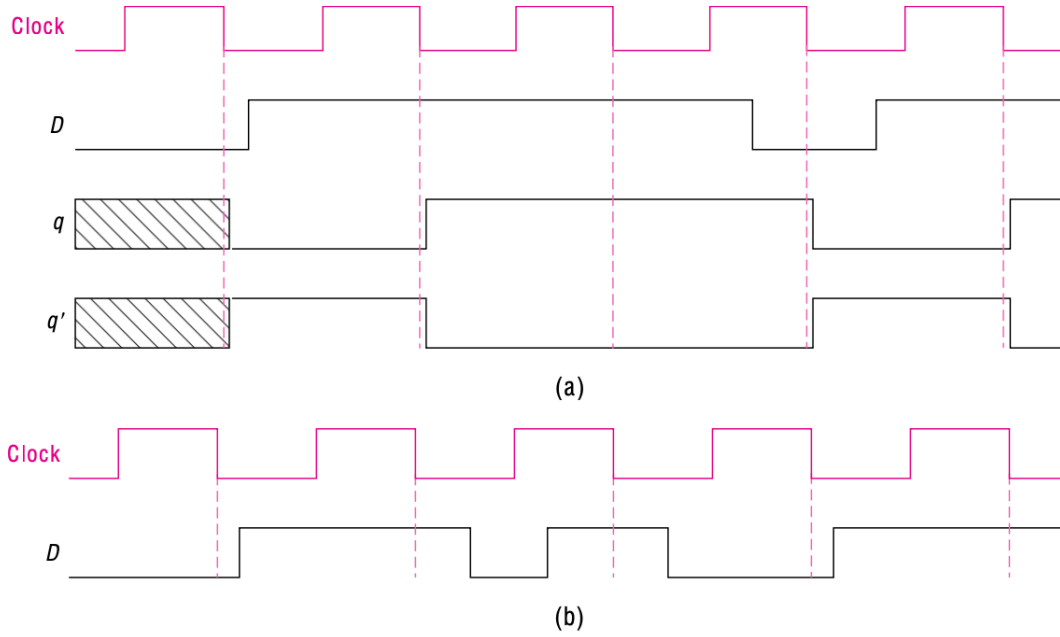
D	q^*
0	0
1	1

Figure 6.9 D flip flop state diagram.



정리하면, $q^* = D$ 와 같이 나타낼 수 있다. 다음은 D 플립-플롭의 타이밍도이다.

Figure 6.10 D flip flop timing diagram.



4. T 플립-플롭에 대해서 조사하시오.

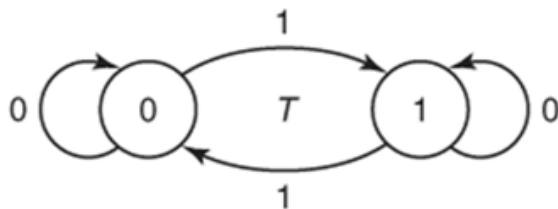
T 플립-플롭은 입력이 T 하나이다. T=1이면 상태를 변화시키고, 0이면 상태를 유지한다.

Table 5.6 T flip flop behavioral tables.

T	q	q^*
0	0	0
0	1	1
1	0	1
1	1	0

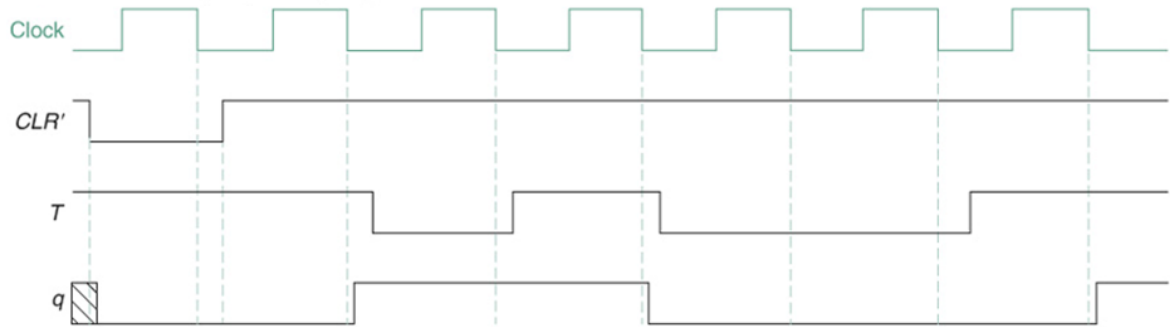
T	q^*
0	q
1	q'

Figure 5.17 T flip flop state diagram.



정리하면, $q^* = T \oplus q$ 와 같이 나타낼 수 있다. 다음은 T 플립-플롭의 타이밍도이다.

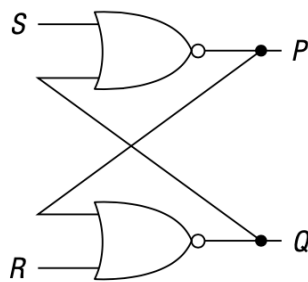
Figure 5.18 T flip flop timing diagram.



5. Latch 의 기능에 대해서 조사하시오.

Latch는 이진 저장소자로 2개 이상의 게이트가 구성되어 있다. 플립-플롭과 같이 1bit를 저장하는 기억 소자의 역할을 한다. Latch 중 가장 간단한 Latch인 2-gate Latch는 각각의 게이트 출력이 다른 게이트의 입력으로 연결되어 있다.

Figure 6.5 A NOR gate latch.



다음은 좌측과 같은 회로에 대한 수식이다.

$$P = (S + Q)'$$

$$Q = (R + P)'$$

두 입력, P, Q가 0일 때가 정상적인 저장상태이다.

S, R이 모두 0이면 $P=Q'$ 상태가 된다.

$P=1, Q=0$ 일 때 0을 저장, $P=0, Q=1$ 일 때 1을 저장한다.

S는 set의 약자로, 1을 저장한다.

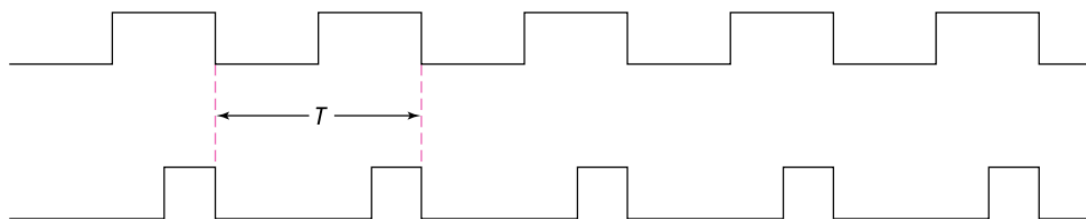
$S=1$ 이고 $R=0$ 이면, $P = (1+Q)' = 1' = 0$, $Q = (0+0)' = 0' = 1$ 이

므로 Latch에 1이 저장된다. 반대로 $S=0$ 이고 $R=1$ 이면, $P = 1$, $Q = 0$ 이다. $S=1$ 이고 $R=1$ 이면, 동작하지 않는다.

6. Clock의 기능에 대해서 조사하시오.

Clock은 일정한 주기로 0(Low), 1(High) 신호를 낸다. Clock에 맞춰 디지털 회로가 정상적으로 작동하게 하는 역할을 한다. 모든 플립-플롭에는 보통 아래와 같은 Clock이 연결되어 있다.

Figure 6.1 Clock signals.



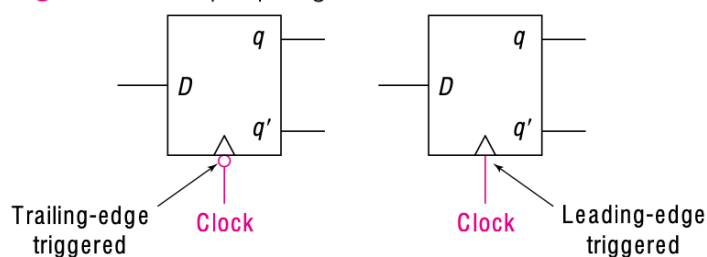
신호의 주기(T)는 한 사이클의 길이이다. 주파수는 그 역수($1/T$)이다. 대부분의 synchronous

sequential circuit에서의 변화는 클럭 신호의 천이(0->1, 1->0 변화)시점에서 일어난다.

7. Edge-Trigger의 특성에 대해 조사하시오.

Edge Trigger는 앞서 Clock 설명에서 다룬 클럭 신호의 천이시점 (1->0, 0->1)에서 동작하는 것을 의미한다. 0->1의 시점을 rising edge(leading edge), 1->0의 시점을 falling edge(trailing edge)라 한다. 플립-플롭에서는 일반적으로 rising edge 또는 falling edge 중 하나 또는 둘에 반응하여 동작한다. Edge-Trigger의 종류에 따른 D 플립-플롭의 블록도는 다음과 같다.

Figure 6.8 D flip flop diagrams.



8. Master-Slave 의 개념에 대해 조사하시오.

Master-Slave 는 한쪽의 입력 전원을 Master, 다른 한 쪽을 Slave 로 두고 Master 가 Slave 쪽을 제어하도록 하는 것을 의미한다. 2 번 문항에서 다룬 JK 플립-플롭 같은 경우 J,K, T 가 모두 1 일 때 출력이 안정되지 않으므로 Master-Slave 플립-플롭을 사용하기도 한다.

