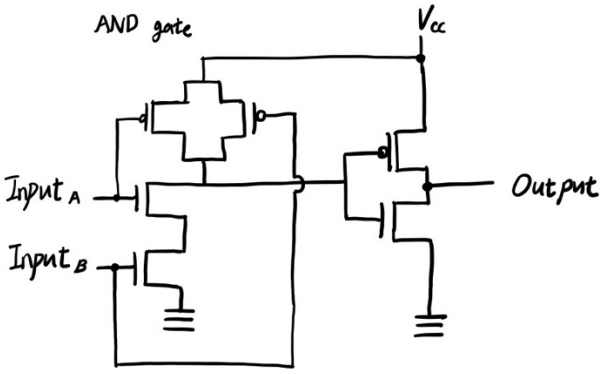
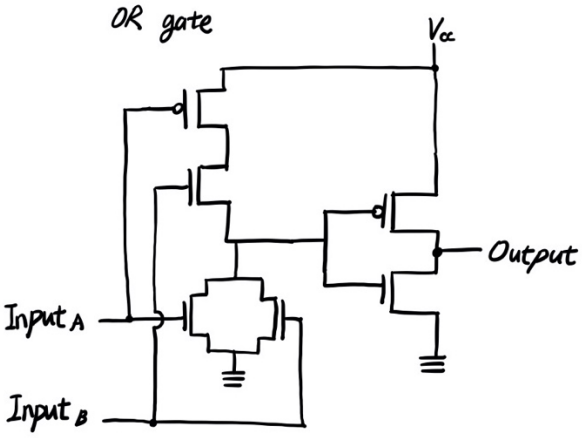
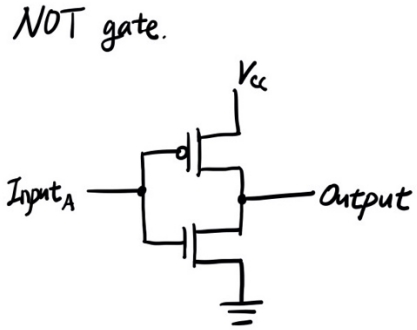
컴퓨터공학실험2 3주차 예비보고서

전공: 컴퓨터공학과 학년: 2 학번: 20191559 이름: 강상원

1. 논리게이트 AND/OR/NOT의 구조를 Transistor-Level로 그리시오.







2. AND/OR/NOT Logic의 특성을 조사하시오.

- AND Logic

Input		Output
A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

A, B 2개의 입력이 모두 1이 될 때 출력이 1이다. 논리곱이라고도 부르며 A∧B, A*B라고도 쓸 수 있다.

- OR Logic

Input		Output
A	B	A OR B
0	0	0
0	1	1
1	0	1
1	1	1

A, B 2개의 입력 중 하나라도 1이 될 때 출력이 1이다. 논리합이라고도 부르며 A∨B, A+B라고도 쓸 수 있다.

- NOT Logic

Input	Output
A	NOT A
0	1
1	0

입력의 부정을 출력한다. 즉, 0이 입력되면 1, 1이 입력되면 0을 반환한다.

3. Fan-out에 대하여 조사하시오.

한 게이트의 출력을 다른 곳으로 나누어 연결한 출력선의 개수를 의미한다. 다음 단계에 연결될 수 있는 게이트 수에 제한이 있는데, 이러한 수를 의미하게 된다. (각 소자의 출력에 최대로 흐를 수 있는 전류 제한이 있어, 너무 많은 입력이 가해지면 0V에 가깝게 전압이 걸리게 될 가능성이 있기 때문)

Fan-out 수의 크기가 클수록 논리 회로를 설계하는데 있어 제약이 적어져 고속 회로를 만들기 쉽고 안정성이 높아진다. 하지만 비용적인 측면이나 소자를 고려해야 한다.

4. 전파지연에 대하여 조사하시오.

전기신호가 논리 회로를 통과할 때 생기는 지연시간을 의미한다. 다시 말해, 신호의 값 변화가 논리 회로의 입력에서 출력까지 전달되는 데 걸리는 시간을 의미하는 것이다.

전파지연 시간에는 상승지연시간, 하강지연시간이 작용한다. 상승지연시간과 하강지연시간의 평균값을 전파 지연 시간이라 한다.

상승지연시간, 하강지연시간이 작을수록 전력소모와 작동시간의 측면에서 유리하다.

5. Verilog의 task 및 function에 대해 조사하시오.

계속해서 자주 사용되는 코드를 task 및 function으로 만들어 사용한다. 이렇게 task와 function을 이용하면 프로그램의 유지보수가 쉬워지고 코드의 가독성도 높아지는 효과가 있다.

- task

기본적으로 Fortran 언어의 subroutine과 유사한 측면을 지닌다.

Verilog

task taskEx;
output x;
intput i, j, k;
begin
y = i & j;
end
endtask

인수를 통해 값을 전달받는다. 0개 이상의 입력값이 필요하며, 출력도 없을 수 있다. inout, output을 통해 function과 달리 여러 값을 반환할 수 있다. 시간지연을 포함할 수 있다. 또한 다른 function이나 task를 task 내부에서 호출 가능하다.

- function

기본적으로 Fortran 언어의 function과 유사한 측면을 지닌다. 하지만 쉬운 비교를 위해 조금 더 상용화된 C언어의 function과 비교해 보았다.

Verilog	C

function funcEx;
input i, j, k;
begin
y = i & j;
end
endfunction
	void funcEx(int i, int j, int k) {
	y = i& j;
	return y;
	}

정해진 인수를 통해 값을 전달받는다. 적어도 1개 이상의 입력값이 필요하며, 출력은 오직 1개의 결과값을 반환한다. 시간지연은 포함되지 않는다. 또한 다른 function을 function 내부에서 호출 가능하다.	