

전공: 컴퓨터공학과

학년: 2

학번: 20191559

이름: 강상원

1. HDL이 무엇인지 조사하고 Verilog이외의 HDL에 대하여 조사하시오.

HDL(Hardware Description Language, 하드웨어 기술 언어)은 전자회로를 정밀하게 서술하는 데 사용되는 컴퓨터 언어라 할 수 있다. 앞으로 실습하게 될 Verilog 또한 HDL 중 하나이다. HDL은 하드웨어의 모델링을 비롯해 시뮬레이션, 설계, 검증 등을 수행할 수 있다. (회로를 실제 만들기 이전에 회로 동작 예측, FPGA를 프로그램할 때 사용)

Verilog 이외에도 VHDL, RHD, MyHDL, JHDL, Lava 등의 HDL이 존재한다. 그중 Verilog와 함께 많이 쓰이는 VHDL에 대해 알아보자면, 원래는 미국 국방부에서 ASIC의 문서화에 사용하기 위해 만든 언어지만 차후 회로 디자인 과정의 시뮬레이션에서도 사용하게 되었다. 엔티티는 "entity"로 시작하고 "end"키워드로 끝난다. Verilog보다 이전에 만들어졌으며 Verilog보다 복잡하다. Verilog는 C언어를 기반으로 하고 VHDL은 Ada와 Pascal이 기반이다. 사소하지만 대소문자를 구별하지 않는다는 차이점도 있다.

2. Verilog의 역사와 발전 과정을 조사하시오.

1983년 Prabhu Goel(프라부 고엘)이 미국에서 Gateway Design Automation이라는 회사를 창업한 뒤 언어와 시뮬레이터가 공개되었다. 1985년에는 새 버전 Verilog-XL을 공개하였고 1989년에 Cadence라는 회사가 Gateway Design Automation을 인수하였다. 1991년 Cadence사가 OVI라는 조직을 구성하고 Verilog HDL이 공개하였다. 이후 사용자가 점차 증가하였고 1995년에 1364-1995로 표준화되었다. 2001년 이후 IEEE-1364를 사용하고 있다.

현재는 VHDL과 Verilog 모두 Accellera라는 단체가 유지·관리하고 있다.

3. Verilog의 기본적인 구조와 문법에 관하여 조사하시오.

top-down 방식을 따르며 구조적 언어의 특징을 가지고 있다.

머리부, 선언부, 몸체부 세 부분으로 구성된다.

- 머리부는 'module'로 시작해 module 이름, port 목록, 그리고 세미콜론(;)으로 끝나게 된다.
- 선언부는 port의 방향, bit 폭, parameter, reg, wire 등을 선언하는 역할을 한다.
- 몸체부는 설계하고자 하는 회로의 동작, 기능, 구조 등을 표현하는 역할을 한다.

C언어와 비슷한 문법을 가지고 있지만 차이점은 중괄호 기호로 시작과 끝을 나타내지 않고 Begin과 End를 사용하며 시간에 대한 개념이 추가되었다.

if-else문, for문, case문 등을 사용하고 연산자 또한 산술 연산자(+, -, *, /, ...), 논리 연산자(&, |, ^, ...), 비교 연산자(<, <=, >, >=, ...)를 사용한다.

➤ **데이터형**

- **Register**
데이터를 저장하며, flip-flop이나 latch로 구현됨
- **Wire**
회로를 연결하는 선을 의미
- **Parameter**
사용하는 상수 정의

➤ **논리 • 수치 표현**

- **논리값**
0, 1, x, z로 표현
- **수치 표현**
{비트폭}'{기수}{수치}로 표현됨

➤ **산술 • 논리연산**

- **산술 연산**
+, -, *, /, % ...
- **논리 연산**
&&, ||, ! / <, <=, >, >=, ==, != / &, |, ^, ~ ...
- **조건 연산**
out = (a > b) ? a : b;

➤ **제어문**

- **조건문**
if-else, case
- **Loop**
while, for, forever, repeat

➤ **Combinational Logic (조합회로)**

- **assign문**
ex) assign out = sel ? a : b

➤ **Sequential Logic (순차회로)**

입력, 현재 상태에 따라 결과가 다르게 나올 수 있는 회로

- **always문**
산술 • 논리 • 조건 연산식을 사용한다.
- **initial문**
순차적 신호 인가에 사용

➤ **계층구조 설계**

특정 블록을 모듈화하여 사용 가능하다. (상위 계층에서 하위 모듈 instantiate)