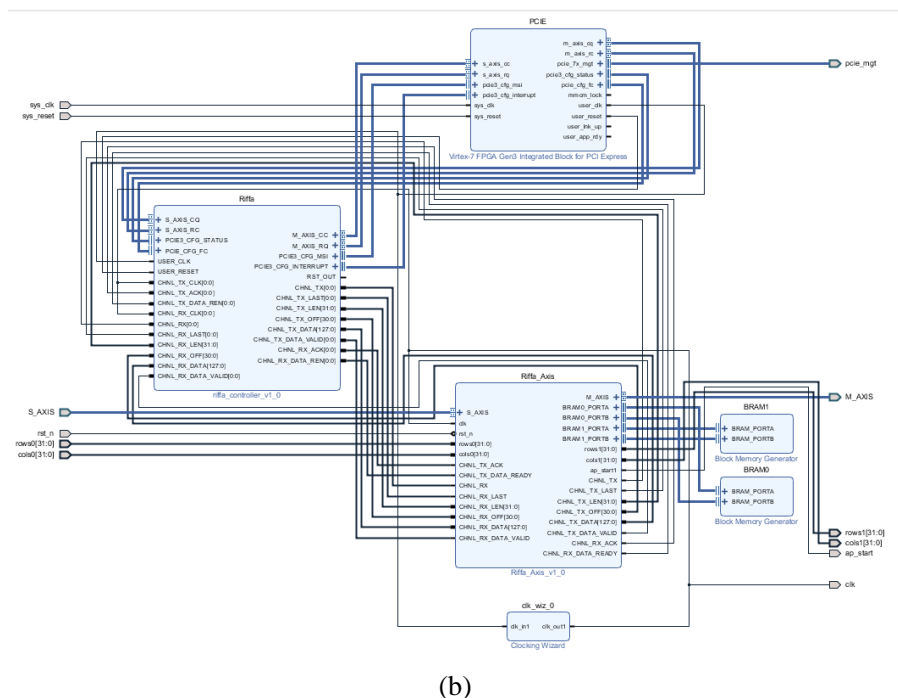


(a)



(b)

图 1.2 block design 设计图；(a)整体设计图；(b)PCIE_AXIS 部分设计图

本系统的数据传输过程如图 1.3 所示，其中 Riffa_Axis 模块通过 BRAM 缓存实现了 riffa 接口与 Axi-Stream 接口的相互转换。

这里一共有 3 个时钟域，图像处理模块工作于 50MHz 时钟域，50MHz 时钟由 250MHz 时钟通过锁相环分频得到。需要注意的是如果图像处理模块使用 100MHz 的时钟，则 Riffa 模块会出现不满足时序约束的问题。

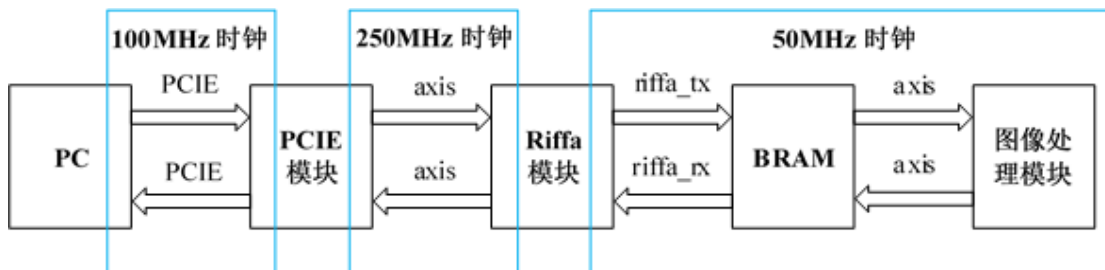


图 1.3 数据传输过程

1.2 各模块介绍

1.2.1 图像处理模块

图像处理模块的硬件接口如图 1.4 所示。不同功能的图像处理模块均具有图中所示的硬件接口，这将有利的工程的移植以及部分可重构的实现。

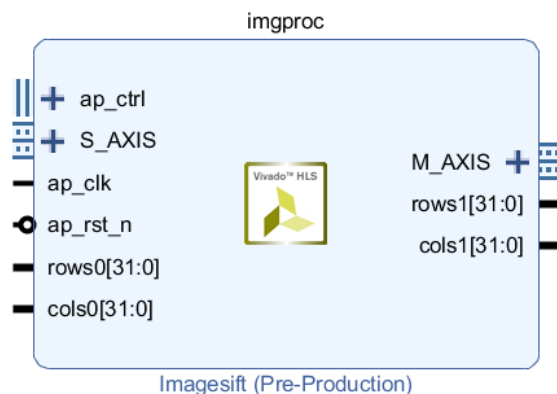


图 1.4 图像处理模块的硬件接口

图像处理模块各个接口或信号的功能如下：

- (1) **S_AXIS**: 输入数图像和参数的数据流，数据流宽度为 8/16/32 位。在 8 位数据宽度的情况下，行数为图像高度+1，列数为图像宽度，具体格式如表 1.1 所示。

表 1.1 S_AXIS 数据流格式

		col(1byte)																	
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	...	cols0-1
row	0	rows0			cols0			param0			param1						...	0	
	1	data																	
	...																		
	rows0																		

其中，rows0 为输入图像高度，32 位宽度，占 4 字节；

cols0 为输入图像宽度，32 位宽度，占 4 字节；

param 为输入参数，每个参数均为 32 位宽度，占 4 字节，参数个数由用户定义；

data 为输入图像；

注：一般输入参数数量很少，第一行足够存放，第一行剩余字节填充 0；数据流行数为 rows0+1，列数为 cols0。

- (2) **M_AXIS**: 输出图像（或其他数据）的数据流，数据流宽度为 8/16/32 位。在 8 位数据宽度的情况下，行数为图像高度+1，列数为图像宽度，具体格式如表 1.2 所示。

表 1.2 M_AXIS 数据流格式

		col(1byte)																	
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	...	cols1-1
row	0	rows1			cols1			result0			result1			...			0		
	1	data																	
	...																		
	rows1																		

其中，rows1 为输出图像高度，32 位宽度，占 4 字节；

cols1 为输出图像宽度，32 位宽度，占 4 字节；

result 为输出参数（结果），每个参数均为 32 位宽度，占 4 字节，参数个数由用户定义；

data 为输出图像或其他数据，例如点(x,y)序列、矩形框(x,y,w,h)序列。

- (3) **rows0**: 输入信号，输入图像高度，由 Riffa_Axis 模块产生；
- (4) **cols0**: 输入信号，输入图像宽度，由 Riffa_Axis 模块产生；
- (5) **rows1**: 输出信号，输出图像（或其他数据）高度，提供给 Riffa_Axis 模块；
- (6) **cols1**: 输出信号，输出图像（或其他数据）宽度，提供给 Riffa_Axis 模块；
- (7) **ap_ctrl**: 图像处理模块的启动控制接口，由控制模块提供启动控制信号。

从表 1.1 和表 1.2 的数据流格式设计中可以看到，参数也存放在数据流当中随数据一起传输，这种设计可以简化 PC 端的数据发送和接收操作。由于输出数据流中含有输出图像（或其他数据）的宽度和高度，因此 PC 端接收数据时也无需提前知道这 2 个参数的值，这将简化 PC 端的接收和处理操作。

1.2.2 PCIE 模块

PCIE 模块的硬件接口如图 1.5 所示。PCIE 模块的硬件接口较多，功能比较复杂，因此这里不进行详细介绍。也正是由于 PCIE 模块控制比较复杂，我们才需要借助于 Riffa 模块来简化 PCIE 的数据发送和接收操作。

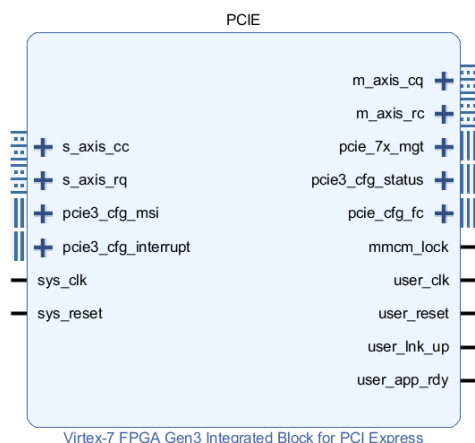


图 1.5 PCIE 模块的硬件接口

PCIE 模块的主要配置界面如图 1.6 所示。采用的配置如下：

- (1) 链路宽度为 X8，链路速度为 PCIE Gen2 的 5.0GT/s，链路时钟为 100MHz
- (2) AXI-ST 接口（与 Riffa 模块的数据传输接口）的数据宽度为 128bit，时钟为 250MHz；
- (3) 最大数据包长度为 256bytes；
- (4) Bar0 地址空间大小为 1kbytes（由于 Riffa 驱动代码的缘故，必须设置为 1kbytes，否则驱动无法正常加载）。

Component Name: RIFFA_AXIS/PCIE

Mode: **Advanced**

Device / Port Type: PCI Express Endpoint device

PCIe Block Location: X0Y1

Reference Clock Frequency (MHz): 100 MHz

Xilinx Development Board: None

Silicon Revision: Production

Number of Lanes: Lane Width: X8

Maximum Link Speed: 2.5 GT/s 5.0 GT/s 8.0 GT/s

AXI-ST Interface Width: 128 bit 256 bit

AXI-ST Interface Frequency (MHz): AXI-ST Interface Frequency (MHz): 250

AXI-ST Alignment Mode: DWORD Aligned Address Aligned

Tandem Configuration: None Tandem PROM (Refer PG023) Tandem PCIe (Refer PG023)

PIPE Mode Simulations: None Enable External PIPE Interface

Enable AXI-ST Frame Straddle

Disable Client Tag

Additional Transceiver Control and Status Ports

Enable External GT Channel DRP

Enable RX Message INTFC

PCIe DRP Ports

(a)

Basic **Capabilities** PF0 IDs PF0 BAR Legacy/MSI Cap MSix Cap Power Management Extd. Capabilities-1 Extd. Capabilities-2 Shared Logic Add. Debug Options

Physical Functions

Enable Physical Function 0

Enable Physical Function 1

Device Capabilities Register PF

PF0 Max Payload Size: 256 bytes PF1 Max Payload Size: 512 bytes

Extended Tag Field

SRIOV Capability

Link Status Register

Selects whether the device reference clock is provided by the connector (Synchronous) or generated via an onboard PLL (Asynchronous)

Enable Slot Clock Configuration

Function Level Reset

Device Capabilities Register 2

32-bit AtomicOp Completer Supported

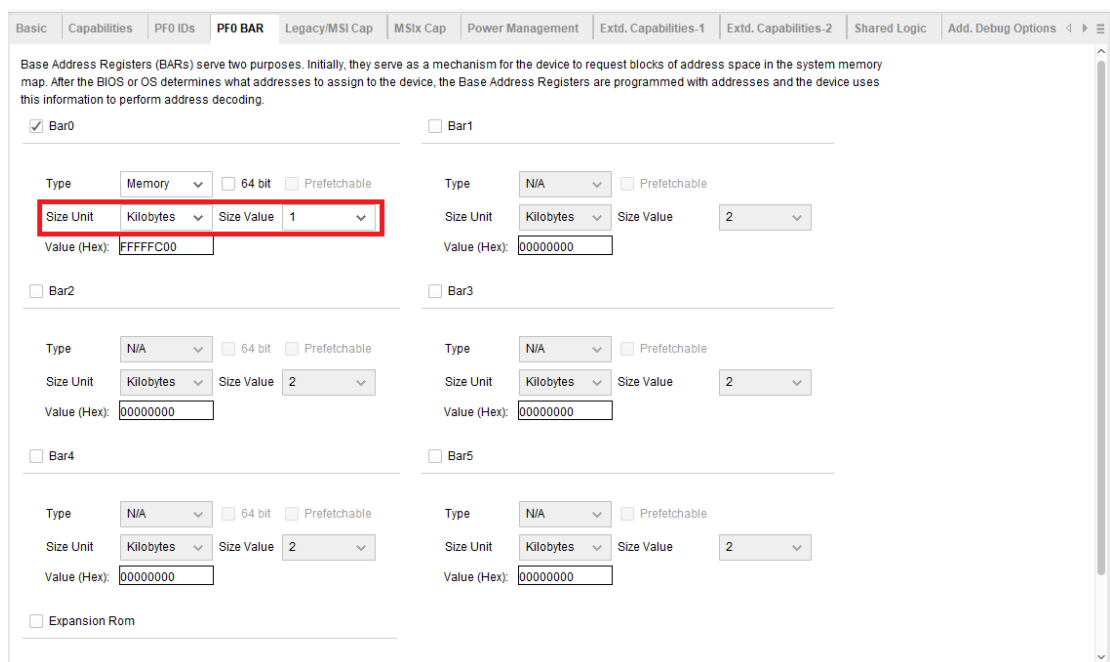
64-bit AtomicOp Completer Supported

128-bit CAS Completer Supported

TPH Completer Supported

OBFF Supported: 00 Not Supported

(b)



(c)

图 1.6 PCIE 模块的主要配置界面

1.2.3 Riffa 模块

Riffa 模块的硬件接口如图 1.7 所示。Riffa 模块的很多接口是与 PCIE 模块相连的，可以不用关注，只需要关注 riffa_tx 发送接口和 riffa_rx 接收接口。

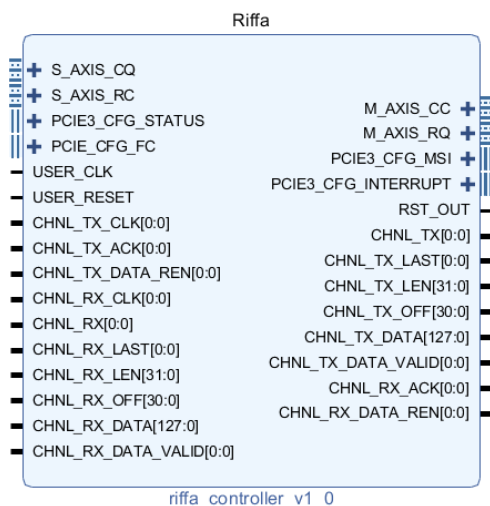
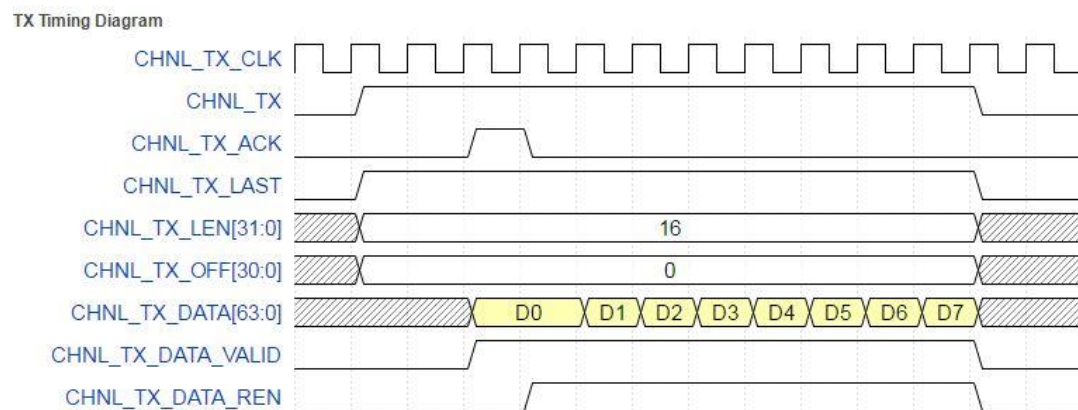
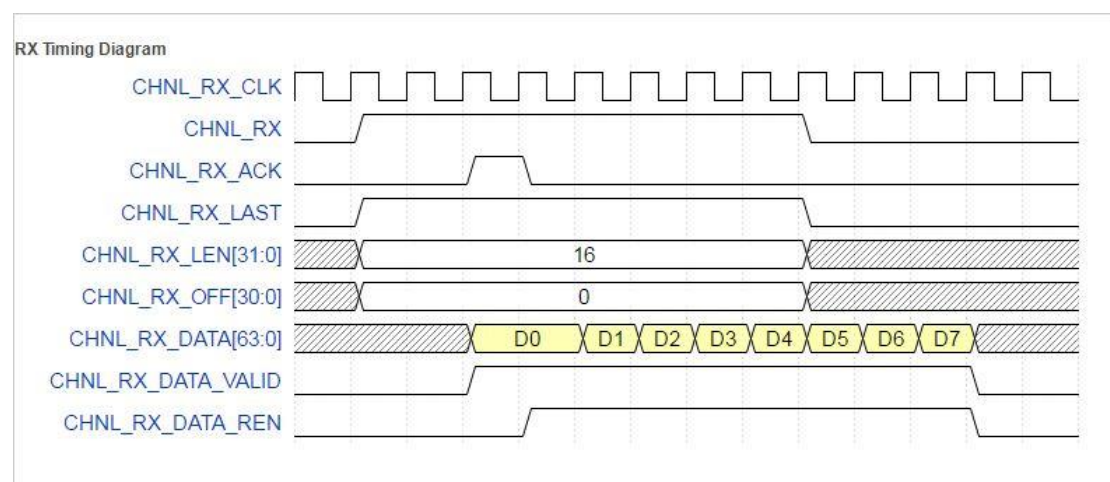


图 1.7 Riffa 模块的硬件接口

riffa_tx 接口的数据发送时序如图 1.8(a)所示，riffa_rx 接口的数据接收时序如图 1.8(b)所示，根据这 2 张时序图，可以非常容易地实现 PCIE 的数据发送和接收。



(a)



(b)

图 1.8 (a)riffa_tx 接口数据发送时序；(b)riffa_rx 接口的数据接收时序

riffa 模块的配置界面如图 1.9 所示，需要注意的是最大数据包长度和 PCI 数据宽度必须和 PCIE 的配置相同。

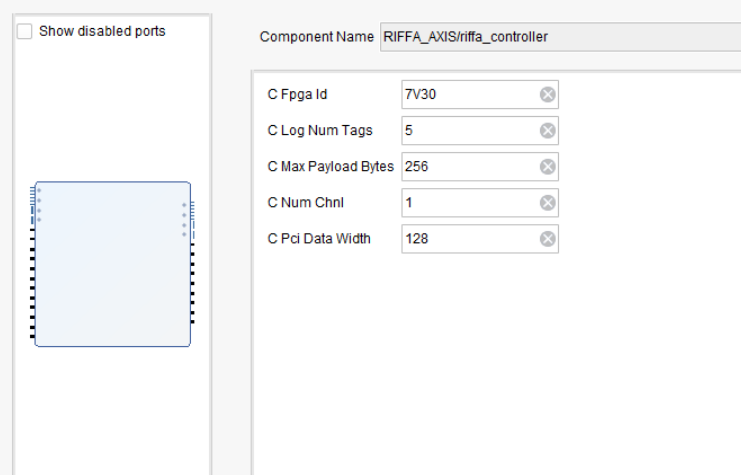


图 1.9 Riffa 模块的配置

1.2.4 Riffa_Axis 模块

由于 Riffa 模块的接口与图像处理模块的接口不一致，导致无法直接进行数据传输，因此需要使用 Riffa_Axis 模块完成 2 种接口的转换。

Riffa_Axis 模块的硬件接口如图 1.10 所示，主要包括 4 部分：

- (1) 与图像处理模块相连的 Axi-Stram 接口，以及 rows0、cols0、rows1、cols1 等信号；
- (2) 与 Riffa 模块相连的 riffa_tx 和 riffa_rx 接口；
- (3) 控制 BRAM 的接口；
- (4) 与控制模块相连的 ap_start1 信号。

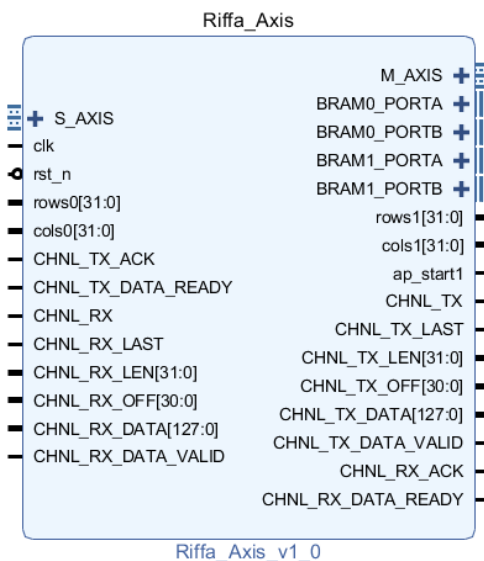
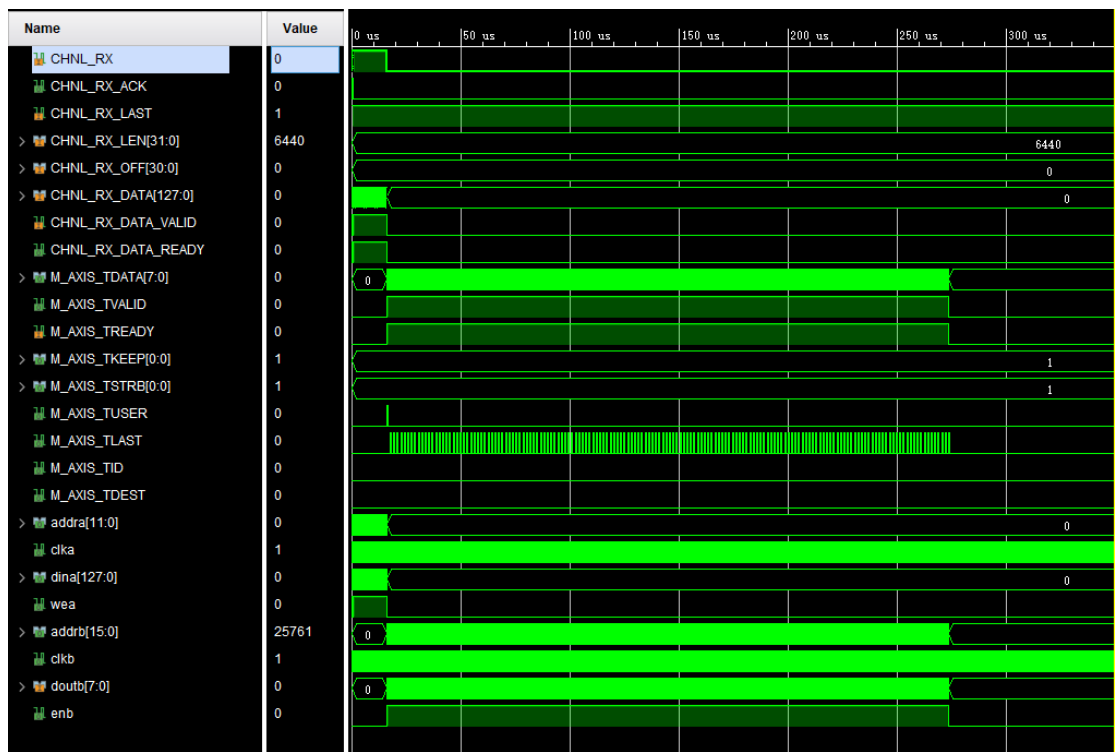


图 1.10 Riffa_Axis 模块的硬件接口

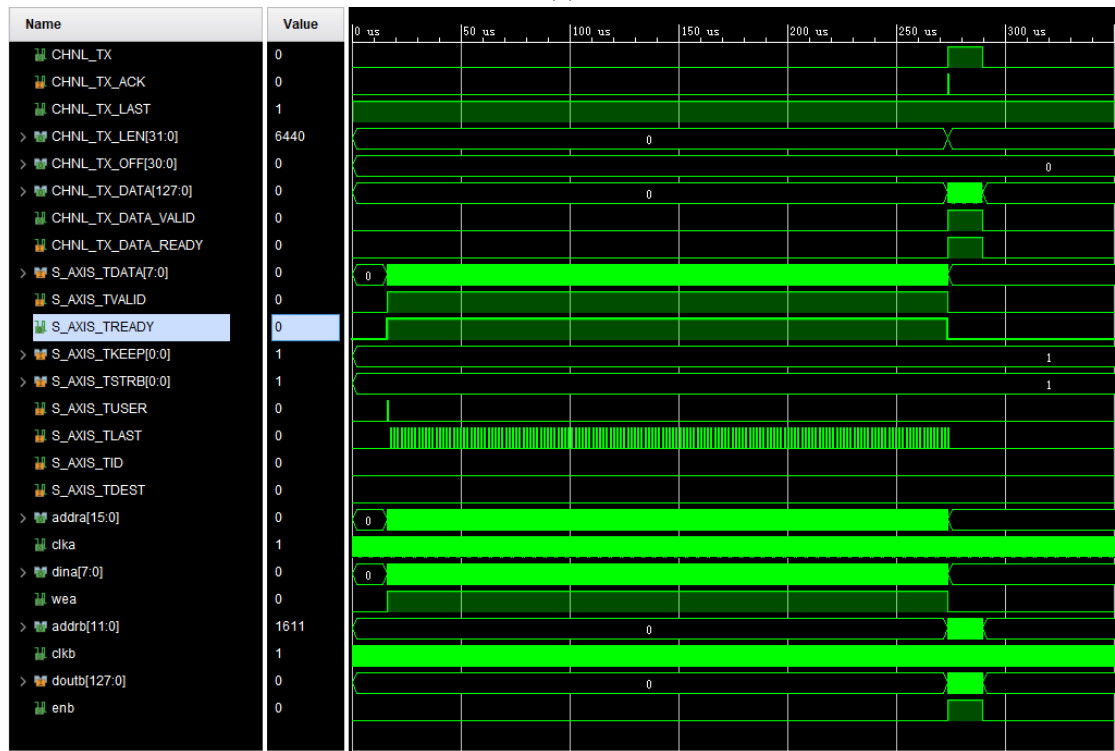
Riffa 模块包含 2 个转换通道，一个是 riffa_rx 接口到 M_AXIS 接口的转换通道，数据通过 riffa_rx 接口传输进来，并通过 BRAM1_PORTA 接口缓存到 BRAM，数据全部缓存完毕后，再通过 BRAM1_PORTB 接口读出数据，并通过 M_AXIS 接口发送出去。

另一个通道是 S_AXIS 接口到 riffa_tx 接口的转换通道，数据通过 S_AXIS 接口传输进来，并通过 BRAM0_PORTA 接口缓存到 BRAM，数据全部缓存完毕后，再通过 BRAM0_PORTB 接口读出数据，并通过 riffa_tx 接口发送出去。

2 个转换通道的数据传输时序分别如图 1.11(a)、(b)所示。



(a)



(b)

图 1.11 Riffa_Axis 模块仿真波形

Riffa_Axis 模块的配置界面如图 1.12 所示，注意数据宽度和地址宽度与连接的模块一致即可。

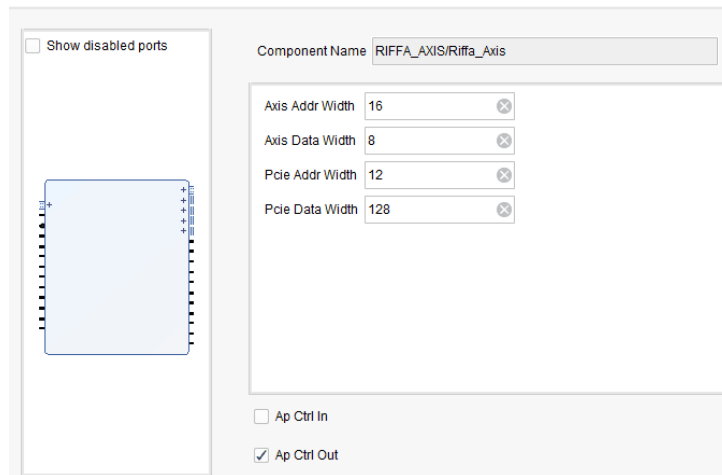


图 1.12 Riffa_Axis 模块的配置界面

1.2.5 控制模块

控制模块的硬件接口如图 1.13 所示，各个信号的功能如下：

- (1) **start**: 输入信号，由 Riffa_Axis 模块产生，用于拉高 ap_start 信号，以启动图像处理模块以及允许接收输入数据；
- (2) **ap_ready**: 输入信号，由图像处理模块产生（当图像处理模块接收完所有数据后会拉高 ap_ready 信号），用于拉低 ap_start 信号，以禁止图像处理模块接收新的输入数据；
- (3) **ap_start**: 输出信号，用于启动图像处理模块以及允许接收输入数据，但在 ap_ready 信号拉高时，需要拉低 ap_start 信号，以禁止图像处理模块继续接收输入数据，因为此时的数据是错误的。

关于 ap_ctrl 接口的详细介绍可以参考文档《HLS 软件的使用》。

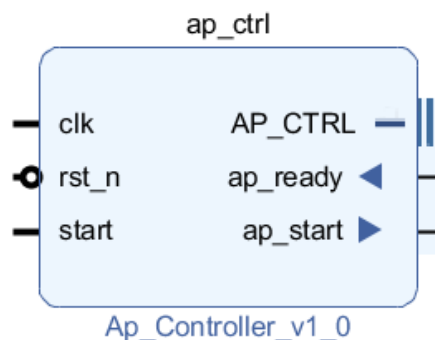


图 1.13 控制模块的硬件接口

2. 基于 VDMA 的图像处理框架

2.1 系统介绍

基于 VDMA 的图像处理框架的系统框图如图 2.1 所示，block design 设计图

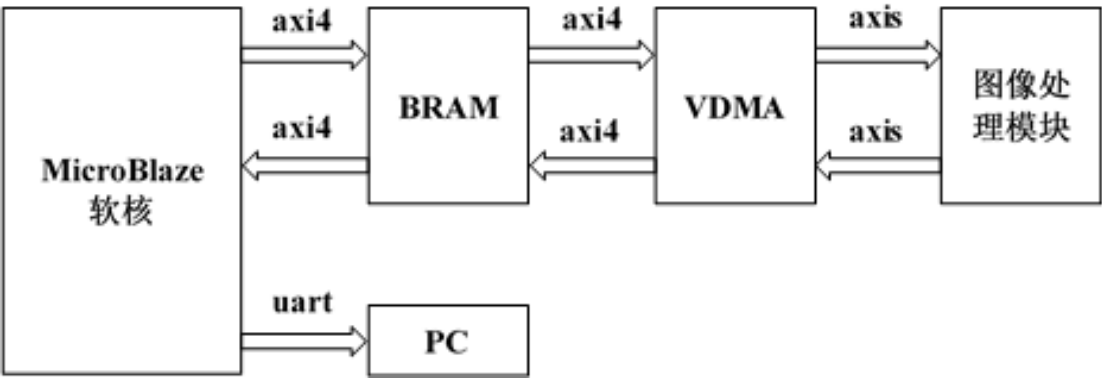


图 2.3 数据传输过程

2.2 各模块介绍

2.2.1 图像处理模块

图像处理模块的硬件接口如图 2.4 所示。不同功能的图像处理模块均具有图中所示的硬件接口，这将有利于工程的移植以及部分可重构的实现。

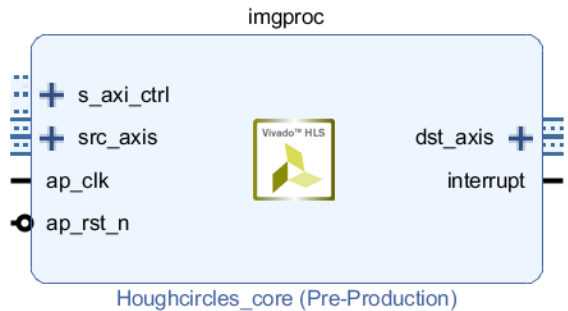


图 2.4 图像处理模块的硬件接口

图像处理模块各个接口或信号的功能如下：

- (1) **src_axis**: 输入数图像的数据流，数据流宽度为 8/16/32 位，由输入图像格式（灰度图或彩色图）决定，行数为图像高度，列数为图像宽度（列数需要注意 4 字节对齐），具体格式如表 2.1 所示。

表 2.1 src_axis 数据流格式

		col(nbyte)				
		0	1	2	...	cols-1
row	0	image				
	1					
	...					
	rows-1					

其中，n 为 1/2/4，由图像格式决定；

rows 为图像高度；

cols 为图像宽度；

(2) **dst_axis**: 输出图像（或其他数据）的数据流，数据流宽度为 8/16/32 位，由输出数据位宽决定。在输出非图像数据的情况下，数据流行数 and 列数由用户定义，表 2.2 为输出矩形框时的数据流格式。

表 2.2 dst_axis 数据流格式示例

		col(2byte)					
		0	1	2	...	98	99
row	0	num	x0	x1	...	x97	x98
	1	0	y0	y1	...	y97	y98
	2	0	w0	w1	...	w97	w98
	3	0	h0	h1	...	h97	h98

其中，99 为矩形框最大数量，也可定义为其值（注意列数的 4 字节对其即可）；
num 为检测到的矩形框数量(num≤99)，16 位宽度，占 2 字节；
(x,y,w,h)为矩形框坐标和大小，均为 16 位宽度，占 2 字节；

- (3) **s_axi_ctrl**: AXI4Lite 总线, 用于在软核中控制图像处理模块, 包括启动, 使能中断, 给参数赋值等;
- (4) **interrupt**: 中断信号。

对比表 1.1、表 1.2 和表 2.1、表 2.2 可以看出, 2 种图像处理框架的 Axi-Stream 数据流格式有所区别, 但是它们的图像处理算法的代码完全相同, 2 种数据流格式的转换也非常简单。

3. 部分可重构(PR)

由于基于上述 2 种框架的图像处理模块均具有相同的硬件接口, 这就非常方便实现图像处理模块的部分可重构。

关于部分可重构的具体实现流程可以参考文档《部分可重构实现流程》。

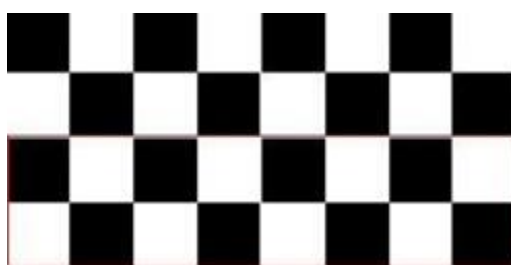
4. 测试结果

目前已经实现的基本图像处理算法有图像的缩放、旋转、二维卷积、二维滤波、边缘检测等, 较为复杂的图像处理算法有 FAST 角点检测(HLS 库函自带)、Haaris 角点检测(HLS 库函自带)、SIFT 特征检测、霍夫线变换、霍夫圆变换、连通域检测、基于 Haar 特征和级联分类器的人脸检测、CNN 手写体数字识别等。

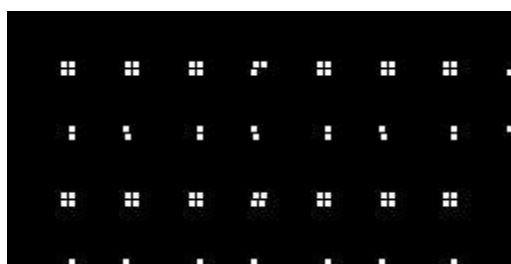
具体测试结果如图 4.1~4.7 所示。



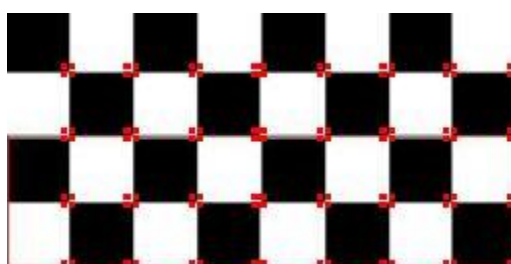
(a) (b)
图 4.1 FAST 角点检测结果；(a)原图；(b)结果图



(a)



(b)



(c)

图 4.2 Harris 角点检测结果；(a)原图；(b)结果图；(c)结果加在原图上

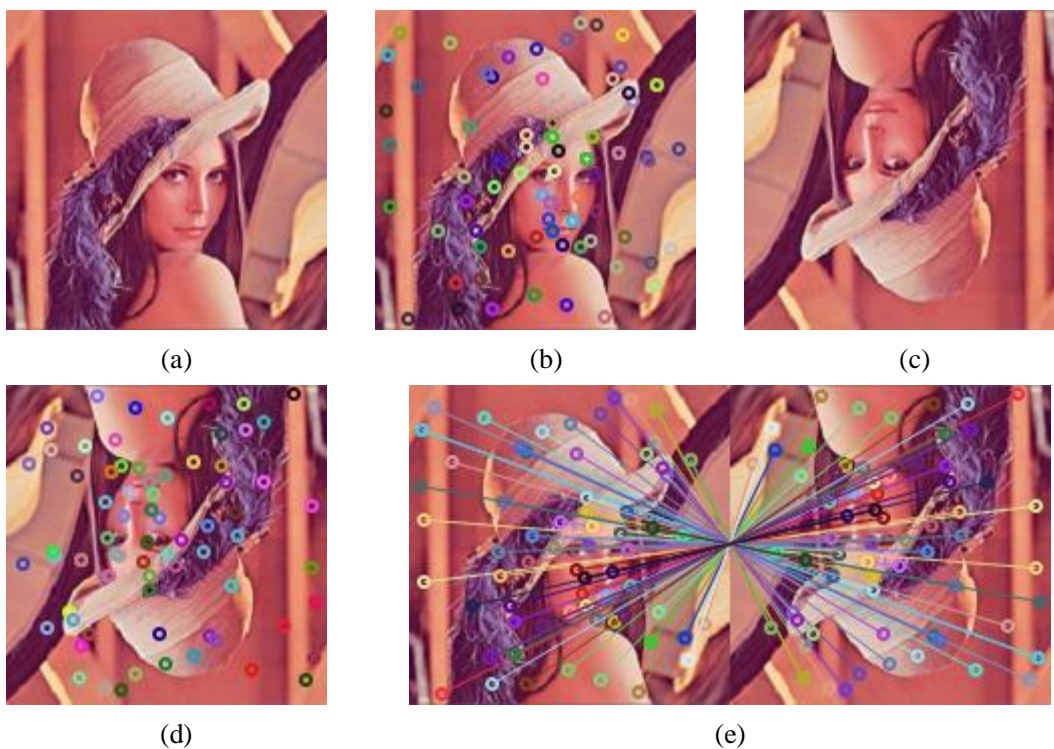


图 4.3 SIFT 特征检测和匹配结果 1; (a)原图 1; (b)结果图 1;
(c)原图 2; (d)结果图 2; (e)匹配结果

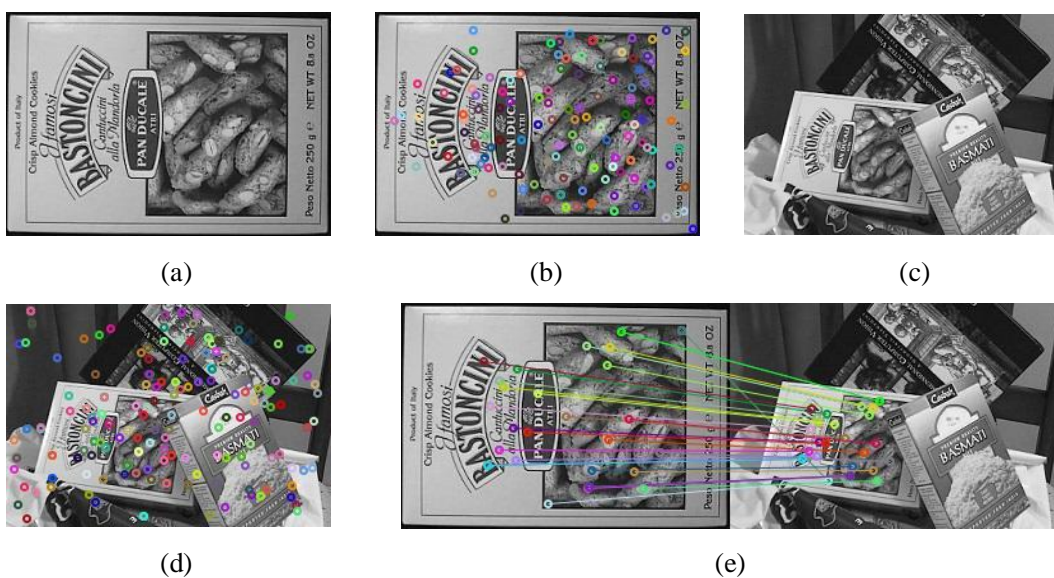


图 4.4 SIFT 特征检测和匹配结果 2; (a)原图 1; (b)结果图 1;
(c)原图 2; (d)结果图 2; (e)匹配结果

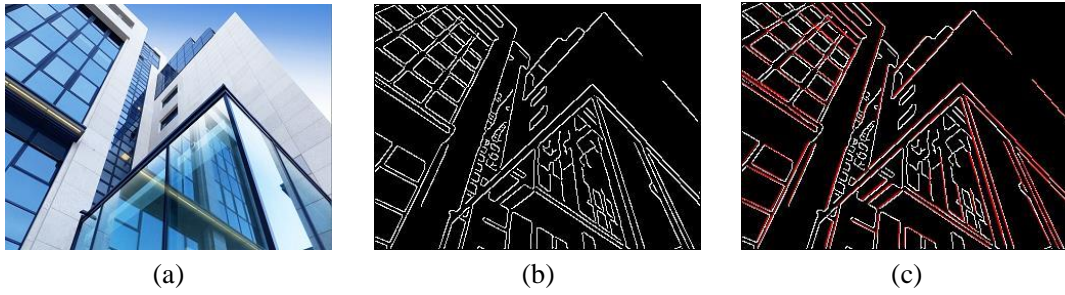


图 4.5 霍夫线变换结果；(a)原图；(b)边缘图；(c)结果图

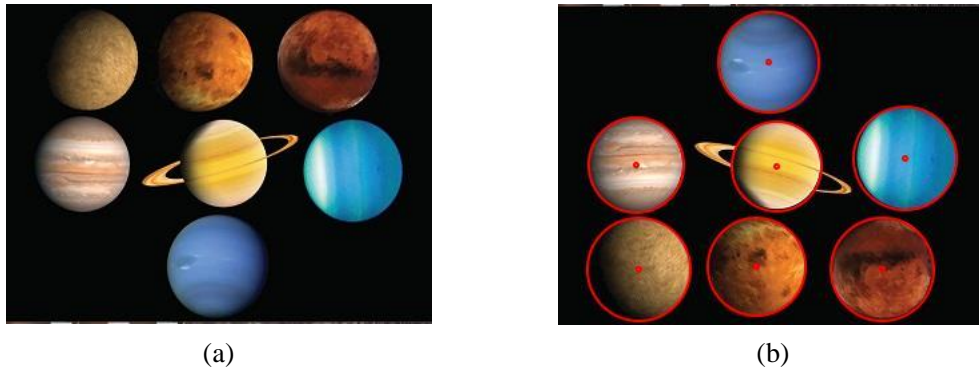


图 4.6 霍夫圆变换结果；(a)原图； (b)结果图



图 4.7 人脸检测结果；(a)原图 1； (b)结果图 1；
(c)原图 2； (d)结果图 2

部分算法的耗时情况如表 4.1 所示。

表 4.1 部分算法耗时情况

算法	FPGA	MATLAB	opencv
CNN 手写体数字识别	1.58ms	18ms	/
基于 Haar 特征的人脸检测	380ms	/	158ms
SIFT 特征提取	78ms	45ms	74ms

注：FPGA 运行图像处理算法的时钟为 50MHz。

PCIE 的传输速率测试结果如表 4.2 所示，理论最大传输速率如表 4.3 所示。我们选用的配置是 2.0 版本、×8 的链路数量，理论最大吞吐量为 4GB/s，但测试时只有接近 3GB/s 的速率，尽管如此，PCIE 的传输速率已经是非常快了，传输耗时也非常小。

表 4.2 PCIE 的传输速率测试结果

数据长度(Byte)	1k	32k	1M	8M	64M	128M	256M
发送耗时(ms)	0.058	0.102	0.383	2.89	23.13	44.87	92.86
接收耗时(ms)	0.034	0.058	0.367	3.93	24.40	47.64	95.28
发送速率(MB/s)	16.88	306.2	2611	2773	2767	2853	2757
接收速率(MB/s)	28.57	540.1	2725	2034	2623	2687	2687

表 4.3 PCIE 理论最大传输速率

PCIE 版本	编码方案	传输速率	吞吐量(GB/s)			
			×1	×4	×8	×16
1.0	8b/10b	2.5GT/s	0.25	1	2	4
2.0	8b/10b	5GT/s	0.5	2	4	8
3.0	128b/130b	8GT/s	0.9846	3.968	7.877	15.754

5. 使用说明

参考文档《基于 PCIE 的图像处理程序使用说明》和《基于 VDMA 的图像处理程序使用说明》。