

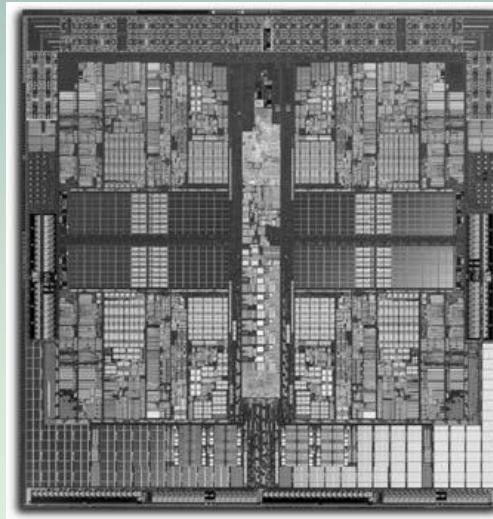


SAYISAL ELEKTRONİK DEVRELERİ

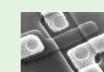
Prof. Dr. Mehmet KORÜREK

İ.T.Ü.

Elektrik – Elektronik Fakültesi



Bu Sunum, Prof. Dr. Ali TOKER'in Aynı İsimli ders kitabıçığından yararlanılarak hazırlanmıştır. Her hakkı saklıdır. 06 Şubat 2012



İÇİNDEKİLER

1 – MOS TRANSİSTOR

1.1 Giriş

1.2 MOS transistorun Yapısı ve Çalışma İlkesi

1.3 Kanal Oluşturmalı MOS

1.4 Kanal Ayarlamalı MOS

1.5 MOS'un Direnç Olarak Kullanılması

1.6 CMOS

2 – EVİRİCİ

2.1 İdeal Evirici

2.2 NMOS Eviriciler ve Statik Davranışları

2.3 Dinamik Davranış

2.4 NMOS Eviricilerin Ortak Özellikleri ve Tasarımı

2.5 CMOS Evirici

2.6 Dinamik Davranış

3 – STATİK KAPI DEVRELERİ

3.1 VE-DEĞİL (NAND) Kapısı

3.2 VEYA-DEĞİL (NOR) Kapısı

3.3 Kompleks Kapılar

3.4 Kapı Tasarımında Yer Gereksiniminin Azaltılması

3.5 Sözde NMOS Kapılar

4 – GEÇİŞ LOJİĞİ

4.1 Anahtarlı Lojik Mimarisi

4.2 NMOS Geçiş Lojiği

4.3 CMOS Geçiş Lojiği



5 – İKİLİ DEVRELER

- [5.1 Giriş](#)
- [5.2 Temel İkili Devre](#)
- [5.3 Asenkron SR İkilileri](#)
- [5.4 Senkron SR İkilileri](#)
- [5.5 D İkilisi](#)
- [5.6 JK İkilisi](#)
- [5.7 Ana-Uydu İkilileri](#)
- [5.8 Schmitt Tetikleme Devresi](#)

6 – SENKRONİZASYON VE DİNAMİK LOJİK

- [6.1 Giriş](#)
- [6.2 Genel Senkronizasyon Stratejisi](#)
- [6.3 Saat İşaretinin Üretimi](#)
- [6.4 Tek Fazlı Saat ile Senkronizasyon](#)
- [6.5 Sözde İki Saat ile Senkronizasyon](#)
- [6.6 Saat Dağıtımımı](#)
- [6.7 Dinamik D İkilileri](#)
- [6.8 Dinamik Lojik Kapılar](#)
- [6.9 Dinamik Yük Paylaşımı](#)
- [6.10 Dinamik Kapıların Kaskat Bağlanması](#)
- [6.11 Domino Lojiği](#)
- [6.12 Domino Lojiğinde Yük Kaçakları ve Yük Paylaşımı Sorunlarının Giderilmesi](#)
- [6.13 NORA Lojiği](#)
- [6.14 Fermuar Lojiği “Zipper Logic”](#)

7 – KAPI DİZİLERİ VE BELLEKLER

- [7.1 Kapı Dizileri](#)
- [7.2 Bellekler](#)

KAYNAKÇA



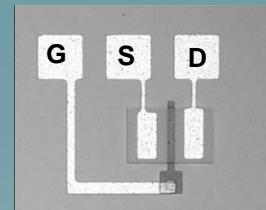
Ders Takvimi

- 1. hafta:
 - 2. hafta:
 - 3. hafta:
 - 4. hafta:
 - 5. hafta:
 - 6. hafta:
 - 7. hafta:
 - 8. hafta:
 - 9. hafta:
 - 10. hafta:
 - 11. hafta:
 - 12. hafta:
 - 13. hafta:
 - 14. hafta:
 - 15. hafta:
-
- Vize 1: %20 Vize 2: % 20 KS: % 10 Ödev: % 10 Final: %40



1 – MOS TRANSİSTOR

1.1 Giriş

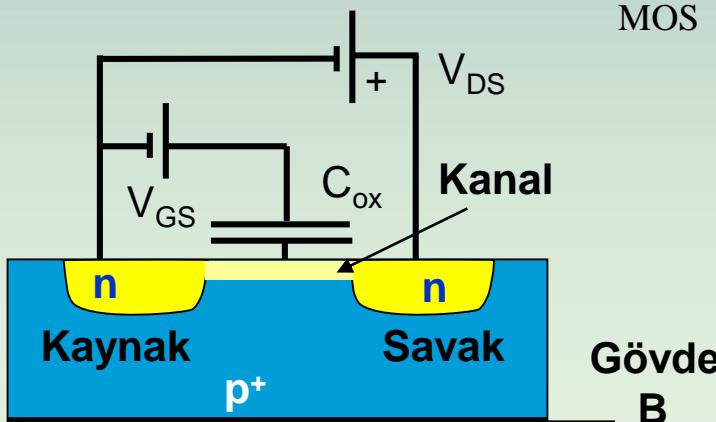


- ◻ MOS transistor, MOS veya MOSFET (Metal Oksit Yarıiletken Alan Etkili transistor) olarak da isimlendirilir.
- ◻ Yarıiletken içinde taşıyıcıların (elektronlar ve/veya delikler) aktikleri yolun (kanalın) bir elektriksel alan ile kontrol edilmesi prensibine dayanarak çalışır. FET – “Field Effect Transistor”.
- ◻ Baz yerine geçen geçit, yarıiletken dışında, metal ve silisyum dioksit (yalıtkan) malzemeleriyle gerçekleştirildiğinden metal-oksit ismi buradan gelir.
- ◻ Bipolar transistorlara göre üstünlükleri;
 - ▶ Güç harcamaları daha azdır,
 - ▶ Boyutlar daha küçüktür,
 - ▶ Küçük kaynak gerilimlerinde çalışabilirler,
 - ▶ **Gürültüleri daha azdır,**
 - ▶ Giriş **empedansları (özellikle giriş dirençleri)** çok yüksektir ($10^{10} – 10^{15} \Omega$).
 - ▶ Giriş akımları hemen hemen sıfırdır,
 - ▶ Kutuplamaları daha kolaydır,
 - ▶ **Analiz ve/veya sentezleri daha kolaydır,**
 - ▶ **Tasarımları daha kolaydır,**
 - ▶ **İmalatı şlemeciliği (fabrikasyonu)** daha kolaydır.
- ◻ Bu nedenlerle sayısal sistemlerde de kullanılması daha elverişlidir.



1.2 MOS transistorun Yapısı ve Çalışma İlkesi

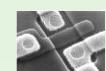
- ◻ Yarıiletken olarak kullanılan malzemenin tipine göre;
 - ▶ n kanallı MOS (nMOS, NMOS) veya
 - ▶ p kanallı MOS (pMOS, PMOS) olarak iki türdür.
- ◻ NMOS'da taban (gövde, "substrate or bulk") p^+ (aşırı p) olarak katkılıdır.
- ◻ PMOS'da taban (gövde, "substrate or bulk") n^- (aşırı n) olarak katkılıdır.
- ◻ *Kanal ismi ve gövde katkısı zit, çünkü, örneğin p tipi tabanda kanal n tipidir.*
- ◻ **Şekil-1.1.**'de, n kanallı bir NMOS yapısı gösterilmiştir. p^+ tipi gövdenin yüzeyinde iki bölge n tipi olarak katkılmıştır. Bunlara **Savak** (D, "Drain") ve **Kaynak** (S, "Source") adı verilir. Yapı simetrik olup taşıyıcıların toplandığı bölge savak, çıktıgı bölge kaynaktır.
- ◻ D ve S arasına D pozitif olacak şekilde bir gerilim kaynağı bağlanır ve D'den S'e akım akıtmaya çalışılır. Taşıyıcıların hareket edebildiği kanal, S ve D arasındadır. Bu bölge p^+ tipindedir ve yüzeyi yalıtkan oksit (SiO_2) ile kaplanmış olup onun da üzeri bir metal (Geçit, G, "Gate") ile örtülüdür. Metal oksit ve kanal bir kondansatör oluşturur, (C_{ox} geçit kapasitesi). Taban (Gövde, B) için de bir uç alınır.
- ◻ B ucu, pn jonksiyonlarını **sürekli** tıkama yönünde **kutuplamalı** kalacak şekilde, genelde, kaynağın **en +** yada **en -** ucuna bağlanır.



Şekil-1.1 MOS'un basitleştirilmiş yapısı

MOS transistorlar, kanalın **sıfır kutuplamada var olup olmamasına** göre sırasıyla iki gruba ayrılır:

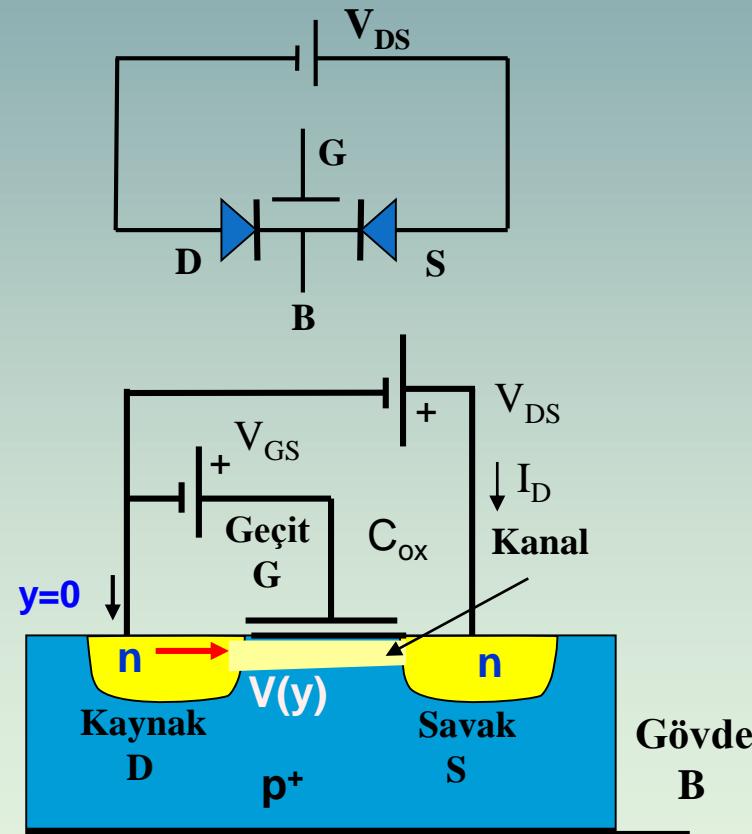
- 1) Kanal oluşturmamalı MOS ("Enhancement type MOS, normally-OFF MOS")
- 2) Kanal ayarlamamalı MOS ("Depletion type MOS, normally-ON MOS")



1.3 Kanal Oluşturmamı MOS

1.3.1 Kanal Oluşturmamı NMOS

- Kanal katkısızdır; tipi, gövde (taban, “bulk”) tipindedir (**n** kanallı MOS’da p^+ tipindedir). Geçide gerilim uygulandığında, $V_{GS} > 0$ yapıldığında, tipi n tipine döner.
- $V_{GS} = 0$ için kanal oluşmaz; çünkü, D ve S arasında seri olarak birbirine ters duran, akımın akacağı yol üzerinde her durumda biri tıkalı durumda olan, np ve pn jonksiyonları vardır, Şekil-1.1.



Şekil-1.1 Kanal oluşturmamı NMOS'un basitleştirilmiş yapısı



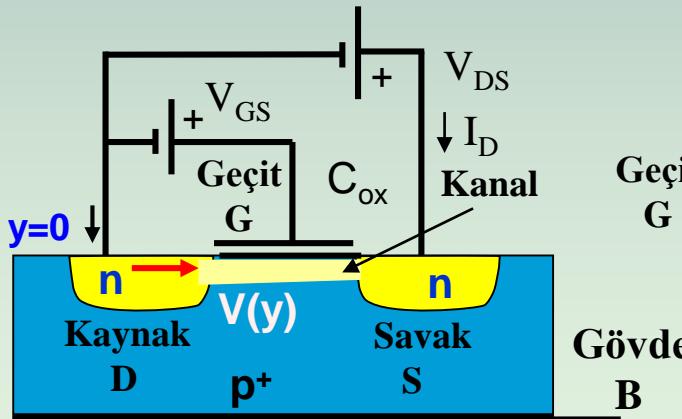
$V_{GS}=0$ için kanal oluşmadığından $I_D=0$ 'dır

- Kanal ancak $V_{GS} = V_{Th}$ gerilimine getirildiğinde oluşmaya ve kanal oluşunca da kanaldan akım akmaya başlar, Şekil-1.2. (**MOS geçiş özeğrisi**). Akım akmeye başladığı bu geçit-kaynak gerilimine **Eşik Gerilimi** (V_{Th}) adı verilir. $V_{GS} > V_{Th}$ için geçide uygulanan gerilim, p^+ tipindeki gövdede azınlık olarak bulunan elektronları geçide doğru çeker ve böylece n tipi kanal oluşur. Kanalın derinliği ve dolayısıyla kanaldan akan akım V_{GS} ile değiştirilebilmektedir. Gövde içinde, p tipinden n tipine dönüşerek oluşan bu kanala **Evirtim Tabakası** (“Inversion Channel”) denir.
 - D ucu S’e göre daha pozitif olduğundan, D tarafından kanal derinliği, S’dekine göre daha azdır.
 - $V_{DS} = 0$ için, kanal derinliği S ve D tarafında aynıdır. Yapı D ve S için simetrik olduğundan kanaldan akım akma şartı olan $V_{GS} > V_{Th}$ şartının ilk bakışta $V_{GD} > V_{Th}$ için de geçerli olduğu düşünülür.
 - Bu şart, V_{DS} açısından; $V_{DS} = V_{DG} + V_{GS} = V_{GS} - V_{GD}$ olduğundan,

$$V_{DS} < V_{GS} - V_{Th} \quad (1.1)$$

şeklinde olur.

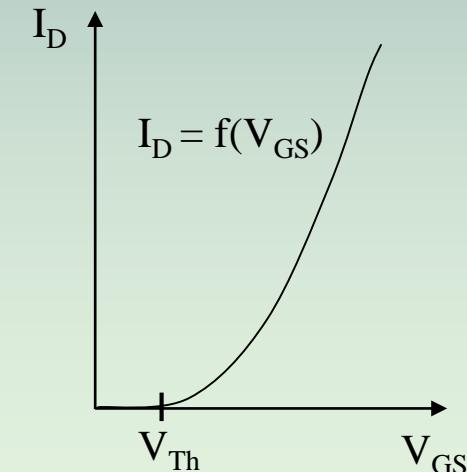
- ☐ Küçük V_{DS} gerilimlerinde ($V_{DS} < V_{GS} - V_{Th}$), kanal açıktır ve bir direnç gibi davranır, I_D , V_{DS} ile lineer artar.
 - ☐ Şekil-1.3'de, ayrıca kanal oluşturmaları kanallı MOS'un (NMOS'un) sembollerini gösterilmiştir.
 - ☐ S'deki okun yönü buradaki pn jonksiyonunun iletişim yönünü gösterir.



Şekil-1.1 Kanal oluşturmamış NMOS'un basitleştirilmiş yapısı.



Şekil-1.3 Kanal oluşturmamış NMOS'un sembolik gösterilisleri.

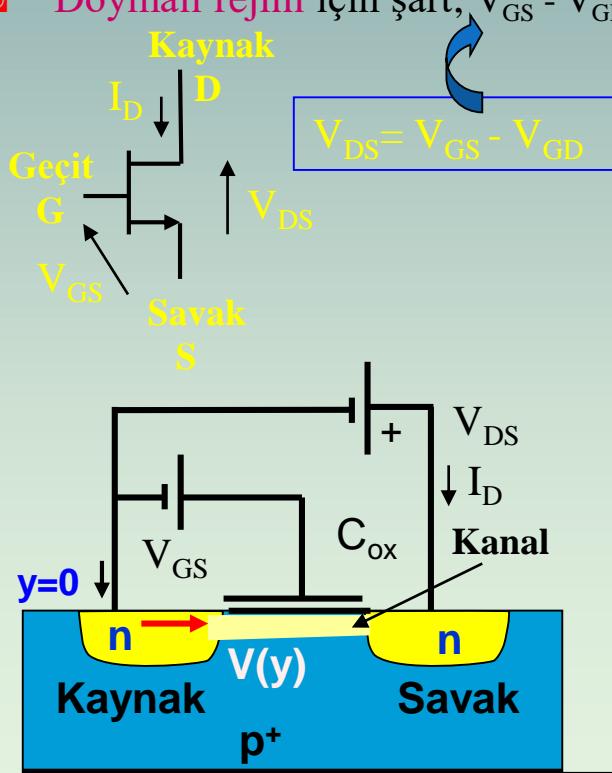


Şekil-1.2 Kanal oluşturmamı
NMOS'un geçis özeğrisi.

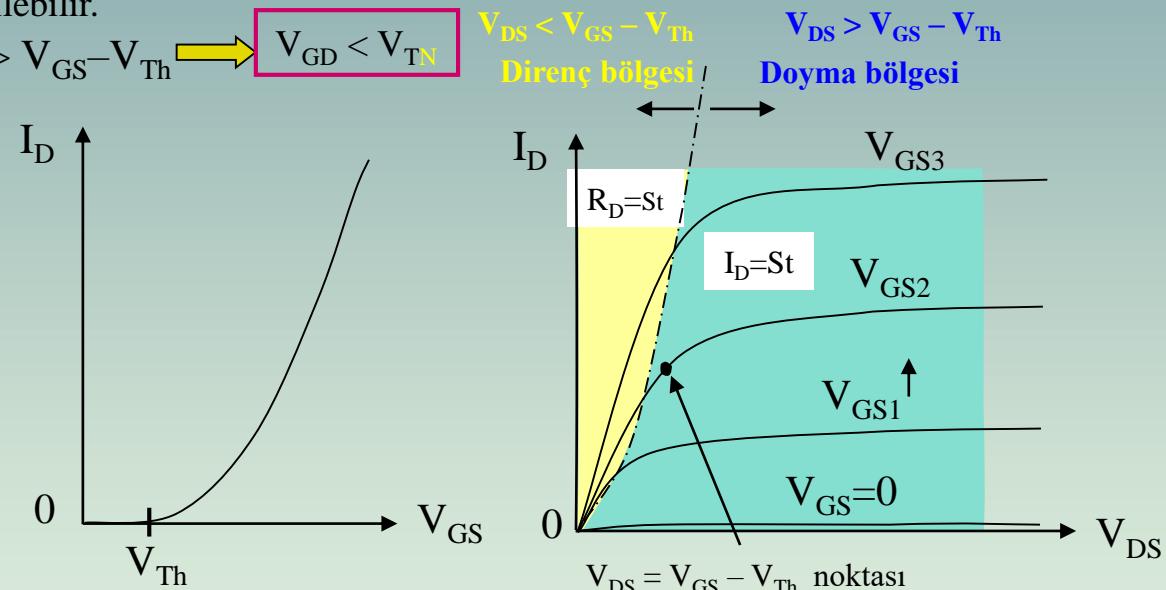


$$V_{DS} = V_{GS} - V_{Th} \quad (1.2)$$

- için kanal kısılmaya ve kanal akımının V_{DS} ile artışında azalma olmaya başlar. V_{DS} 'in (1.2) eşitliği ile belirlenen gerilimden daha büyük olmaya başladığında I_D akımının sabit kalmaya başladığı kabul edilebilir.
 - I_D akımının, küçük V_{DS} gerilimlerinde, V_{DS} ile lineer değiştiği bölge, sabit direnç bölgesi (direnç bölgesi, triod bölgesi); I_D akımının sabit kaldığı bölge MOS'un **doyma bölgesi (kısılma bölgesi)** olarak bilinir, Şekil-1.4. (MOS çıkış özeğrisi).
 - *MOS doyma bölgesi, bipolar transistordaki ileri aktif bölgeye karşılık gelir.*
 - Geçitten akım akmadığından MOS için giriş özeğisi yoktur, $I_G = 0$.
 - NMOS için V_{Th} , V_{TN} olarak isimlendirilebilir.
 - **Doymalı rejim** için şart; $V_{GS} - V_{GD} > V_{GS} - V_{Th}$ → $V_{GD} < V_{TN}$ $V_{DS} < V_{GS} - V_{Th}$ $V_{DS} > V_{GS} - V_{Th}$
Dirnç bölgesi / Doyma bölgesi



Şekil-1.1 NMOS'un basitleştirilmiş yapısı



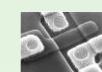
Şekil-1.2 NMOS'un geçiş özeğrisi

$$I_D = f(V_{GS})$$

Şekil-1.4 NMOS'un çıkış özeğrisi

$$I_D = f(V_{DS})$$

V_{GS} parametre



Şekil-1.1'deki yapıda, geçit, bir kapasiteyle (C_{ox}) temsil edilebilmektedir. y , kaynak-savak arası yerdeğiştirme konumu olmak üzere, bu kapasitedeki yükü $Q(y)$ ile gösterirsek, bu yükü oluşturan gerilim, ($V_{GS} - V_{Th}$) gerilimi ile y noktasındaki, savağa uygulanan gerilimin etkisindeki ters polaritedeki $V(y)$ gerilimi belirler.

$$Q = C_{ox}[V_{GS} - V_{Th} - V(y)] \quad (1.3)$$

- Bu yük, kanal iletkenliğini [$G(y)$] belirler. Kanal genişliği W , kanal kalınlığı (derinliği) x , elektronların hareket yeteneği μ_n olmak üzere kanalın dy uzunluğundaki parçasının iletkenliği:

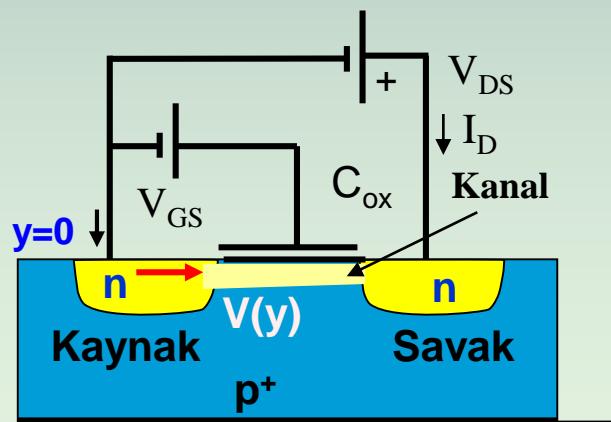
$$G(y) = W\mu_n Q / dy \quad (1.4)$$

- L kanalın boyu olmak üzere, V_{GS} kontrolundaki kanaldan akan akım (I_D) için aşağıdakiler geçerlidir.
- Bu akım MOS'un **lineer direnç** bölgesindeki akımıdır, $I_D = G(y) \cdot dV$.

$$\int_0^L I_D dy = W\mu_n C_{ox} \int_0^{V_{DS}} [V_{GS} - V_{Th} - V(y)] dV$$

$$I_D = \beta [V_{GS} - V_{Th} - V_{DS}/2] V_{DS} \quad (1.5)$$

- MOS'un **doyma bölgesindeki** akımı, $I_D = S$ şartının sağlanmaya başladığı $V_{DS} = V_{GS} - V_{Th}$ değeri ile belirlenir. Bu değer (1.5) eşitliğinde yerine konursa;



$$\beta = \frac{W}{L} \mu_n C_{ox}$$

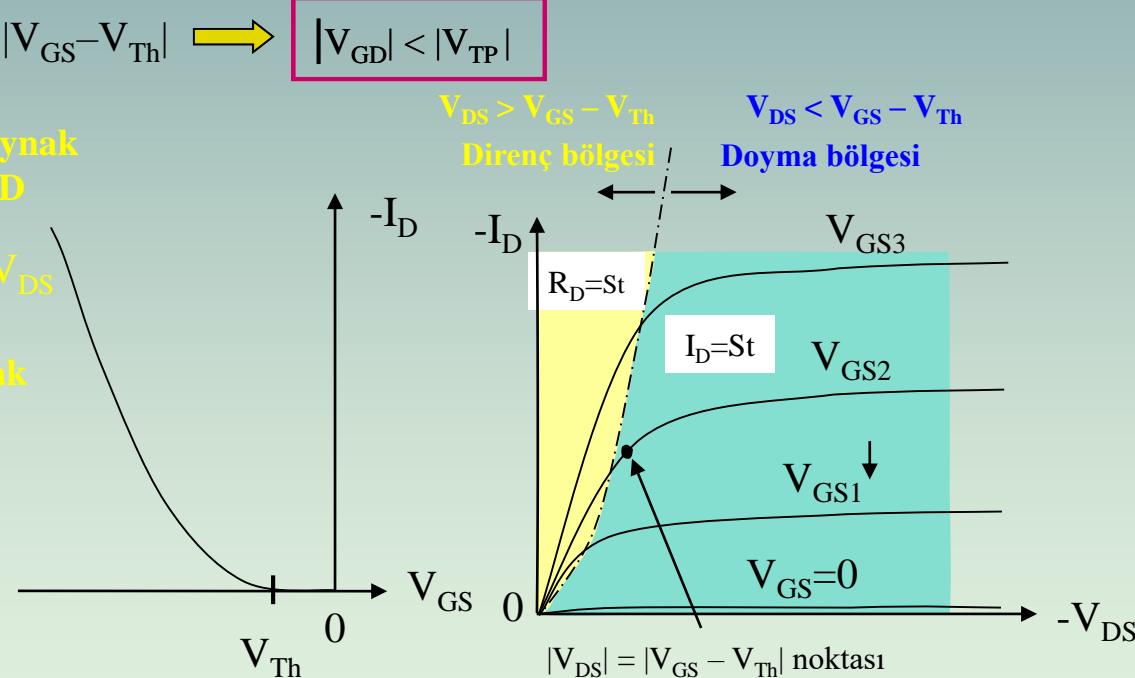
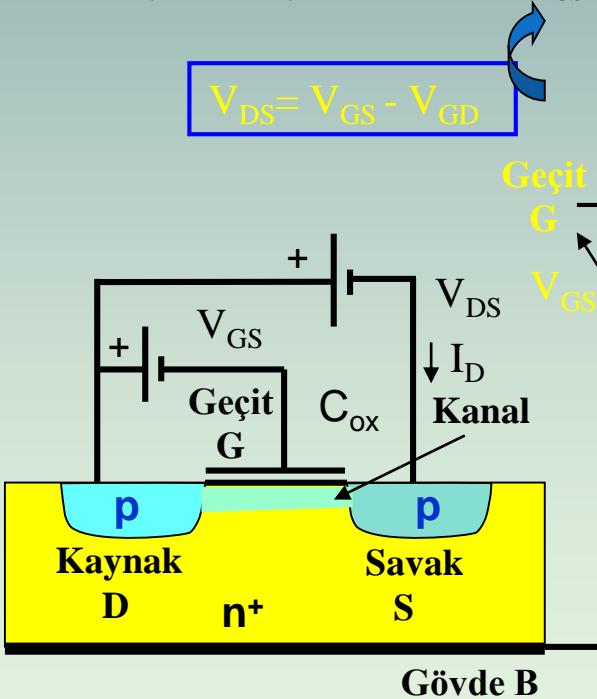
$$I_D = \frac{\beta}{2} [V_{GS} - V_{Th}]^2 \quad (1.6)$$

Şekil-1.1 NMOS'un basitleştirilmiş yapısı



1 1.3.2 Kanal Oluşturmamalı PMOS

- PMOS (p kanallı MOS) için gövde n^+ olup Savak ve Kaynak p tipindedir. Bu nedenle MOS'dan akım akıtılabilmek için geçide, kaynağa göre negatif gerilim uygulanarak geçit altında p tipi kanal oluşturulmaya çalışılır, Şekil-1.4. Buradaki akım taşıyıcıları delikler olup delikleri toplayacak olan savak kaynağa göre negatif potansiyelde olmalıdır, Özeğriler Şekil-1.5 ve Şekil-1.6'da verilmiştir.
- O halde, PMOS için yazılacak eşitliklerde gerilimler negatif olarak alınır, $V_{Th} < 0$ 'dır.
- Kanalda akım akıtılabilmesi için; $V_{GS} < V_{Th}$ olmalıdır ($|V_{GS}| > |V_{Th}|$), $I_D \neq 0$.
- Direnç (lineer) bölgesi; $V_{DS} > V_{GS} - V_{Th}$ olmalıdır ($|V_{DS}| < |V_{GS} - V_{Th}|$). $I_D = -\beta[(V_{GS} - V_{Th}) - V_{DS}/2] \cdot V_{DS}$
- Doyma (kısılma) bölgesi için; $V_{DS} < V_{GS} - V_{Th}$ olmalıdır ($|V_{DS}| > |V_{GS} - V_{Th}|$). $I_D = -\beta(V_{GS} - V_{Th})^2/2$
- PMOS için V_{Th} , V_{TP} olarak isimlendirilir.
- Doymalı rejim** için şart; $|V_{GS} - V_{GD}| > |V_{GS} - V_{Th}|$ $\Rightarrow |V_{GD}| < |V_{TP}|$



Şekil-1.5 PMOS'un geçiş özeğrisi

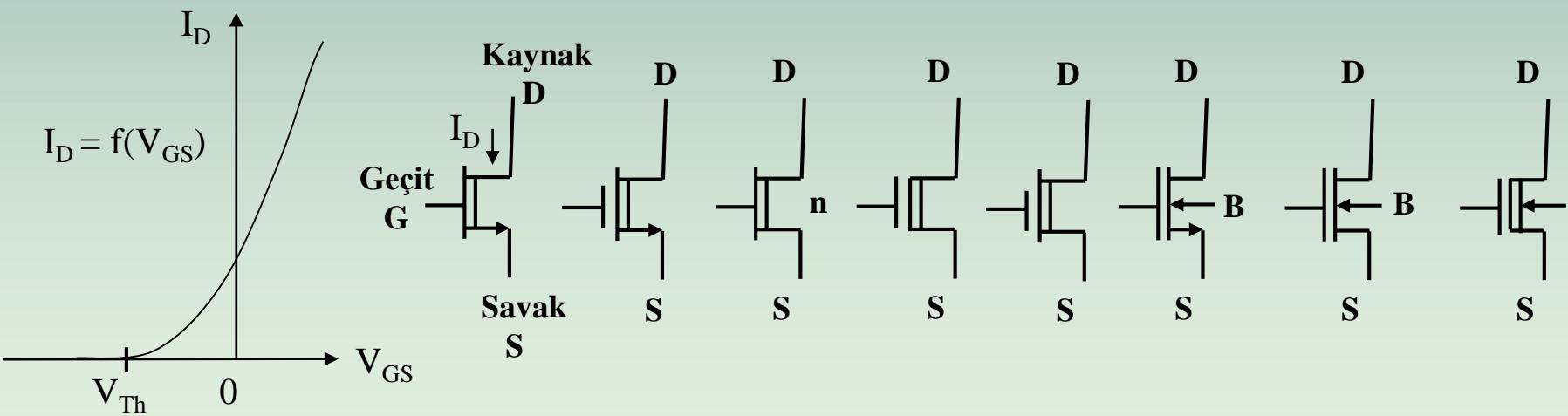
Şekil-1.6 PMOS'un çıkış özeğrisi

Şekil-1.4 PMOS'un basitleştirilmiş yapısı ve sembolik gösterilişi



1.4 Kanal Ayarlamalı MOS

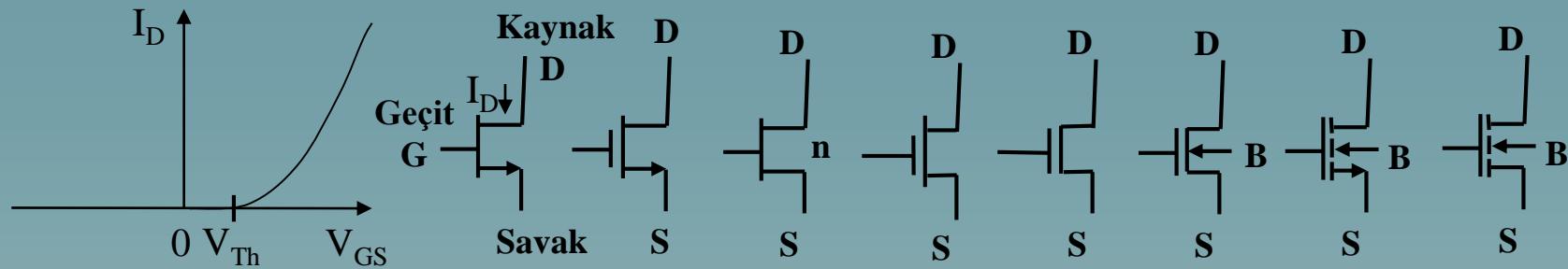
- MOS transistorlar yapılarına göre iki gruba ayrılır:
 - ▶ Kanal oluşturmamalı MOS (“Enhancement type MOS, normally-OFF MOS”)
 - ▶ Kanal ayarlamalı MOS (“Depletion type MOS, normally-ON MOS”)
- Buraya kadar incelene MOS’lar kanal oluşturmamalıydı.
- Kanal ayarlamalı MOS’da ise kanalın baştan ($V_{GS} = 0$ için) var olabilmesi için kanalın bulunduğu yere S ve D tipinde katkılama yapılır. Örneğin, NMOS için p+ gövdenin kanal bölgesine n tipi katkılama yapılır. Bu durumda, $V_{GS}=0$ yapılsa bile kanaldan akım akar ve $I_D \neq 0$ ’dır. Akımı kesmek için V_{GS} gerilimini negatif bir değere ($V_{GS} < V_{Th}$) getirmek gereklidir, Şekil-1.7.
- Şekil-1.8’de, kanal oluşturmamalı, kanal ayarlamalı, n kanallı ve p kanallı MOS transistor geçiş özeğrileri ve çok kullanılan sembollerini toplu olarak gösterilmiştir.



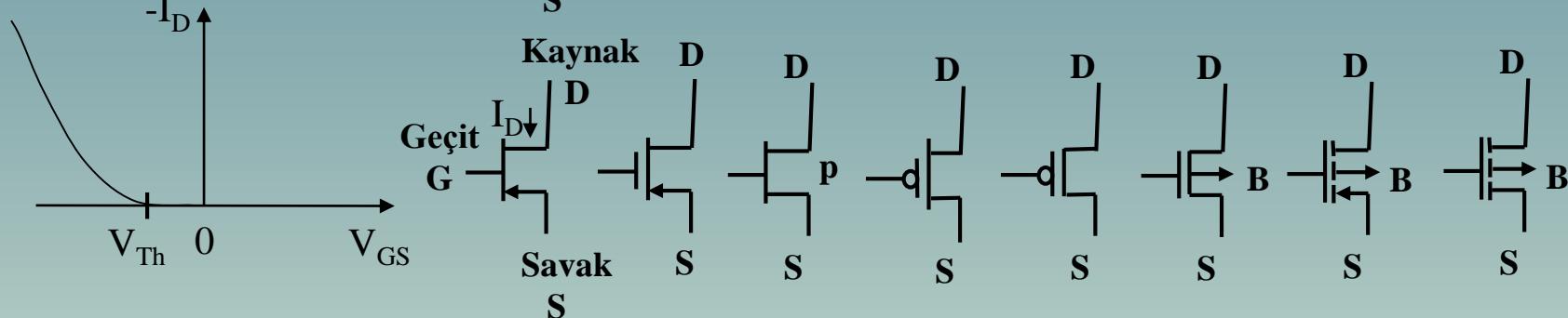
Şekil-1.7 Kanal ayarlamalı NMOS’un geçiş özeğrisi ve semboller



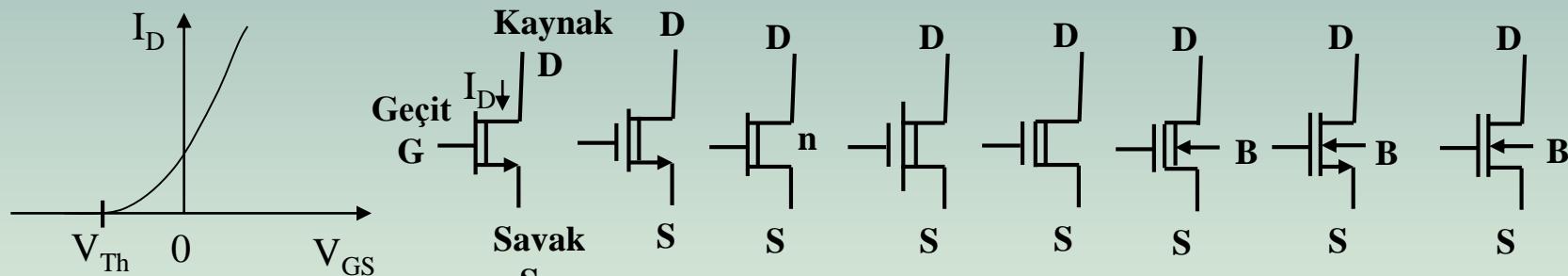
Kanal
oluşturmali
NMOS



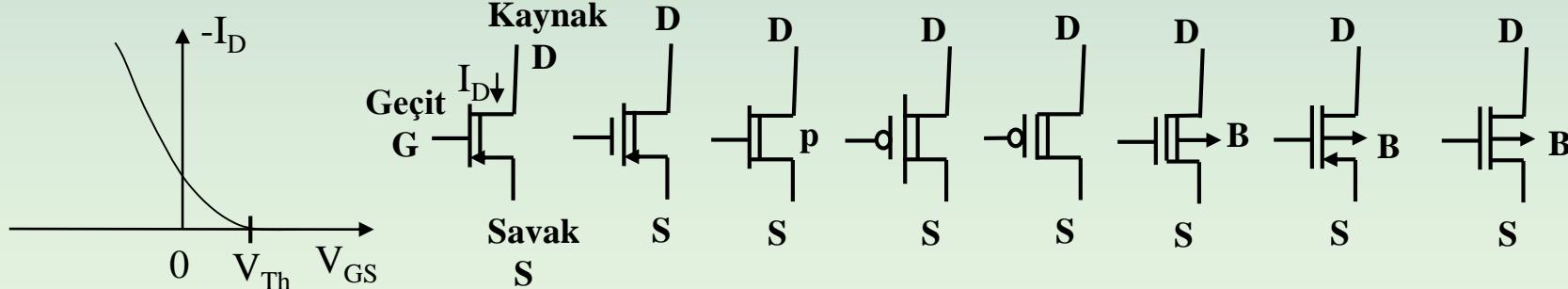
Kanal
oluşturmali
PMOS



Kanal
ayarlamalı
NMOS



Kanal
ayarlamalı
PMOS



Şekil-1.8 Kanal oluşturmali NMOS, PMOS ve kanal ayarlamalı NMOS, PMOS geçiş özegrileri ve sembollerı



Özet olarak, oluşturmalı, ayarlamalı, n-kanallı veya p-kanallı olup olmamasına bakılmaksızın bir MOS'un **DOYMA** (kısılma), KESİM ve DİRENÇ (lineer) **bölgelerinde** olabilmesi şartları sırasıyla (1.7), (1.8) ve (1.9) eşitliklerinde verilmiştir.

- Şekil (1.9)'da, kanal oluşturmamış MOS'ların en çok kullanılan sembollerini verilmiştir.

DOYMA
Doymalı Rejim

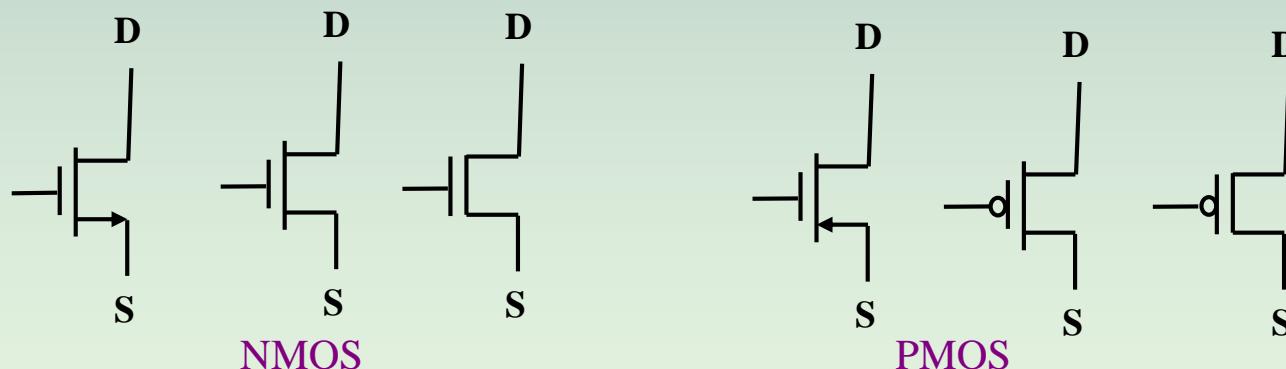
$$|V_{GS}| > |V_{Th}|$$

LINEER Doymasız Rejim

$$\begin{aligned} |V_{GS}| &> |V_{Th}| \\ |V_{DS}| &< |V_{GS} - V_{Th}| \end{aligned} \quad \Rightarrow \quad |V_{GD}| > |V_{TP}| \quad (1.8)$$

KESİM

$$|V_{GS}| < |V_{Th}| \quad (1.9)$$



Şekil-1.9 En çok kullanılan kanal oluşturmali NMOS ve PMOS semboller



1.5 MOS'un Direnç Olarak Kullanılması

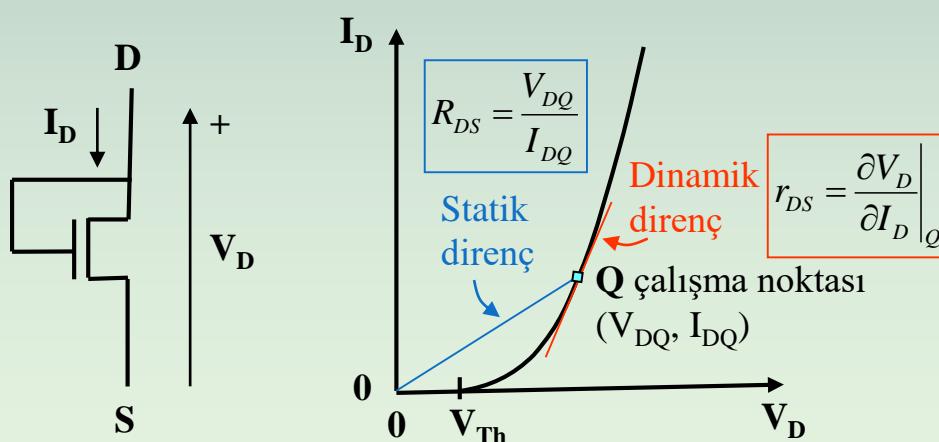
- Bir MOS transistorun S – D uçları arasındaki dirençten, bir direnç elemanı olarak yararlanılır.
- Tümdevrelerde, özellikle direncin nonlinear olmasının önemli olmadığı yerlerde, bu nedenle sayısal tümdevrelerde yaygın olarak kullanılır.
- Bu yöntemde, geçit uygun bir gerilime bağlanır.

Kanal oluşturmamalı MOS'da G'nin D'ye bağlandığı, $V_{GD} = 0$ doymalı (kısılmalı) çalışmalı durumu:

- Örneğin, kanal oluşturmamalı NMOS'da G, D'ye bağlanır, Şekil (1.10).
- Bu durumda $V_{GS} = V_{DS}$ olduğundan, $V_{DS} > (V_{GS} - V_{Th})$ ile **Doyma** şartı (yani (1.7) eşitliği) sağlanır.
- İki uçunun direnç özelliğini gösteren akım-gerilim ifadesi, (1.6) eşitliğinde $V_{DS} = V_{GS}$ konularak elde edilir.

$$I_D = \frac{\beta}{2} [V_{DS} - V_{Th}]^2 \quad (1.10)$$

- $V_{DS} < V_{Th}$ için $I_D = 0$ olacağından elemanın direnç özelliği ortadan kalkar, bazı uygulamalarda bu sakıncalıdır.

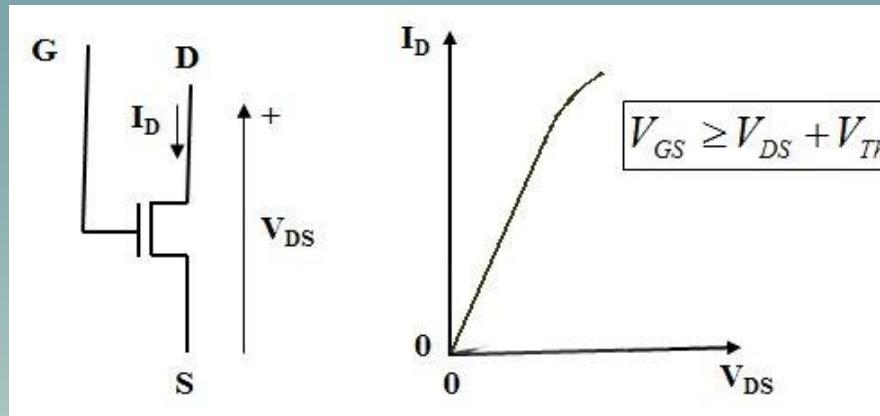


Şekil-1.10 G – D kısa devre edilmiş kanal oluşturmamalı doymalı NMOS ve akım-gerilim eğrisi



Kanal oluşturmamalı MOS'da, G'ye uygun bir gerilimin uygulandığı doymasız (kısılmaz) çalışmalı durumu:

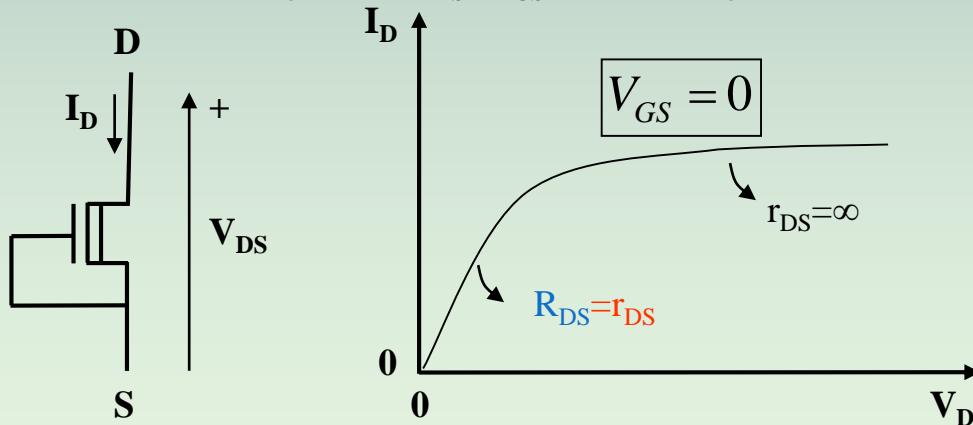
- Kanal oluşturmamalı NMOS'un geçidine (1.8) eşitliği (lineer bölge) her zaman sağlanacak şekilde uygun bir gerilim, $V_{GS} \geq V_{DS} + V_{Th}$ uygulanır. Bu durumda, akım-gerilim eğrisi Şekil (1.11)'deki gibi olur, $V_{DS} \leq V_{GS} - V_{Th}$.
- Eğri orijinden geçer ve değişim yaklaşık lineerdir.



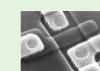
Şekil-1.11 $V_{GS} \geq V_{DS} + V_{Th}$ yapılmış doymasız kanal oluşturmamalı NMOS ve akım-gerilim eğrisi

Kanal ayarlamalı MOS'da, G'nin S'e bağlı olduğu, V_{GS} = 0 durumu:

- Kanal ayarlamalı MOS'da G ucu S ucuna bağlanırsa elde edilen yapının I-V eğrisi, Şekil-1.12, MOS'un V_{GS}=0'a karşı düşen çıkış özeğrisidir. V_{DS}<V_{GS}-V_{Th} için değişim lineerdir, V_{DS}>V_{GS}-V_{Th} için dinamik direnç çok büyüktür.

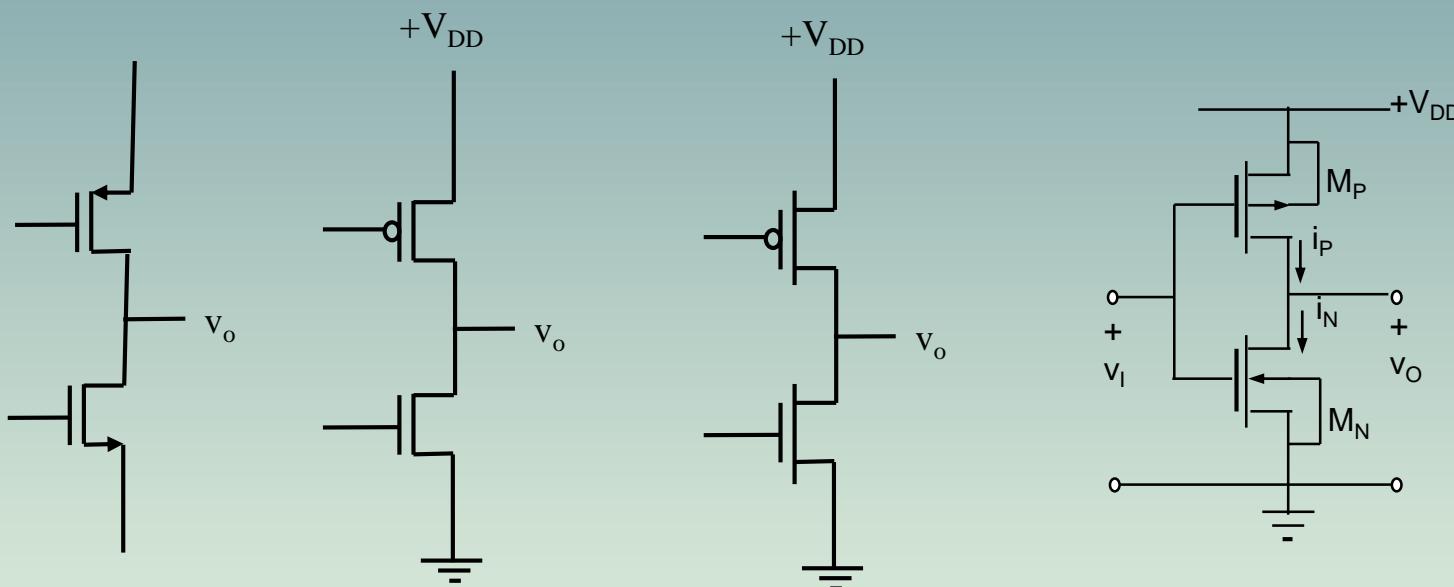


Şekil-1.12 $V_{GS} \geq V_{DS} + V_{Th}$ yapılmış kanal ayarlamalı NMOS ve akım-gerilim eğrisi



1.6 CMOS

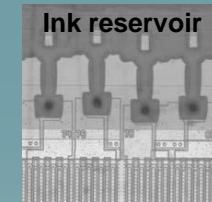
- ◻ CMOS, Tümleyici MOS (“Complementary MOS”) bir PMOS ve ona seri bir NMOS’dan ibarettir.
- ◻ Burada MOSlardan biri diğerinin yük direnci olarak çalıştırılır, Şekil-1.13.
- ◻ Özellikle sayısal devrelerde çok kullanışlıdır.



Şekil-1.13 CMOS yapısı



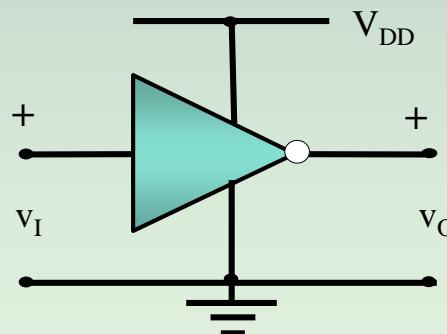
2 – EVİRİCİ



- MOS sayısal devrelerde transistor bazında tüm yapıların temel taşı eviricilerdir
- Bu nedenle, sayısal devrelerin analizi ve sentezinde (tasarımında) eviricinin statik ve dinamik davranışlarını iyi anlamak gereklidir.

2.1 İdeal Evirici

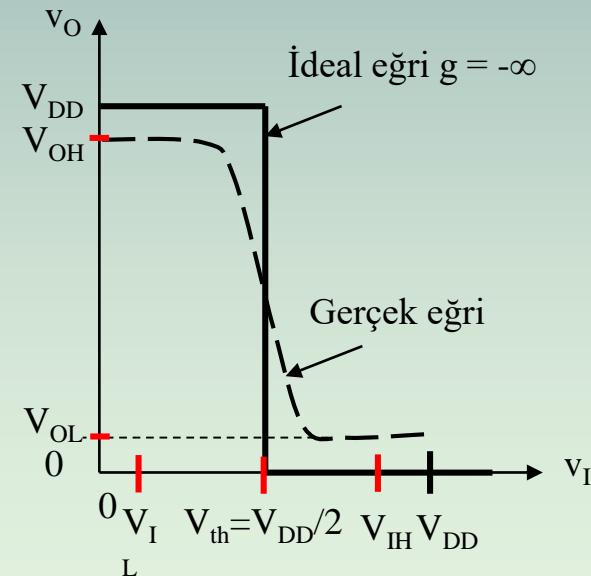
- İdeal bir eviricinin lojik simbolü Şekil-2.1'de gösterilmiştir.
- Evirici giriş (v_I) ve çıkış (v_O) gerilimleri anı değerleriyle verilmiştir.
- Eviriciye ait $v_O = f(v_I)$ değişimi eviricinin **gerilim geçiş eğrisi (VTC, "voltage transfer curve")** olarak adlandırılır, Şekil-2.2.a.
- Bu, Lojik devrelerde **NOT** işlevini gören bir devre elemanıdır.



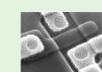
Şekil-2.1 Evirici simbolü

Evirici giriş-çıkış fonksiyonu

$$v_O = f(v_I)$$



Şekil-2.2.a Evirici gerilim geçiş eğrisi (VTC), $v_O=f(v_I)$



2 Evirici özellikleri ve parametreleri

i) Giriş geriliminin değerine göre çıkış, iki seviyeden birinde bulunur, bu seviyelere Lojik-1 (L1) ve Lojik-0 (L0) adı verilir.

- Bu seviyeler için gerilim değerleri sırasıyla, $V(1)$ ve $V(0)$ 'dır.

Pozitif Lojik için gerilim seviyeleri: $V(1) = V_{DD}$, $V(0) = 0$

(2.1)

Negatif Lojik için gerilim seviyeleri: $V(1) = 0$, $V(0) = V_{DD}$

- Bu derste seçilen Pozitif Lojik gösterimi için, Şekil-2.2.a.

İdeal evirici durumda çıkış, $v_O(1) = V_{DD}$ ve $v_O(0) = 0$ 'dır.

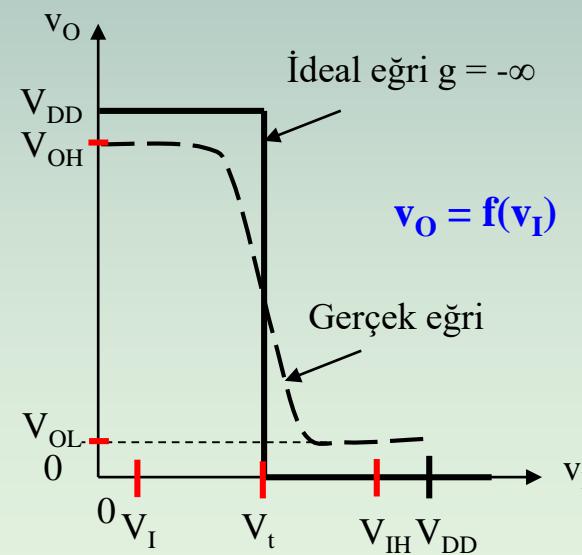
Evirme işlemi

İdeal olmayan durumda çıkış, $v_O(1) = V_{OH}$ ve $v_O(0) = V_{OL}$ 'dır.

İdeal evirici durumda giriş, $v_I(1) = V_{DD}$ ve $v_I(0) = 0$ 'dır.

İdeal olmayan durumda giriş, $v_I(1) = V_{IH}$ ve $v_I(0) = V_{IL}$ 'dır.

- Bir eviricinin çıkışı, genelde, bir diğer eviricinin girişi olacağından V_{IH} , V_{OH} mertebesinde, V_{IL} de V_{OL} mertebesindedir.



Şekil-2.2.a ^Lİdeal ve ^hgerçek evirici gerilim
geçiş eğrisi (VTC)

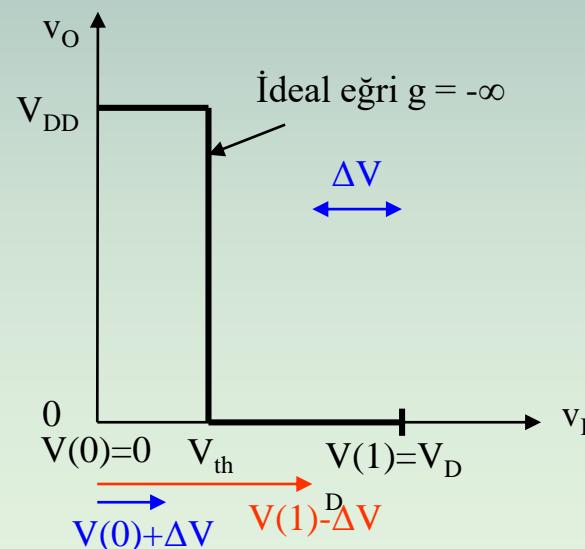


ii) VTC'de v_O 'ın idealde $-\infty$ eğimle V_{DD} 'den 0'a düşüren giriş gerilimi değerine, evirici eşiği veya lojik eşik denir ve V_{th} ile gösterilir, Şekil-2.2.b.

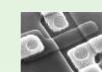
- Evirici, V_{th} eşik geriliminden küçük giriş gerilimlerini $L(0)$ olarak değerlendирerek $V(1)$ düzeyinde çıkış verir, benzer olarak V_{th} 'dan büyük giriş gerilimlerini $L(1)$ olarak değerlendirderek $V(0)$ düzeyinde çıkış verir, Eş(2.2).

$$v_I < V_{th} \text{ için } v_O = V(1) = V_{DD} \quad \text{ve} \quad v_I > V_{th} \text{ için } v_O = V(0) = 0 \quad (2.2)$$

- Bir gürültü nedeniyle evirici girişi $V(0)$ 'dan büyük bir değere, $V(0)+\Delta V$ değerine gelir ($\Delta V > 0$). Bu durumda, $V(0)+\Delta V < V_{th}$ koşulu sağlanıyorsa giriş $L(0)$ olarak değerlendirilir. Benzer şekilde giriş, $V(1)-\Delta V$ değerini alırsa, $V(1)-\Delta V > V_{th}$ koşulu sağlanması durumunda giriş $L(1)$ olarak değerlendirilir.
- Bu nedenle, VTC yenileyicilik "restoratif" özelliğine sahiptir; eviricide, herhangi bir nedenle belirli bir gerilim (veya akım) seviyelerini aşmayan işaretler restore edilebilmektedir.



Şekil-2.2.b Evirici gerilim geçiş eğrisinde (VTC) evirici eşiği V_{Th}



iii) Önceki açıklamalar, eviricinin gürültüye belli bir oranda duyarsız olduğunu (gürültüye bağışıklığının olduğunu) gösteriyor, ve **Gürültü Duyarlılığı** (“Noise Sensitivity, NS”) tanımlanıyor.

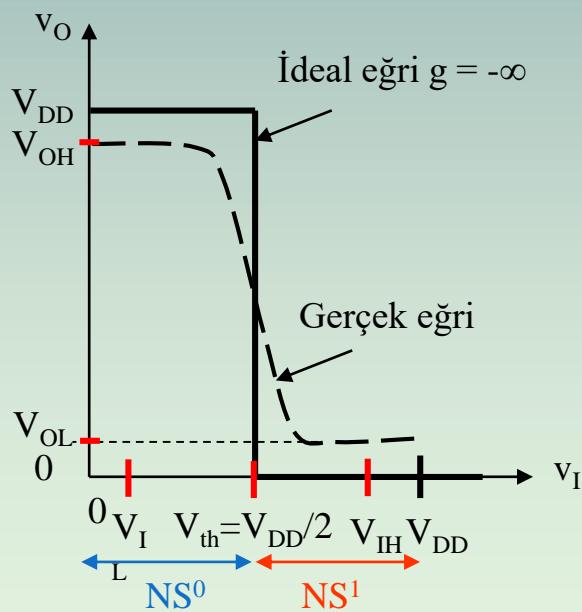
$$NS^0 \equiv V_{th} - V(0), \quad NS^1 \equiv V(1) - V_{th} \quad (2.3)$$

○ Benzer tanımlar: **Lojik Salınım** (“Logic Swing, LS”) ve **Gürültü Bağışıklığı** (“Noise Immunity, NI”).

$$LS \equiv V(1) - V(0) \quad (2.4)$$

$$NI^0 \equiv \frac{NS^0}{V(1) - V(0)} \quad NI^1 \equiv \frac{NS^1}{V(1) - V(0)} \quad (2.5)$$

○ İdeal bir eviricide, $V(1)=V_{DD}$ ve $V(0)=0$ olup $V(1)-V(0)=V_{DD}$ ’dir. Gürültü bağışıklığının her iki seviye için maksimize edilebilmesi için $NS^0=NS^1$ yani $V_{th}=V_{DD}/2$ olmalıdır, Şekil-2.2.c.



İdeal eviricide, çıkış L(1) ve L(0) seviyeleri;

$$V_{OH} = V_{DD}$$

$$V_{OL} = 0$$

Gerçek bir eviricide, çıkış L(1) ve L(0) seviyeleri;

$$V_{OH} \leq V_{DD}$$

$$V_{OL} \geq 0$$

Şekil-2.2.c Evirici gerilim geçiş eğrisinde (VTC) evirici eşiği V_{Th} ve gürültü duyarlıklarını, NS^0 ve NS^1



- iv)** Tek besleme kaynağı (örneğin $V_{DD}=5V$) ile çalışılır. Bu, kırmık üzerinde yerleşimin aşırı zorlaşmaması açısından önemlidir.
- v)** Birçok lojik ailede $V(0)>0$ ve/veya $V(1)<V_{DD}$ olup lojik salınım (LS) ile gürültü duyarlıklarını (NS) bir veya iki seviye azalmış olur.
- vi)** **Düşük güç tüketimi:** Uygulumada, en azından eviriciler, lojik seviyeler statik halde bulunurken hiç güç harcamamalıdır.
- vi)** **Yüksek hız:** Gerçek bir evirici, girişindeki işaretin değişimini belli bir gecikmeyle izler. Sayısal sistemdeki gecikme, bir birim elemandaki gecikmenin katları olarak ortaya çıkar.



Yenileyici (“restoratif”) özelliğinin bir ölçüsü de **Gürültü Marjlari (NM)**’dır. Bu, ideal eviricide **Gürültü Duyarlığı (NS)**’na karşı düşer. Idealsızlık nedeniyle; **Gürültü marjlari < Gürültü Duyarlıkları**.

- Şekil-2.4’te, Bir NMOS eviricinin gerilim geçiş eğrisi (VTC) ve önemli parametreleri gösterilmiştir.
- Bir eviricinin çıkışı, genelde, bir diğer eviricinin girişi olacağından, çıkış parametrelerini girişe indirgeyebilmek üzere eğimi +1 olan ($v_o = v_i$) eğrisinden yararlanılır.

VOH: çıkışın L1 olduğu seviye

VOL: çıkışın L0 olduğu seviye

V_{th}: $g=+1$ doğrusunun VTC eğrisini kesim noktasının koordinatları

VIH: girişin L1 sayılabilcegi seviyenin alt sınırı

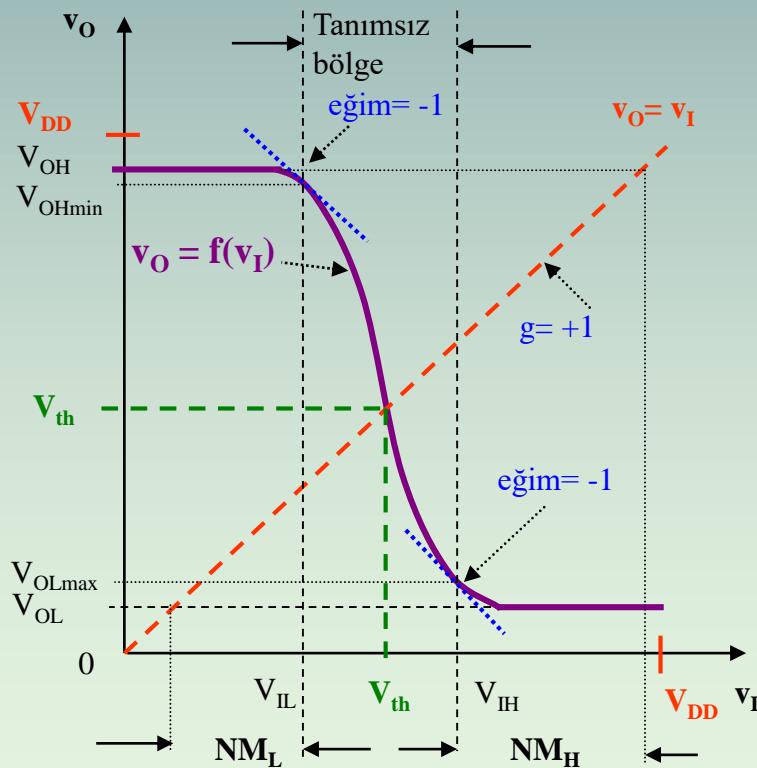
VIL: girişin L0 sayılabilcegi seviyenin üst sınırı

}

Evirici asli (ana) tasarım parametreleri

}

Evirici tali (yan) tasarım parametreleri



Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi

$$V_{OHmin} = f(V_{IL})$$

$$V_{OLmax} = f(V_{IH})$$

(2.6)

$$NM^0 \equiv V_{IL} - V_{OLmax}$$

$$NM^1 \equiv V_{OHmin} - V_{IH}$$

(2.7a)

$$NM_L \equiv V_{IL} - V_{OL}$$

$$NM_H \equiv V_{OH} - V_{IH}$$

(2.7b)

Gürültü marjlari yenileyicilik garantisi için en büyük olmalıdır.

$$NM^0 + NM^1 = V_{IL} - f(V_{IH}) + f(V_{IL}) - V_{IH}$$

(2.8)

$$\frac{\delta(NM^0 + NM^1)}{\delta V_{IL}} = 1 + \frac{df(V_{IL})}{dV_{IL}} = 0 \quad \frac{\delta(NM^0 + NM^1)}{\delta V_{IH}} = -1 - \frac{df(V_{IH})}{dV_{IH}} = 0$$

(2.9)

$$\frac{df(V_{IL})}{dV_{IL}} = -1$$

$$\frac{df(V_{IH})}{dV_{IH}} = -1$$

(2.10)

Bu özelliği sağlayan noktalar, VTC üzerinde $g = -1$ olan noktalardır.



Gerçek bir eviricide **gürültü marjları**, idealde tanımlanan **gürültü duyarlıklarına** göre azalmıştır; çünkü,

$$V_{OH} < V_{DD}, \quad V_{OL} > 0, \quad V_{IH} > V_{th}, \quad V_{IL} < V_{th}$$

$$NM^0 \equiv V_{IL} - V_{OLmax}$$

$$NM^1 \equiv V_{OHmin} - V_{IH}$$

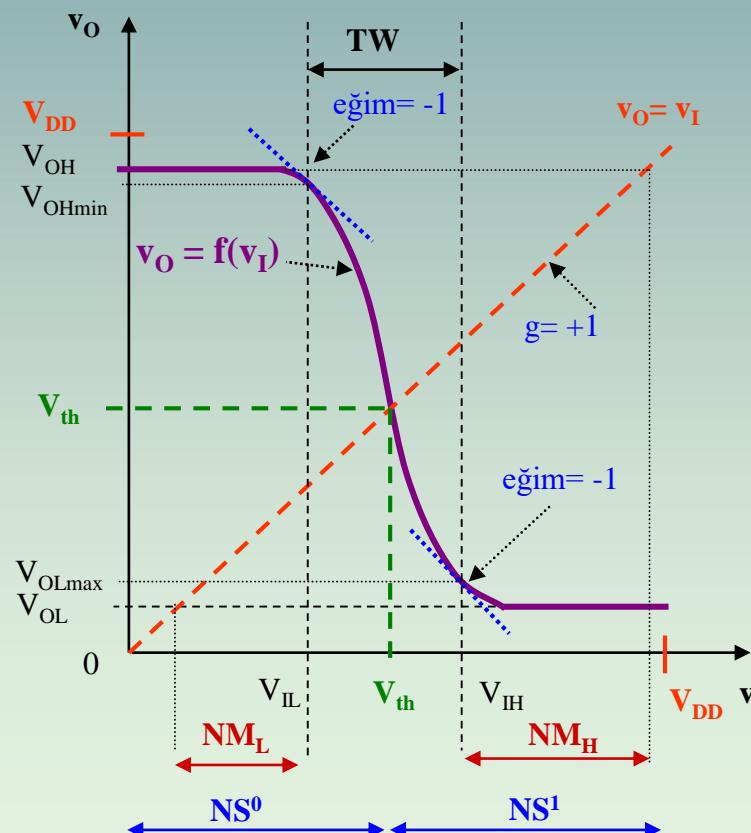
$$NS^0 \equiv V_{th} - V(0),$$

$$NS^1 \equiv V(1) - V_{th}$$

$$NM < NS$$

(2.11)

- ◻ Gürültü marjlarını büyük tutabilmek için; V_{OH} , V_{DD} 'ye, V_{OL} ise 0'a yakın tutulmaya, tanımsız bölge (geçiş bölgesi) genişliği ($TW = V_{IH} - V_{IL}$) azaltılmaya çalışılır.
- ◻ Bunun için **transistor geometrilerinin artırılması** düşünülebilir; ancak bir ikilem olarak bu, devre dinamik davranışını belirleyen **değişim hızının azalmasına** neden olur.



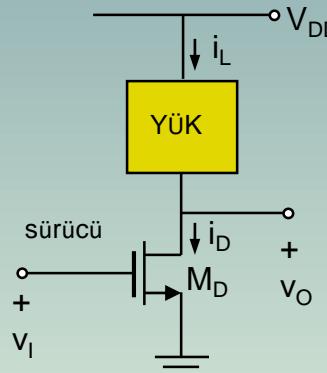
Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi



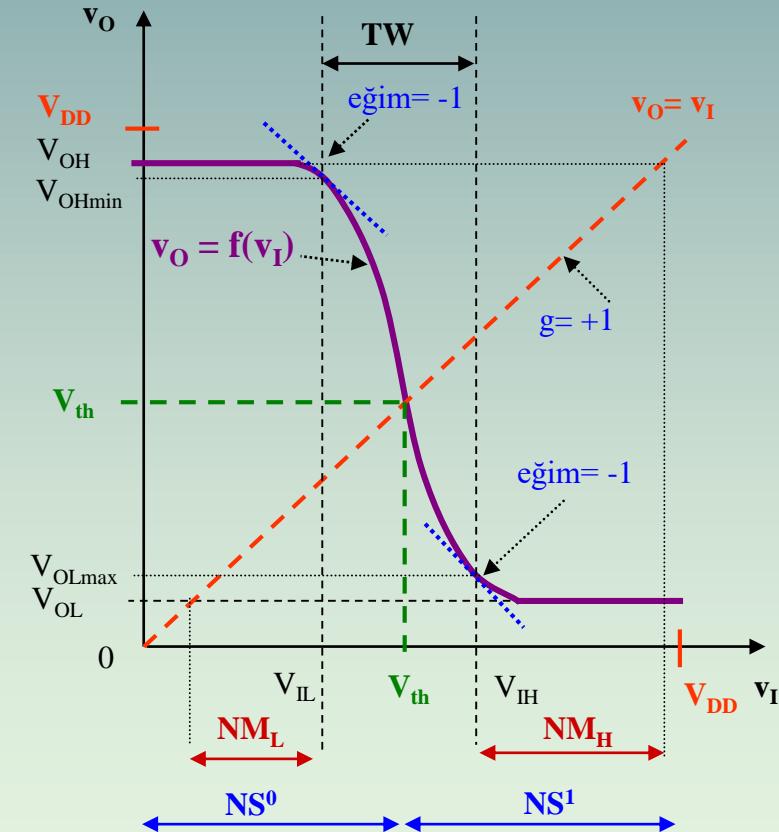
2.2 NMOS Eviriciler ve Statik Davranışları

- Bir NMOS evirici devresi, Şekil-2.3'te gösterildiği gibidir. Burada **yük** olarak;
 - bir **direnç** kullanıldığı gibi
 - kanal oluşturmalı NMOS** veya
 - kanal ayarlamalı NMOS** veya
 - geçidi topraklanmış **PMOS** transistor kullanılabilir.

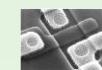
Sürücü transistor: ortak kaynaklı (emetörlü) kanal oluşturmalı NMOS



Şekil-2.3 NMOS eviricinin genel yapısı



Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi



2 2.2.1 Direnç Yüklü NMOS Evirici

- Evirici çıkışları, kendisinden sonra gelen kapı veya eviricilerin geçitlerine bağlı olduğundan $i_o=0$ olup, $V_{GSD} = v_I$; $V_{DSD} = v_O$; R_L , yük direnci; $\beta = \mu_n C_{ox}(W/L)_D$ (NMOS geçiş iletkenliği); V_{TD} , sürücü transistor eşik gerilimi olmak üzere, aşağıdaki eşitlikler yazılabilir, Şekil-2.5.a:

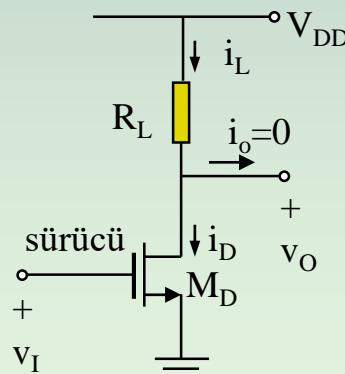
$$i_D = i_L \quad (2.12)$$

$$i_L = \frac{V_{DD} - v_O}{R_L} \quad (2.13a)$$

$$i_D = \frac{\beta}{2}(v_I - V_{TD})^2 \quad v_O \geq v_I - V_{TD} \quad \text{için } (M_D \text{ doymalı}) \quad (2.13b)$$

$$i_D = \beta(v_I - V_{TD} - \frac{v_O}{2})v_O \quad v_O < v_I - V_{TD} \quad \text{için } (M_D \text{ doymasız}) \quad (2.13c)$$

- (2.12) ve (2.13) eşitlikleri birleştirilerek eviricinin gerilim geçiş eğrisi (VTC) ifadesi elde edilir.
 - $v_I < V_{TD}$ (L0 giriş) için, MD kesimde ve $i_D = i_L = 0$ olup $v_{Omax} = V_{OH} = V(1) = V_{DD}$ olur, yani çıkış L1'dir.
 - $v_I > V_{TD}$ için, MD iletimde olur. $v_I = V_{DD}$ (L1 giriş) için MD doymasız bölgede olup $v_O = V_{OL}$ (L0 çıkış) olur.



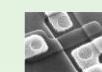
$$\beta(V_{DD} - V_{TD} - \frac{V_{OL}}{2})V_{OL} = \frac{V_{DD} - V_{OL}}{R_L} \quad v_{OL} \ll V_{DD} \text{ olup} \quad (2.14)$$

$$\cancel{\frac{\beta}{2}V_{OL}^2 + \left[\beta(V_{TD} - V_{DD}) - \frac{1}{R_L} \right]V_{OL} + \frac{V_{DD}}{R_L} = 0} \quad (2.15)$$

$$V_{OL} \approx \frac{V_{DD}}{[\beta(V_{DD} - V_{TD})R_L + 1]} \rightarrow \left(\frac{W}{L} \right)_D \approx \frac{V_{DD} - V_{OL}}{\mu_n C_{OX} R_L (V_{DD} - V_{TD}) V_{OL}} \quad (2.16)$$

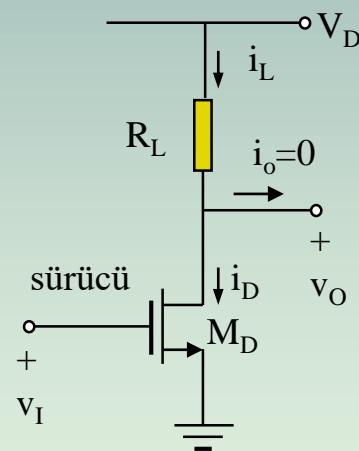
SONUÇ: v_{OL} 'yi azaltabilmek için $(W/L)_D$ 'yi artırmak gereklidir.

Şekil-2.5.a Direnç yüklü NMOS evirici



- Diğer taraftan, devrenin akıttığı akımın büyük olduğu, çıkışının alçak seviyede (L_0) iken çektiği statik gücün [PS, Eş. (2.17)] küçük olması istenir. Bunun için yük direncinin (R_L) büyük seçilmesi gereklidir.
- Halbuki, büyük dirençler kırmık üzerinde büyük yer tutarlar ve bu yüzden dirençle yüklü evirici, tümleştirme açısından uygun olmaz.
- Dirençle yüklü eviriciler, ancak, flip-flop'lu (ikili devre) statik RAM hücrelerinde uygulama alanı bulabilmistiştir.

$$P_S = V_{DD} \left(\frac{V_{DD} - V_{OL}}{R_L} \right) \approx \frac{V_{DD}^2}{R_L} \quad (2.17)$$



Şekil-2.5.a Direnç yüklü NMOS evirici

2.2.2 Doymalı Kanal Oluşturmalı NMOS Yüklü NMOS Evirici

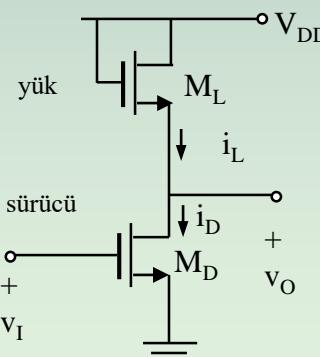
- Yük yerine, geçit ve savaşı kisa devre edilmiş bir NMOS kullanılarak evirici yapılabılır, Şekil-2.5.b.
- Her iki NMOS da kanal oluşturmalı olduğundan yapımları kolaydır, devre yerleşimleri de oldukça basittir.
- Yük transistoru (M_L), $V_{GSL} = V_{DSL} = V_{DD} - v_O$ olduğundan hep doymalı çalışır.

a) $v_I < V_{TD}$ (L0 giriş) için, MD kesimde ve $i_D = i_L = 0$ olup $v_{Omax} = V_{OH} = V(1)$ olur, yani çıkış L1'dir.

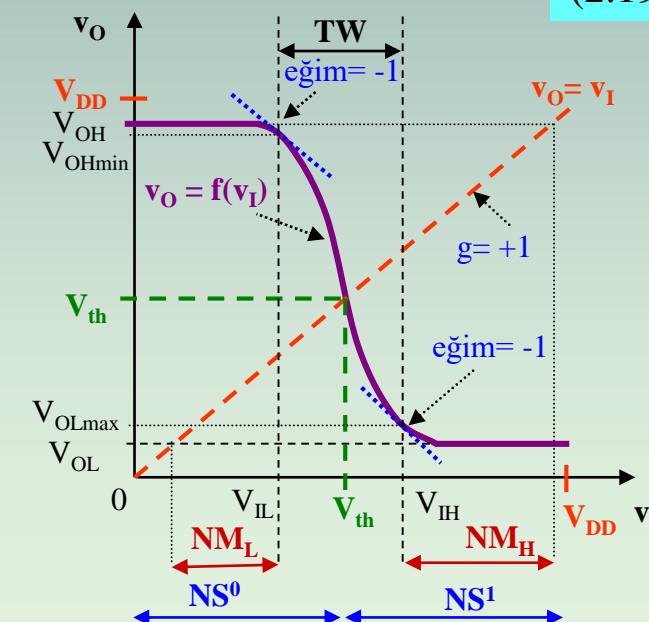
$$\frac{\beta_L}{2}(v_{GSL} - V_{TL})^2 = \frac{\beta_L}{2}(V_{DD} - V_{OH} - V_{TL})^2 = 0 \quad \Rightarrow \quad V_{OH} = V_{DD} - V_{TL} \quad (2.18)$$

Devrenin yüksek seviye gürültü marjının büyük olabilmesi için V_{TL} mümkün mertebe küçük olmalıdır. Oysa, yük transistörünün tabanı, sürücü transistöründeki gibi devrenin en negatif potansiyeline bağlı olup gövde etkisi nedeniyle eşik gerilimi Eş(2.19)'da verildiği gibi hesaplanır. Bu değer, gövde etkisi yokkenki değerinden (V_{TL0} 'dan) daha büyüktür; bu ise istenmeyen bir durumdur. γ_L , M_L 'nin gövde faktörü; $2|\Phi|$, Fermi potansiyeli.

$$V_{TL} = V_{TL0} + \gamma_L \left(\sqrt{V_{SBL} + 2|\Phi_F|} - \sqrt{2|\Phi_F|} \right) \quad (2.19)$$



Şekil-2.5.b Doymalı kanal oluşturmalı NMOS yüklü NMOS evirici



Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi



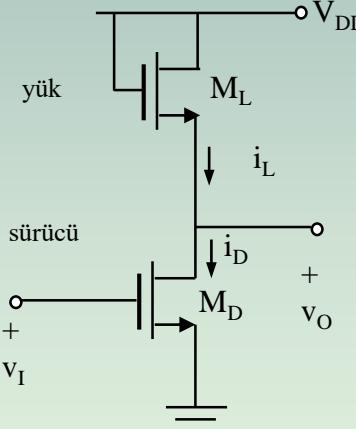
b) $v_I > V_{TD}$ için, **yük doymalı** iken MD **iletimde** olur. Bu şartın sağlandığı v_I 'nin yeterince küçük değerlerinde MD **doymalı** bölgede olup $V_{DSD} = v_O > v_I - V_{TD}$ şartı sağlanmaktadır. $i_D = i_L$ şartıyla yazılacak VTC'yi ifadesi:

$$\frac{\beta_D}{2}(v_I - V_{TD})^2 = \frac{\beta_L}{2}(V_{DD} - v_O - V_{TL})^2 \quad (2.20)$$

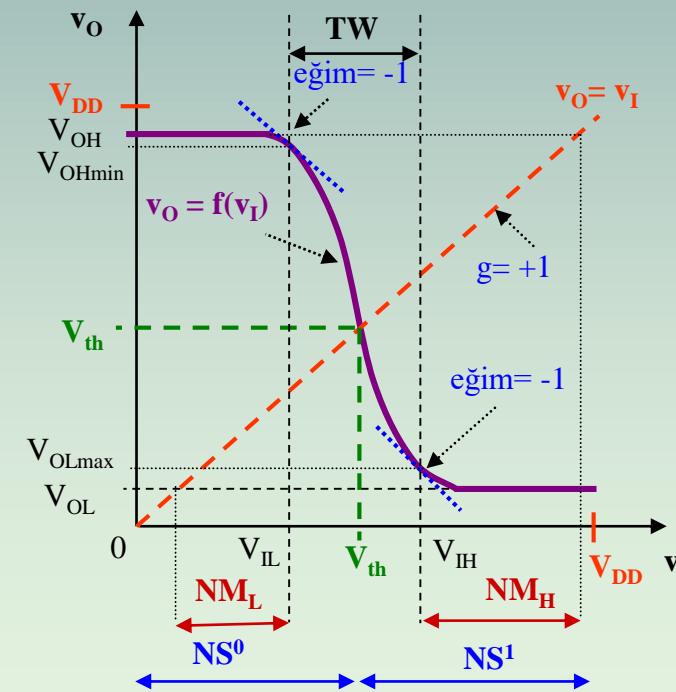
- ◻ VTC eğrisinde geçiş bölgesi sınırlarında **eğim, -1**'dir ($dv_O/dv_I = -1$), bu bölge içinde $|eğim| > 1$ 'dir.
- ◻ Eş (2.20)'nin her iki tarafı v_I ya göre türetilerek V_{IL} ve $v_O(V_{IL})$ değerleri bulunabilir.
- ◻ İdeal bir eviricide, evirici çıkışının yüksek ve alçak olduğu geçiş bölgesinde **eğim=0**'dır.
- ◻ Eviricinin eşiği (VTC eşiği), Eş (2.20)'de $v_O = v_I = V_{th}$ konarak V_{th} bulunur, Eş (2.21).

$$V_{th} = \frac{V_{DD} + \sqrt{\beta_R} V_{TD} - V_{TL}(V_{th})}{1 + \sqrt{\beta_R}} \quad (2.21)$$

- ◻ $\beta_R = \beta_D / \beta_L$ olup transistorların eş olması durumunda, $V_{th} = V_{DD}/2$ olur.



Şekil-2.5.b Doymalı kanal oluşturmamalı
NMOS yüklü NMOS evirici



Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi



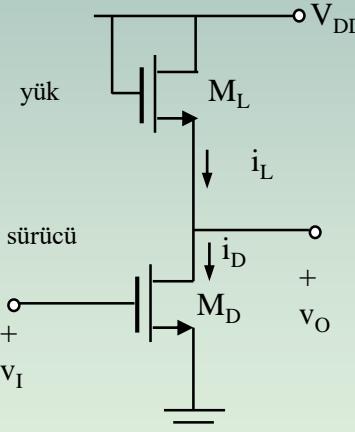
c) VTC eğrisinde V_{IL} değerinden itibaren v_I artmaya devam ederken $v_I = v_O = V_{yh}$ olduğunda MD hala doymadadır $v_O > v_I - V_{TD}$ dir. $v_I = V_{DD}$ olduğunda ise sürücü **doymasız** bölgdededir; çünkü $v_O < v_I - V_{TD}$ dir ve $v_O = V_{OL}$ olur.

$$\beta_D \left(V_{DD} - V_{TD} - \frac{V_{OL}}{2} \right) V_{OL} = \frac{\beta_L}{2} (V_{DD} - V_{OL} - V_{TL})^2 \quad (2.22)$$

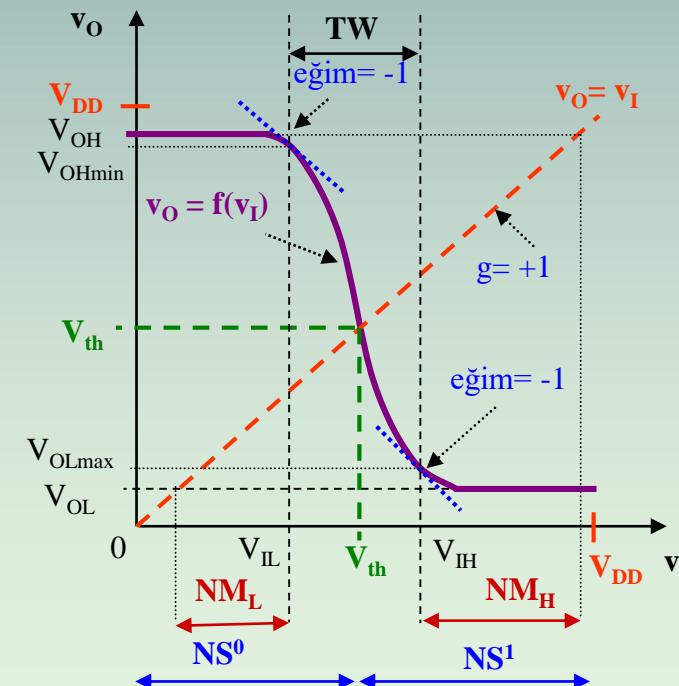
- ⦿ Eş (2.21)'de $V_{OL} \ll V_{DD}$ için ve yük transistörünün gövde etkisi ihmal edildiğinde V_{OL} 'nin ifadesi:

$$V_{OL} \approx \frac{1}{2\beta_R} \frac{(V_{DD} - V_{TL})^2}{(V_{DD} - V_{TP})} \approx \frac{(V_{DD} - V_{TL})}{2\beta_R} \quad (2.23)$$

- Burada, $\beta_R = \beta_D / \beta_L = (W/L)_D / (W/L)_L$ ye sürücü-yük oranı adı verilir.
 - β_R oranı arttıkça V_{OL} azalmaktadır, bunun için büyük kirmik alanı gerekli olacaktır.
 - Eş (2.23)'ün her iki tarafı v_I 'ya göre türetilerek V_{IH} ve $v_O(V_{IH})$ değerleri bulunabilir



Şekil-2.5.b Doymalı kanal oluşturmaları NMOS yüklü NMOS evirici



Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi



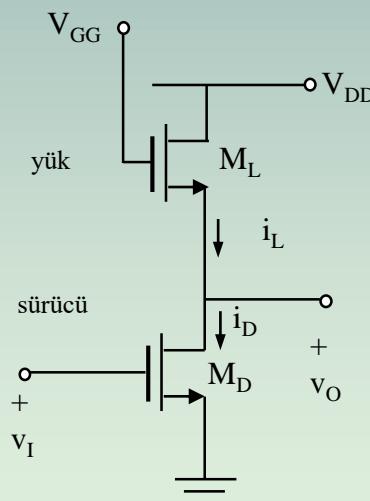
2.2.3 Doymasız Kanal Oluşturmamalı NMOS Yüklü NMOS Evirici

- ◻ Doymalı kanal oluşturmamalı NMOS yüklü NMOS eviricide, $V_{OH} = V_{DD} - V_{TL} < V_{DD}$ idi, Eş (2.18).
- ◻ Bu mahzuru gidermek üzere, yük transistorunun geçidi $V_{GG} \geq V_{DD} - V_{TL}$ gerilimiyle kutuplanır, Şekil-2.6.
- ◻ Bu durumda **ML** her durumda **iletimdedir**, $V_{GSL} > V_{TL}$ dir.

a) $v_I < V_{TD}$ iken sürücü **kesimde** olup $i_D = 0$ 'dır. $i_D = i_L$ olduğundan, $i_L = 0$ olup yük doymasız çalışmaktadır.

$$\beta_L(v_{GSL} - V_{TL} - \frac{V_{DSL}}{2})v_{DSL} = \beta_L(V_{GG} - V_{OH} - V_{TL} - \frac{V_{DD} - V_{OH}}{2})(V_{DD} - V_{OH}) = 0 \quad (2.24)$$

eşitliğinden $V_{OH} = V_{DD}$ bulunur. $V_{OH} < V_{DD}$ olma sorunu giderilmiş, ancak, **ikinci bir kaynak gerilimi** getirilmiştir.



Şekil-2.6 Doymasız kanal oluşturmamalı
NMOS yüklü NMOS evirici



b) $v_I = V_{DD}$ iken, yük doymasız çalışırken sürücü de doymasız çalışmaktadır.

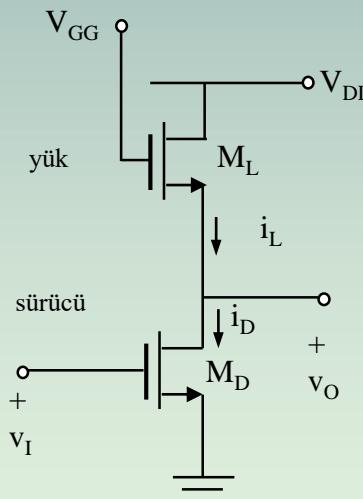
$$\beta_D \left(V_{DD} - V_{TD} - \frac{V_{OL}}{2} \right) V_{OL} = \beta_L \left(V_{GG} - V_{OL} - V_{TL} - \frac{V_{DD} - V_{OL}}{2} \right) (V_{DD} - V_{OL}) \quad (2.25a)$$

$V_{OL} \ll V_{DD}$ için ve yük transistorunun gövde etkisi ihmal edilerek:

$$V_{OL} \approx \frac{1}{\beta_R} \frac{(V_{GG} - V_{TL} - V_{DD}/2)V_{DD}}{(V_{DD} - V_{TD})} \quad (2.25b)$$

elde edilir. $V_{GG} = V_{DD} + V_{TL}$ için ve $V_{DD} > V_{TL}$ alındığında, V_{OL} , doymalı yüklü NMOS eviricideki V_{OL} ile eş mertebededir (Bak. Eş (2.23) ve Eş (2.25b)).

- ▶ Bu tür bir eviricide V_{IL} , V_{IH} ve V_{th} gibi büyüklükler 2.2.2 alt bölümünde anlatıldığı gibi bulunur.



Şekil-2.6 Doymasız kanal oluşturmamalı
NMOS yüklü NMOS evirici



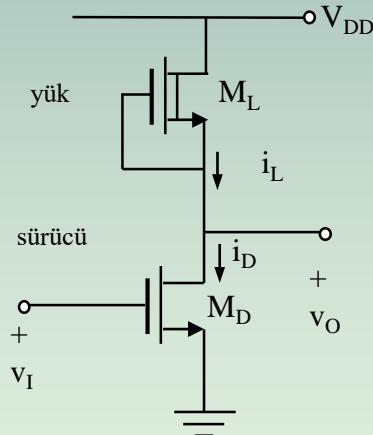
2.2.4 Kanal Ayarlamalı NMOS Yüklü NMOS Evirici

- ◻ Şekil-2.7'de devresi verilen kanal ayarlamalı NMOS yüklü NMOS eviricinin üstünlükleri:
 - İkinci bir kutuplama gerillimine ihtiyaç göstermeden $v_I < V_{DD}$ durumunda çıkış $V_{OH} = V_{DD}$ olmaktadır.
 - Yükün, geçidi ile kaynağı kısa devre edildiğinden gerçekleştirmede yerleşim kolaylığı vardır.
 - $v_I = V_{DD}$ için çıkış (V_{OL}) sürücü-yük oranına (β_R) bağlı olarak küçültülebilir.

Kusurları:

- a) Kanal ayarlamalı NMOS'ların gerçekleştirilmelerinde işlem zorluğu vardır, maliyet artar.
- ◻ $V_{GSL}=0$ olması nedeniyle yük transistoru **hem doymalı hem doymasız** çalışmaktadır.
 - $v_I < V_{TD}$ iken çıkışın yüksek değeri yük transistorunu **doymasız** kılar, $i_D = i_L = 0$ için:

$$\beta_L(v_{GSL} - V_{TL} - \frac{v_{DSL}}{2})v_{DSL} = \beta_L(-V_{TL} - \frac{V_{DD} - V_{OH}}{2})(V_{DD} - V_{OH}) = 0 \quad \Rightarrow \quad V_{OH} = V_{DD} \quad (2.26)$$



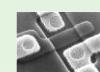
- b) $v_I = V_{DD}$ iken sürücü doymasız çalışır, V_{DSL} yeterince büyük olacağından yük doymada çalışır:

$$\beta_D \left(V_{DD} - V_{TD} - \frac{V_{OL}}{2} \right) V_{OL} = \frac{\beta_L}{2} (-V_{TL})^2 \quad (2.27a)$$

$V_{OL} \ll V_{DD}$ için V_{OL} gerilimi (β_R ile ters orantılı olarak):

$$V_{OL} \approx \frac{1}{2\beta_R} \frac{(-V_{TL})^2}{(V_{DD} - V_{TD})} \quad (2.27b)$$

Şekil-2.7 Kanal ayarlamalı NMOS yüklü NMOS evirici



2 2.2.5 Sözde NMOS Evirici

- Sözde NMOS evirici, yük olarak geçidi toprakta bir PMOS kullanan NMOS eviricidir, Şekil-2.8.
- Gerçekleştirme açısından CMOS teknolojisine ihtiyaç gösterir.
- “3.5 Sözde NMOS Kapılar” başlığı altındaki bağıntılar $n=1$ alınarak kullanılabilir.
- Yük transistoru, $|v_{GSP}| = |-V_{DD}| > |V_{TP}|$ olup her zaman **iletimde** ve v_I 'nin seviyesine göre doymalı veya doymasız çalışabilmektedir.

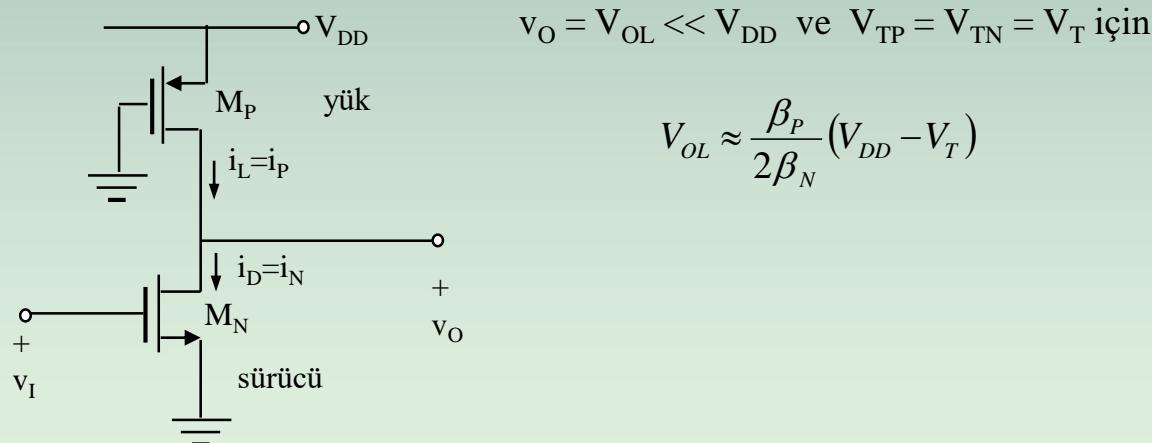
a) $v_I < V_{TN}$ iken çıkışın yüksek değeri yük transistorunu (M_P 'yi) **doymasız** kılar, $i_D = i_L = 0$ için:

$$\beta_P(v_{GSP} - V_{TP} - \frac{v_{DSP}}{2})v_{DSP} = \beta_P(-V_{DD} - V_{TL} - \frac{V_{OH} - V_{DD}}{2})(V_{OH} - V_{DD}) = 0 \quad \Rightarrow \quad V_{OH} = V_{DD} \quad (2.28)$$

b) $v_{GSN} = v_I = V_{DD}$ için M_N **doymasız** çalışır, çünkü, $v_{DSN} = V_{OL} < v_{GSN} - V_{TL} = V_{DD} - V_{TL}$ 'dır.

Bu durumda, M_P **doymalı** çalışır, çünkü, $|v_{DSP}| = |-V_{DD} + V_{OL}| = |V_{GSP} + V_{OL}| > |V_{GSP} - V_{TP}|$ 'dır.

$$\beta_N\left(V_{DD} - V_{TN} - \frac{v_O}{2}\right)v_O = \frac{\beta_P}{2}(-V_{DD} - V_{TP})^2 \quad (2.29a)$$



$$V_{OL} \approx \frac{\beta_P}{2\beta_N}(V_{DD} - V_T) \quad (2.29b)$$

Şekil-2.8 Sözde NMOS evirici



2.3 Dinamik Davranış

- ◻ Eviricide aranan özelliklerden birisi de girişindeki işaret değişimlerine en kısa zamanda cevap verebilmesidir.
- ◻ Eviricinin hızını, MOS transistorlarının kapasiteleri, eleman yerleşiminden gelen parazitik kapasiteler ve bağlantı hatlarının endüktif ve kapasitif etkileri belirler.
- ◻ t_{LH} , t_{HL} : yükselseme ve düşme süreleri. Çıkış işaretin konum değiştirirken genliğinin %10' u ile %90'ı arasındaki süre.
- ◻ t_{PLH} , t_{PHL} : yükselseme ve düşme gecikmeleri. Çıkış işaretinde, değişim başlangı ile genliğin %50'si arasındaki süre.
- ◻ t_p : ortalama propagasyon gecikmesi (daha çok bu gecikmeler kullanılır).
- ◻ f_{max} : devrenin lojik seviyeler bozulmadan işleyebileceği işaretin maksimum frekansı.

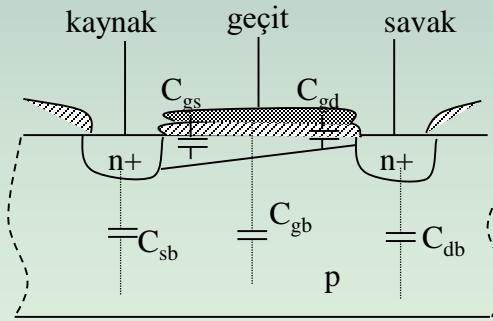
$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

$$f_{max} = \frac{1}{t_{HL} + t_{LH}}$$

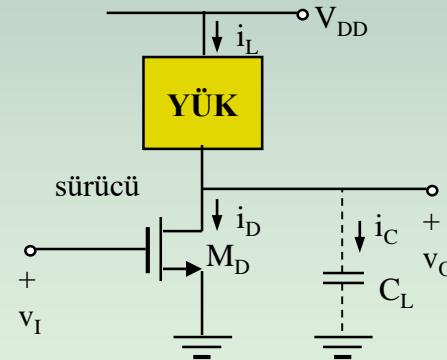


2.3.1 MOS Kapasiteleri

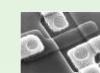
- ◻ MOS transistor kapasiteleri başlıca iki grupta ele alınır, Şekil-2.9:
 - a) Geçit kapasiteleri : C_{gs} , C_{gd} , C_{gb} (C_{ox}) .
 - b) Jonksiyon kapasiteleri : C_{sb} , C_{db} .
- ◻ Eviricide, sürücü ve yük transistorlarına ait üç gerilimlerinin besleme gerilimi aralığında değişmesi, bu transistor **geçit ve jonksiyon kapasitelerini nonlinear** (doğrusal olmayan) kılar.
- ◻ Bu kapasiteler, yerleşimden ileri gelen diğer parazitik kapasitelerle (varsayımsa kablo kapasiteleriyle) birlikte, devrenin dinamik davranışını analiz etmede kolaylık sağlama açısından, devre çıkışındaki yükle paralel tek bir kapasite (C_L) ile temsil edilir (modellenir), Şekil-2.10.



Şekil-2.9 Bir NMOS kesiti ve en önemli MOS kapasiteleri



Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili



2.3.2 Düşme Gecikmesi (Deşarj Evresi)

- $v_I < V_{TD}$ iken sürücü kesimde ve yük iletimde olup C_L kapasitesi V_{OH} değerine kadar dolmuş olur, Şekil-2.10.
- Giriş gerilimi aniden yüksek seviyeye (bir önceki katın V_{OH} 'sına) çıkarılırsa, sürücü iletme girer ve C_L , MD üzerinden boşalmaya başlar. Bu evreye **boşalma evresi** veya **deşarj evresi** denir.

$$i_L = i_D + i_C = i_D + C_L \frac{dv_O}{dt} \quad (2.30)$$

$$i_D \gg i_L \Rightarrow i_D \approx -C_L \frac{dv_O}{dt} \quad (2.31)$$

- $t=0$ için $v_I = V_{OH}$ (bir önceki katın L_1 çıkışı) ve $v_O = V_{OH}$ olduğundan sürücü doymadır ve çıkış zamanla azalır.

$$\frac{\beta_D}{2} (V_{OH} - V_{TD})^2 \approx -C_L \frac{dv_O}{dt} \quad (2.32)$$

$$v_O(t) = V_{OH} - \frac{\beta_D}{2C_L} (V_{OH} - V_{TD})^2 t \quad (2.33)$$

- $t=t_1$ anında $v_O(t) = V_{OH} - V_{TD}$ olunca MD doymasız rejime girer ve Eş (2.32), Eş (2.34) olarak yazılır;

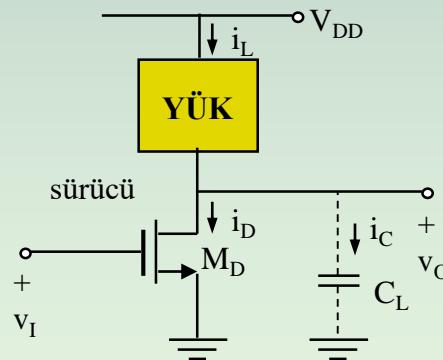
$$\frac{\beta_D}{2} [2(V_{OH} - V_{TD})v_O - v_O^2] \approx -C_L \frac{dv_O}{dt} \quad (2.34)$$

$$v_O(t) = 2(V_{OH} - V_{TD}) \frac{e^{-\frac{\beta_D}{C_L}(V_{OH}-V_{TD})(t-t_1)}}{1 + e^{-\frac{\beta_D}{C_L}(V_{OH}-V_{TD})(t-t_1)}} \quad (2.35)$$

$$\text{Eş (2.33)} \Rightarrow t_1 = \frac{2C_L}{\beta_D} \frac{V_{TD}}{(V_{OH} - V_{TD})^2} \quad (2.36)$$

Kanal oluşturmamalı doymalı yüklü NMOS evirici hariç $v_{OH} = V_{DD}$ 'dır.

t_{PHL} , çıkışın V_{OH} 'dan $V_{OL}+0.5(V_{OH}-V_{OL})$ 'ye düşüğü süredir.



$$\text{Eş (2.35)} \Rightarrow t_{PHL} = \frac{C_L}{\beta_D} \frac{1}{(V_{OH} - V_{TD})} \left\{ \frac{2V_{TD}}{V_{OH} - V_{TD}} + \ln \frac{3V_{OH} - V_{OL} - 4V_{TD}}{V_{OH} + V_{OL}} \right\} \quad (2.37)$$

$$\text{V}_{OH} = V_{DD} \text{ ve } V_{OL} \ll V_{OH} \text{ için } t_{PHL} = \frac{C_L}{\beta_D} \frac{1}{(V_{DD} - V_{TD})} \left\{ \frac{2V_{TD}}{V_{DD} - V_{TD}} + \ln \frac{3V_{DD} - 4V_{TD}}{V_{DD}} \right\} \quad (2.38)$$

Entegrasyon sınırları $V_{OL}+0.9(V_{OH}-V_{OL})$ 'den $V_{OL}+0.1(V_{OH}-V_{OL})$ 'ye kadar alınarak Eş (2.32)'nin çözümünden t_{HL} bulunabilir.

Deşarj zaman sabiti

$$\tau_D = \frac{C_L}{\beta_D} \frac{1}{(V_{OH} - V_{TD})} \quad (2.39)$$

Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili



2.3.3 Yükselme Gecikmesi (Şarj Evresi)

- Çıkış V_{OL} değerindeyken giriş V_{TD} 'nin altına düşürülürse sürücü kesime gider ve C_L , V_{OH} 'ya doğru yük transistörü üzerinden dolmaya başlar, Şekil-2.10.
- O halde şarj evresi yani yükseltme süresi veya yükseltme gecikmesi, yükün türüne bağlıdır.

$$t = 0 \text{ için } v_O = V_{OL}$$

$$t = \infty \text{ için } v_O = V_{OH} = V_{DD}$$

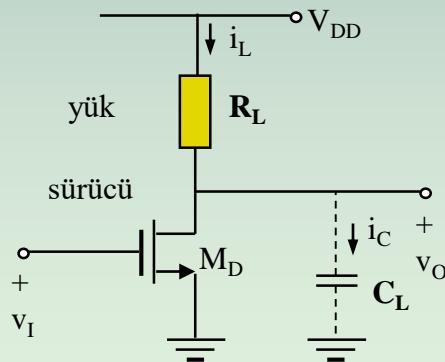
$t = t_{PLH}$ için $v_O = V_{OL} + 0.5(V_{OH} - V_{OL})$ şartıyla yük akımı ($i_L = i_C$) ve çıkış gerilimi:

$$i_L = C_L \frac{dv_O}{dt} \quad (2.40)$$

a) Direnç yüklü eviricinin yükseltme gecikmesi:

$$i_L = \frac{V_{DD} - v_O}{R_L} = C_L \frac{dv_O}{dt} \quad \rightarrow \quad v_O(t) = V_{DD} - (V_{DD} - V_{OL}) e^{-\frac{t}{R_L C_L}} \quad (2.41)$$

$$t_{PLH} = R_L C_L \ln 2 = 0.693 \tau_L \quad (2.42)$$



Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili (direnç yüklü)



b) Doymalı kanal oluşturmamalı yüklü eviricinin yükselme gecikmesi:

$t = 0$ için $v_O = V_{OL}$

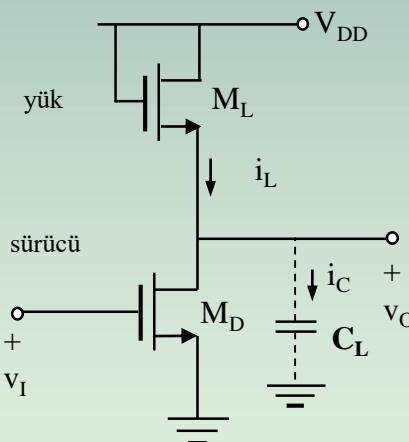
$t = \infty$ için $v_O = V_{OH} = V_{DD}$

$t = t_{PLH}$ için $v_O = V_{OL} + 0.5(V_{OH} - V_{OL})$ şartlarıyla yük akımı ($i_L = i_C$) :

$$i_L = \frac{\beta_L}{2} (V_{DD} - v_O - V_{TL})^2 = C_L \frac{dv_O}{dt} \quad (2.43)$$

$$t_{PLH} = \frac{2C_L}{\beta_L} \left[\frac{1}{0.5V_{DD} - 0.5V_{TL} - 0.5V_{OL}} - \frac{1}{V_{DD} - V_{TL} - V_{OL}} \right] \quad (2.44)$$

$$V_{OL} \approx \frac{\beta_L}{2\beta_D} \frac{(V_{DD} - V_{TL})^2}{(V_{DD} - V_{TD})} \approx \frac{(V_{DD} - V_{TL})}{2\beta_R}$$



β_L 'nin artırılması t_{PLH} 'yı azaltmakta, buna karşılık V_{OL} 'yi artırmaktadır.

Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili (NMOS yüklü)



c) Doymasız kanal oluşturmamalı yüklü eviricinin yükselme gecikmesi:

$t = 0$ için $v_O = V_{OL}$

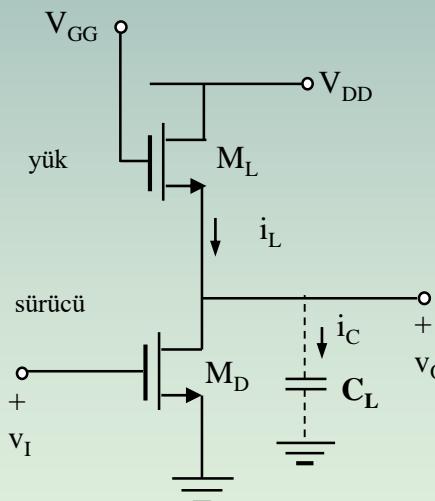
$t = \infty$ için $v_O = V_{OH} = V_{DD}$

$t = t_{PLH}$ için $v_O = V_{OL} + 0.5(V_{OH} - V_{OL})$ şartlarıyla yük akımı ($i_L = i_C$) :

$$i_L = \frac{\beta_L}{2} \left[2(V_{GG} - v_O - V_{TL})(V_{DD} - v_O) - (V_{DD} - v_O)^2 \right] = C_L \frac{dv_O}{dt} \quad (2.45)$$

Eş (2.45)'in çözümü $m = V_{DD} / V_{GG}$ oranına bağlı olup Eş (2.44)'de olduğu gibi C_L / β_L ile orantılıdır.

$$t_{PLH} \propto \frac{2C_L}{\beta_L} \quad (2.46)$$



$$t_{PLH} = \frac{2C_L}{\beta_L} \left[\frac{1}{0.5V_{DD} - 0.5V_{TL} - 0.5V_{OL}} - \frac{1}{V_{DD} - V_{TL} - V_{OL}} \right] \quad (2.44)$$

Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili (NMOS yüklü)



d) Kanal ayarlamalı yüklü eviricinin yükselme gecikmesi:

Kanal ayarlamalı yük transistoru $v_{DSL} = (V_{DD} - v_O) > V_{TL}$ kaldığı sürece doymalı, çıkış geriliminin daha yüksek değerleri için doymasız rejimde çalışır.

$$V_{1/2} = (V_{DD} + V_{OL}) / 2$$

$$t = 0 \text{ için } v_O = V_{OL}$$

$$t = \infty \text{ için } v_O = V_{OH} = V_{DD}$$

$t = t_{PLH}$ için $v_O = V_{OL} + 0.5(V_{OH} - V_{OL})$ şartlarıyla yük akımı ($i_L = i_C$) :

Doymalı rejim bağıntısı

$$i_L = \frac{\beta_L}{2} (-V_{TL})^2 = C_L \frac{dv_O}{dt} \quad (2.47)$$

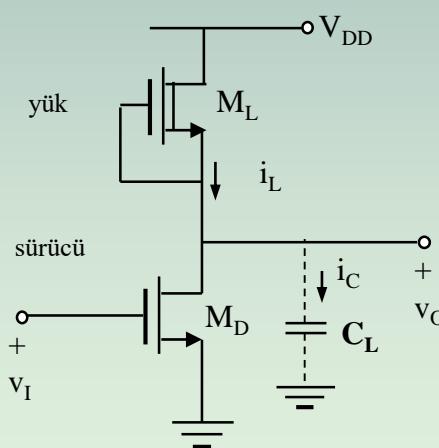
Doymasız rejim bağıntısı

$$V_{1/2} > (V_{DD} - V_{TL})$$

$$i_L = \frac{\beta_L}{2} (2|V_{TL}|(V_{DD} - v_O) - (V_{DD} - v_O)^2) = C_L \frac{dv_O}{dt} \quad (2.48)$$

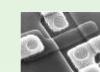
Toplam yükselme gecikmesi :

(2.49)



$$t_{PLH} = \frac{C_L}{\beta_L |V_{TL}|} \left\{ \frac{2(V_{DD} - |V_{TL}| - V_{OL})}{|V_{TL}|} + \ln \frac{2|V_{TL}| - (V_{DD} - V_{1/2})}{(V_{DD} - V_{1/2})} \right\}$$

Şekil-2.10 MOS kapasitelerinin etkisinin çıkışta eşdeğer yük kapasitesi ile temsili (NMOS yüklü)



2.4 NMOS Eviricilerin Ortak Özellikleri ve Tasarımı

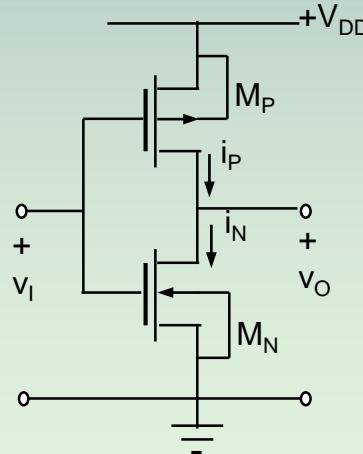
- Bütün NMOS eviriciler şu özelliklerini gösterirler:

- 1) $V_{OL}>0$ olup, V_{OL} 'nin değerini azaltmak, yani alçak seviye gürültü marjını artırmak için sürücü geometrisi $(W/L)_D$ artırılmalıdır. Sayısal devrelerde özel bir durum olmadıkça transistor kanal uzunlukları, teknolojinin elverdiği minimum değerde tutulur, çünkü, gecikme, transistor kanal uzunluğunun karesi ile orantılı artmaktadır. Bu nedenle geometriyi artırmak sadece transistor enleri (genişlikleri) artırılarak yapılır.
- 2) Bütün NMOS eviriciler çıkışları alçak seviyede iken, hem sürücü hem de yük transistorları iletimde olduğu için kaynaktan statik akım çekerler. Buna karşılık, çıkış yüksek seviyede iken sürücü kesimde olduğu için statik akım bu konumda pratik olarak sıfır kabul edilebilir. Başka bir deyişle, NMOS eviricilerin tüketikleri statik güç $P_{statik}>0$ dır. Bu statik güç, NMOS sayısal devrelerin geniş çapta tümleştirilme (VLSI) ölçüğünü sınırlar.
- 3) Diğer taraftan geçiş bölgesi eğiminin β_R arttıkça arttığı, yani tanımsız bölgenin daraldığı ve gürültü marjlarının arttığı görülmektedir.
- 4) Bir NMOS eviricide $\beta_R \gg 1$ olduğu için, yani daima sürücü transistorun akım akıtma kapasitesi yük transistoruna göre çok daha fazla olduğu için $t_{PLH} \gg t_{PHL}$ olup devre hızını büyük ölçüde yükselme gecikmesi, yani yük geometrisi belirler.
- 5) Bu anlamda evirici tasarımlı için önce istenen bir V_{OL} değeri için gerekli β_R hesaplanır. Daha sonra yükün geometrisi, izin verilen en büyük yükselme gecikmesi için hesaplanır. Buradan, yük transistoru $(W/L)_L$ değeri, başka bir ifadeyle W_L bulunur. Bu değer β_R ile çarpılarak $(W/L)_D$ yani W_D bulunur.

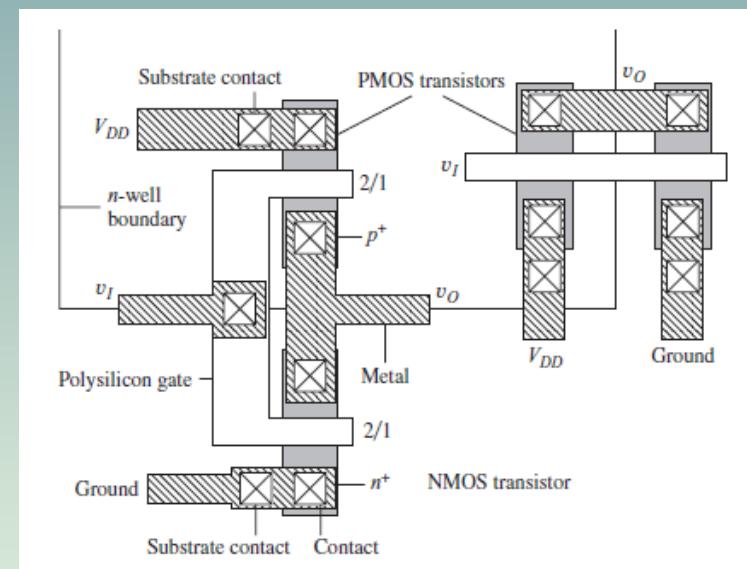


2.5 CMOS Evirici

- NMOS eviricilerde statik güç tüketimi tümleştirme ölçüğünün belirli bir değerin üzerine çıkışmasını önlemesi üzerine, tektaş yapı üzerinde NMOS transistorlarla aynı anda PMOS transistorların da üretimine olanak veren ve ortaya çıkan "latch-up" problemlerini tıkama yönünde kutuplanmış ilave izolasyon jonksiyonları oluşturarak önleyen CMOS prosesleri oluşturulmuş, ve günümüzde sayısal devrelerin gerçekleştirilebilmesinde ya bu tür prosesler ya da hız sorunlarını aşmak açısından bu derste daha ilerdeki bölümde debynilecek olan NPN bipolar transistor ve CMOS yapının birlikte kullanıldığı BiCMOS prosesler kullanılmaya başlanmıştır. O nedenle, bu dersin esas içeriğini CMOS sayısal devreler oluşturmaktır ve CMOS yapıların temel yapı taşı olarak da Şekil-2.11'de devre şeması gösterilen CMOS evirici büyük önem taşımaktadır.



Şekil-2.11 CMOS evirici



İki CMOS evirici montaj planı ("layout")



2.5.1 Statik Davranış

Şekil-2.11'deki CMOS eviricide:

- 1) Her iki transistor için kaynak ve gövde aynı potansiyelde olup ($v_S = v_B$), transistorların eşik gerilimleri doğal eşik gerilimlerine (V_{TO}) eşittir.
- 2) Giriş geçitlerde sonlandığı için (NMOS eviricilerde olduğu gibi), giriş statik davranış açısından açık devre kabul edilebilir. O halde böyle bir evirici benzer türden devreleri sürüyorsa çıkış da açık devre kabul edilecektir.

transistorların uç gerilimleri:

NMOS	$v_G = v_I$	$v_S = 0$	$v_D = v_O$	(2.50)
PMOS	$v_G = v_I$	$v_S = V_{DD}$	$v_D = v_O$	

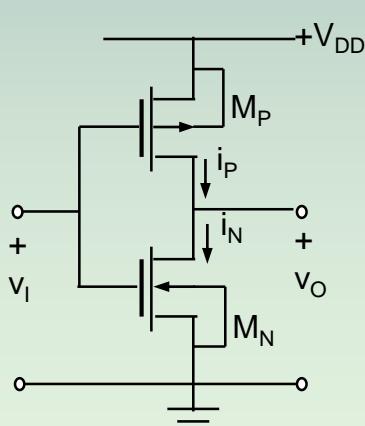
Bu üç büyülükleri cinsinden transistorların bütün çahşma rejimlerinde akım bağıntıları (λ_N ve λ_P çok küçük):

NMOS:

$$\text{i)} \quad v_I - V_{TN} \leq 0 \quad (\text{NMOS kesimde}) \quad i_N = 0 \quad (2.51)$$

$$\text{ii)} \quad 0 < v_I - V_{TN} \leq v_O \quad (\text{NMOS doymalı}) \quad i_N = 0.5\beta_N(v_I - V_{TN})^2 \quad (2.52)$$

$$\text{iii)} \quad 0 < v_O \leq v_I - V_{TN} \quad (\text{NMOS doymasız}) \quad i_N = \beta_N(v_I - V_{TN} - v_O/2) v_O \quad (2.53)$$



PMOS ($v_{GSP} = v_I - V_{DD}$) ve ($v_{DSP} = v_O - V_{DD}$):

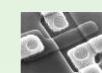
$$\text{i)} \quad 0 \leq v_I - V_{DD} - V_{TP} \quad (\text{PMOS kesimde}) \quad i_P = 0 \quad (2.54)$$

$$\text{ii)} \quad v_O - V_{DD} < v_I - V_{DD} - V_{TP} \leq 0 \quad (\text{PMOS doymalı}) \quad i_P = 0.5\beta_P(v_I - V_{DD} - V_{TP})^2 \quad (2.55)$$

$$\text{iii)} \quad v_I - V_{DD} - V_{TP} < v_O - V_{DD} \leq 0 \quad (\text{PMOS doymasız})$$

⇒ $i_P = \beta_P(v_I - V_{DD} - V_{TP} - \frac{1}{2}(v_O - V_{DD}))(v_O - V_{DD})$ (2.56)

Şekil-2.11 CMOS evirici



NMOS:

- ★ i) $v_I - V_{TN} \leq 0$
- ★★ ii) $0 < v_I - V_{TN} \leq v_O$
- ★★★ iii) $0 < v_O \leq v_I - V_{TN}$

(NMOS kesimde)

(NMOS doymalı)

(NMOS doymasız)

$$i_N = 0$$

$$i_N = 0.5\beta_N(v_I - V_{TN})^2$$

$$i_N = \beta_N(v_I - V_{TN} - v_O/2) v_O$$

(2.51)

(2.52)

(2.53)

PMOS ($v_{GSP} = v_I - V_{DD}$) ve ($v_{DSP} = v_O - V_{DD}$):

- ★ i) $0 \leq v_I - V_{DD} - V_{TP}$ (PMOS kesimde)
- ★★ ii) $v_O - V_{DD} < v_I - V_{DD} - V_{TP} \leq 0$ (PMOS doymalı)
- ★★★ iii) $v_I - V_{DD} - V_{TP} < v_O - V_{DD} \leq 0$ (PMOS doymasız)

$$i_P = 0$$

$$i_P = 0.5\beta_P(v_I - V_{DD} - V_{TP})^2$$

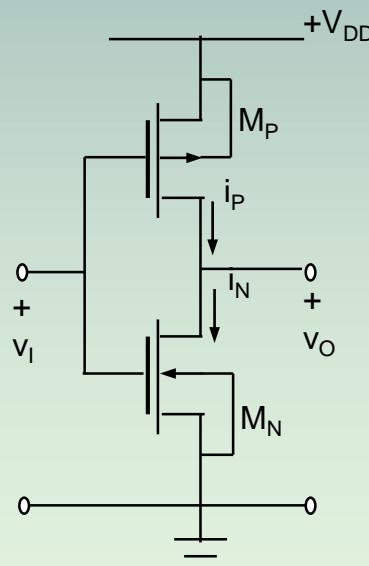
$$i_P = \beta_P(v_I - V_{DD} - V_{TP} - 0.5(v_O - V_{DD}))(v_O - V_{DD})$$

(2.54)

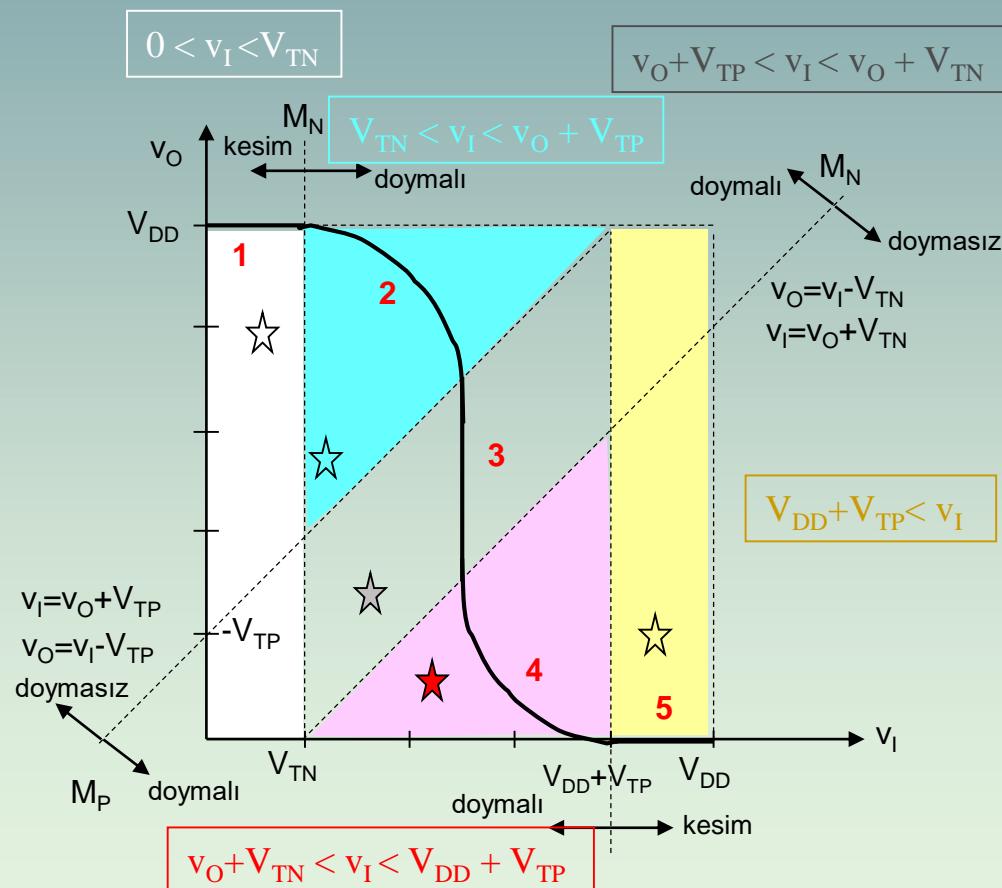
(2.55)

(2.56)

$$V_{TP} < 0$$



Şekil-2.11 CMOS evirici



Şekil-2.12 CMOS eviricinin gerilim geçiş eğrisi ve statik değerleri.



NMOS:

- ★ i) $v_I - V_{TN} \leq 0$
- ★★ ii) $0 < v_I - V_{TN} \leq v_O$
- ★★★ iii) $0 < v_O \leq v_I - V_{TN}$

(NMOS kesimde)

(NMOS doymalı)

(NMOS doymasız)

$$i_N = 0$$

$$i_N = 0.5\beta_N(v_I - V_{TN})^2$$

$$i_N = \beta_N(v_I - V_{TN} - v_O/2)v_O$$

(2.51)

(2.52)

(2.53)

PMOS ($v_{GSP} = v_I - V_{DD}$), ($v_{DSP} = v_O - V_{DD}$), $V_{TP} < 0$:

- ★ i) $0 \leq v_I - V_{DD} - V_{TP}$ (PMOS kesimde)
- ★★ ii) $v_O - V_{DD} < v_I - V_{DD} - V_{TP} \leq 0$ (PMOS doymalı)
- ★★★ iii) $v_I - V_{DD} - V_{TP} < v_O - V_{DD} \leq 0$ (PMOS doymasız)

$$i_P = 0$$

$$i_P = 0.5\beta_P(v_I - V_{DD} - V_{TP})^2$$

$$i_P = \beta_P(v_I - V_{DD} - V_{TP} - 0.5(v_O - V_{DD}))(v_O - V_{DD})$$
 (2.56)

1) $0 < v_I < V_{TN}$ aralığı: MN kesimdedir ($i_N=0$), MP ise $i_P=0$ için ancak doymasız çalışır. Eş (2.56)'ya göre $v_O=V_{DD}$. (2.57)

2) $V_{TN} < v_I < v_O + V_{TP}$ aralığı: MN doymalı, MP doymasız çalışır. Eş (2.52) ve Eş (2.56)'dan;

$$\frac{\beta_N}{2}(v_I - V_{TN})^2 = \beta_P(v_I - V_{DD} - V_{TP} - \frac{1}{2}(v_O - V_{DD}))(v_O - V_{DD}) \quad (2.58)$$

$$v_O = v_I - V_{TP} + \sqrt{(V_{DD} + V_{TP} - v_I)^2 - \frac{\beta_N}{\beta_P}(v_I - V_{TN})^2} \quad (2.59)$$

3) $v_O + V_{TP} < v_I < v_O + V_{TN}$ aralığı :MN ve MP doymalı

$$v_I = \frac{V_{DD} + V_{TP} + \sqrt{\frac{\beta_N}{\beta_P}V_{TN}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad \text{Eğim} = -\infty \quad (\text{pratikte } -20) \quad (2.60)$$

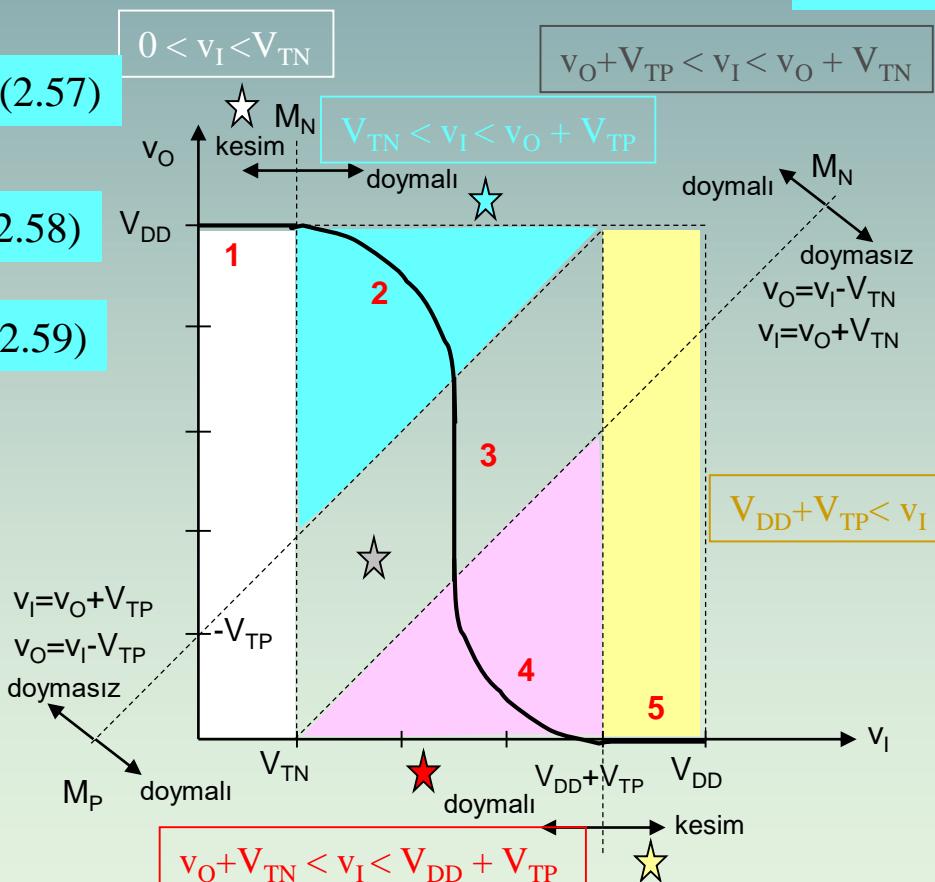
4) $v_O + V_{TN} < v_I < V_{DD} + V_{TP}$: MN doymasız, MP doymalı.

$$\beta_N(v_I - V_{TN} - \frac{v_O}{2})v_O = \frac{\beta_P}{2}(v_I - V_{DD} - V_{TP})^2 \quad (2.61)$$

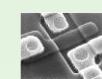
$$v_O = v_I - V_{TN} - \sqrt{(v_I - V_{TN})^2 - \frac{\beta_P}{\beta_N}(v_I - V_{DD} - V_{TP})^2} \quad (2.62)$$

5) $V_{DD} + V_{TP} < v_I$ aralığı: MP kesimde, MN doymasızdır.

$$v_O = 0 \quad (2.63)$$

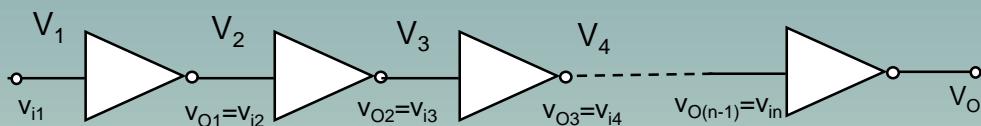


Şekil-2.12 CMOS eviricinin VTC eğrisi ve statik değerleri



Şekil-2.12'deki CMOS eviricinin gerilim geçiş eğrisini (VTC), ideal eviricinin Şekil-2.2'deki eğrisi ile karşılaştırırsak, 2 ve 4 bölgelerindeki sonlu eğiklikler hariç, birbirlerine çok benzediklerini görürüz. Ancak bu bölgelerdeki farklılık eviricinin yenileyici özelliğini ortadan kaldırır. Ideal bir eviricide eşik geriliminin altındaki giriş gerilimlerinin lojik 0 (L_0), eşliğin üzerindeki gerilimlerin ise lojik 1 (L_1) olarak algılandığını biliyoruz. Gerçek bir eviricide ise eşik, VTC üzerinde çıkışın girişe eşit olduğu noktanın koordinatlarıdır. Durumu daha iyi anlayabilmek için Şekil-2.13'deki evirici zincirini göz önüne alalım.

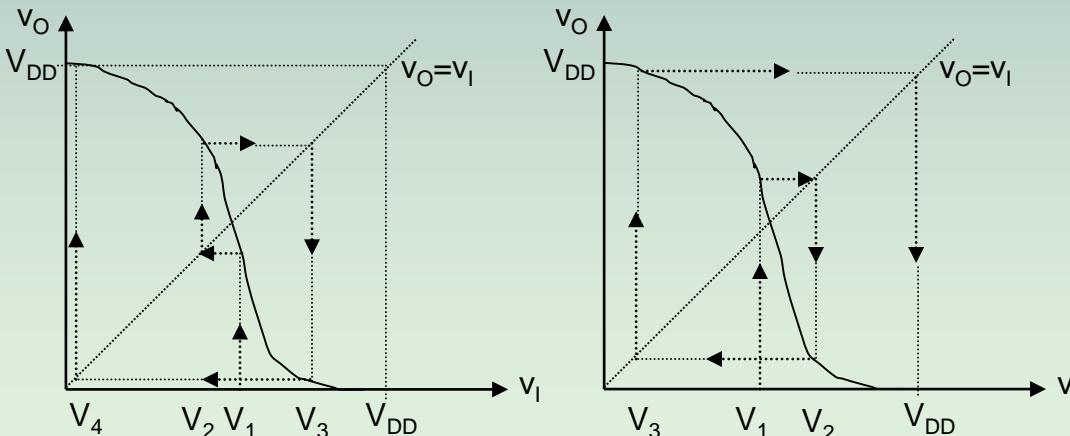
- Yenileyici özelliği açıklamak üzere v_{i1} , V_{th} 'dan biraz daha büyük bir V_1 değerinde veya biraz daha küçük bir V_1 değerinde olsun. Bu durumlara ait akış, sırasıyla Şekil-2.14a ve b'de açıkça görülebilir. Her bir durumda çıkış, ideal eviriciörneğinde olduğu gibi bir adımda olmasa bile birkaç adım sonunda nihai lojik değerine yakınsamaktadır.



Şekil-2.13 n adet kaskat eviriciden oluşan yapı

CMOS eviricide lojik esjk geriliminin VTC'nin 3 no'lu bölgesinde olacağı aşkardır. Bu nedenle (2.60) bağıntısında $v_I = V_{th}$, alınarak;

$$V_{th} = \frac{V_{DD} + V_{TP} + \sqrt{\frac{\beta_N}{\beta_P}} V_{TN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (2.64)$$



Şekil-2.14 Bir evirici zincirinde yenileme özelliği;
a) $V_1 > V_{th}$, b) $V_1 < V_{th}$ için



CMOS eviricide lojik esjk geriliminin VTC'nin 3 no'lu bölgesinde olacağı aşıkardır.

$$v_I = \frac{V_{DD} + V_{TP} + \sqrt{\frac{\beta_N}{\beta_P}} V_{TN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (2.60)$$

$$V_{th} = \frac{V_{DD} + V_{TP} + \sqrt{\frac{\beta_N}{\beta_P}} V_{TN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (2.64)$$

- Bu eşitlikte MOS parametreleri olarak eşik gerilimleri (V_{TN} , V_{TP}) ve β_N , β_P nedeniyle geçiş iletkenlikleri (transkondüktansları) ($k_p(n)$, $k_p(p)$) ve kanat açıklığı oranları ($(W/L)_n$, $(W/L)_p$) yer almaktadır. Bu parametrelerin ilk dördü üretime ait proses parametreleridir.
- Devre tasarımcısı belli bir devre topolojisi için sadece W/L geometrik oranları belirleyebilir. Unutmamak gereklidir ki W ve L boyutları sadece V_{th} 'yi değil, aynı zamanda eviricinin kırmızı üzerinde kapladığı alanı, gürültü marjlarını ve devrenin propagasyon gecikmelerini de belirler.

$$(2.64) \rightarrow V_{th} = V_{DD} / 2$$

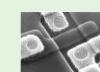
$$\frac{\beta_N}{\beta_P} = \left(\frac{\frac{V_{DD}}{2} + V_{TP}}{\frac{V_{DD}}{2} - V_{TN}} \right)^2 \quad (2.65)$$

$$\frac{\beta_N}{\beta_P} = \frac{k_p(n)}{k_p(p)} \frac{(W/L)_n}{(W/L)_p} = 1 \quad (2.66)$$

$$\frac{(W/L)_n}{(W/L)_p} = \frac{k_p(p)}{k_p(n)} = \frac{\mu_p}{\mu_n} \approx \frac{1}{2.5} \quad (2.67)$$

Eleman başına gecikme, transistor kanal boyalarının karesi (L^2) ile orantılıdır. Bu nedenle, gürülüyü minimum tutabilmek adına $L_n=L_p=L_{min}$ seçilir.

$$\frac{W_n}{W_p} = \frac{k_p(p)}{k_p(n)} = \frac{\mu_p}{\mu_n} \approx \frac{1}{2.5} \quad (2.68)$$



2.5.2 CMOS Eviricinin Gürültü Marjları

a) V_{IL} ve V_{OHmin} ve NM_L değerlerinin belirlenmesi (2. bölge):

2 değer bölgesi için, NMOS doymalı, PMOS ise doymasız rejimde çalışmaktadır. Bu çalışma rejiminde akımlar eşitlenerek Eş (2.58) elde edilmiştir. Bu eşitliğin v_I 'ye göre türevinde $dv_O/dv_I = -1$ alınarak V_{IL} ve V_{OHmin} bulunur.

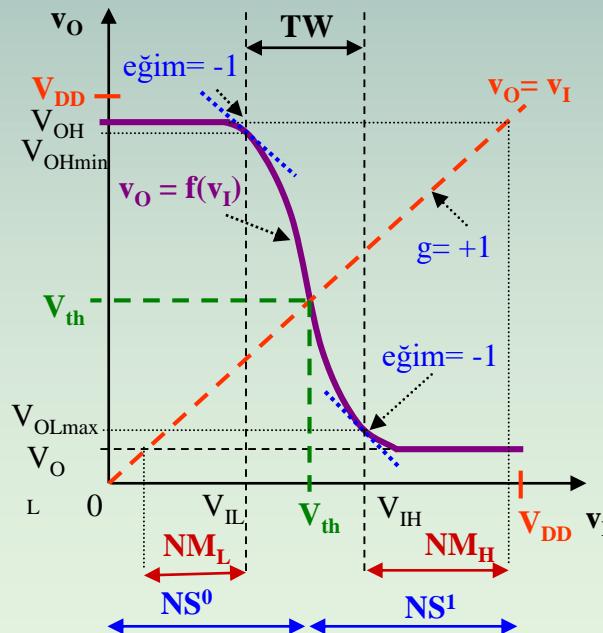
$$\frac{\beta_N}{2}(v_I - V_{TN})^2 = \beta_P(v_I - V_{DD} - V_{TP} - \frac{1}{2}(v_O - V_{DD}))(v_O - V_{DD}) \quad (2.58)$$

$$V_{IL} = \frac{2V_{OHmin} - V_{DD} + \frac{\beta_N}{\beta_P}V_{TN} + V_{TP}}{1 + \frac{\beta_N}{\beta_P}} \quad (2.69)$$

$$V_{OHmin} = V_{IL} - V_{TP} + \sqrt{(V_{DD} + V_{TP} - V_{IL})^2 - \frac{\beta_N}{\beta_P}(V_{IL} - V_{TN})^2} \quad (2.70)$$

b) V_{IH} ve V_{OHmax} ve NM_H değerlerinin belirlenmesi (4. bölge):

4 değer bölgesi için, NMOS doymasız, PMOS ise doymalı rejimde çalışmaktadır. Bu çalışma rejiminde akımlar eşitlenerek Eş (2.61) elde edilmiştir. Bu eşitliğin v_I 'ye göre türevinde $dv_O/dv_I = -1$ alınarak V_{IH} ve V_{OLmax} bulunur.



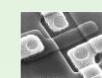
Şekil-2.4 Bir NMOS eviricinin gerilim geçiş eğrisi

$$\beta_N(v_I - V_{TN} - \frac{v_O}{2})v_O = \frac{\beta_P}{2}(v_I - V_{DD} - V_{TP})^2$$

$$V_{IH} = \frac{V_{DD} + V_{TP} + \frac{\beta_N}{\beta_P}(2V_{OLmax} + V_{TN})}{1 + \frac{\beta_N}{\beta_P}}$$

$$V_{OLmax} = V_{IH} - V_{TN} - \sqrt{(V_{IH} - V_{TN})^2 - \frac{\beta_P}{\beta_N}(V_{IH} - V_{DD} - V_{TP})^2} \quad (2.72)$$

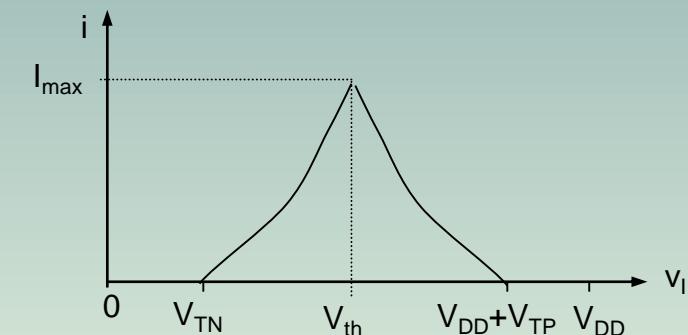
Bu bağıntılar aracılığıyla lojik-0 ve lojik-1 seviyeleri için gürültü marjları $NM_0 = V_{IL} - V_{OLmax}$, $NM_1 = V_{OHmin} - V_{IH}$ ve nominal gürültü marjları $NM_H = V_{DD} - V_{IH}$, $NM_L = V_{IL}$ bulunabilir ($V_{OL} = 0$ için).



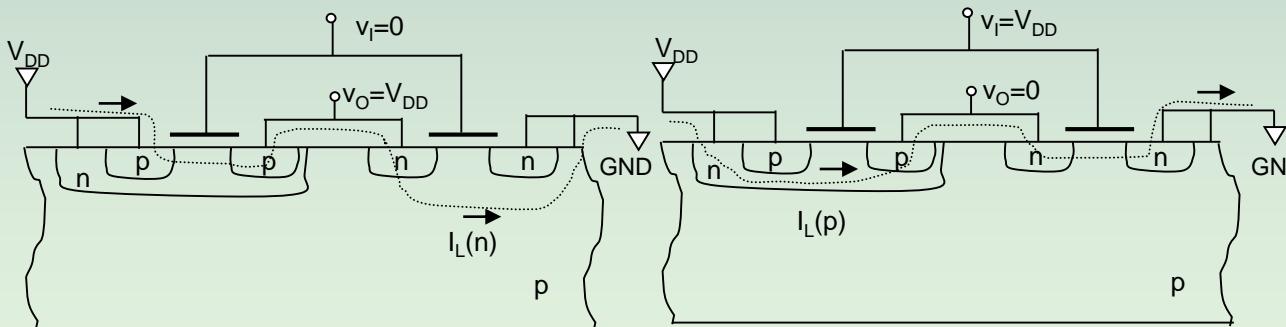
2 2.5.3 Statik Akım ve Güç Tüketimi

- Gerilim geçiş. eğrisinin analizi sırasında $v_I=0$ için NMOS'un $v_I=V_{DD}$ içinse PMOS'un kesimde kaldığını görmüştük. Bu konumlarda eviriciden pratik olarak akım akmadığı ve statik güç tüketiminin sıfır olduğu söylenebilir. Gerçekte tıkama yönünde kutuplanmış. olan NMOS'un n^+ p ve PMOS'un p⁺n jonksiyonlarının ters yöndeki doyma akımları akar. Bu akımlar çok küçük oldukları için CMOS eviricinin statik güç tüketimi ihmali edilebilecek kadar küçük olur.
- Her iki transistorun da iletimde olduğu 2, 3, 4 bölgelerinde evirici, kaynaktan akım çekerek güç tüketecektir. 2 bölgesinde akımı, doymalı çalışan NMOS, 4 bölgesinde ise doymalı çalışan PMOS belirler. 3 bölgesinde ise her iki transistor da doymalı çalıştığı için doymalı akım bağıntılarında $v_I=V_{th}$ yerleştirerek eviricinin maksimum akımı bulunur. Giriş gerilimine bağlı olarak eviricinin akımı Şekil-2.16'daki gibi olur.
- Şunu da unutmamak gereklidir ki, giriş geriliği hızlı bir şekilde değiştiği zaman transistorlardan biri henüz iletme girmeden diğerini kesime girer ve bu nedenle devreden akan akım çoğu zaman I_{max} düzeyinin çok altında kalır.

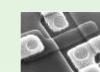
$$i = I_{MAX} = \frac{\beta_N \beta_P}{2(\sqrt{\beta_N} + \sqrt{\beta_P})^2} (V_{DD} + V_{TP} - V_{TN})^2 \quad (2.73)$$



Şekil-2.16 Evririci akımının giriş gerilimine bağlılığı



Şekil-2.15 (a) NMOS tıkalı iken ve (b) PMOS tıkalı iken
CMOS eviriciden akan kaçak akımlar



2 2.5.4 Statik Çıkış Yelpazesi

- Lojik kapıların çıkışlarına bağlanabilecek kapı girişi sayısı o devrenin çıkış yelpazesi (“fan-out”) olarak adlandırılır. NMOS ve CMOS kapılarında statik giriş akımları sıfır olduğu için statik açıdan çıkışlarına sınırsız sayıda kapı girişi bağlanabilir. Yani statik çıkış yelpazesi seviyesi sonsuzdur. Buna karşılık MOS sayısal devrelerde çıkış yelpazesini **dinamik davranış** belirler. Çıkış yelpazesi arttıkça devre yavaşlar. Bu durum ileride ele alınacaktır.

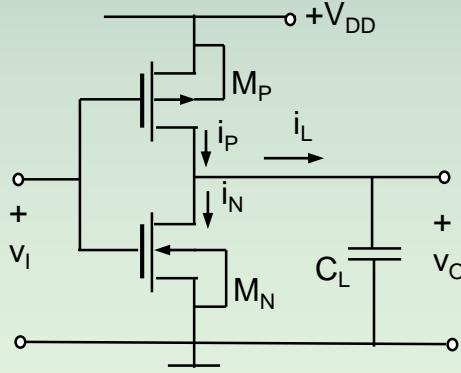


2 2.6 Dinamik Davranış

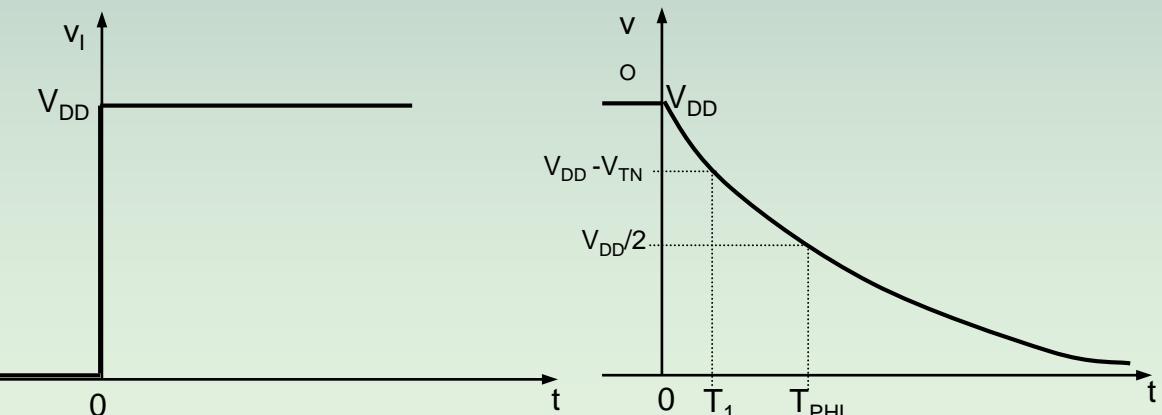
- Bir sayısal sistemin işlem hızı, sistemi oluşturan kapıların hızları ile belirlenir. Bu amaçla CMOS eviricinin hızının hangi parametrelere bağlı olduğunu ele alalım. Gerçekte dinamik davranışın analizi MOS transistorların lineer olmayan geçit ve jonksiyon kapasiteleri nedeniyle çok karmaşıktır. Analizi basitleştirmek amacıyla NMOS eviricilerde olduğu gibi, eşdeğer yük kapasitesi yöntemine başvurulabilir, Şekil-2.17.

2.6.1 Deşarj Evresi

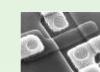
- Şekil-2.18'deki gibi $t=0$ anında $v_I(0^-)=0$ seviyesinden $v_I(0^+)=V_{DD}$ seviyesine basamak biçiminde sıçrayan bir eviricide çıkış işaretinin nasıl değiştigini ele alacağız. $t=0^-$ anında M_N kesinde M_P ise doymasız olarak iletimde olduğu için $v_O=V_{DD}$ olduğundan C_L , V_{DD} ile şarj olmuş durumdadır. $t=0^+$ 'da giriş aniden V_{DD} 'ye sıçradığına göre M_N iletme M_P ise kesime girecektir. Sonuç olarak, $t>0$ için C_L kapasitesi M_N üzerinden deşarj olacaktır.



Şekil-2.17 Eşdeğer yük kapasitesiyle temsil edilen CMOS evirici



Şekil-2.18 a) $t=0$ da V_{DD} genlikli basamak biçiminde giriş işaretti,
b) bu durumda evirici çıkışının zamana göre değişimi.



2.6.1 Deşarj Evresi

- Şekil-2.18'deki gibi $t=0$ anında $v_I(0^-)=0$ seviyesinden $v_I(0^+)=V_{DD}$ seviyesine basamak biçiminde sıçrayan bir eviricide M_N önce **doymalı** ($v_O > V_{DD} - V_{TN}$) sonra **doymasız** ($v_O < V_{DD} - V_{TN}$) bölgelerdedir.

M_P kesimde

$$i_N = -i_L = -C_L \frac{dv_O}{dt} \quad (2.74)$$

M_N doymalı

$$\frac{\beta_N}{2} (V_{DD} - V_{TN})^2 = -C_L \frac{dv_O}{dt} \quad (2.75)$$

(2.74)

lineer değişim

$$\int_{V_{DD}}^{v_O} dv_O = -\frac{\beta_N}{2C_L} (V_{DD} - V_{TN})^2 \int_0^t dt$$

→

$$v_O = V_{DD} - \frac{\beta_N}{2C_L} (V_{DD} - V_{TN})^2 t \quad (2.76)$$

(2.76)

$$v_O = V_{DD} - V_{TN}$$

$$T_1 = \frac{2C_L}{\beta_N} \frac{V_{TN}}{(V_{DD} - V_{TN})^2} \star \quad (2.77)$$

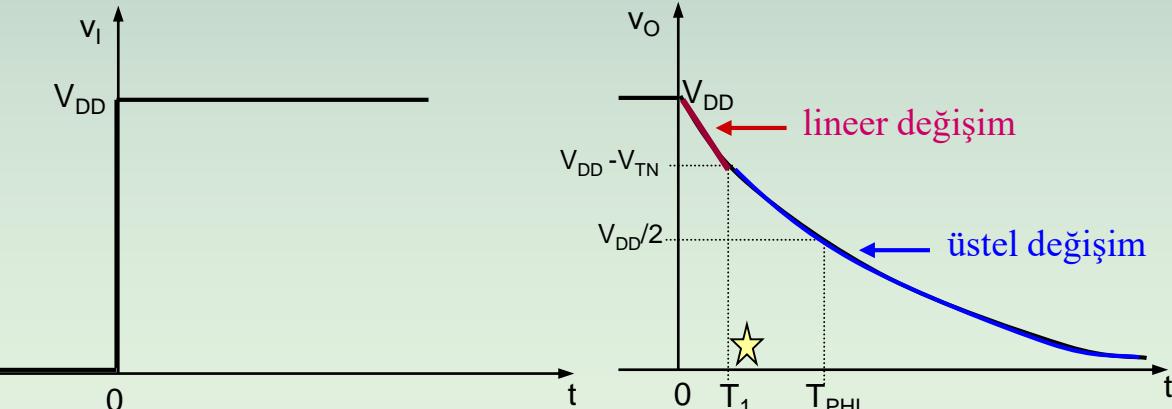
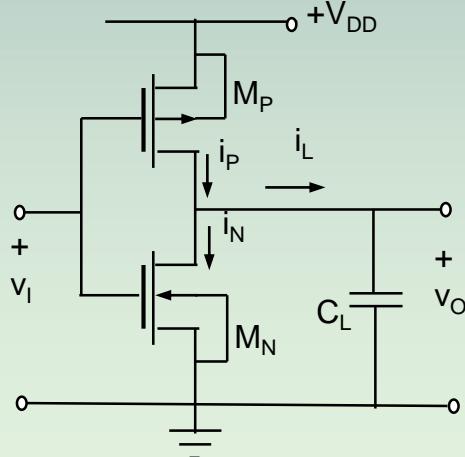
(2.77)

üstel değişim

M_N doymasız

$$\beta_N (V_{DD} - V_{TN} - \frac{v_O}{2}) v_O = -C_L \frac{dv_O}{dt} \quad (2.78)$$

$$v_O = 2(V_{DD} - V_{TN}) \frac{e^{-\frac{\beta_N (V_{DD} - V_{TN})(t-T_1)}{C_L}}}{1 + e^{-\frac{\beta_N (V_{DD} - V_{TN})(t-T_1)}{C_L}}} \quad (2.79)$$



Şekil-2.17 Eşdeğer yük kapasitesiyle temsil edilen CMOS evirici

Şekil-2.18 a) $t=0$ da V_{DD} genlikli basamak biçiminde giriş işaretti,
b) bu durumda evirici çıkışının zamana göre değişimi.



2.6.2 Şarj Evresi

- Şekil-2.19'daki gibi $t=0$ anında $v_I(0^-) = V_{DD}$ seviyesinden $v_I(0^+) = 0$ seviyesine basamak biçiminde azalırsa evirici çıkış işaretinin nasıl değiştiği incelenecaktır. $t=0^-$ anında M_P kesimde M_N ise doymasız olarak iletimde olduğu için $v_O = 0$ olduğundan C_L tamamen desarj olmuş durumdadır. $t=0^+$ 'da giriş aniden V_{DD} 'den 0'a azaldığına göre M_P iletime M_N ise **kesime** girecektir. Sonuç olarak, $t > 0$ için C_L kapasitesi M_P üzerinden şarj olacaktır.
- $0 < t < T_1$ aralığında M_P **doymalı**, daha sonra ($t > T_1$ için) **doymasız** çalışacaktır.

$$i_P = i_L = C_L \frac{dv_O}{dt} \quad \text{MN kesimde}$$

$0 < t < T_1$ aralığında M_P doymalı

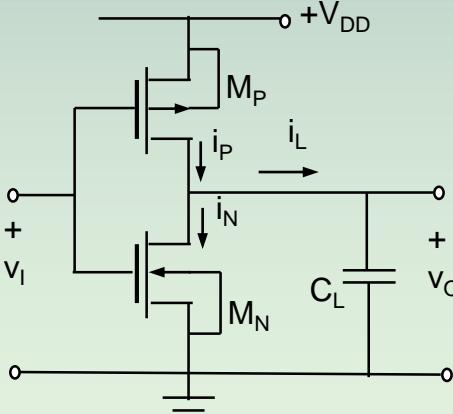
$$v_O = \frac{\beta_P}{2C_L} (V_{DD} + V_{TP})^2 t \quad (2.80)$$

$t > T_1$ aralığında M_P doymasız

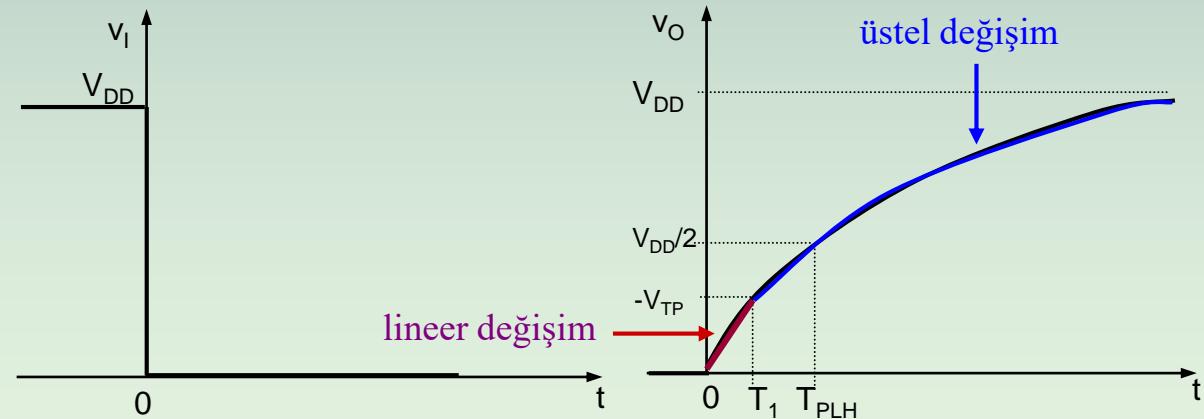
$$v_O = V_{DD} - 2(V_{DD} + V_{TP}) \frac{e^{-\frac{\beta_P}{C_L}(V_{DD}+V_{TP})(t-T_1)}}{1 + e^{-\frac{\beta_P}{C_L}(V_{DD}+V_{TP})(t-T_1)}} \quad (2.81)$$

$t = T_1$ için

$$T_1 = \frac{2C_L}{\beta_P} \frac{-V_{TP}}{(V_{DD} + V_{TP})^2} \quad (2.82)$$



Şekil-2.17 Eşdeğer yük kapasitesiyle temsil edilen CMOS evirici



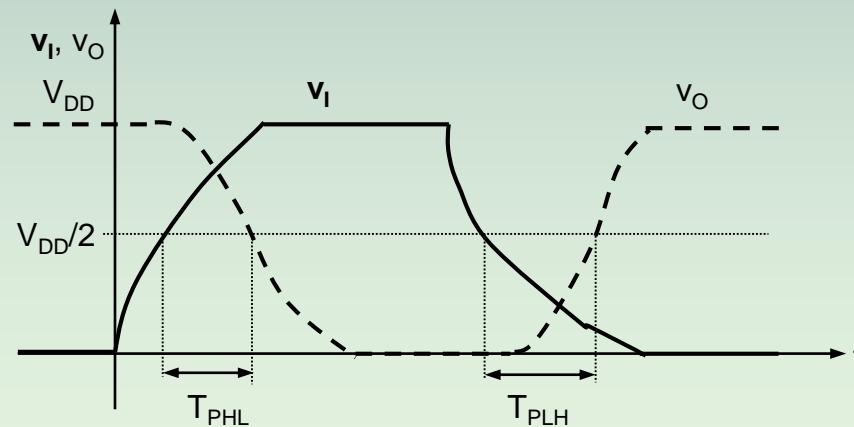
Şekil-2.19 a) $t=0$ da V_{DD} genlikli azalan basamak biçiminde giriş işaretti, b) bu durumda evirici çıkışının zamana göre değişimi.



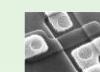
- Sayısal devrelerin hızları, propagasyon gecikmelerinin azlığı ile orantılı olup, her bir kapının propagasyon gecikmesi giriş işaretinin %50'sine eriştiği anla, çıkışın %50'sine ulaştığı ana kadar geçen süre olarak tanımlanır.
- CMOS evirici için %50 seviyeleri $V_{DD}/2$ ' ye karşı düşer. Deşarj ve şarj evrelerinde sırasıyla düşme (T_{PHL}) ve yükselme (T_{PLH}) gecikmeleri söz konusu olur. Gerçekte, giriş işaretini de Şekil-2.18 ve Şekil-2.19'da olduğu gibi ideal basamak şeklinde olmayıp sonlu yükselme ve düşme süreli olur. Bu durumda propagasyon gecikmeleri Şekil-2.20'deki gibi tanımlanacaktır. Propagasyon gecikmeleri ideal basamak şeklinde değişen giriş işaretleri için (2.76)-(2.82) bağıntıları kullanılarak hesaplanabilir. Bunun için, her iki durum için de T_1 süresine ilave olarak deşarj veya şarj işlemini sağlayan MOS transistorun doymasız bölgede çalıştığı duruma karşı düşen (2.79) ve (2.81) bağıntıları ile çıkışın $V_{DD}/2$ 'ye ulaşması için geçen süre ($t-T_1$) hesaplanır ve bu süreye T_1 'e ilave edilerek gecikmeler hesaplanır. Bu şekilde hesaplanan propagasyon gecikmeleri:

$$T_{PHL} = \frac{C_L}{\beta_N} \frac{1}{V_{DD} - V_{TN}} \left(\frac{2V_{TN}}{V_{DD} - V_{TN}} + \ln \frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right) \quad (2.83)$$

$$T_{PLH} = \frac{C_L}{\beta_P} \frac{1}{V_{DD} + V_{TP}} \left(\frac{-2V_{TP}}{V_{DD} + V_{TP}} + \ln \frac{3V_{DD} + 4V_{TP}}{V_{DD}} \right) \quad (2.84)$$



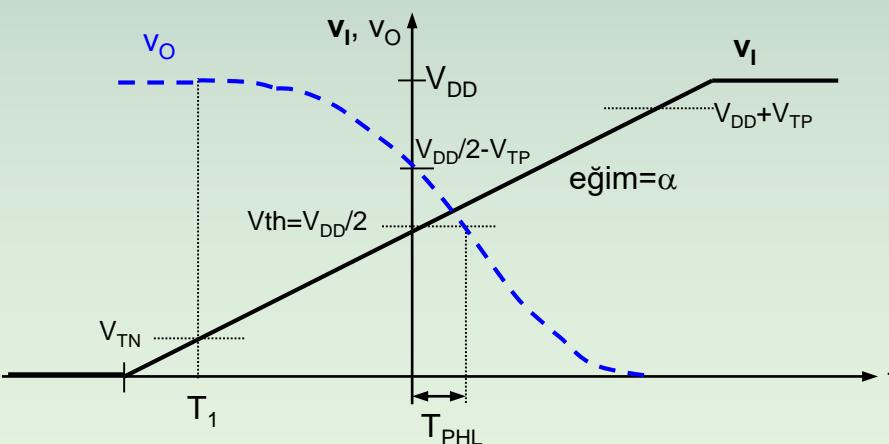
Şekil-2.20 Sonlu yükselme ve düşme süreli giriş işaretini için propagasyon gecikmeleri



Giriş işaretinin basamak biçiminde değilse, ki gerçekde durum her zaman böyledir, yani giriş işaretinin yükselme ve düşme süreleri sonlu değerdedir; bu durumda evirici çıkışındaki gecikmeler (2.83) ve (2.84) ile hesaplanan değerlerden büyük olur ve giriş işaretinin yükselme ve düşme süreleri artıkça artar ve gittikçe giriş işaretinin yükselme ve düşme süresine daha bağımlı hale gelir. Bu durumu daha iyi açıklayabilmek için v_I 'nin çok yavaş ve $\alpha = dv_I/dt$ eğimi ile 0'dan V_{DD} 'ye doğrusal olarak artan bir işaret olduğunu kabul edelim. Ele aldığımız evirici basitlik açısından $\beta_N = \beta_P = \beta$ ve $V_{TP} = -V_{TN} = V_T$ şartlarını sağlayan simetrik bir evirici, yani $V_{th} = V_{DD}/2$ olsun.

- Şekil-2.21'den görüldüğü gibi $v_I < V_{TN}$ kaldığı sürece, yani $t < T_1$ için M_N kesimde olacağı çıkış V_{DD} 'de kalacaktır. $t > T_1$ için M_N iletme girer ve çıkış gerilimi azalmaya başlar. α yeterince küçükse çıkış gerilimi iç kapasiteler rahatça dolup boşalabildikleri için statik gerilim geçiş eğrisini takip ederek azalacaktır. t ekseninin orijini olarak $v_I = V_{th} = V_{DD}/2$ alınırsa ilk olarak bu anda tanımsız bölgenin üst değeri olan $v_O = V_{th} - V_{TP} = V_{DD}/2 - V_{TP}$ elde edilmiş olacaktır. Bu andan itibaren çıkış gerilimi VTC'yi izleyemez, çünkü idealde VTC'nin bu bölgedeki eğimi $-\infty$ olup iç kapasiteler sonsuz kısa sürede $V_{DD}/2 - V_{TP}$ 'den $V_{DD}/2 - V_{TN}$ 'ye boşalamayacaktır. Yani, artık azalma sürecini iç kapasitelerin deşarjı belirler. Bu aşamada M_N ve M_P doymalı çalışıkları için (3. bölge) aşağıdaki eşitlikler yazılır.

$$\left. \begin{aligned} i_L &= C_L \frac{dv_O}{dt} = -i_N + i_P = -\frac{\beta}{2}(v_I - V_{TN})^2 + \frac{\beta}{2}(v_I - V_{DD} - V_{TP})^2 \\ v_O(0) &= \frac{V_{DD}}{2} - V_{TP} \quad v_O(T_{PHL}) = \frac{V_{DD}}{2} \quad v_I = \frac{V_{DD}}{2} + \alpha t \end{aligned} \right\} T_{PHL} = \left(\frac{C_L}{\beta} \frac{1}{\alpha} \frac{2V_T}{V_{DD} - 2V_T} \right)^{1/2} \quad (2.85)$$



Şekil-2.21 Doğrusal olarak artan yavaş bir giriş işaretinin evirici çıkışının değişimi

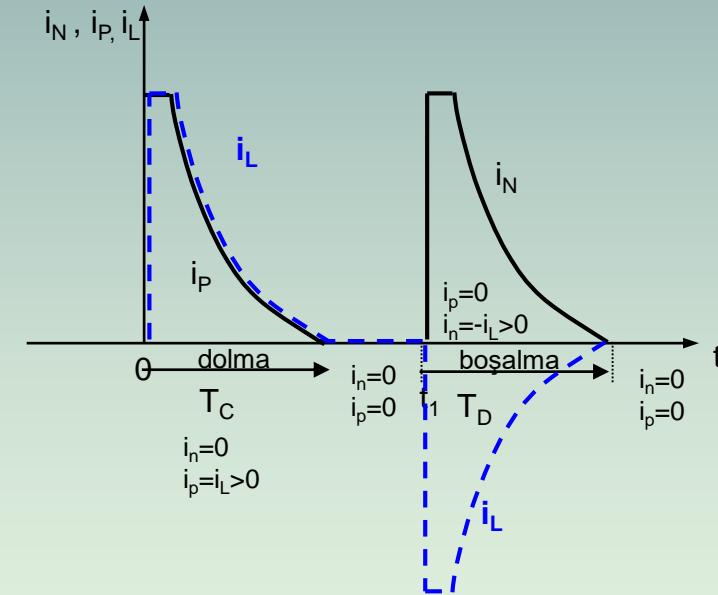
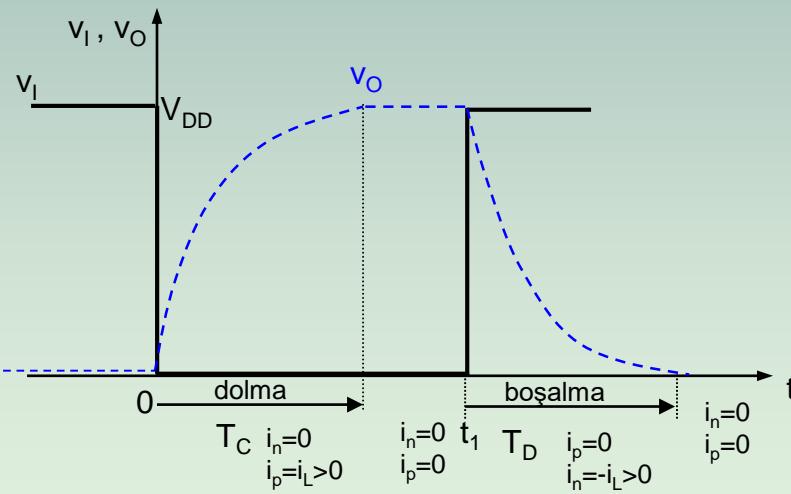
(2.85)'den elde edilen sonuç daha önce (2.83)'den elde edilenle karşılaştırılrsa:

- Yavaş değişen giriş işaretti için gecikmenin C_L/β 'ya duyarlığının azaldığı, (\sqrt ile orantılı),
- Gecikmenin daha çok giriş işaretinin hızına, yani α 'ya bağlı hale geldiği gözlemlenir. Yani, α azaldıkça gecikme artmaktadır.



2.6.3 Dinamik Akım ve Dinamik Güç Tüketimi

- Şekil-2.22'de basamak biçiminde değişen bir giriş işaretine karşı CMOS eviricinin çıkış işaretini göstermektedir. $t < 0$ için $v_I = V_{DD}$ olup $v_O = 0$ 'dır. Yani C_L boştur. $t = 0$ 'da v_I aniden sıfıra düşünce M_N ani olarak kesime, M_P ise iletme girer ve C_L 'yi doldurmaya başlar. Başka bir ifadeyle $i_N = 0$, $i_P = i_L > 0$ olur. Bu olay $v_O = V_{DD}$ olana kadar devam eder. T_C ile gösterilen bu evreye dolma (şarj) evresi denir.
- Şarj evresi sonunda i_P de sıfır olur, yani, statik duruma erişilmiş olur. t_1 anında giriş işaretini bu sefer 0'dan V_{DD} 'ye sıçrayınca M_P kesime girerken M_N iletme girer ve C_L 'yi boşaltmaya başlar. Başka bir ifadeyle, $i_P = 0$, $i_N = -i_L > 0$ olur. Bu olay $v_O = V_{DD}$ olana kadar devam eder. T_D ile gösterilen bu evreye boşalma (deşarj) evresi denir. C_L tamamen boşalınca $i_N = 0$ olup statik konuma erişilmiş olur. Giriş işaretinin basamak biçiminde değiştiği durumda MOS transistorlarının ve eşdeğer yük kapasitesinin akımlarının zamanla değişimi Şekil-2.23'te gösterilmiştir.

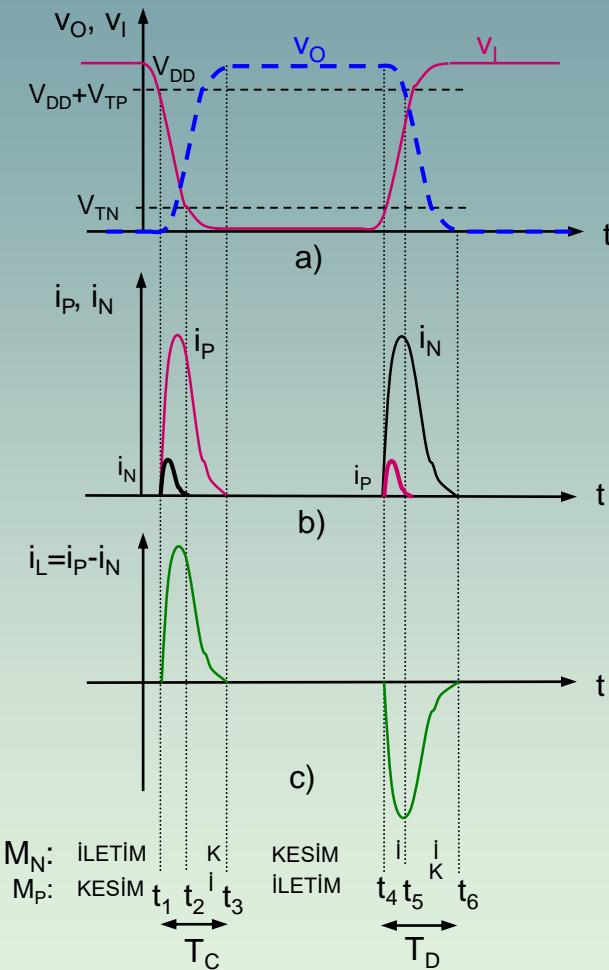


Şekil-2.22 Basamak biçiminde giriş işaretini içeren çıkış takibi
dolma ve boşalma evreleri

Şekil-2.23 Konum değiştirme evrelerinde MOS
ve yük kapasitesi akımları



Giriş işaretinin sonsuz hızlı değişimini simgeleyen basamak biçimindeki giriş işaretini hali için i_N ve i_P 'nin beraberce sıfırdan farklı olduğu hiç bir zaman aralığı bulunmadığı, dolayısıyla daha önce sözü edilen statik akımın bu durum için akmadığı ortadadır. Ancak bu durumun uygulamada pek de gerçekçi bir hali yansıtmayacağı düşünülmelidir. Daha gerçekçi bir durum, giriş işaretinin yükselme ve düşme sürelerinin sonlu olduğu hal olup, bu duruma karşı gelen giriş çıkış gerilimi ve yukarıda bahis konusu akımların zamanla değişimi Şekil-2.24 (a), (b) ve (c)'de görülmektedir.



■ t_1-t_3 aralığı giriş işaretinin düşen geçişindeki araliktır. $t < t_1$ için M_N iletimde, M_P ise kesimde olup, çıkış lojik-0 konumundadır. $t=t_1$ 'de $v_1=V_{DD}+V_{TP}$ olunca M_P de iletime girer. t_2 anına kadar M_N'nin de iletimde kalacağına dikkat etmek gereklidir. O halde, sonlu yükselme sürelili giriş gerilimi uygulandığında CMOS eviricide t_1-t_2 aralığında transistorlar üzerinden bir akım akar. Bu sırada PMOS üzerinden akan akımın büyük bir kısmı C_L'nin şarj edilmesini sağlamaktadır. $t=t_2$ 'de $v_1=V_{TN}$ olunca M_N kesime gider ve kısa devre akımı sıfır olurken t_3 anına yani eşdeğer yük kapasitesinin gerilimi V_{DD} değerine varana kadar C_L şarj edilmeye devam eder. $t=t_3$ 'de statik konuma erişilmiş olur. t_4-t_6 aralığı, giriş işaretinin yükselen geçişindeki araliktır. Bu evrede M_N ve M_P rol değiştirir. İletime giren M_N, C_L'yi bu aralıkta deşarj ederken, t_4-t_5 aralığında PMOS da iletimde olup bu aralıkta deşarj akımına ilave olarak transistorlar üzerinden ilave bir akım akar. t_1-t_2 ve t_4-t_5 aralıklarındaki sırasıyla transistorlar üzerinden akan akımların C_L'nin şarj veya deşarj edilmesi, yani eviricinin konum değiştirmesi açısından hiç bir rollerinin olmadığı ortadadır. Bunlar sadece ilave bir güç harcanmasına neden olurlar ve kısa devre akımları olarak adlandırılırlar. Bu akımların giriş işaretinin yükselme ve düşme süreleri arttıkça artacağı, Şekil-2.23'den bariz bir şekilde görülmektedir. Giriş geriliminin çok yavaş olarak değiştiği hallerde bu akımlar daha önce sözü edilen statik akımın değerine erişirler.

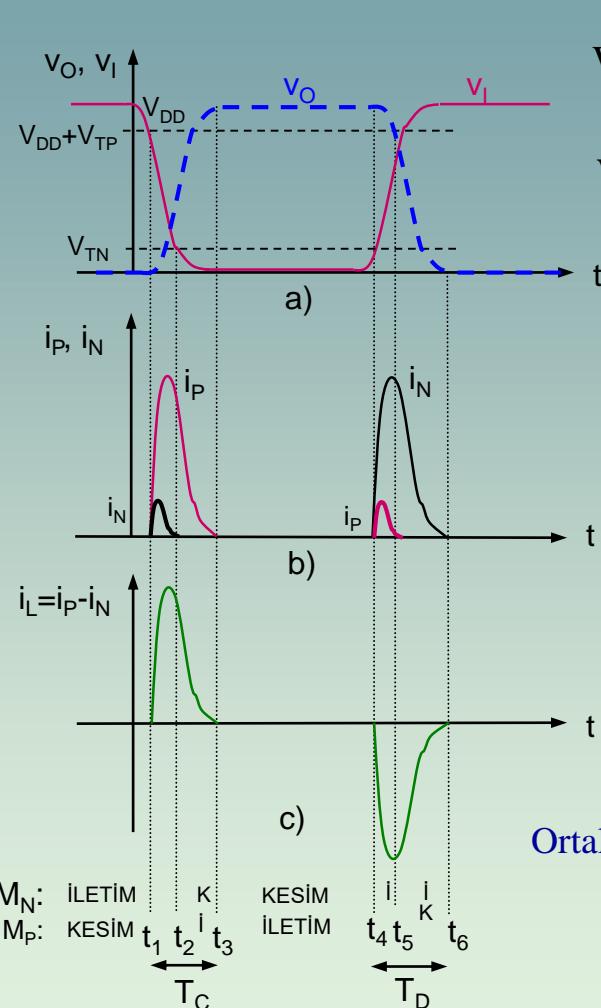
Şekil 2.24 Sonlu yükselme sürelili giriş işaretti ve bu durum için çıkış gerilimi (a), NMOS ve PMOS akımları (b), eşdeğer yük kapasitesi akımları (c).



2 Harcanan toplam güç = $P_{\text{Dissipation}} = P_{M_p} + P_{M_n}$ $\rightarrow P_D = (V_{DD} - v_O)i_P + v_O i_N$ (2.86)

Dolma (şarj) süresince (T_C) harcanan enerji:

$$\rightarrow W_C = \int_{t_1}^{t_3} P_D dt = \int_{t_1}^{t_3} [(V_{DD} - v_O)i_P + v_O i_N] dt \quad (2.87)$$



$$W_C = \int_{t_1}^{t_3} [(V_{DD} - v_O)(i_N + i_L) + v_O i_N] dt = \int_{t_1}^{t_3} [V_{DD} i_N + (V_{DD} - v_O) C_L \frac{dv_O}{dt}] dt$$

$$W_C = V_{DD} \int_{t_1}^{t_2} i_N dt + C_L \int_0^{V_{DD}} (V_{DD} - v_O) dv_O = V_{DD} \int_{t_1}^{t_2} i_N dt + \frac{1}{2} C_L V_{DD}^2 \quad (2.88)$$

Kısa devre enerjisi

Doldurma enerjisi

Boşalma süresince (T_D) harcanan enerji: $W_D = V_{DD} \int_{t_4}^{t_5} i_P dt + \frac{1}{2} C_L V_{DD}^2 \quad (2.89)$

Kısa devre enerjisi

Boşalma enerjisi

T tekrarlama periyodu için ortalama güç tüketimi (disipasyonu):

$$P_D = \frac{W_C + W_D}{T} = f(W_C + W_D) = f V_{DD} \left(\int_{t_1}^{t_2} i_N dt + \int_{t_4}^{t_5} i_P dt \right) + f C_L V_{DD}^2 \quad (2.90)$$

Hıza bağlı kısa devre güç tüketimi

Dinamik güç tüketimi

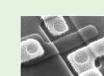
Ortalama propagasyon gecikmesi: $\downarrow T_P \propto \frac{C_L}{\beta} \propto \frac{W L C_{OX}}{L C_{OX}} \propto L^2 \downarrow \uparrow f_{MAX} \propto \frac{1}{L^2} \downarrow$ (2.91)

$$C_L \propto L; \quad f \propto 1/L^2 \Rightarrow P_D \propto 1/L \quad \left. \begin{array}{l} \text{Daha küçük } L \\ \text{ile birim işlem} \\ \text{daha az} \\ \text{enerjiyle} \\ \text{gerçekleştirilir} \end{array} \right\}$$

Güç-gecikme çarpımı,
birim işlem enerjisi:

$$\rightarrow PDP = \frac{P}{f_{MAX}} = P(T_{PHL} + T_{PLH}) \propto L \quad (2.92)$$

Şekil 2.24 Sonlu yükselseme süreli giriş işaretini
ve bu durum için çıkış gerilimi



2 2.6.4 CMOS Evirici Tasarımı

- ◻ Evirici tasarımları iki hedefe yönelik olarak yapılır:
 - a) Alan
 - b) Hız
- ◻ Sistem içinde evirici şu durumlardan birinde bulunur:
 - a) Evirici aynı blok içinde kendisine yakın az sayıda kapayı sürmektedir; kapasitif yükü küçüktür.
 - b) Evirici kendisine yakın ve uzak konumda çok sayıda kapayı sürmektedir; kapasitif yükü büyütür.
 - c) Evirici kırımkı dışarı çok büyük kapasitif yükleri sürmek durumundadır.
- ◻ Kapasitif yüklerin küçük olduğu birinci durumda hız sorunu olmayacağı için transistor geometrileri teknolojinin elverdiği minimum değerlerde tutulur. İkinci ve üçüncü durumlarda ise geometriinden çok **hız sorunu** önem kazanır. Bu durumlarda, **kanal boyları (L)** minimum değerde tutularak **kanal enlerinin (W)** artırılması yoluna gidilir. CMOS evirici için **gecikmeleri** veren (2.83) ve (2.84) bağıntıları, (2.93) ve (2.94) olarak basitleştirilebilir.

$$T_{PHL} = \frac{C_L}{\beta_N} \frac{1}{V_{DD} - V_{TN}} \left(\frac{2V_{TN}}{V_{DD} - V_{TN}} + \ln \frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right) \quad (2.83) \quad \Rightarrow \quad T_{PHL} = \frac{C_L L}{\mu_n C_{OX} W_n} M_n \quad (2.93)$$

$$T_{PLH} = \frac{C_L}{\beta_P} \frac{1}{V_{DD} + V_{TP}} \left(\frac{-2V_{TP}}{V_{DD} + V_{TP}} + \ln \frac{3V_{DD} + 4V_{TP}}{V_{DD}} \right) \quad (2.84) \quad \Rightarrow \quad T_{PLH} = \frac{C_L L}{\mu_p C_{OX} W_p} M_p \quad (2.94)$$

$V_{TP} = -V_{TN}$, $C_N = C_{OX} W_n L$ ve $C_P = C_{OX} W_p L$ (geçit oksit kap.) olmak üzere: $T_{PHL} = \frac{C_L}{C_N} \tau_n$ (2.95)

$$\tau_n = M_n \frac{L^2}{\mu_n} \quad \tau_p = M_p \frac{L^2}{\mu_p} \quad (2.97) \quad \Rightarrow \quad T_{PLH} = \frac{C_L}{C_P} \tau_p \quad (2.96)$$

- ◻ Bu bağıntılardan açıkça görülmektedir ki, büyük yük kapasiteleri için transistor enleri minimum tutulursa gecikmeler kabul edilemeyecek kadar büyük olur. O nedenle transistor enleri büyütülerek gecikmelerin azaltılması yoluna gidilir. Ancak şuna dikkat etmek gereklidir ki, transistor enleri büyütüldüğünde C_N ve C_P de beraber büyür. Sonuç olarak transistor enlerinin belli bir değerin üzerinde artırılması, gecikmenin önceleri istenilen ölçüde azaltılamaması ve hatta daha büyük enler için ise tam ters sonuç elde edilmesi sonucunu doğurur.



Bu durumu engellemek için iki yöntem söz konusudur.

- Tek evirici yerine kademeli sürücü (“staged buffer”) kullanmak,
- Bipolar-CMOS karma yapılı (BiCMOS) evirici kullanmak.

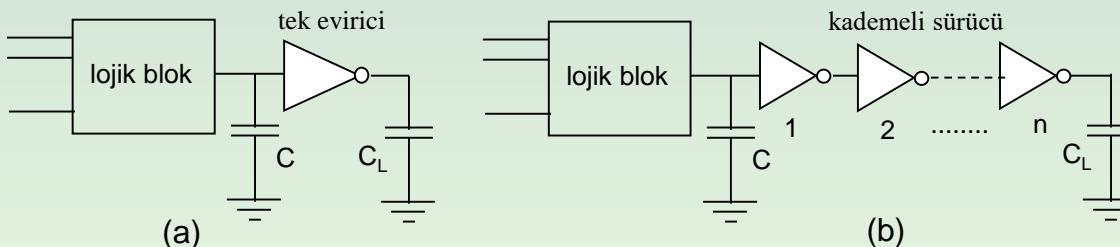
- ◻ İkinci yöntemin uygulanması BiCMOS teknolojisi ile mümkün olup bu duruma daha ileride degeinilecektir.
- ◻ Şekil-2.25a'da kapasitif yükü ağır olan bir evirici yerine n adet kaskat eviriciden oluşan kademeli sürücü yerleştirilmesi Şekil-2.25b'de görülmektedir.
- ◻ Tek evirici halinde eviriciyi süren lojik blok gecikmesi T_b olmak üzere toplam gecikme:

$$T = T_b + T_{PHL} + T_{PLH} = T_b + C_L \left(\frac{\tau_n}{C_N} + \frac{\tau_p}{C_P} \right) \quad (2.98)$$

- ◻ Tek evirici yerine n adet kaskat eviriciden oluşan kademeli sürücü kullanılırsa toplam gecikme:

$$T = T_b + T_{PHL1} + T_{PLH1} + \dots + T_{PHLi-1} + T_{PLHi-1} + T_{PHLi} + T_{PLHi} + \dots + T_{PHLn-1} + T_{PLHn-1} + T_{PHLn} + T_{PLHn} \quad (2.99)$$

$$\begin{aligned} T &= T_b + (C_{N2} + C_{P2}) \left(\frac{\tau_n}{C_{N1}} + \frac{\tau_p}{C_{P1}} \right) + (C_{N3} + C_{P3}) \left(\frac{\tau_n}{C_{N2}} + \frac{\tau_p}{C_{P2}} \right) + \dots \\ &\quad + (C_{Ni} + C_{Pi}) \left(\frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}} \right) + (C_{Ni+1} + C_{Pi+1}) \left(\frac{\tau_n}{C_{Ni}} + \frac{\tau_p}{C_{Pi}} \right) + \dots \\ &\quad + (C_{Nn} + C_{Pn}) \left(\frac{\tau_n}{C_{Nn-1}} + \frac{\tau_p}{C_{Pn-1}} \right) + C_L \left(\frac{\tau_n}{C_{Nn}} + \frac{\tau_p}{C_{Pn}} \right) \end{aligned} \quad (2.100)$$



Şekil-2.25 Giriş kapasitesi C , yük kapasitesi CL olan tek bir evirici yerine (a) n adet eviriciden oluşan kademeli sürücü kullanımı (b).

1.'den n .ye bütün giriş kapasiteleri için T 'yi minimum yapan C_{Ni} , C_{Pi} kapasite değerlerini bulmaya çalışalım. $C_{P1}=C-C_{N1}$ ve 1. evirici için:

$$\frac{\partial T}{\partial C_{N1}} = (C_{N2} + C_{P2}) \left(-\frac{\tau_n}{C_{N1}^2} + \frac{\tau_p}{(C - C_{N1})^2} \right) = 0$$

$$\frac{C_{P1}}{C_{N1}} = \sqrt{\frac{\tau_p}{\tau_n}} \quad (2.101)$$



$$2 \quad \frac{\partial T}{\partial C_{Ni}} = \frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}} - \frac{C_{Ni+1} + C_{Pi+1}}{C_{Ni}^2} \tau_n = 0$$

$$C_{Ni}^2 = \frac{C_{Ni+1} + C_{Pi+1}}{\frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}}} \tau_n \quad (2.102)$$

$$\frac{\partial T}{\partial C_{Pi}} = \frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}} - \frac{C_{Ni+1} + C_{Pi+1}}{C_{Pi}^2} \tau_p = 0$$

$$C_{Pi}^2 = \frac{C_{Ni+1} + C_{Pi+1}}{\frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}}} \tau_p \quad (2.103)$$

$$C_{Nn}^2 = \frac{C_L}{\frac{\tau_n}{C_{Nn-1}} + \frac{\tau_p}{C_{Pn-1}}} \tau_n \quad C_{Pn}^2 = \frac{C_L}{\frac{\tau_n}{C_{Nn-1}} + \frac{\tau_p}{C_{Pn-1}}} \tau_p \quad (2.104)$$

$$\frac{C_{Pi}}{C_{Ni}} = \frac{W_{Pi}}{W_{Ni}} = \sqrt{\frac{\tau_p}{\tau_n}} = \sqrt{\frac{\mu_n}{\mu_p}} \approx 1.6 \quad (2.105)$$

Kademeli sürücü eviricilerinin PMOS/NMOS en oram $\sqrt{\mu_n/\mu_p}$ 'a eşit olmalıdır. Bu sonucu (2.102) ve (2.104)'e taşırsak;

$$C_{Ni}^2 = \frac{(1 + \sqrt{\tau_p/\tau_n})C_{Ni+1}}{\frac{1}{C_{Ni-1}} \left(\tau_n + \frac{\tau_p}{\sqrt{\tau_p/\tau_n}} \right) \frac{1}{\tau_n}} \dots \Rightarrow \frac{C_{Ni+1}}{C_{Ni}} = \frac{C_{Ni}}{C_{Ni-1}} \quad i=1,2,3,\dots,(n-1) \quad (2.106)$$

$$C_{Nn}^2 = \frac{C_L}{\frac{1}{C_{Nn-1}} \left(\tau_n + \frac{\tau_p}{\sqrt{\tau_p/\tau_n}} \right) \frac{1}{\tau_n}} \dots \Rightarrow \frac{C_L}{C_{Nn}} = \frac{C_{Nn}}{C_{Nn-1}} (1 + \sqrt{\tau_p/\tau_n}) \quad (2.107)$$

$$\frac{C_{Ni+1}}{C_{Ni}} = \frac{W_{Ni+1}}{W_{Ni}} = k \quad \text{Birbirini takip eden iki eviricide NMOS en oranları (k) aynıdır.} \quad (2.108)$$

$$\frac{C_L}{C} = \frac{C_L}{C_{Nn}} \frac{C_{Nn}}{C_{Nn-1}} \dots \frac{C_{N2}}{C_{N1}} \frac{C_{N1}}{C} \quad (2.109) \quad C = C_{N1} (1 + \sqrt{\tau_p/\tau_n}) \dots \Rightarrow \frac{C_{N1}}{C} = \frac{1}{1 + \sqrt{\tau_p/\tau_n}} \quad (2.110)$$

$$\frac{C_L}{C} = k^n \quad (2.111)$$

$$k = \frac{W_{Ni+1}}{W_{Ni}} = \left(\frac{C_L}{C} \right)^{\frac{1}{n}} \quad (2.112)$$

Sonuç: a) Her eviricinin PMOS/NMOS en oranı $= \sqrt{\mu_n/\mu_p}$
 b) Birbirini takip eden iki eviricide NMOS en oranı $= k = (C_L/C)^{1/n}$



2

Son olarak gecikmeyi minimum yapan evirici sayısını (n) bulmak gereklidir. Toplam gecikmeyi (T) hesaplayalım:

$$\frac{C_{Pi}}{C_{Ni}} = \frac{W_{Pi}}{W_{Ni}} = \sqrt{\frac{\tau_p}{\tau_n}} = \sqrt{\frac{\mu_n}{\mu_p}} \approx 1.6 \quad (2.105)$$

$$\frac{C_{Ni+1}}{C_{Ni}} = \frac{W_{Ni+1}}{W_{Ni}} = k = (C_L/C)^{1/n} \quad (2.108)$$

$$T = T_b + (C_{N2} + C_{P2})\left(\frac{\tau_n}{C_{N1}} + \frac{\tau_p}{C_{P1}}\right) + (C_{N3} + C_{P3})\left(\frac{\tau_n}{C_{N2}} + \frac{\tau_p}{C_{P2}}\right) + \dots$$

$$+ (C_{Ni} + C_{Pi})\left(\frac{\tau_n}{C_{Ni-1}} + \frac{\tau_p}{C_{Pi-1}}\right) + (C_{Ni+1} + C_{Pi+1})\left(\frac{\tau_n}{C_{Ni}} + \frac{\tau_p}{C_{Pi}}\right) + \dots$$

$$+ (C_{Nn} + C_{Pn})\left(\frac{\tau_n}{C_{Nn-1}} + \frac{\tau_p}{C_{Pn-1}}\right) + C_L\left(\frac{\tau_n}{C_{Nh}} + \frac{\tau_p}{C_{Pn}}\right)$$

$$T = T_b + (\sqrt{\tau_n} + \sqrt{\tau_p})^2 n \left(\frac{C_L}{C} \right)^{1/n} \quad (2.113)$$

$$\frac{\partial T}{\partial n} = (\sqrt{\tau_n} + \sqrt{\tau_p})^2 \left[\left(\frac{C_L}{C} \right)^{1/n} - \frac{1}{n} \left(\frac{C_L}{C} \right)^{1/n} \ln \left(\frac{C_L}{C} \right) \right] = 0 \quad (2.114)$$

$$n = \ln \left(\frac{C_L}{C} \right) \quad (2.115)$$

$$T = T_b + (\sqrt{\tau_n} + \sqrt{\tau_p})^2 e \ln \left(\frac{C_L}{C} \right) \quad (2.116)$$

Tek eviricili durumda gecikme:

$$T = T_b + T_{PHL} + T_{PLH} = T_b + C_L \left(\frac{\tau_n}{C_N} + \frac{\tau_p}{C_P} \right) \quad (2.98)$$

(2.100)

Normalize gecikme: $(T - T_b) / (\sqrt{\tau_n} + \sqrt{\tau_p})^2$

Tablo 2.1 Tek evirici ve kademeli sürücüde çeşitli C_L/C değerleri için normalize gecikme

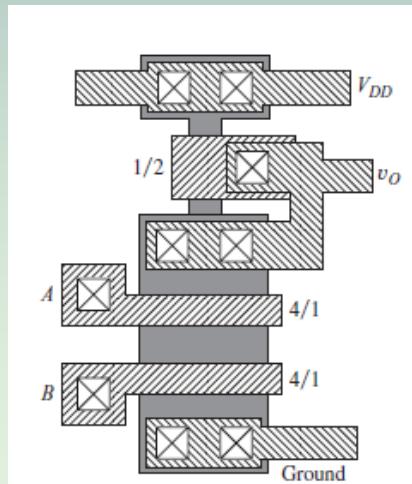
		Normalize Gecikme	Normalize Gecikme
C_L/C	n	Tek Evirici	Kademeli Sürücü
2.72	1	2.72	2.72
7.39	2	7.39	5.44
20.09	3	20.09	8.15
54.60	4	54.60	10.87
148.41	5	148.41	13.59
403.43	6	403.43	16.31

Sonuç: C_L/C büyükçe, kademeli sürücüde normalize gecikme azalmaktadır.

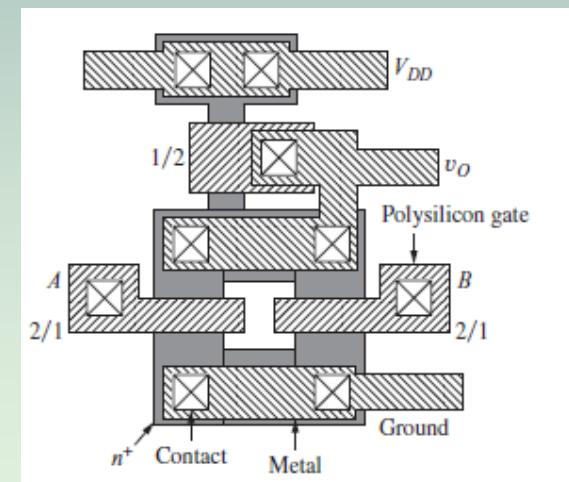


3 – STATİK KAPI DEVRELERİ

- MOS tekniginde sayısal sistemin temeli bir evirici olduğu için, her büyüklükteki kapı devresi de eviren türden olacaktır. Temel kapı devreleri söz konusu olduğunda ise bunlar da eviren türden temel kapılar VEYA-DEĞİL (NOR) ile VE-DEĞİL (NAND) olacağı açıkları. Burada dikkat edilmesi gereken husus VE ile VEYA işlemlerinin, yani evirmeyen temel işlemlerin gerçekleştirilemesi için ilave eviricilere ihtiyaç olmasıdır. Bu kural her seviyedeki kapı devresine genişetilebilir. O nedenle, gereksiz sayıda transistor kullanmamak, dolayısıyla kırmızık alanından tasarruf etmek için tüm lojik, **NOR veya NAND** temelli olmalıdır.
- Bu bölümde sadece statik kapı devreleri ele alınacaktır. Burada ‘**statik**’ terimi, besleme gerilimi var olduğu sürece, belli girişler için çıkışlarını sürekli muhafaza eden devreler için kullanılmaktadır. Bu anlamda belli girişler için, çıkış veya çıkışlarında söz konusu lojik fonksiyonu sadece belli süre sağlayan ve bu süreyi uzatmak için belli tazeleme işaretlerine ihtiyaç duyan devrelere ise **dinamik devreler** denilmektedir



İki Girişli NAND Devresi



İki Girişli NOR Devresi



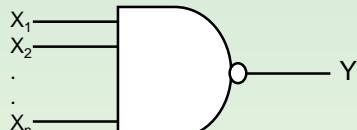
3 3.1 VE-DEĞİL (NAND) Kapısı

- Giriş yelpazesi (“fan-in”) n olan, yani n girişli NAND fonksiyonu ve lojik simbolü Şekil-3.1’deki gibidir.
- Bu fonksiyonu pozitif lojik için gerçekleyen üç girişli statik kapı devresi Şekil-3.2’de görülmektedir.

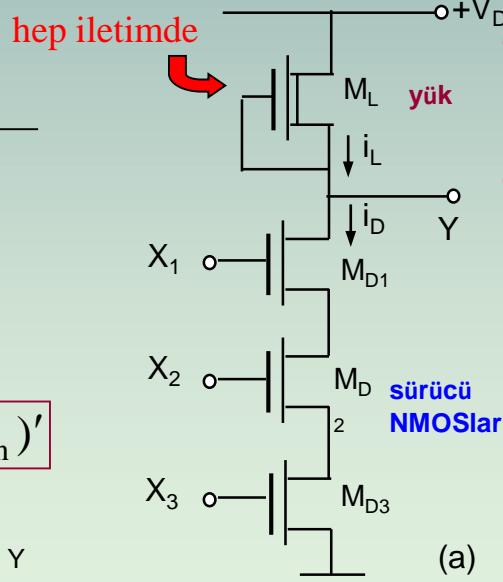
		NMOS kapı	CMOS kapı
Tüm girişler L1’de	Çıkış	<p>Sürücü NMOS’lar iletimde Yük NMOS iletimde ($V_{GS}=0$) Sürücü-yük oranına bağlı olarak alçak seviyede ($V_{OL}>0$)</p>	<p>Sürücü NMOS’lar iletimde Yük PMOS’lar kesimde NMOS ağ üzerinden çıkış GND’de ($V_{OL}=0$)</p>
Girişlerden en az biri L0’da	Çıkış	<p>Girişleri L0 olan NMOS kesimde Yük NMOS iletimde ($V_{GS}=0$) $V_{OH}=V_{DD}$ Yük kanal oluşturmalı ise $V_{OH}=V_{DD}-V_{TL}<V_{DD}$</p>	<p>Girişleri L0 olan NMOS kesimde PMOS ağ iletimde, çıkış V_{DD}’ye bağlar $V_{OH}=V_{DD}$</p>

X ₁	X ₂	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$Y = (X_1 X_2 \dots \dots X_n)'$$

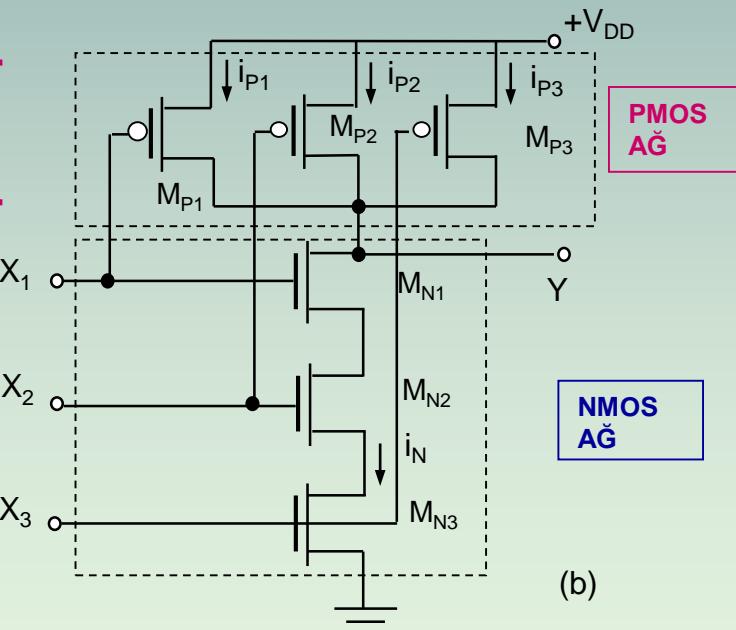


Şekil-3.1 NAND kapısı



(n+1) transistor

NAND



2n transistor



NMOS NAND kapısında V_{OL} değerinin belirlenmesi NMOS eviricidekine benzer (Bkz.2.2). Buradaki fark, NMOS ağdaki n adet seri transistörün dikkate alınması gerektidir. Bu anlamda NMOS evirici için elde edilen (2.23) bağıntısı ile bulunan değer, NAND kapısı için V_{OL} yerine V_{OL}/n olarak alınmalıdır. Başka bir ifadeyle, seri transistör sayısı arttıkça kapının V_{OL} değeri de artacaktır. Bunu önlemek için, NMOS transistorlarının (W/L) oranlarını artırmak gereklidir ki, bu durum kırmık üzerindeki yer gereksiniminin artmasına yol açacaktır. Burada gövde etkilerinin ihmal edildiğini not etmek gereklidir.

$$\downarrow V_{OL} \approx \frac{1}{2\beta_R} \frac{(V_{DD} - V_{TL})^2}{(V_{DD} - V_{TD})} \approx \frac{(V_{DD} - V_{TL})}{2\beta_R} \propto \frac{(W/L)_L}{(W/L)_D} \quad (2.23)$$

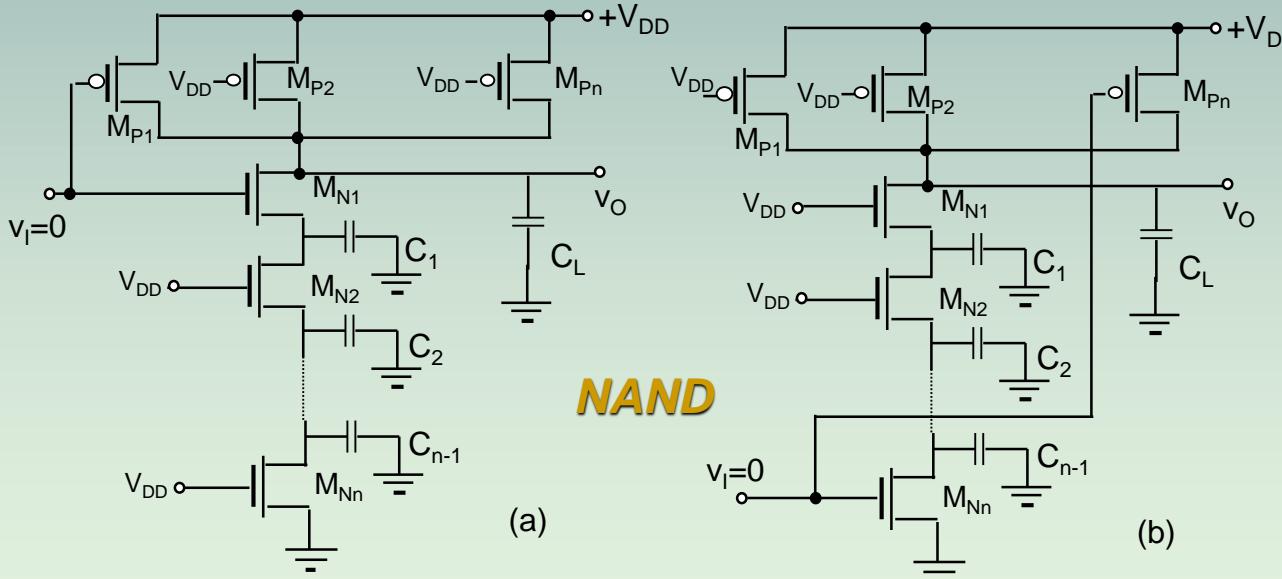
- NAND kapısının dinamik davranışları, nitelik olarak eviricinin dinamik davranışına benzer.

CMOS kapılarda yükselseme gecikmesi (T_{PLH}):

i) Yükselseme gecikmesi açısından en kötü halde PMOS ağda bir PMOS iletimdedir. Bu durumda yükselseme gecikmesi, eviricide olduğu gibi (2.94) ve (2.96) bağıntılarıyla hesaplanır.

ii) PMOS ağda k adet transistor iletimde ise C_L 'yi k adet PMOS dolduruyor demektir. Bu durumda (2.96) ile verilen yükselseme süresi k oranında azalacaktır. $k=1$ için bu süre maksimumdur.

$$T_{PLH} = \frac{C_L}{kC_P} \tau_p \quad (3.1)$$



Şekil-3.3 NMOS ağıın çıkışa yakın transistör ile kesime sokulması (a), toprağa en yakın transistör ile kesime sokulması (b).

iii) Yükselseme gecikmesi hangi girişin lojik-0'a düşüğüne de bir miktar bağlıdır.

Şekil-3.3.a'daki gibi MN_1 'in geçidi L0'a çekilerek NAND kapısı çıkışını L1'e çekilirse, C_i ($i=1,2,\dots,n-1$) ara düğüm kapasiteleri çıkıştan izole edilmiş olur.

Buna karşı **Şekil-3.3.b**'de görüldüğü gibi toprağa en yakın M_{Nn} transistörü kesime sokularak devre konum değiştirirse bütün ara düğüm kapasiteleri olay üzerinde etkili olup yükselseme gecikmesi alabileceği en büyük değere ulaşır.



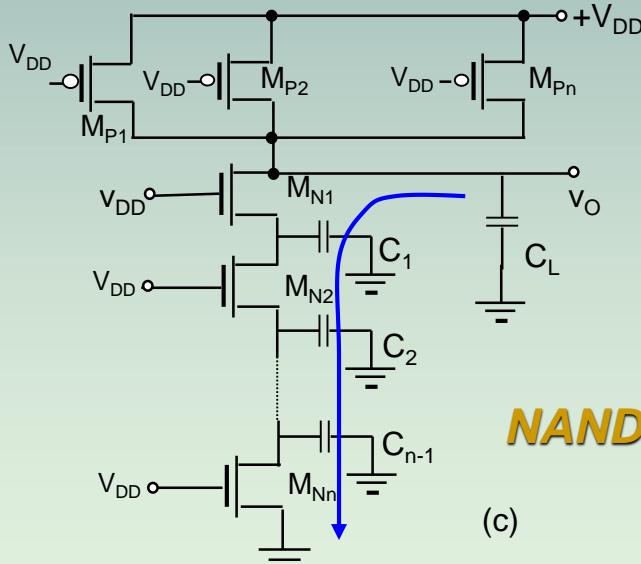
CMOS kapılarında düşme gecikmesi (T_{PHL}):

- Şekil-3.3.c'de bütün girişler L1'e getirilerek NMOS ağıın n adet seri transistorları iletime sokulurak C_L boşaltılır.
- Bu durum, yaklaşık olarak etkin kanal uzunluğu nL olan bir eviricideki düşme gecikmesiyle aynı olur, Eş (2.93).

$$T_{PHL} = \frac{C_L}{\mu_n C_{OX} \frac{W_n}{nL}} M_n = n \frac{C_L L^2}{\mu_n C_{OX} W_n L} M_n = n \frac{C_L}{C_N} \tau_n \quad (3.2)$$

- n girişli NAND kapısının düşme gecikmesi, aynı boyutlu transistorlara sahip bir eviricidekinin n katı olmaktadır.
- NAND kapısında yükselme ve düşme gecikmelerinin oranı (3.1) ve (3.2) bağıntıları yardımıyla bulunabilir.

$$\frac{T_{PLH}}{T_{PHL}} = \frac{1}{n} \frac{C_N}{C_P} \frac{\tau_p}{\tau_n} = \frac{1}{n} \frac{W_N}{W_P} \frac{\tau_p}{\tau_n} \quad (3.3)$$



Şekil-3.3 (c) NMOS ağıın tüm transistorlarıyla iletme sokularak v_O 'nun L0'a getirilmesi

Bu oranın yaklaşık olarak 1 olması dinamik açıdan tasarımu kolaylaştırır. Bu gibi durumlar için transistor boyutları;

$$\frac{W_n}{W_p} = n \frac{\tau_n}{\tau_p} = n \frac{\mu_p}{\mu_n} \quad (3.4)$$

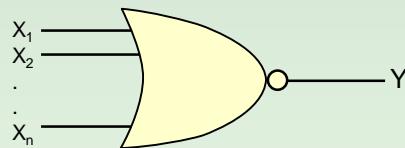
şeklinde yazılabilir. $\mu_p/\mu_n \approx 1/2,5$ olduğu dikkate alınırsa, $n=2,3$ değerleri için NAND kapısının transistor enleri eş mertebede gerçekleştirilmiş olur. $W_n \approx W_p$ şartının sağlanması, her iki transistorun da minimum boyutta veya bu boyuta yakın gerçekleştirilmelerine olanak verir.



3.2 VEYA-DEĞİL (NOR) Kapısı

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$Y = (X_1 + X_2 + \dots + X_n)'$$



Şekil-3.4 Giriş yelpazesi (“fan-in”) n olan NOR kapısı

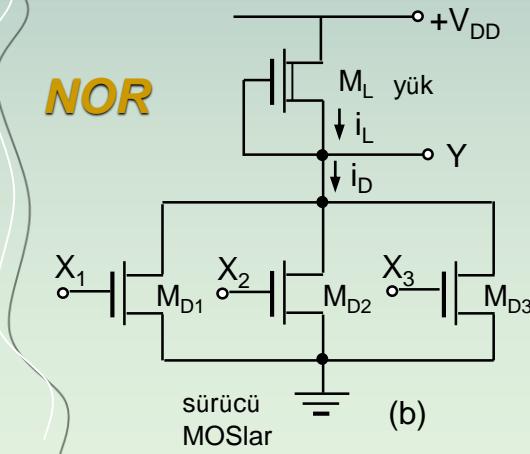
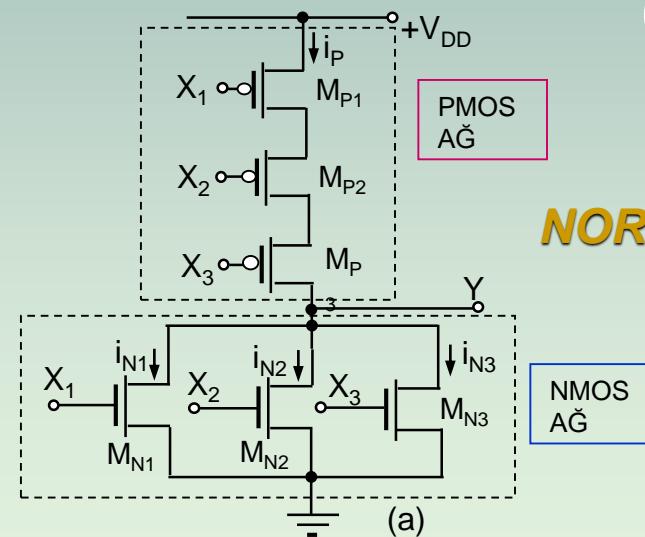


Girişlerin tümü L0 ise
NMOS ağ kesimde,
PMOS ağ ise iletimde olup,
çıkış L1 olur.

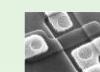
Girişlerden biri bile L1 ise
NMOS ağ iletimde,
PMOS ağ ise kesimde olup,
çıkış L0 olur.

Yük transistoru
her durumda
iletimdedir.

Sonuçlar CMOS’taki gibi
ANCAK, giriş(ler) L1 ise,
Sürücü-yük oranına bağlı
bir alçak seviye çıkış
değeri ($V_{OL} > 0$) olur.



Şekil-3.5 Üç girişli NOR kapısı; a) CMOS kapı, b) NMOS kapı



CMOS NOR kapısında yükselme gecikmesi (T_{PLH}):

- PMOS agdaki tüm PMOS'ların (n adet PMOS'un) iletimi söz konusudur. PMOS'un kanal boyu nL olan eviricideki yükselme gecikmesi gibi hesaplanır, Es (2.94) ve Es (2.96). n → nL

$$T_{PLH} = \frac{C_L}{\mu_p C_{OX} \frac{W_p}{nL}} M_p = n \frac{C_L L^2}{\mu_p C_{OX} W_p L} M_p = n \frac{C_L}{C_P} \tau_p \quad (3.5)$$

CMOS NOR kapısında düşme gecikmesi (T_{PHL}):

- En kötü durum için, girişlerden biri L1 olsa, C_L , bu girişe bağlı NMOS üzerinden boşalır, Es (2.93).
- Yükselme gecikmesi hangi girişin L1 olduğunu da bir miktar bağlıdır. Bkz. NAND kapısında yükselme gecikmesi.

$$T_{PHL} = \frac{C_L}{C_N} \tau_n \quad (3.6)$$

- Aynı anda k adet giriş L1 (V_{DD}) olsa bu durumda C_L 'yi **k adet** NMOS boşaltır.

$$T_{PHL} = \frac{C_L}{kC_n} \tau_n \quad (3.7)$$

- NOR kapısında iki gecikmenin oranı:

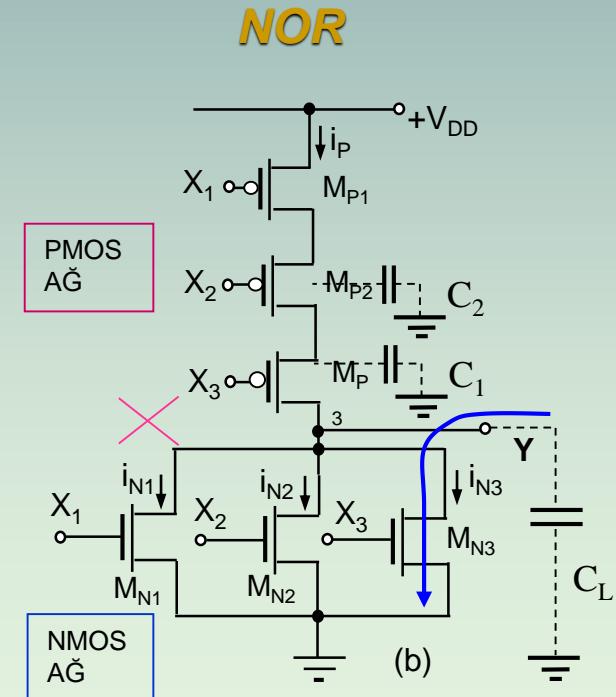
$$\frac{T_{PLH}}{T_{PHL}} = n \frac{C_N}{C_P} \frac{\tau_p}{\tau_n} = n \frac{W_N}{W_P} \frac{\tau_p}{\tau_n} \quad (3.8)$$

- Bu oranın yaklaşık olarak 1 civarında tutmak istenirse Es. (2.9) elde edilir.

$$\frac{\mu_n}{\mu_p} \approx 2.5 \quad \frac{W_n}{W_p} = \frac{1}{n} \frac{\tau_n}{\tau_p} = \frac{1}{n} \frac{\mu_p}{\mu_n} \quad (3.9)$$

$$W_p = n \frac{\mu_n}{\mu_p} W_n \approx 2.5nW_N \quad (3.10)$$

- Örneğin $n=2$ için $W_p=5W_N$, $n=3$ için ise $W_p=7.5W_N$ elde edilmektedir. Görülüyor ki aynı giriş değişkeni için CMOS NOR kapısı, NAND kapısına göre daha büyük bir alan kaplamaktadır.

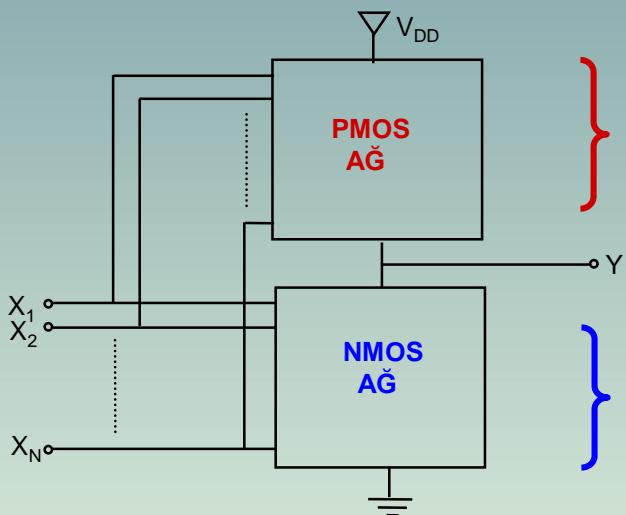


Şekil-3.5.b) CMOS NOR kapısı



3.3 Kompleks Kapılar

- Herhangi bir lojik fonksiyonu gerçekleyen karmaşık kapılar, NOR ve NAND işemlerinin kombinasyonlarını sağlayabilirler, Şekil-3.6.
 - CMOS kapılarında, aynen CMOS eviricide olduğu gibi çıkış dinamiği maksimum değerdedir, $L_1 = V_{DD}$, $L_0 = 0$.



PMOS ağ, NMOS ağın dualidir.

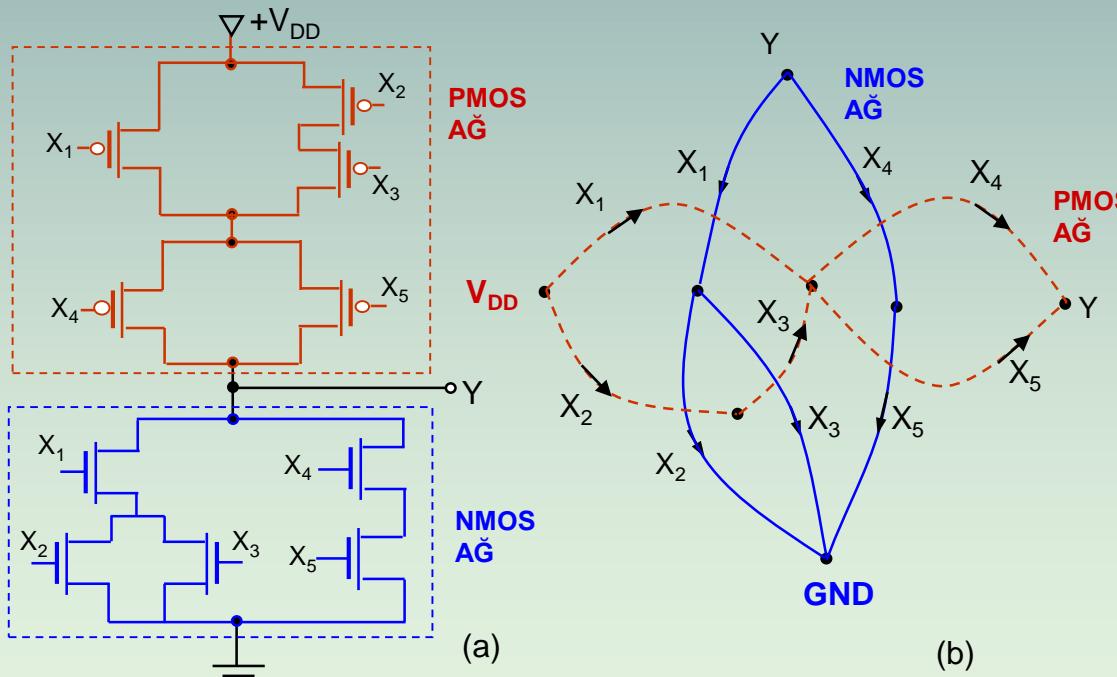
- a) Bir ağda en az bir iletim yolu varsa diğer ağ mutlaka kesimdedir.
 - b) Her iki ağ aynı anda kesinlikle iletimde değildir, $\text{statik güç tüketimi} = 0$.
 - c) Her iki ağ aynı anda kesinlikle kesimde değildir,
cıkış düğümü hiçbir zaman belirsiz (“floating”) değilidir

NMOS ağda, **toplama** işlemi için **paralel** (NOR daki gibi) transistorlar, **çarpma** işlemi için ise **seri** transistorlar (NAND'daki gibi) söz konusudur.

Şekil-3.6 Standart CMOS kapı yapısı

- $Y = [X_1(X_2 + X_3) + X_4 X_5]$ ' lojik fonksiyonunu ele alalım, Şekil-3.7.
- Dual Graf yöntemi:

- i) NMOS ağa ait devrenin grafi, her bir NMOS transistora ait dal doğrudan devredeki durumu esas alınarak çizilir ve NMOS ağa ait graf elde edilir (**kesiksız çizgili diyagram**).
- ii) NMOS ağın çıkış ile toprak (GND) arasında, PMOS ağın ise V_{DD} ile çıkış (Y) arasında olduğu dikkate alınarak, NMOS ağa ait grafın her iki yanına V_{DD} ve Y sırası tamamen keyfi olarak yerleştirilir.
- iii) Daha sonra NMOS grafın bütün gözlerine birer düğüm yerleştirilir.
- iv) VDD den Y ye bu iç düğümler üzerinden ulaşan yollar, PMOS ağın grafını meydana getirmektedir. Yukarıda da açıklandığı üzere bu grafa (**kesik çizgili diyagram**) NMOS ağının dual grafi denmektedir.
- v) Son olarak dual grafın dalları yerine birer PMOS yerleştirilerek bulanan alt devre PMOS ağı meydana getirecektir



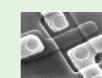
Şekil-3.7 (a) $Y = [X_1(X_2 + X_3) + X_4 X_5]$ ' lojik fonksiyonunu gerçekleyen CMOS kapı devresi, (b) bu kapıya ait graflar (dual graf yöntemi).

NMOS ve PMOS ağındaki transistorların ve alt blokların, seri veya paralel sıralanışları için birçok kombinasyon vardır. Örneğin, NMOS ağındaki X_1 girişli kapı ile X_2 ve X_3 girişli paralel kapıların yerleri değiştirilebilir.

En uzun düşme gecikmesini, NMOS ağındaki en çok seri transistörün (n_N) bulunduğu yol belirlerken, en uzun yükselme gecikmesini, PMOS ağındaki en çok seri transistörün (n_P) bulunduğu yol belirler. NMOS transistörler eş boyutlu ve PMOS transistörler de kendi aralarında eş boyutlu iseler, en kötü haldeki düşme ve yükselme gecikmeleri aşağıdaki gibidir.

$$T_{PHL} = n_N \frac{C_L}{C_N} \tau_n \quad (3.11)$$

$$T_{PLH} = n_P \frac{C_L}{C_P} \tau_p \quad (3.12)$$

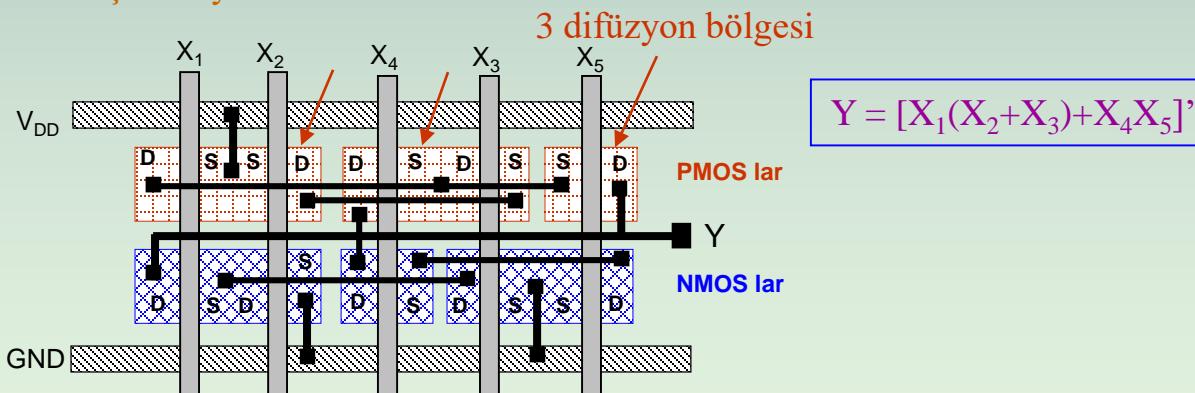


3.4 Kapı Tasarımında Yer Gereksiniminin Azaltılması

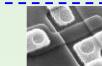
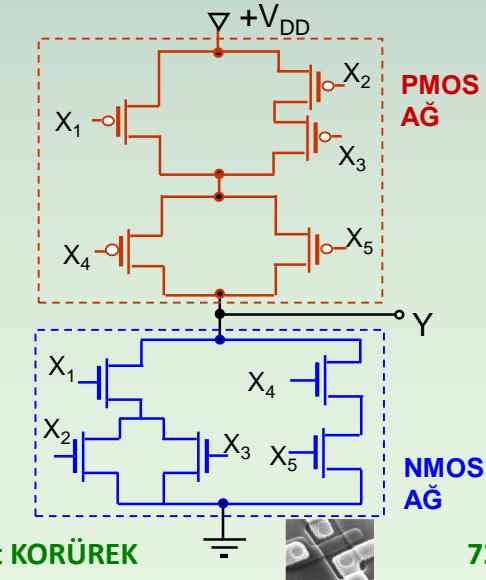
- Aynı fonksiyonu gerçekleştirecek her farklı gerçekleştirmeye, silisyum kırmık üzerinde harcanan yer açısından farklı sonuçlar doğurur.
- Transistorların kırmık üzerindeki yerleştirilmesi işlemine **serim** ("layout") denir. Bu işlem sırasında temel amaç harcanan alanın **minimum** tutulmasıdır. **n-havuzlu ("n-well")** bir süreç için PMOS transistorların tabanını bu bölgeler, yani n-havuzlar oluşturacaktır.
- CMOS prosesinde **kilitlenme ("latch-up")** olayının engellenmesi için, n tabanlı PMOS transistorlarının gerçekleştirildiği bu havuz bölgesini p tabanlı NMOS bölgesinde izole etmek için ters yönde kutuplanan bir jonksiyon gerekmektedir. Bu iş için **her bir havuz bölgesi p tipi bir halka ile çevrelenir**. Yer gereksinimini azaltmak için tutulması gereken temel strateji, rasgele yerleştirme yapmak yerine, mümkün olduğu kadar çok PMOS transistörü aynı n-havuz içinde gerçekleştirerek havuz sayısını azaltmaktadır. Bu amaç için **çubuk diyagramlarından** faydalanyılır.

Çubuk diyagramından faydalayılarak n-havuz sayısının (yer gereksiniminin) minimize edilmesi:

- i) PMOS ve NMOS transistörlerin kendi aralarında birbirlerine mümkün olduğu kadar yakın tutulması ve ii) komşu olabilecek yapıların sıralamasının doğru yapılması önem kazanır.
- Şekil-3.7.a'daki devreyi önce yukarıdaki kurallara dikkat etmeden X_1, X_2, X_4, X_3, X_5 giriş değişkeni sırasıyla yerleştirelim. Bu durumda devrenin çubuk diyagramı Şekil-3.8'deki gibi olur. Burada dikey gri hatlar geçitlere ait poly-silisyum hatlarıdır. PMOS'lar için (V_{DD} hattına yakın olan bölgeler) üç tane **difüzyon bölgesi** söz konusudur ve **amaç bu sayısının azaltılmasıdır**.

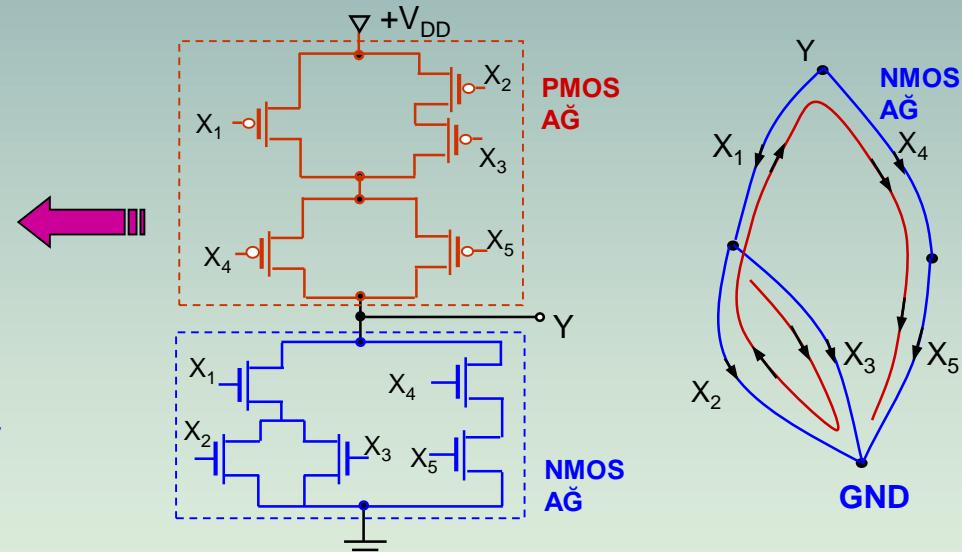
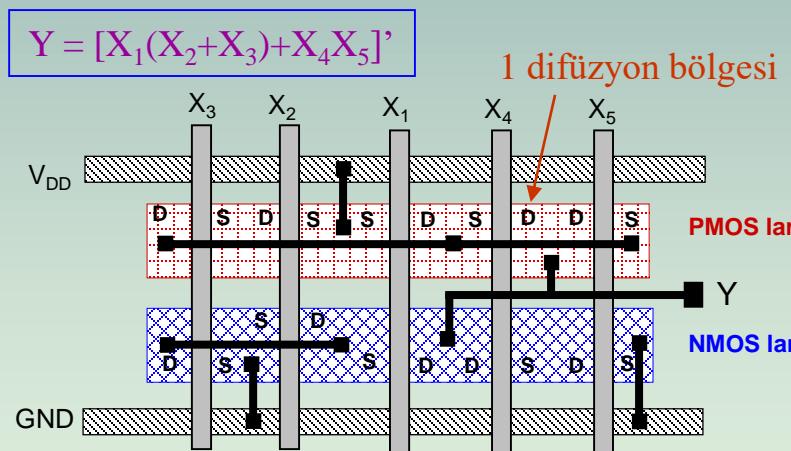


Şekil-3.8 Transistor sırası optimize edilmemiş halde Şekil 3.7.a'daki CMOS kapının çubuk diyagramı (X_1, X_2, X_4, X_3, X_5) sırası



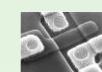
Minimum sayıda difüzyon bölgesi ile aynı devreyi gerçekleştirmek için ve giriş poly hatlarının hangi sırada yerleşmesi gerektiğini bulmak için **Euler Yolu** yönteminden faydalana bilir.

- ◻ **Euler Yolu**, devreye ait NMOS ve PMOS ağlarının grafları üzerinde, graf dallarından sadece bir defa geçerek bütün grafi kat eden yol olarak tanımlanmaktadır.
- ◻ Aynı sıralama hem PMOS hem de NMOS ağları için söz konusu olmalıdır. Verilen herhangi bir graf için bu tür bir yol olması gerekmektedir. Her iki graf için de aynı Euler Yolu bulunabiliyorsa, tüm difüzyon bölgelerinin ortak olduğu bir fiziksel gerçekleme sağlanabilir. Şekil-3.7.b'deki Euler Yolu sırasıyla X_3 , X_2 , X_1 , X_4 ve X_5 sırasıyla oluşan yoldur. Şekil-3.9'da, girişleri bu sırada alarak devrenin çubuk diyagramı yeniden çizilmiştir.



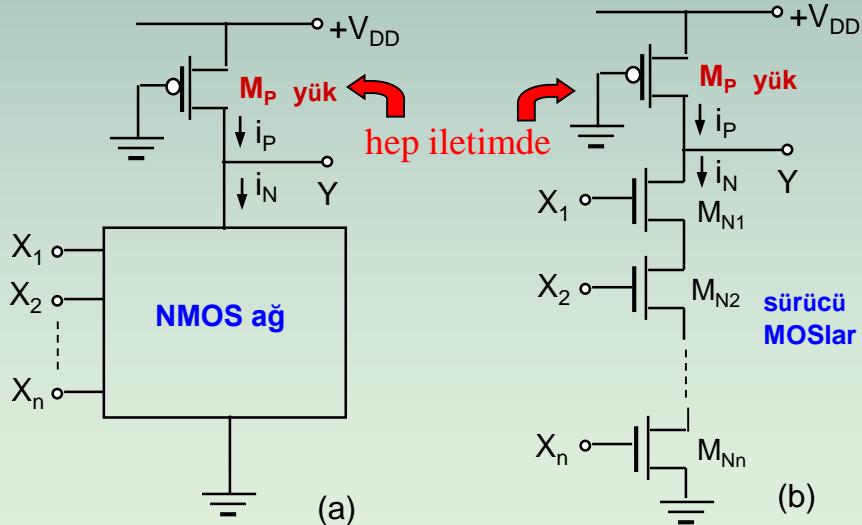
Şekil-3.9 Minimum sayıda difüzyon bölgesi içeren gerçeklemeye ait çubuk diyagramı (X_3, X_2, X_1, X_4, X_5) sırası

Şekil-3.7 (a) $Y=[X_1(X_2 + X_3) + X_4X_5]'$ lojik fonksiyonunu gerçekleyen CMOS kapı devresi, (c) bu kapıya ait NMOS ağ grafında Euler Yolu



3.5 Sözde NMOS Kapılar

- CMOS kapılarda, n adet giriş için 2n adet transistor kullanılmakta ve güç tüketimi sıfır olmaktadır.
- NMOS kapılarda $(n+1)$ transistorla aynı lojik fonksiyonun sağlanmakta, fakat bir statik güç tüketimi olmaktadır.
- NMOS kapıyı gerçekleştirmenin diğer bir yolu da yük transistoru olarak geçidi topraklı bir PMOS kullanmaktadır. Böyle, CMOS teknolojisi ile gerçekleştirilen NMOS tabanlı kapıya sözde NMOS kapı denir, Şekil-3.10.a.
- Şekil-3.10.b'de, n girişli bir sözde NMOS NAND kapısı görülmektedir. Burada, klasik CMOS kapıya göre $(n-1)$ adet daha az sayıda PMOS vardır. Buna karşılık bütün girişler yüksek seviyede iken, hem PMOS yük transistörü hem de seri NMOS ağ iletimde olduğu için bir statik akım, dolayısıyla da statik güç tüketimi söz konusu olur. Bu konumda çıkış gerilimi $V_{OL} > 0$ olmaktadır. Bu durumun $V_{OL} < V_{IL}$ kaldığı müddetçe bir lojik hataya yol açmayıcağı, buna karşılık alçak seviye gürültü marjininin azalmasına yol açacağı da dikkate alınmalıdır. Ayrıca pratikte $V_{OL} < V_{TN}$ yapmak gereklidir, bu durumda bütün NMOS'lar kesimde kalarak ilave bir statik güç tüketimi harcanmasın ve $V_{OH} = V_{DD}$ sonucu elde edilebilsin.



Şekil-3.10 a) Sözde NMOS kapını genel hali,
b) sözde NMOS n girişli NAND kapısı

Bütün girişler V_{DD} ise bütün NMOS'lar doymaz,

PMOS yük transistörü ise doymaz çalışır, $\leftrightarrow |V_{GS} - V_T| > |V_{DS}|$.

$$i_P = \frac{\beta_P}{2} (-V_{DD} - V_{TP})^2 = i_N = \frac{\beta_N}{n} (V_{DD} - V_{TN} - \frac{1}{2n} v_O) / v_O \quad (3.13)$$

$$\frac{\beta_N}{\beta_P} = \frac{n}{2} \frac{(-V_{DD} - V_{TP})^2}{V_{OL} (V_{DD} - V_{TN})} \cong \frac{n}{2} \frac{(V_{DD} - V_T)}{V_{OL}} \quad (3.15)$$

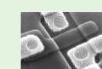
$$\frac{W_N}{W_P} \cong \frac{n \mu_p}{2 \mu_n} \frac{(V_{DD} - V_T)}{V_{OL}} \quad (3.16)$$

Tasarım, belli bir alçak seviye gürültü marjinine gelen V_{OL} değerinin belirlenerek bu değeri elde etmeye yarayan en oranlarının (3.16) bağıntısından bulunmasına dayanır.

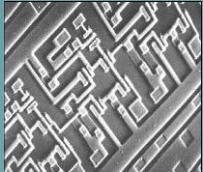
Girişe kare dalga uygulanmışken kapının statik güç tüketimi:

$$P_s = V_{DD} \frac{\beta_N}{n} (V_{DD} - V_{TN} - \frac{V_{OL}}{2}) V_{OL} \cong V_{DD} \frac{\beta_N}{n} (V_{DD} - V_T) V_{OL}$$

$$P_s = V_{DD} \frac{\beta_P}{2} (-V_{DD} - V_{TP})^2 = V_{DD} \frac{\beta_P}{2} (V_{DD} - V_T)^2 \quad (3.17)$$



4 – GEÇİŞ LOJİĞİ

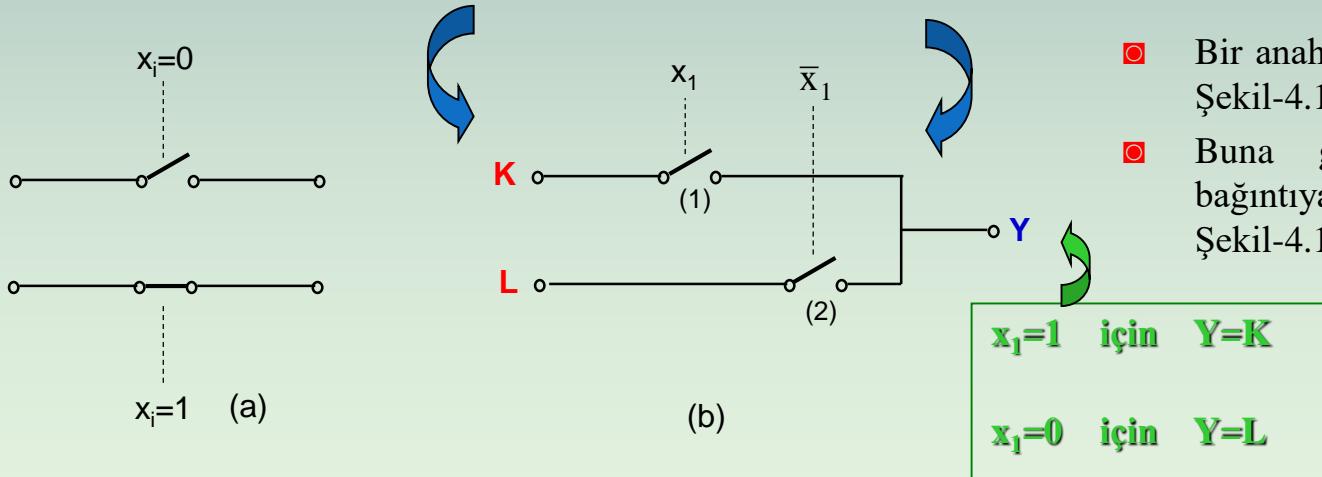


- Lojik fonksiyonların, elektronik devre gerçekleştirilmelerinin söz konusu olmadığı zamanlarda dahi anahtarlarla sağlandığını biliyoruz. Burada açık ve kapalı anahtarlar ikili sayı sistemindeki iki farklı konumu kodlamaktadır. Anahtarlarla oluşturulan lojik yapı, işaretin iletilmesi veya iletilmemesi biçiminde işlev gördüğü için, bu tür lojik yapılara **geçiş lojığı** ismi verilmektedir. Günümüzde ise, açık ve kapalı haldeki dirençleri sonlu olmakla birlikte, MOS transistorlarla gerçekleştirilen anahtarlarla da geçiş lojığını etkin bir şekilde inşa etmek mümkün olmaktadır. Bu bölümde, gerek NMOS gerekse CMOS teknigi ile gerçekleştirilen geçiş lojığı ele alınacaktır.

4.1 Anahtarlı Lojik Mimarisi

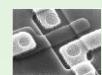
- n değişkenli herhangi bir **Boole fonksiyonu** $\rightarrow Y(x_1, x_2, \dots, x_n, \bar{x}_1, \bar{x}_2, \dots, \bar{x}_n)$ olsun.
- Bu fonksiyonun değişken numara sırasına göre **Shannon açılımını** elde edelim. Önce, $(x_1 \text{ ve } \bar{x}_1)$ 'ne göre ayırtıralım.

$$Y = x_1 K(x_2, \dots, x_n, \bar{x}_2, \dots, \bar{x}_n) + \bar{x}_1 L(x_2, \dots, x_n, \bar{x}_2, \dots, \bar{x}_n) \quad (4.1)$$



- Bir anahtarın kodladığı lojik durumlar Şekil-4.1.(a)'da gösterilmiştir.
- Buna göre, Eş.(4.1) deki lojik bağıntiya karşı düşen anahtarlı devre Şekil-4.1.(b)'deki gibi olur.

Şekil-4.1 (a) Anahtar konumuna karşı düşen lojik durumlar, (b) x_1 ve \bar{x}_1 'ne göre ayrırtılmış lojik fonksiyonun anahtarlı mimarisi



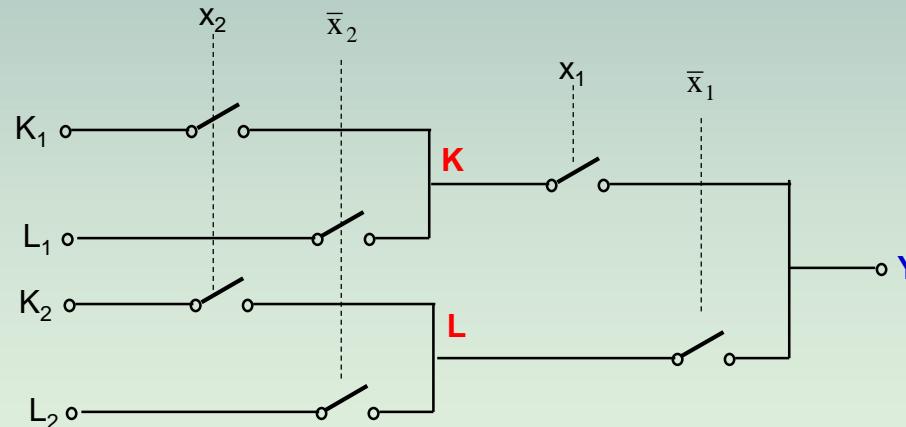
$$Y = x_1 K(x_2, \dots, x_n, \bar{x}_2, \dots, \bar{x}_n) + \bar{x}_1 L(x_2, \dots, x_n, \bar{x}_2, \dots, \bar{x}_n)$$

(4.1)

- ◻ K ve L Boole fonksiyonlarını da bu defa x_2 ve \bar{x}_2 'ne göre ayırturalım, Eş.4.2 ve Eş.4.3.
- ◻ K ve L'ye karşı düşen anahtarlı yapıyı Şekil-4.1.(b)'dekine eklersek Şekil-4.2'deki anahtarlı yapı elde edilir.
- ◻ Y lojik fonksiyonu bu tarzda ayırtılmaya devam edilerek tüm lojik fonksiyonu lojik değişkenlerle kontrol edilen anahtarlarla sağlayan lojik mimari elde edilir.

$$K = x_2 K_1(x_3, \dots, x_n, \bar{x}_3, \dots, \bar{x}_n) + \bar{x}_2 L_1(x_3, \dots, x_n, \bar{x}_3, \dots, \bar{x}_n) \quad (4.2)$$

$$L = x_2 K_2(x_3, \dots, x_n, \bar{x}_3, \dots, \bar{x}_n) + \bar{x}_2 L_2(x_3, \dots, x_n, \bar{x}_3, \dots, \bar{x}_n) \quad (4.3)$$



Şekil-4.2 x_1 ve x_2 lojik değişkenlerine göre açılımı yapılmış anahtarlı yapı



Örnek

- ◻ $Y = x_1 x_2 \bar{x}_3 + x_1 x_3 + \bar{x}_1 \bar{x}_2$ fonksiyonunun x_1, x_2, x_3 sırasına göre açılımı.
- ◻ İlk önce, $a+\bar{a}=1$ olduğundan yararlanarak, fonksiyonda iki haneli terimler üç haneli duruma getirilir.
- ◻ Sonra, anahtar sayısını azaltmak amacıyla açılıma, varsa hiçbir çarpan teriminde bulunmayan bir terimden başlanır.
- ◻ Eğer değişkenin kendisi bulunmuyorsa kendisi, evriği bulunmuyorsa evriği 0 ile çarpılarak toplama eklenir.

$$Y = x_1 x_2 \bar{x}_3 + x_1(x_2 + \bar{x}_2)x_3 + \bar{x}_1 \bar{x}_2(x_3 + \bar{x}_3) = x_1 x_2 \bar{x}_3 + x_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$$

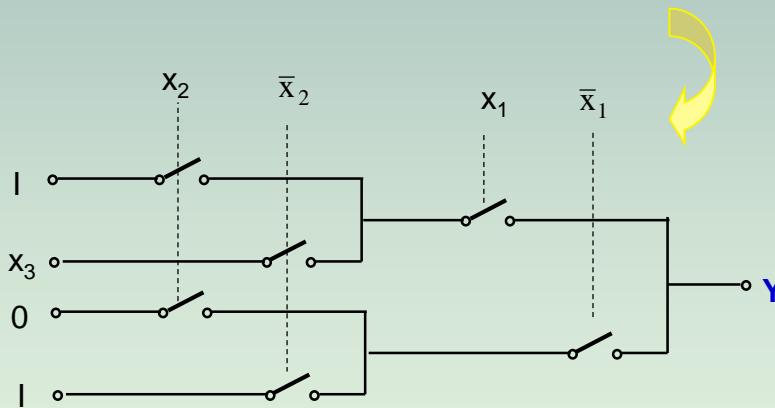
- ◻ İlk deneme olarak x_1 'den başlayalım ve ikinci olarak x_2 'yi seçelim.

$$Y = x_1[x_2 \bar{x}_3 + x_2 x_3 + \bar{x}_2 x_3] + \bar{x}_1[\bar{x}_2 x_3 + \bar{x}_2 \bar{x}_3]$$

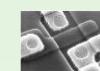
$$Y = x_1[x_2(x_3 + \bar{x}_3) + \bar{x}_2 x_3] + \bar{x}_1[x_2 * 0 + \bar{x}_2(x_3 + \bar{x}_3)]$$

$$x_3 + \bar{x}_3 = I$$

$$Y = x_1[x_2 * I + \bar{x}_2 x_3] + \bar{x}_1[x_2 * 0 + \bar{x}_2 * I]$$



Şekil-4.3 $Y = x_1 x_2 \bar{x}_3 + x_1 x_3 + \bar{x}_1 \bar{x}_2$ fonksiyonunu x_1, x_2, x_3 sırasına göre açılımla gerçekleyen anahtarlı devre



Örnek

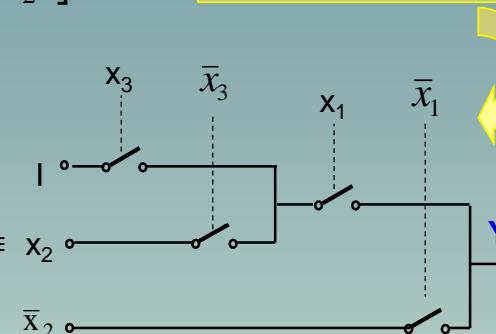
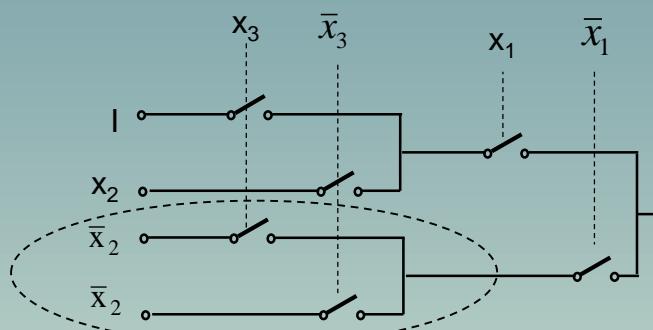
$Y = x_1x_2\bar{x}_3 + x_1x_3 + \bar{x}_1\bar{x}_2$ fonksiyonunun x_1, x_3, x_2 sırasına göre açılımı.

$$Y = x_1x_2\bar{x}_3 + x_1(x_2 + \bar{x}_2)x_3 + \bar{x}_1\bar{x}_2(x_3 + \bar{x}_3) = x_1x_2\bar{x}_3 + x_1x_2x_3 + x_1\bar{x}_2x_3 + \bar{x}_1\bar{x}_2\bar{x}_3$$

$$Y = x_1[x_3x_2 + x_3\bar{x}_2 + \bar{x}_3x_2] + \bar{x}_1[x_3\bar{x}_2 + \bar{x}_3\bar{x}_2]$$

$$Y = x_1[x_3(x_2 + \bar{x}_2) + \bar{x}_3x_2] + \bar{x}_1[x_3\bar{x}_2 + \bar{x}_3\bar{x}_2]$$

$$Y = x_1[x_3 * I + \bar{x}_3x_2] + \bar{x}_1[x_3\bar{x}_2 + \bar{x}_3\bar{x}_2]$$



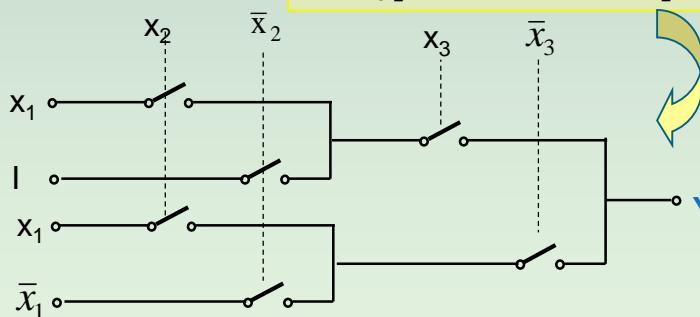
Şekil-4.4 x_1, x_3, x_2 sırasına göre açılımı yapılan fonksiyona ait anahtarlı devre ve basitleştirilmiş hali

Örnek

$Y = x_1x_2\bar{x}_3 + x_1x_3 + \bar{x}_1\bar{x}_2$ fonksiyonunun x_3, x_2, x_1 sırasına göre açılımı.

Lojik değişken sayısı n ise $n!$ adet farklı sıralama söz konusudur.

$$Y = x_3[x_2x_1 + \bar{x}_2(x_1 + \bar{x}_1)] + \bar{x}_3[x_2x_1 + \bar{x}_2\bar{x}_1]$$



Şekil-4.5 x_3, x_2, x_1 sırasına göre açılımı yapılan fonksiyona ait anahtarlı devre

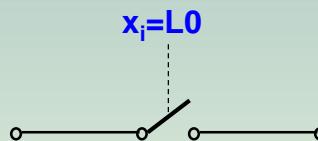
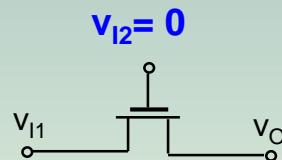
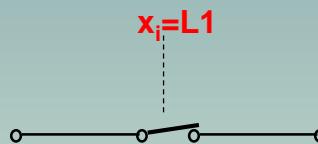
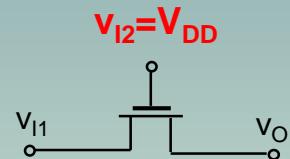
Yukarıda elde edilişi açıklanan anahtarlı lojik mimarileri ilk olarak **mekanik anahtarlarla** gerçekleştirılmıştır. Anahtarlı devrelerin standart MOS lojik aileler içine gömülmeleri söz konusu olduğunda, bu devrelerin NMOS veya CMOS kapılarının girişlerinde sonlanacağı düşünülmelidir. Bu durumda anahtarlar üzerinden statik akımların akması söz konusu olmayacağıdır. Bu noktalar dikkate alınarak mekanik anahtarların a) NMOS geçiş transistorları ile, b) CMOS transmisyon kapıları ile gerçekleştirilmeleri söz konusu olmuştur.



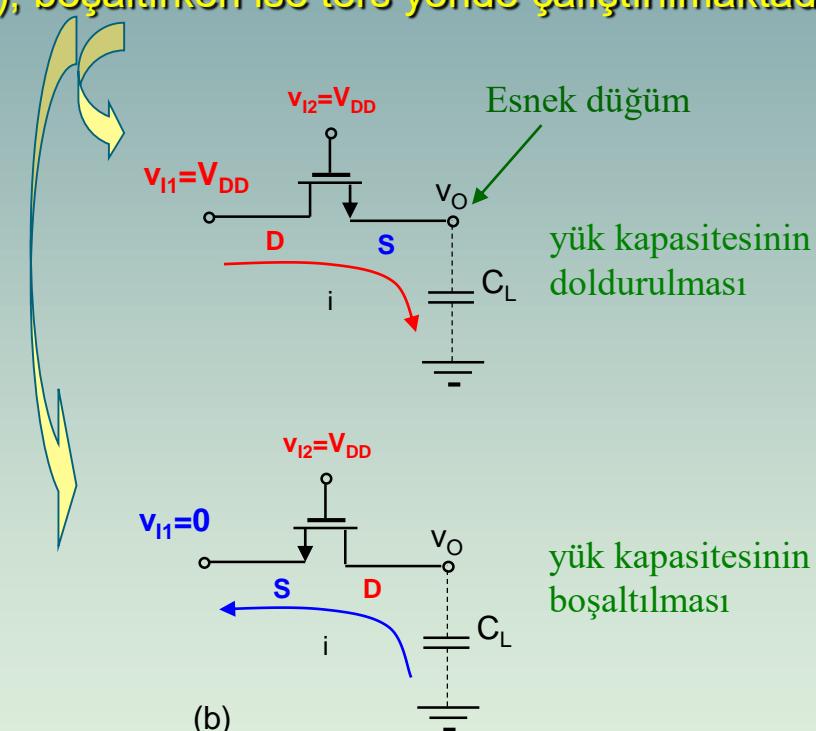
4.2 NMOS Geçiş Lojiği

- NMOS transistorları elektronik anahtar olarak kullanan anahtarlı yapılar NMOS geçiş lojijini oluşturur.
- Bu alt bölümde NMOS geçiş transistorunun **statik** ve **dinamik özelliklerini** ele alınacaktır.
- Bir NMOS geçiş transistorunun bir anahtar olarak kullanılmış eşdeğer modeli Şekil-4.6.a'da gösterilmiştir.
- Böyle bir transistorun yükü ancak bir kaçak kapasite (**yük kapasitesi**) olmaktadır, Şekil-4.6.b

Geçiş transistoru yükü doldururken düz (normal), boşaltırken ise ters yönde çalıştırılmaktadır.



(a)



Şekil-4.6.a) NMOS geçiş transistorunun anahtar olarak kullanılışı, b) yük kapasitetine yük aktarılması ve boşaltılması



4.2.1 NMOS Geçiş Transistorunun Statik Özellikleri

- NMOS geçiş lojiği anahtarları; tabanı referansa bağlı bir NMOS transistoru, geçidine uygulanan kontrol gerilimiyle kesime ve iletime sokarak elde edilmektedir.
- $v_{I2}=V_{DD}$ ise geçiş transistoru **iletimde**, $v_{I2}=0$ ise **kesimdedir**, Şekil-4.6.c) ve d).
- Geçiş transistoru iletimde iken hangi çalışma bölgesinde olduğunu bulmak için üç gerilimlerine bakılır.

$$v_{I2}=V_{DD}, \quad v_{DS}=v_{II}-v_O \quad \text{ve} \quad v_{GS}=v_{I2}-v_O=V_{DD}-v_O$$

$v_{DS}=v_{II}-v_O > v_{GS}-V_T = V_{DD}-v_O-V_T$ ($v_I > V_{DD} - V_T$) ise transistor **doymalı**,

aksi halde ($v_I < V_{DD} - V_T$) **doymasız** çalışır.

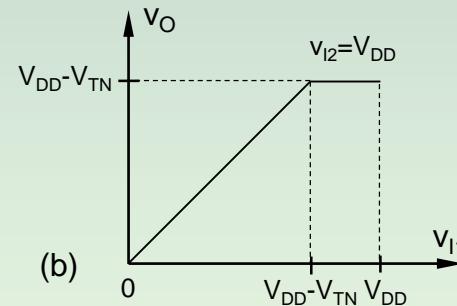
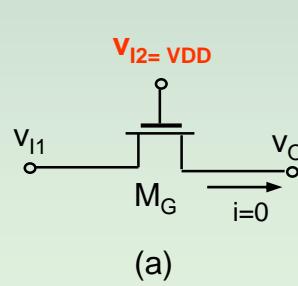
- Transistor iletim ($v_{I2}=V_{DD}$) durumunda iken v_I gerilimi $V_{DD}-V_T$ değerine getirilene kadar transistordan akım akmaz ve $v_O = v_I$ olur. $v_I > V_{DD} - V_T$ olunca $v_{GS} \geq V_T$ iletim şartı geçerliliği için, çıkış $v_O=V_{DD}-V_T$ değerinde sınırlı kalır.
- NMOS geçiş transistoru, pozitif lojik için L0'ı aynen ileterken L1'i bir eşik gerilimi kayıpla iletir.

$$v_{II}=V(0)=0 \quad \text{iken} \quad v_O=V(0) \quad (4.4)$$

$$v_{II}=V(1)=V_{DD} \quad \text{iken} \quad v_O=V_{DD}-V_{TG} \quad (4.5)$$

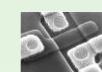
- Sonuç olarak lojik-1 deki **gürültü marrı azalmaktadır**. Ayrıca, lojik-1 iletildirken transistor kaynak ve tabanı arasındaki potansiyel farkı gövde etkisi nedeniyle eşik geriliminin artmasına neden olur. Bu durumda geçiş transistörünün eşik gerilimi:

$$V_{TG} = V_{TG0} + \gamma(\sqrt{V_{SBG} + 2|\Phi_F|} - \sqrt{2|\Phi_F|}) = V_{TG0} + \gamma(\sqrt{V_{DD} - V_{TG} + 2|\Phi_F|} - \sqrt{2|\Phi_F|}) \quad (4.6)$$

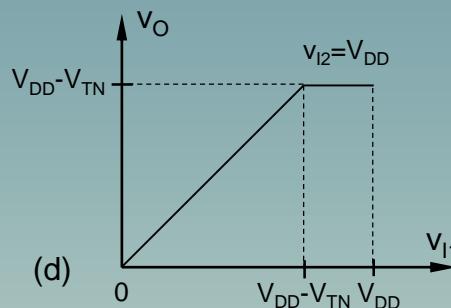
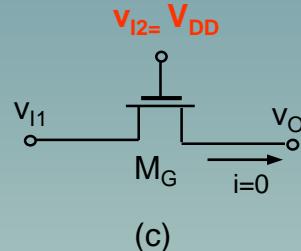


Şekil-4.6 NMOS geçiş transistörü (c), bu transistor iletimde iken ($v_{I2}=V_{DD}$) geçiş karakteristiği (d).

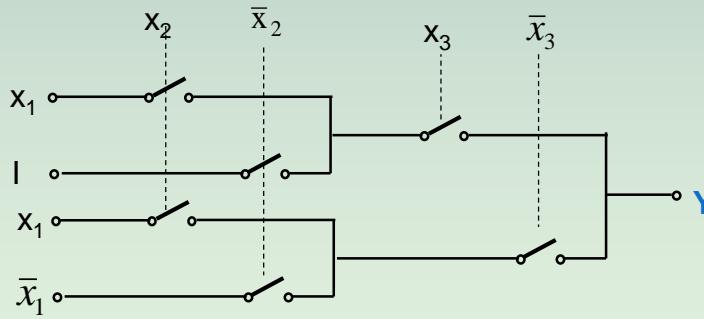
- V_{TG0} geçiş transistöründe gövde etkisi yokken ($V_{SB}=0$ iken) eşik gerilimi, γ gövde faktörü, $2|\Phi_F|$ ise silisyum için Fermi potansiyelidir.
- L1 iletildirken $V_{SB}>0$ olur ve gövde etkisi nedeniyle L1 çıkış gerilimindeki azalma daha da fazla olmaktadır. Bu nedenle NMOS geçiş çıkışı yüksek seviyede iken bir CMOS kapının PMOS ağacını kesime sürmek mümkün olmaz.



Şekil-4.5'deki anahtarlı devreyi NMOS geçiş lojiği ile gerçekleştirelim, Şekil-4.7.



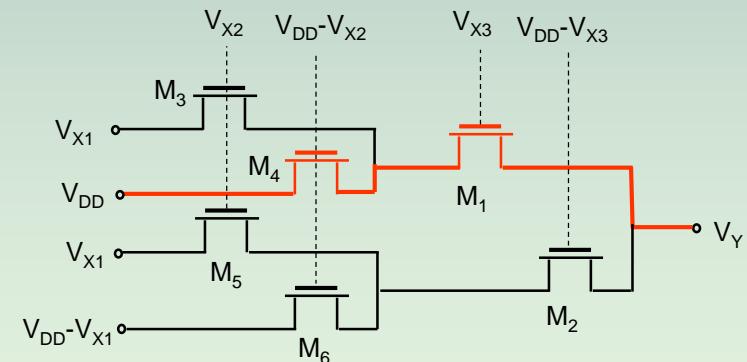
Şekil-4.6 NMOS geçiş transistoru (c), bu transistor iletimde iken ($v_{I2}=V_{DD}$) geçiş karakteristiği (d).



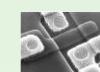
Şekil-4.5 x_3 , x_2 , x_1 sırasına göre açılımı yapılan fonksiyona ait anahtarlı devre

v_{I2}	GT
0	Kesim
1	İletim

- ◻ $V_{x3}=V_{DD}$ ve $V_{x2}=0$ ise M_1 ve M_4 iletimde olup M_4 üzerinde V_T gerilim düşümü olur, M_1 ise bu gerilimi aynen iletir (Bak. Şekil-4.6.c ve d) ve iletim yolundaki gerilim kaybı V_T kadar olur.
- ◻ Seri yolda $n > 2$ adet transistor olsa da bu iletim yolundaki kayıp daha fazla olmaz, yeter ki bütün geçiş transistorlarının geçitleri V_{DD} gerilimiyle kutuplanmış olsun.



Şekil-4.7 Şekil-4.5'deki anahtarlı yapının NMOS geçiş lojiği ile gerçekleştirilmiş hali



4.2.2 NMOS Geçiş Transistorunun Dinamik Özellikleri

- Geçiş transistorunun yükü, ancak kaçak kapasitelerin oluşturduğu yük kapasitesidir, Şekil-4.8.
- Dinamik özellikler, girişte $v_{I1}=V(1)=V_{DD}$ ve $v_{I1}=V(0)=0$ varken, iletme sokulan transistorun ($v_{I2}=V_{DD}$) çıkışının hangi gecikme ile son değerine ulaşacağı ve geçiş transistorunun kesime sokulması halinde ($v_{I2}=0$) çıkışındaki eşdeğer kapasitede saklanan yük kaçaklarının irdelenmesidir.
- Yük kapasitesinde bilgi saklanmakta olup bu gerilim kaçak dirençler üzerinden boşalmakta olduğundan uzun süre korunamamakta ve süre uzunsa bu bilginin periyodik olarak yenilenmesi gerekmektedir. Böyle bir kapasitede yük saklanması dayanan ve bu işevi kaçaklar nedeniyle ancak bir süre gerçekleştiren çalışmaya **dinamik çalışma** adı verilmektedir.

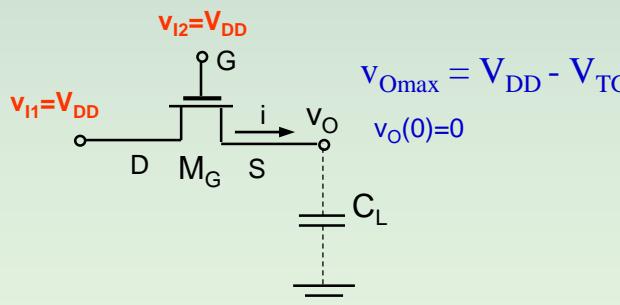
a) Lojik-1 transferi (şarj analizi)

- Giriş $v_I(1)=V_{DD}$ değerinde iken çıkışındaki toplam yük kapasitesinin sarj edilmesi (dolması) için geçen süreyi bulalım.
- $v_{DG}=0$ ($v_{DS}=v_{GS}$) olduğundan M_G transistoru **doymadadır** ve $i=i_L=i_D$ olmaktadır. $v_O(0)=0$ alalım.

$$C_L \frac{dv_O}{dt} = \beta_G (V_{DD} - v_O - V_{TG})^2 \quad (4.7)$$

$$v_O(t) = (V_{DD} - V_{TG}) - \frac{(V_{DD} - V_{TG})}{1 + \frac{\beta_G t}{2C_L} (V_{DD} - V_{TG})} = (V_{DD} - V_{TG}) \left[\frac{t/\tau_{ch}}{1 + t/\tau_{ch}} \right] \quad (4.8)$$

(τ_{ch} : şarj zaman sabiti) $\tau_{ch} = \frac{2C_L}{\beta_G (V_{DD} - V_{TG})}$ (4.9)



Şekil-4.8 Lojik-1 transferinde geçiş transistoru

Çıkış yükselseme (şarj) süresi, t_{LH} : v_O 'nın 0'dan $0.9v_{Omax}$ değerine ulaşmasına kadar geçen süredir.

Bu süre $\beta_G = (W/L)_G$ geçiş transistoru kanat açıklığıyla ters orantılıdır.

$$t_{LH} \equiv 9 \frac{2C_L}{\beta_G (V_{DD} - V_{TG})} = 9\tau_{ch} \quad (4.10)$$



4 b) Lojik-0 transferi (deşarj analizi)

- Giriş $v_I(0)=0$ değerinde iken çıkıştaki yük kapasitesinin deşarj edilmesi (boşalması) için geçen süreyi hesaplayalım.
- $v_{DSmax} = v_{Omax} = V_{DD} - V_{TG}$ ve $V_{GS} = V_{DD}$ olduğundan $v_{DS} < v_{GS} - V_{TG}$ geçerlidir ve transistor **doymasız** bölgdededir.
- $v_O(0) = V_{DD} - V_{TG}$ alalım.

$$-C_L \frac{dv_O}{dt} = \beta_G [(V_{DD} - V_{TG})v_O - v_O^2 / 2] \quad (4.11)$$

$$v_O(t) = (V_{DD} - V_{TG}) \left[\frac{2e^{-t/\tau_{dis}}}{1 + e^{-t/\tau_{dis}}} \right] \quad (4.12)$$

(τ_{dis} : deşarj zaman sabiti) $\tau_{dis} = \frac{C_L}{\beta_G (V_{DD} - V_{TG})} \quad (4.13)$

$$t_{HL} = \ln(19)\tau_{dis} \cong 2.94\tau_{dis} \quad (4.14)$$

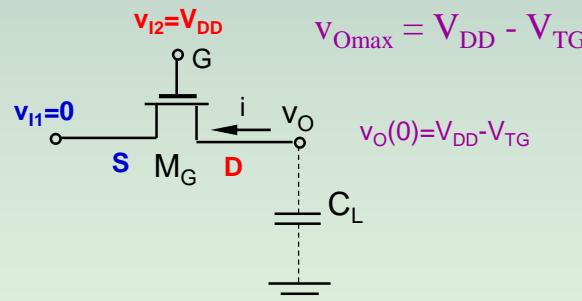
Çıkış düşme (deşarj) süresi, t_{HL} : v_O 'nın v_{Omax} 'dan $0.1v_{Omax}$ değerine ulaşmasına kadar geçen süredir.

$\tau_{ch}=2\tau_{dis}$ yani şarj süresi ve yükselme süresi daha uzundur.

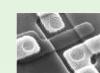
$$t_{LH} \approx 6.1t_{HL} \quad (4.15)$$

NMOS geçiş lojiğinde devrenin hızını belirleyen süre t_{LH} olup, geçiş transistorlarını iletme ve kesime sokan (geçidini kontrol eden) saat işaretini için Eş.4.16 geçerli olmalıdır.

$$(T/2)_{min} > t_{LH} = 9\tau_{ch} \quad (4.16)$$

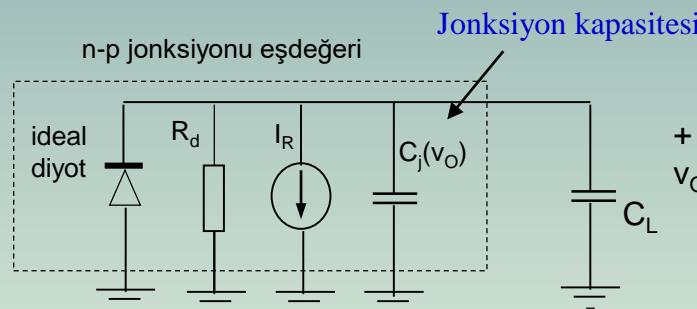


Şekil-4.9 Lojik-0 transferinde geçiş transistoru



c) Esnek düğüm kaçakları

- ◻ $v_{I2}=0$ olunca geçiş transistörü kesime sokulur ve C_L kapasitesindeki yük, bağlı olduğu kapı geçitlerini süren kaynak durumunda olur. Böyle sakladıkları yüklerle takip eden kapıyı süren düğümlere **esnek düğüm** ("soft node") denir.
- ◻ Bazı kaçaklar nedeniyle kapasitedeki yük zamanla azalır. Bu kaçaklar (Şekil-4.10):
 - Tıkama yönünde kutuplanmış olan savak-taban (n-p) jonksiyonunun ters yöndeği doyma akımı
 - Kesime giren geçiş transistörünün kanal bölgесinden akan eşik-altı akımı
- ◻ Yüzey kaçak direnci üzerinden akan akım çok küçük olduğu için esnek düğüm kaçakları pratik olarak bu jonksiyonun tıkama yönü akımından (I_R) ibaret olur.



Şekil-4.10 Esnek düğüm kaçağı modeli

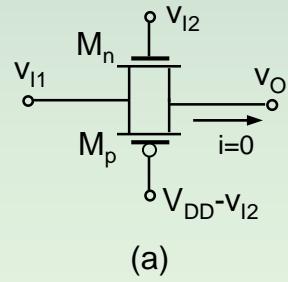
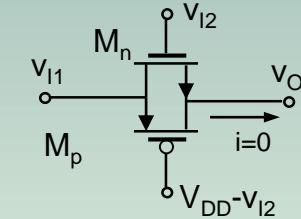


4.3 CMOS Geçiş Lojiği

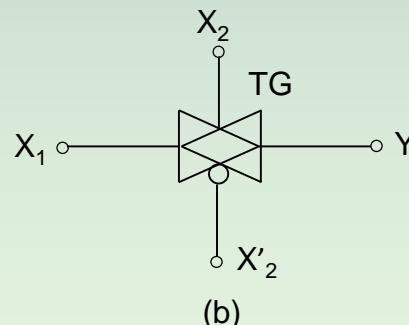
- NMOS anahtarlar basit olmalarına karşılık statik ve dinamik açıdan bazı mahzurları vardır. Bu manzurları gidermek için tek transistorlu anahtarlar yerine paralel bağlı bir NMOS ve bir PMOS'tan oluşan transistor çiftleri kullanılabilir. Bu yapılara **CMOS transmisyon kapıları (TG)** ismi verilmektedir. Bu yapıların avantajlarına karşılık daha fazla yer kaplama gibi önemli dezavantajları mevcuttur.

4.3.1 CMOS Transmisyon Kapısının Statik Özellikleri

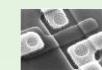
- Transmisyon kapısını iletme sokmak için $v_{I2}=V_{DD}$, kesime sokmak için ise $v_{I2}=0$ yapmak yeterlidir, Şekil-4.11.
- PMOS'un geçidine v_{I2} geriliminin evriği ($V_{DD}-v_{I2}$) uygulanmıştır. NMOS transistorun tabanı GND'de, PMOS'unki ise V_{DD} 'dedir. Statik koşullar altında $v_{II}<v_O$ olamayacağı için $v_{DSN}=v_{II}-v_O$ ve $v_{DSP}=v_O-v_{II}$ olur.



SONUÇ: $v_{I2}=V_{DD}$ için,
NMOS geçidine V_{DD} ,
PMOS geçidine ise 0 uygulanmış olur.
Sonuça her iki transistor da **iletimde**
olup kapı da **iletimdedir**.



Şekil-4.11 CMOS transmisyon kapısı (a), devre sembolü (b).



TG iletimde iken ($v_{I2}=V_{DD}$), $v_{II}, 0$ 'dan V_{DD} 'ye doğru değiştirilerek kapının statik özellikleri ($v_{II} > v_O$ için) araştırılır.



a) NMOS: $v_{GS}-V_T = V_{DD}-v_O-V_{TN}$, $v_{DS}=v_{II}-v_O$

Kesim: $v_{GS}-V_T < 0 \Rightarrow v_O > V_{DD}-V_{TN}$

Doymasız: $v_{GS}-V_T > v_{DS} \Rightarrow v_{II} < V_{DD}-V_{TN}$

Doymalı: $v_{GS}-V_T < v_{DS} \Rightarrow v_{II} > V_{DD}-V_{TN}$

b) PMOS: $v_{GS}-V_T = -v_{II}-V_{TP}$, $v_{DS}=v_O-v_{II}$

Kesim: $v_{GS}-V_T > 0 \Rightarrow v_{II} < -V_{TP}$

Doymasız: $v_{GS}-V_T < v_{DS} \Rightarrow v_O > -V_{TP}$

Doymalı: $v_{GS}-V_T > v_{DS} \Rightarrow v_O < -V_{TP}$

Bu tanımlara göre gerilim geçiş eğrisinin bölgeleri ($v_{I2}=V_{DD}$):

i) $0 < v_{II} < -V_{TP}$: PMOS kesimde, NMOS doymasız çalışır, $v_O = v_{II}$ dir.

ii) $-V_{TP} < v_{II} < V_{DD}-V_{TN}$: Her iki transistor da doymasız, $v_O = v_{II}$ dir.

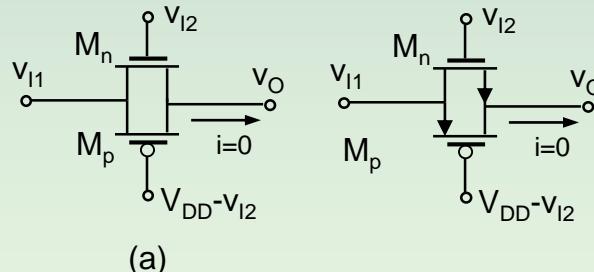
iii) $V_{DD}-V_{TN} < v_{II} < V_{DD}$: NMOS kesimde, PMOS doymasız, $v_O = v_{II}$ dir.

SONUÇ: Transistorların ters çalışması da mümkün değildir. Bu durum, geçiş eğrisinde köşegenin üst kısmını kapsar.

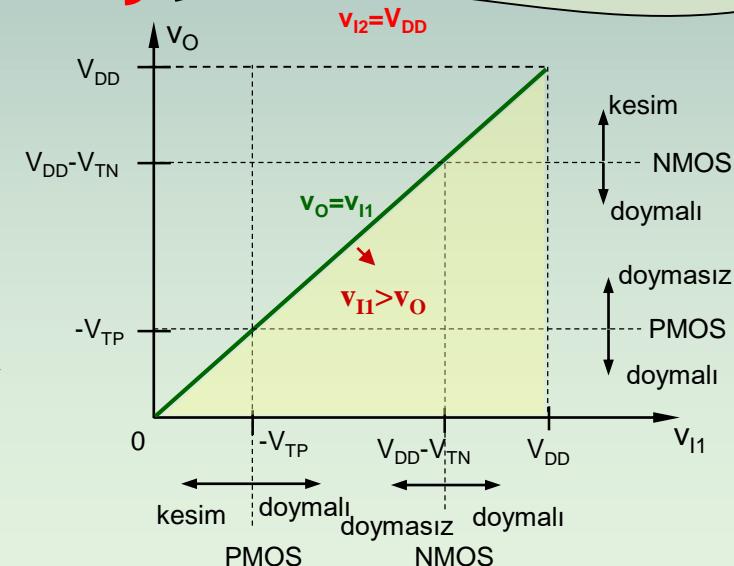
KURAL: NMOS veya PMOS iletimdeyse, statik akım akmaz, transistorlarda gerilim düşümü olmaz ve ancak doymasız ($v_{DS}=0$) çalışırlar.

SONUÇ: $v_{I2}=V_{DD}$ için, TG her giriş (v_{II}) için iletimde olup $v_O=v_{II}$ dir.

- Giriş, TG iletimde iken hiçbir gerilim kaybı olmadan aynen çıkışa yansıtılmaktadır.
- lojik-0 NMOS, lojik-1 ise PMOS üzerinden iletilmektedir.

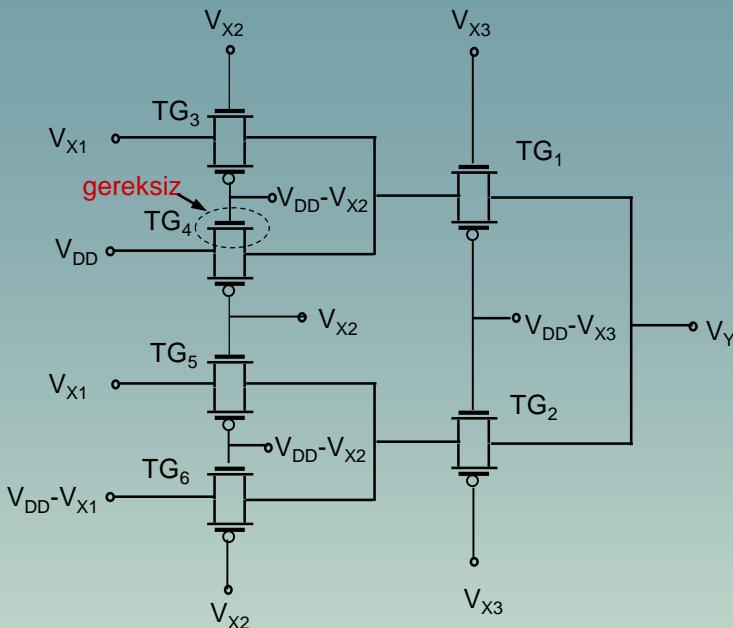


Şekil-4.11 CMOS transmisyon kapısı (a), devre sembolü (b).



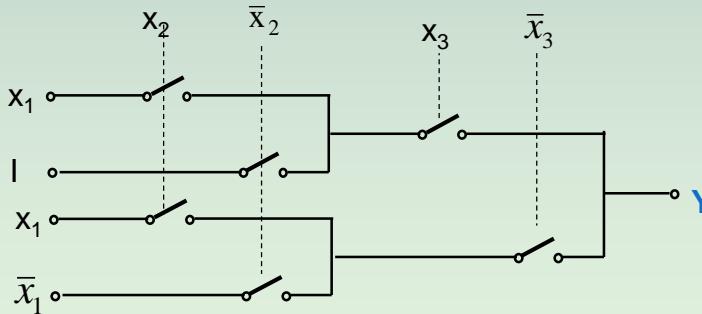
Şekil-4.12 CMOS TG'nin gerilim geçiş eğrisi

Şekil-4.5’deki anahtarlı yapının NMOS geçiş lojigi ile gerçekleşen devresi Şekil-4.7’de verilmiştir. Bu devrenin CMOS TG’lerle gerçekleşmiş hali ise Şekil-4.13’de gösterilmiştir.

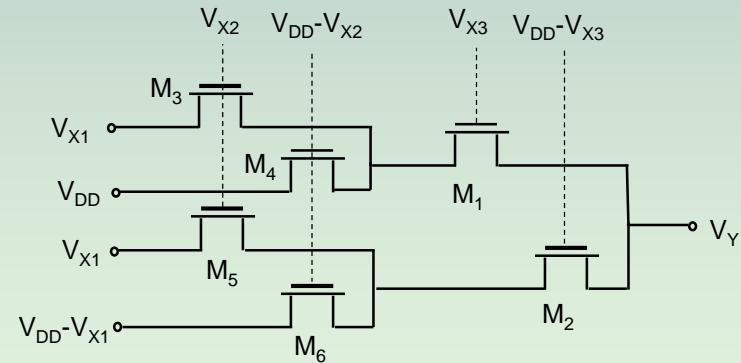


- Burada V_{DD} 'de sonlanan TG'lerin (Şekil-4.13'de TG_4) NMOS transistorları ile 0'da sonlanan TG'lerin PMOS transistorları (Şekil-4.12) **gereksizdirler**.
 - Şekil-4.13'deki CMOS yapıda, NMOS ve PMOS transistorları birlikte görülmektedir ve yerleşim için her bir PMOS için ayrı bir n-kuyu gerekmesi bir dezavantaj olarak karşımıza çıkar. Bu mahzuru ortadan kaldırmak üzere NMOS ve PMOS ağlar Şekil-4.14'de görüldüğü gibi ayrı ayrı gerçekleştirilebilir.

Şekil-4.13 Şekil 4.3 deki anahtarlı yapının CMOS TG'lerle gerçekleştirilmesi



Şekil-4.5 x_3 , x_2 , x_1 sırasına göre açılımı yapılan fonksiyona ait anahtarlı devre

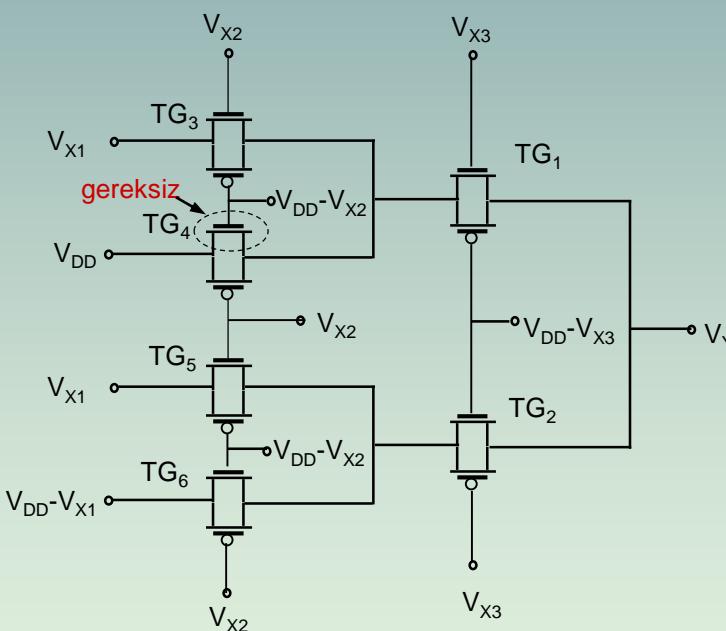


Şekil-4.7 Şekil-4.5'deki anahtarlı yapının NMOS geçiş lojiği ile gerçekleşmiş hali

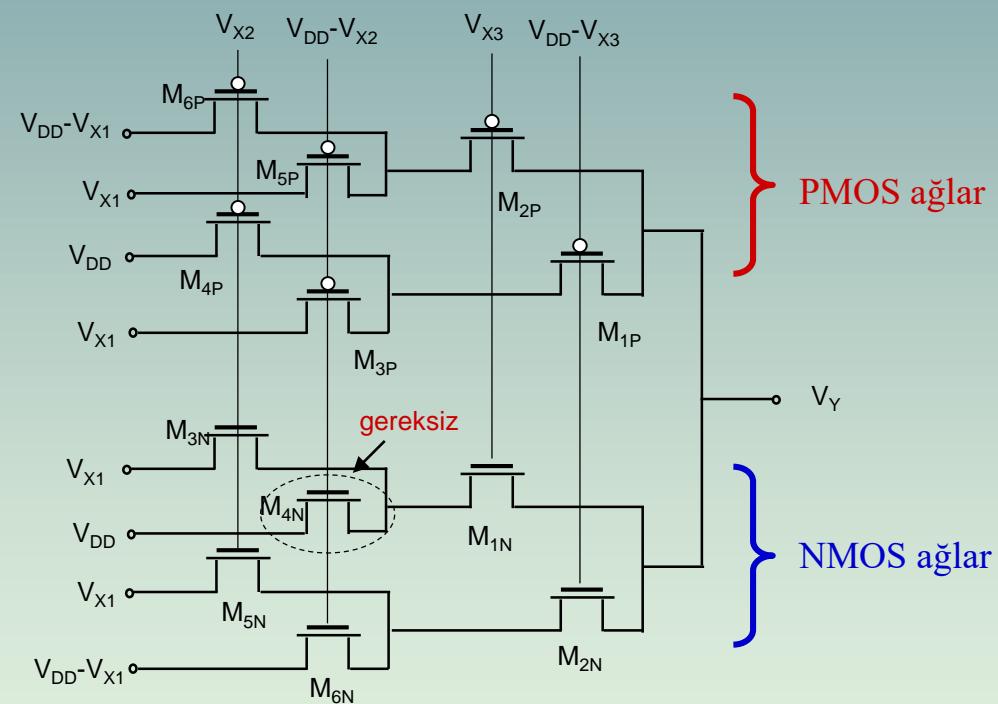


Şekil-4.13'deki CMOS yapıda, NMOS ve PMOS transistorları birlikte görülmektedir ve yerleşim için her bir PMOS için ayrı bir n-kuyu gereklmesi bir dezavantaj olarak karşımıza çıkar. Bu mahzuru ortadan kaldırmak üzere NMOS ve PMOS ağlar Şekil-4.14'de görüldüğü gibi ayrı ayrı gerçekleştirilebilir.

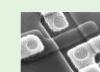
- Şekil-4.14'deki geçiş lojiği devresi, girişindeki **lojik-1** seviyesindeki gerilimleri **PMOS ağ**, **lojik-0** seviyesindeki gerilimleri ise **NMOS ağ** üzerinden çıkışa ileter.



Şekil-4.13 Şekil 4.3 deki anahtarlı yapının CMOS TG'lerle gerçeklenmesi



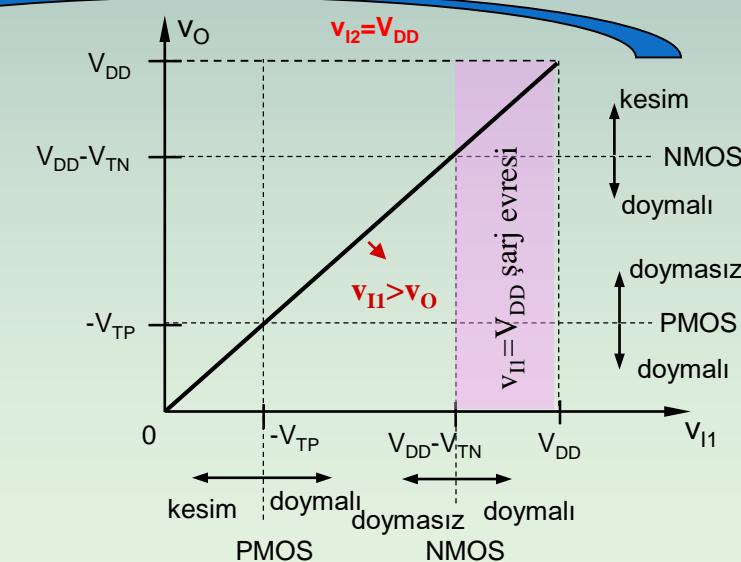
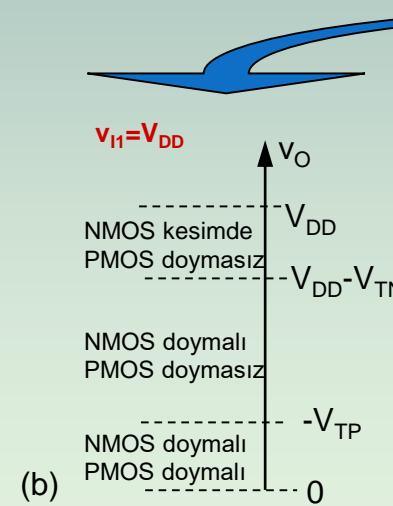
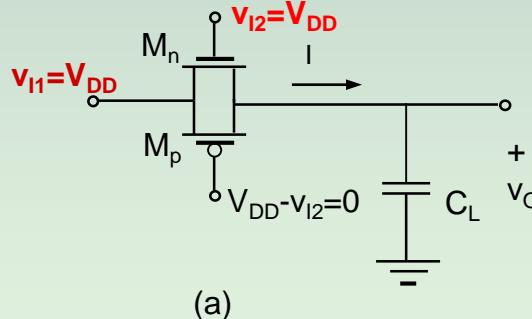
Şekil-4.14 CMOS geçiş lojiği kapısının (Şekil 4.13 deki) ayrı a葦larla gerçekleştirmiş hali



4.3.2 CMOS Transmisyon Kapısının Dinamik Özellikleri

- Dinamik özellikler, girişte $v_{II}=V_I(1)=V_{DD}$ ve $v_{II}=V_I(0)=0$ varken, **iletme** sokulan transmisyon kapısına ($v_{I2}=V_{DD}$) çıkışının **hangi gecikme** ile son değerine ulaşacağının (**yükselme ve düşme sürelerinin**) ve **kesime** sokulan TG halinde ($v_{I2}=0$) saklanması gereken esnek düğüm yükünün kaçaklarının irdelenmesidir.
 - **a) Lojik-1 transferi (şarj analizi)**
 - TG iletimdeyken ($v_{I2}=V_{DD}$) ve giriş $V_I(1)=V_{DD}$ değerinde iken çıkıştaki toplam yük kapasitesinin şarj edilmesi yani dolması için geçen sürenin hesaplanabilmesi için önce TG transistorlarını bu evrede hangi çalışma rejimlerinde olacağını araştıralım, Şekil-4.15.
 - Dinamik davranışını analiz etmek üzere **eşdeğer TG direnci** (R_{eq}) kavramını kullanacağız.

$$I = I_{Dn} + I_{Sp} \quad R_{eq} = \frac{V_{DD} - v_O}{I} \quad R_{eq} = \frac{R_n R_p}{R_n + R_p} \quad (4.17)$$



Şekil-4.12 CMOS TG'nin gerilim geçiş eğrisi

Doymalı rejimdeki transistor dirençleri $\Rightarrow R_n = \frac{2(V_{DD} - v_O)}{\beta_N(V_{DD} - v_O - V_{TH})^2}$ $R_p = \frac{2(V_{DD} - v_O)}{\beta_P(V_{DD} + V_{TP})^2}$

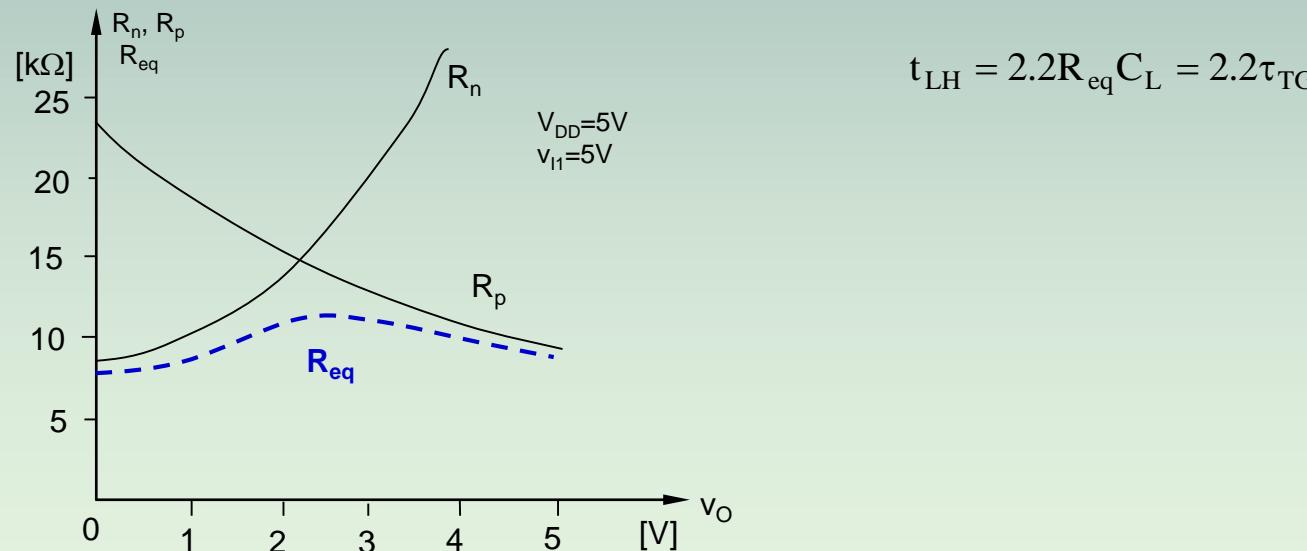
(4.18)

Doymasız rejimdeki PMOS direnci $\Rightarrow R_p = \frac{2}{\beta_P[2(V_{DD} + V_{TP}) - (V_{DD} - v_O)]}$

(4.19)

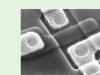
- Şekil-4.16'dan görülebileceği gibi doymalı çalışan NMOS iç direnci (R_n) $v_O = V_{DD} - V_{TN}$ değerinde transistor kesime girdiği için çok büyük değerlere doğru tırmanmaktadır. Buna karşılık, başlangıçta doymalı çahsan PMOS daha sonra doymasız bölgeye girdiği için daha küçük iç dirence (R_p) sahip olmaktadır. Sonuç olarak her iki transistorun iç dirençlerinin parallel eşdeğeri olan TG iç direnci (R_{eq}) ise çıkışın değişim aralığı boyunca çok az değişmektedir; başka bir ifadeyle $R_{eq} \approx \text{sabit}$ kabul edilebilir. Bu durumda lojik-1 transferi problemi, çok iyi bilinen bir direnç (R_{eq}) üzerinden bir kapasitemin (C_L) **şarj edilmesi** problemine dönüşmüştür. Sonuç olarak TG çıkışındaki gerilimin zamana bağlı ifadesi Eş.(4.20)'deki gibi olur. **Yükselme süresi (t_{LH})**, Eş. (4.21)'deki gibi hesaplanabilir.

$$v_O(0)=0, \quad v_O(\infty)=V_{DD} \quad \Rightarrow \quad v_O(t) = V_{DD}(1 - e^{-t/\tau_{TG}}) \quad \tau_{TG} = R_{eq} C_L \quad (4.20)$$



$$t_{LH} = 2.2R_{eq}C_L = 2.2\tau_{TG} \quad (4.21)$$

Şekil-4.16 Giriş lojik-1 de iken TG'nin transistor dirençlerinin çıkış gerilimi ile değişimi



4 b) Lojik-0 transferi (deşarj analizi)

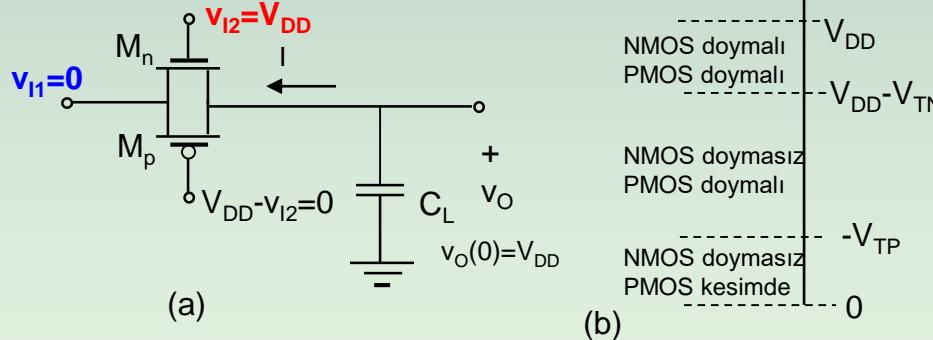
- TG iletimdeyken ($v_{I2}=V_{DD}$) ve giriş $V_I(1)=0$ değerinde iken çıkıştaki toplam yük kapasitesinin deşarj edilmesi yani boşaltılması için geçen sürenin hesaplanabilmesi için önce TG transistorlarını bu evrede hangi çalışma rejimlerinde olacağını araştıralım, Şekil-4.17. Lojik-0 transferinde NMOS ve PMOS savak ve kaynak uçlarının lojik-1'e göre aksedilmiş durumda olduğunu hatırlamak gereklidir.

Doymalı rejimdeki transistor dirençleri $\Rightarrow R_n = \frac{2v_o}{\beta_N(V_{DD} - V_{TH})^2}$ $R_p = \frac{2v_o}{\beta_P(-v_o - V_{TP})^2}$ (4.22)

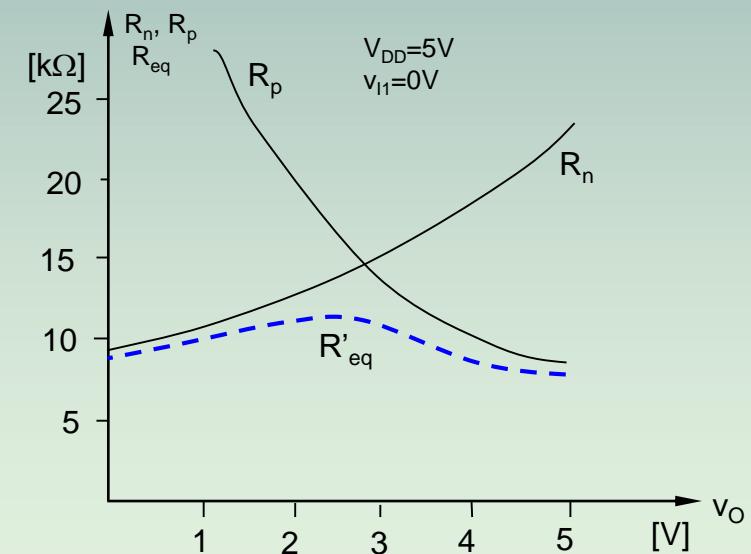
Doymasız rejimdeki NMOS direnci $\Rightarrow R_n = \frac{2}{\beta_N[2(V_{DD} - V_{TN}) - v_o]}$ (4.23)

Düşme süresi $\Rightarrow t_{HL} = 2.2R'_eq C_L = 2.2\tau_{TG}$ (4.24)

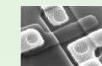
- (4.21) ve (4.24)'deki zaman sabitlerinin eşit olması için $\beta_n = \beta_p$ olmalıdır. Bu durumda yükselme ve düşme süreleri eşit olur ($t_{LH}=t_{HL}$).



Şekil-4.17 CMOS TG üzerinden lojik-0 transferi (a), transistorların çalışma rejimlerinin çıkış gerilimine bağımlılığı (b).

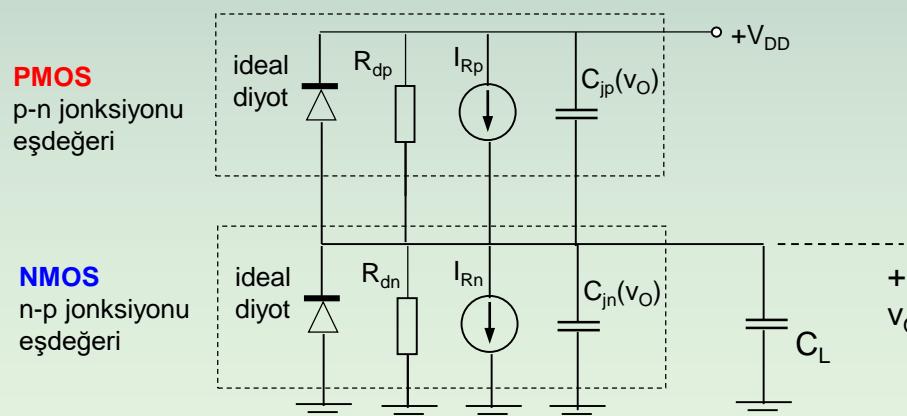


Şekil-4.18 Giriş lojik-0 de iken TG'nin transistor dirençlerinin çıkış gerilimi ile değişimi



c) Esnek düğüm kaçakları

- ◻ $v_{I2}=0$ olunca transmisyon kapısının her iki transistoru da kesime sokulur ve C_L kapasitesindeki yük dış dünyadan izole edilerek korunur. Bu şekilde veya lojik-1 giriş değerlerine karşı düşen C_L 'de saklanan yük, geçitlerini sürdüğü standart kapı devresi için geçerli lojik konumunu da muhafaza etmiş olur. Ancak kaçaklılardan dolayı esnek düğümde saklanan yük yavaşça değerinden kaybeder.
- ◻ Transmisyon kapısı kesimde iken C_L 'nin yükünün değişebilmesi için geçiş transistorunda olduğu gibi **iki farklı kaçak nedeni** söz konusu olur. Bunlar, tıkama yönünde kutuplanan savak-taban veya kaynak-taban jonksiyonlarının ters yöndeki doyma akımları ve kesimdeki her iki MOS transistorun kanal bölgesinden akan eşik-altı akımlarıdır. Eşik-altı akımların ihmali edilebileceği haller için, esnek düğüm kaçağının belirlenmesi için kullanılabilen eşdeğer devre Şekil-4.19'da görülmektedir. Burada esnek düğüm kapasitesinin (C_L) kaçak yolunu temsil eden jonksiyon bileşenleriyle görülmektedir. Bu bileşenler;
 - i. ideal diyotlar,
 - ii. diyotların yüzey kaçak dirençleri (R_{dp} ve R_{dn}),
 - iii. diyotların tıkama yönü akımlarına karşı düşen akım kaynakları (I_{Rn} ve I_{Rp})
 - iv. ve diyot jonksiyon kapasiteleri (C_{jn} ve C_{jp}) olarak sıralanabilir.
- ◻ Yüzey kaçak dirençleri üzerinden akan akımlar çok küçük olduğu için esnek düğüm kaçakları pratik olarak bu jonksiyonun **tıkama yönü akımlarından (I_{Rn} ve I_{Rp})** ibaret olur.



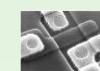
Şekil-4.19 CMOS transmisyon kapısı için esnek düğüm kaçağı modeli



5 – İKİLİ DEVRELER

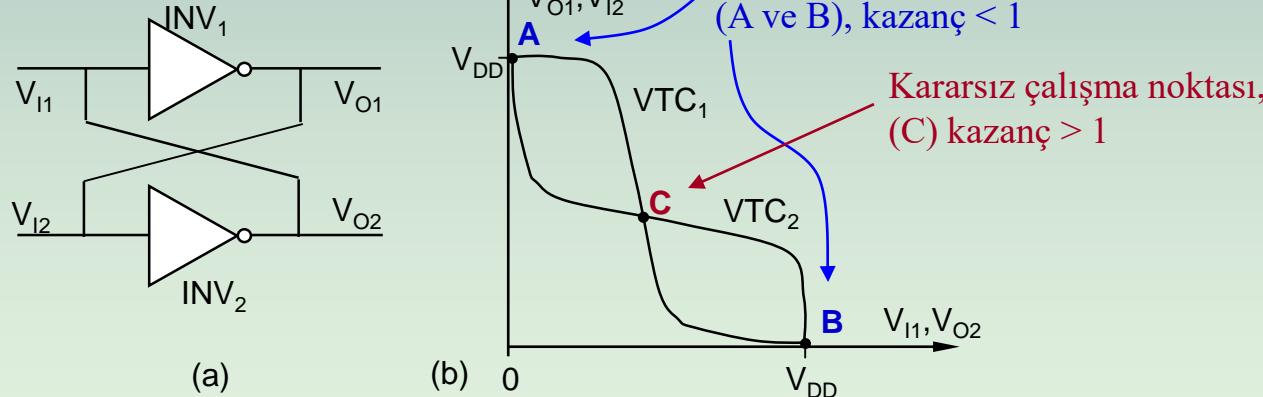
5.1 Giriş

- Bir lojik devrede herhangi bir andaki çıkış, kısa transfer gecikmeleri hariç, sadece o andaki giriş değerlerine bağlı ise bu tip devrelere **kombinezonsal lojik devreleri** adı verilmektedir. Burada “kombinezonsal” terimi özellikle çıkışların sadece o andaki giriş kombinezonuna bağlı olduğunu vurgulamaktadır. Bu tür devrelere örnek olarak temel kapı veya karmaşık kapı devreleri gösterilebilir.
- Lojik devrelerin diğer bir bölümü ise **ardışıl lojik devreler** olarak adlandırılmaktadır. Bu tür devrelerde çıkış veya çıkışlar, sadece o andaki giriş değerlerine değil aynı zamanda girişlerin ve çıkışların önceki değerlerine de bağlıdır. Başka bir ifadeyle, devrenin geçmişi geleceği üzerinde etkilidir.
- Ardışıl devrelere örnek olarak **sayıçı**, **öteleyici** gibi devreler gösterilebilir. Bu devrelerin belirgin özelliği, çıkış ve giriş arasındaki **pozitif geribeslemedir**.
- Ardışıl devrelerin temelini temel hafiza fonksiyonunu sağlayan **iki kararlı devreler**, yani “**flip-flop**”lar meydana getirir.
- Pozitif geribeslemeli sayısal devrelerin diğer bir ailesi de **multivibratörlerdir** (**ikililerdir**). Bunlar da:
 - iki kararlı (bistabil) multivibratörler (**ikililer**),
 - tek kararlı (monostabil) multivibratörler,
 - kararsız (astabil) multivibratörler olmak üzere üç grupta ele alınabilir.



5.2 Temel İkili Devre

- Şekil-5.1.a'da, iki eviricinin ardarda bağlanmış geribeslemeli haldeki temel ikili devre ve bu iki eviricinin gerilim geçiş eğrileri Şekil-5.1.b'de gösterilmiştir. Burada, V_{O2} , V_{II} 'e, diğer taraftan V_{O1} , V_{I2} 'ye eşittir.
- Her evirici için C noktasındaki kazanç mutlak değerce 1'den büyütür ve bu noktada INV_1 ve INV_2 eviricileri iletimdedir. Devre bu konumda iken herhangi bir gerilim değişikliği, pozitif geribesleme çevrimi üzerinden kuvvetlendirilerek çalışma noktasını, küçük değişimin işaretine bağlı olarak, C'den A ve B kararlı noktalarından birine doğru kaymaya zorlar. Böyle iki kararlı çalışma noktasının varlığından dolayı devre '**iki kararlı devre**' olarak anılmaktadır. Devreyi bir kararlı durumdan diğer bir kararlı duruma getirmek için kazancın 1'den büyük duruma getirilmesi gereklidir. Bunun için devrenin girişine bir **tetikleme darbesi** uygulanır. Bu tetikleme darbesinin genişliği, çevrimin toplam propagasyon gecikme süresinden biraz daha fazla olmalıdır. Çevrimin toplam gecikme süresi ise iki eviricinin ortalama propagasyon süreleri toplamına eşittir.
- İki kararlı devrenin diğer bir adı da "**flip-flop**" dur. Fakat "**flip-flop**" adının sayısal tümdevrelerde daha karmaşık devreler için kullanılması alışkanlık haline gelmiştir.



Şekil-5.1 İki eviriciden oluşan temel ikili devre (a),
bunların gerilim geçiş eğrileri (b).

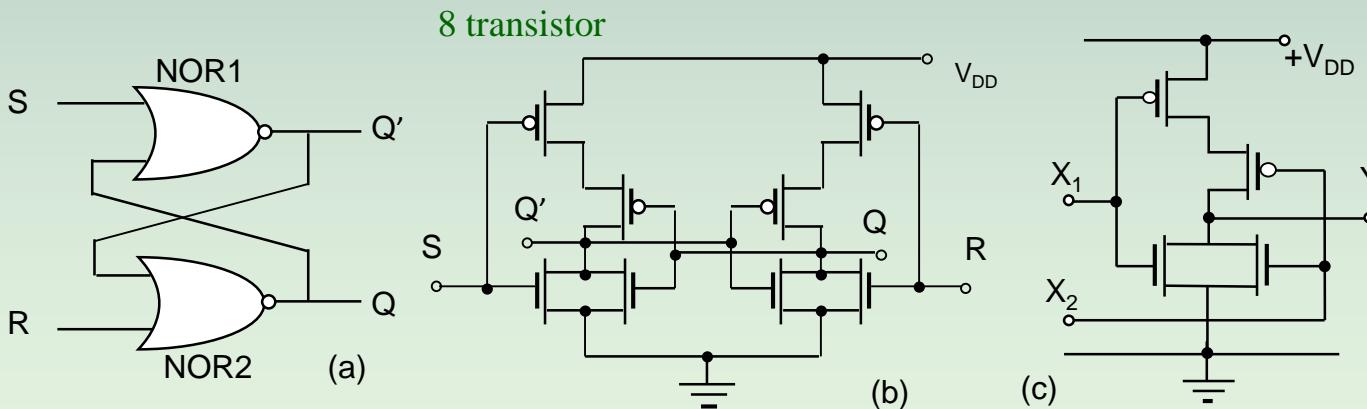


5.3 Asenkron SR İkilileri

- Giriş verisini saklama özelliğine sahip ikili devrelerin en basitü **SR (set-reset)** tipi ikili devrelerdir. Temel ikilinin NMOS veya CMOS teknolojisine uygun çalışabilmesi için statik giriş akımlarının sıfır olması gereklidir. Bu nedenle devre temel kapı devreleri cinsinden asenkron ikilileri VEYA-DEĞİL (NOR) veya VE-DEĞİL (NAND) tabanlı olarak gerçekleştirilebilirler.
- Girişlerin birbirinden bağımsız zamanda gelmesine izin verildiğinden, yani bir saat işaretiyile ikilinin konum değiştirmesi kontrol edilmediğinden bu ikililere **asenkron ikililer** denir.

5.3.1 NOR Kapılarıyla SR İkilisi

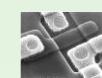
- Sekil-5.2a'da, iki adet NOR kapısıyla gerçekleştirilen SR ikilisi verilmiştir. Çıkışlardan gelen girişlerin dışındaki diğer kapı girişleri (S ve R girişleri) ikili devreyi bir kararlı durumdan diğerine devirmeye hizmet ederler. **S girişine 1 seviyesi** uygulamrsa, **Q' çıkışında 0 seviyesi**, aynı şekilde R girişine lojik-0 uygulamrsa **Q çıkışında 1 seviyesi** elde edilir. Tersine R de 1 seviyesi Q çıkışında lojik-0, Q' de lojik-1 durumunu doğurur, Tablo-5.1.
- S ve R'in birlikte L1 olmaları halinde çıkışlar 0,0 olmaktadır. Bu durumda, iki çıkış birbirinin eşleniği olmamaları durumu ortaya çıkar. O halde bu durum **yasak** durumudur.
- $Q'=1$ olması durumunda **toplum gecikme**, $T_{PSR} = T_{PHL2} + T_{PLH1}$ kadardır. $Q=1$ olması durumundaki toplam gecikme ise, $T_{PSR} = T_{PHL1} + T_{PLH2}$ olur. NOR kapıları eş kapılar olduğu için her iki durumda gecikmeler eşittir.



Şekil-5.2 (a) NOR tabanlı asenkron SR ikilisi, (b) CMOS devre ve (c) NOR kapısı.

Tablo-5.1 NOR tabanlı SR ikilisine ait durum tablosu

S	R	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Yasak



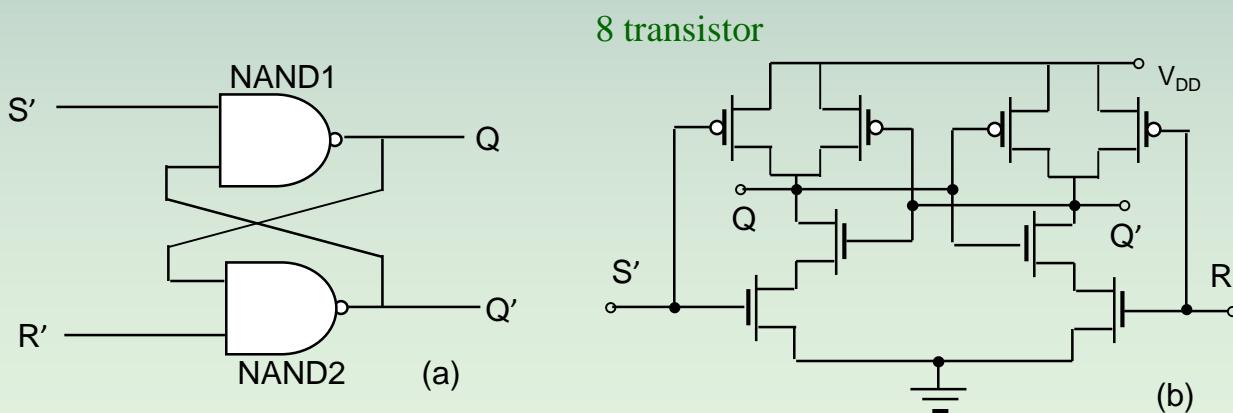
5.3.2 NAND Kapılarıyla SR İkilisi

- Bu tip kapılarla gerçekleştirilen ikili devre ve CMOS gerçekleştirmeye Şekil-5.3'de görülmektedir.
- Tablo-5.2'den görüldüğü gibi, girişlerin 1 durumunda olmaları normal konumdur. S' girişine uygulanan 0 ile ikili devrilir (set edilir, Q=1). R' girişine uygulanan 0 ile ise ikili sıfırlanır (resetlenir, Q=0).
- S' ve R' nün birlikte 0 olmaları **yasak** konumudur.

Çıkışlar ancak, S ve R girişlerinin birbirinin evriği olması durumunda konum değiştirmektedir.

Tablo-5.2 NAND tabanlı SR ikilisine ait durum tablosu

S R	S' R'	Q Q'	Durum
0 0	1 1	Q Q'	Tutma
1 0	0 1	1 0	Set
0 1	1 0	0 1	Reset
1 1	0 0	1 1	Yasak



Şekil-5.3 (a) NAND tabanlı asenkron SR ikilisi, (b) CMOS devre



- Saat işaretleri ile konum değiştirmeleri kontrol edilebilen ikili devrelere **senkron flip-flop'lar** denilmektedir. SR tipi ikili devreler NOR tabanlı ise AOI (And Or Invert), NAND tabanlı ise OAI temel formlarına göre düzenlenerek senkron flip-flop (ikili) haline getirilebilirler.

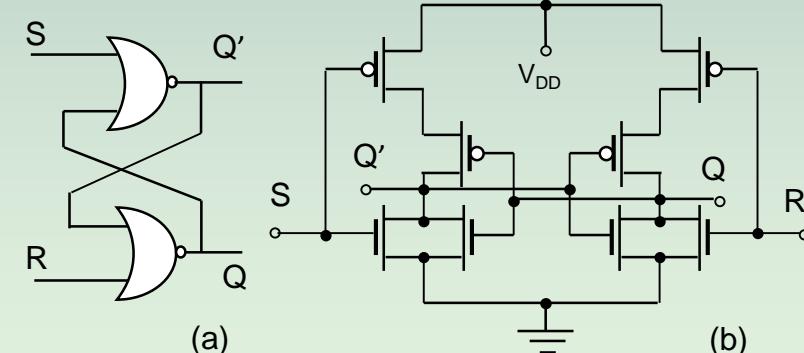
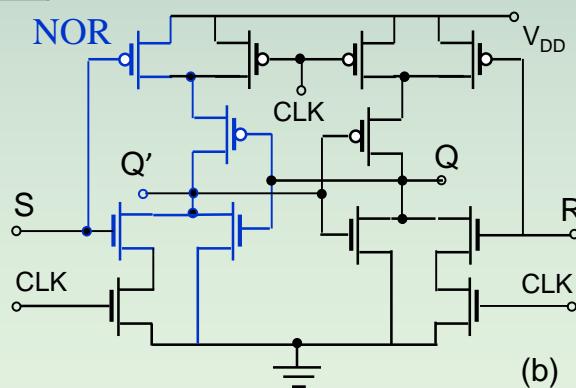
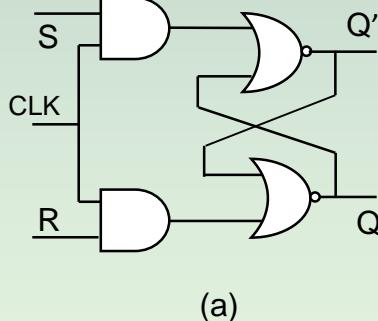
5.4.1 NOR Tabanlı Senkron SR İkilisi

- Şekil-5.2'deki devreye lojik devre düzeyinde iki adet iki girişli AND kapısı eklenerek ve bu kapılar saat işaretini (CLK) ile kontrol edilerek senkron NOR bazlı SR ikilisi elde edilir.
 - Devre CLK=1 iken bir SR ikilisi gibi davranışırken, CLK=0 iken giriş işaretinin değişikliklerine cevap vermez.

S	R	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Yasak

AND girişindeki çarpma işlemi **NMOS** ağda seri transistorlarla, bunun **PMOS** ağdaki karşılığı da paralel transistorlarla gerçekleşir.

12 transistor



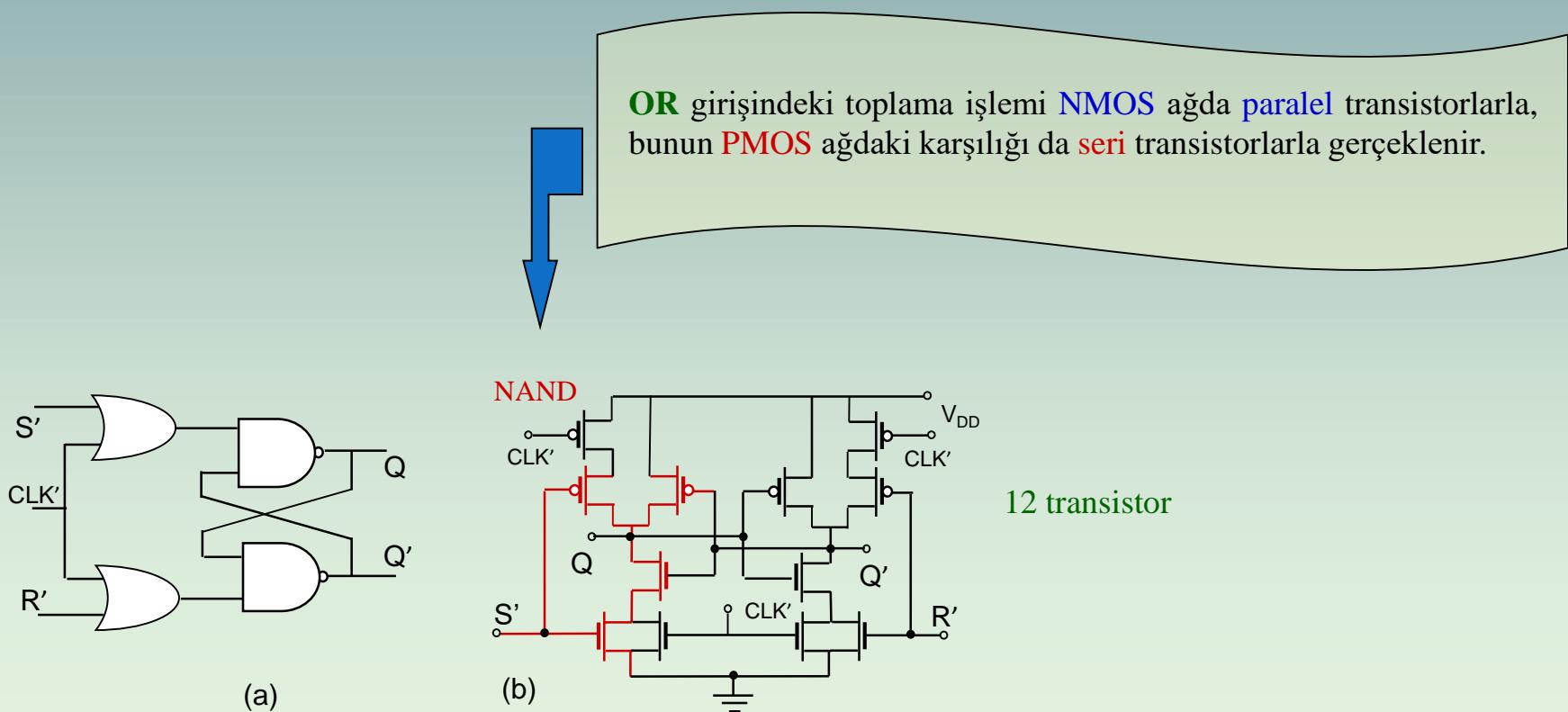
Sekil-5.4 NOR tabanlı senkron SR ikilisi (a), CMOS gerçekleme (b).

Şekil-5.2 (a) NOR tabanlı asenkron SR ikilisi,
 (b) CMOS devre ve (c) NOR kapısı.



5.4.1 NAND Tabanlı Senkron SR İkilisi

- Şekil-5.3'deki devreye lojik düzeyinde iki adet iki girişli OR kapısı eklenerek ve bu kapılar evrik saat işaretiyile (CLK') kontrol edilerek senkron NAND bazlı SR ikilisi elde edilir.
- Bu tür ikili devrede de $CLK'=1$ ($CLK=0$) iken devrenin girişlerinin etkisiz kaldığı, ancak $CLK=1$ iken çıkışların giriş durumlarına bağlı olduğu görülmektedir.

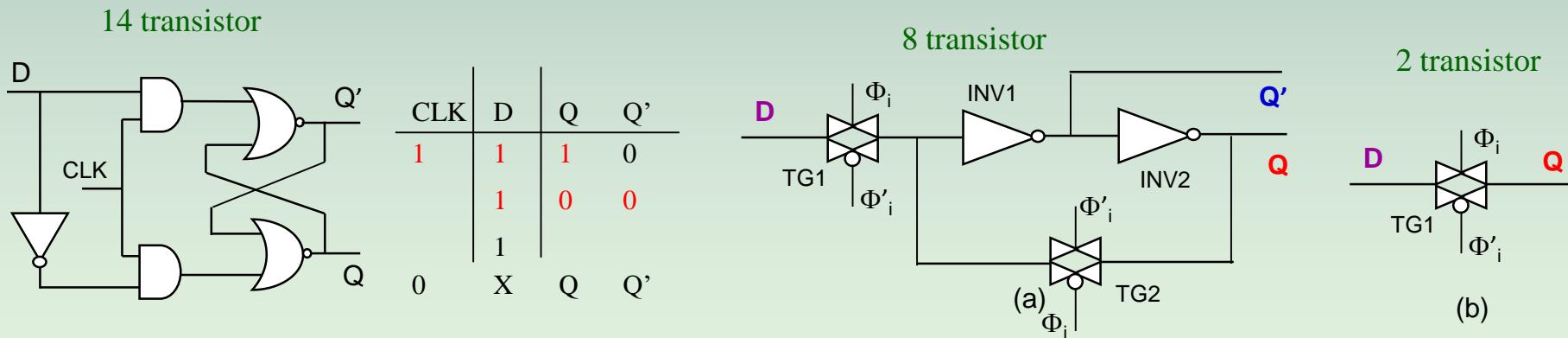


Şekil-5.5 NAND tabanlı senkron SR ikilisi (a), CMOS gerçekleme



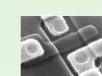
5.5 D İkilisi

- Bu tür devreler, sayısal sistemlerde veri saklanması için yaygın olarak kullanılırlar.
- D tipi bir ikili devrenin NOR tabanlı flip-flop ile gerçekleemesi Şekil-5.6'daki gibidir.
- NAND tabanlı flip-flop ile de gerçekleştirme mümkündür.
- Devrenin girişindeki evirici, S girişinden R eşleniğini elde etmede kullanılmaktadır.
- Devrenin çıkışı saat işaretini lojik-1'de iken girişi (D'yi) takip eder, saat lojik-0 iken bir önceki değerini korur.
- Devre, klasik SR ikilisinin girişine yerleştirilen bir evirici ile elde edilir.
- Şekil-5.6'daki lojik yapının standart CMOS gerçekleemesi için 14 adet MOS transistor gereklidir. Halbuki, temel ikili devre ve iki adet CMOS transmisyon kapısı ile 8 transistorlu olarak gerçekleştirilebilir, Şekil-5.7.
- Şekil-5.7'deki devrede, TGI ve TG2 zit evrede çalışmaktadır. $\Phi_i=1$ ise TG1 iletimde TG2 kesimdedir. Bu durumda girişteki işaret (D) iki kere evrilerek Q çıkışına ulaşır. Diğer evrede, yani $\Phi_i=0$ iken TG1 kesimde, TG2 iletimde olur. Bu evre tutma evresidir. İki eviriciye TG2 üzerinden bir geribesleme yolu oluşur ve bu durumda eviricilerin oluşturduğu temel ikili, bir evvelki çıkışı muhafaza eder.



Şekil-5.6 NOR tabanlı senkron SR ikiliye ilave edilen statik evirici ile elde edilen D-tipi ikili devre.

Şekil-5.7 Transmisyon kapılarıyla D tipi ikili devre gerçekleemesi (a), tek TG'li, tek çıkışlı saklayıcı (b).

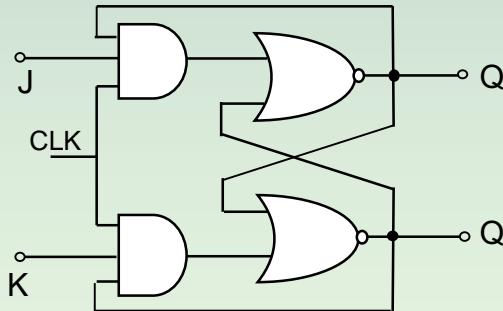


5.6 JK İkilisi

- S ve R girişlerinde söz konusu olan yasak durum mahzuru iki geribesleme yolunun ilave edilmesi ile giderilebilir. Bu tür devrelere JK ikilisi adı verilir. NOR kapıları ile gerçekleştirilmiş JK ikilisi Şekil-5.8'de görülmektedir.
- Şekil-5.8'deki devre, Şekil-5.4'deki senkron SR ikilisiyle karşılaştırılırsa, devrenin girişlerinin, saat işaretinin ve geribeslemelerin aynı anda uygulanması için AND kapılarının iki yerine üç girişli olması gerektiği anlaşılır.
- NAND kapılarıyla gerçekleştirilen ikili devre de modifiye edilerek JK tipi ikili devre elde edilebilir.
- JK ikilisinde, geribeslemeler sayesinde girişli yasak konumun oluşmasına imkan kalmaz. Yasak konumların ortadan kalkmasına karşılık, geribesleme nedeniyle zamanlama sorunları ortaya çıkabilir.
- Örneğin **J=K=1** iken devrenin girişine saat işaretini uygulandığında, saat darbesinin süresi $t_H < 2T_p$ şartını sağlamazsa osilasyonlar (belirsizlik) ortaya çıkar.

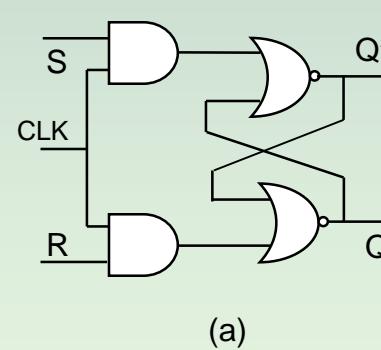
CLK=1 için

J	K	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	Q'	Q	Evirme

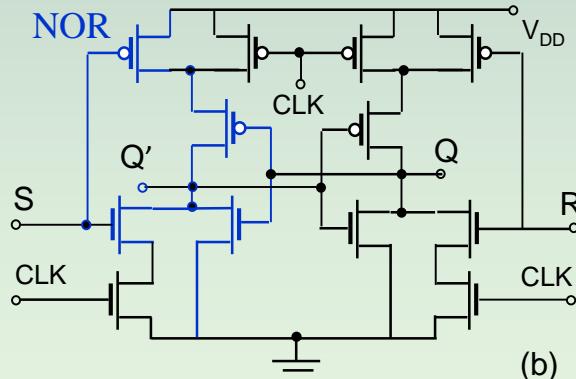


Şekil-5.8 NOR bazlı JK ikilisi

S	R	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Yasak

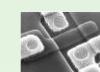


(a)



(b)

Şekil-5.4 NOR tabanlı senkron SR ikilisi (a), CMOS gerçekleme (b).

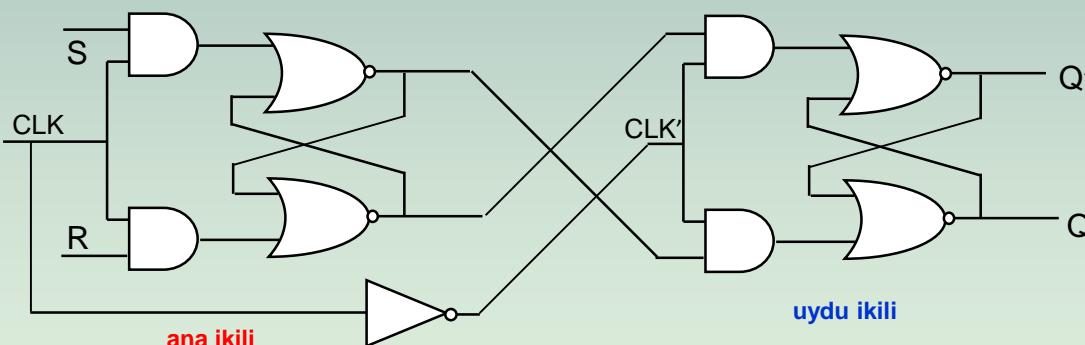


5.7 Ana-Uydu İkilileri

- Ana-uydu (“master-slave”) türü ikili devreler iki adet aynı türden ikili devreyi zıt fazda aktive ederek yasak konum ve zamanlama sorunlarını ortadan kaldırmak üzere tasarlanmıştır. Bu ikili devrelerden ilkine **ana ikili** denir ve bu devrenin çıkışları çaprazlanarak **uydu ikili** devre olarak anılan ikinci ikili devrenin girişlerine bağlanır.
- Hem SR hem de JK türü ana-uydu ikili devreler gerçekleştirilebilir.

5.7.1 SR Ana-Uydu İkilisi

- Şekil-5.9'da iki adet NOR bazlı senkron ikili devresinin zıt fazda kaskat bağlanmış halinden oluşan ana-uydu SR ikilisi görülmektedir.
- Ana-uydu SR ikili devresinin önemli bir **sorunu** vardır: $S=R=0$ için $CLK=1$ iken her iki giriş birden aniden lojik-1'e yükselirse, bu iki giriş arasında kritik yarış problemi ortaya çıkar. Bu yarış bazen uydu ikili için tanımsız girişler oluşmasına yol açabilir.



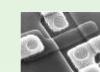
Şekil 5.9 SR ana-uydu ikilisi

S	R	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Yasak

S	R	Q	Q'	Durum
0	0	Q	Q'	Tutma
1	0	1	0	Set
0	1	0	1	Reset
1	1	Q	Q'	Tutma

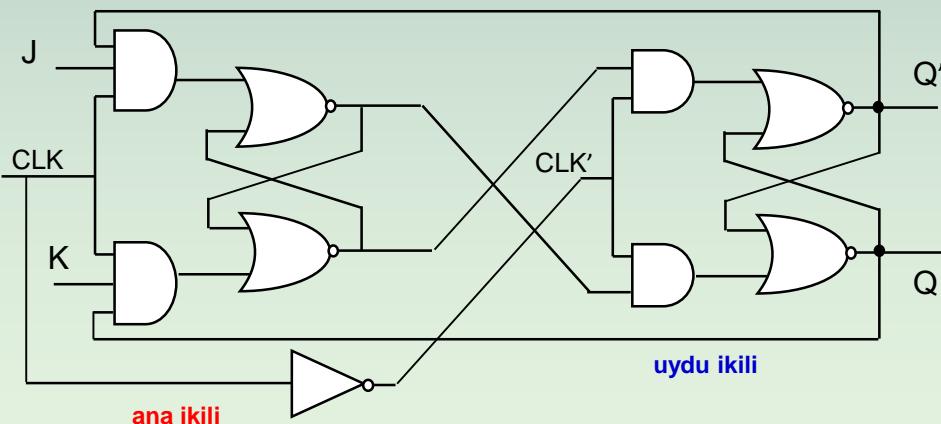
Ana İkili

Uydu İkili



5.7.2 JK Ana-Uydu İkilisi

- JK ikilisindeki saat (CLK) darbesi için söz konusu olan sınırlama, JK ana-uydu devresi ile aşılabilir. Bu devre kaskat ve zt fazlı bağlanmış iki adet JK ikilisinden oluşur, Şekil-5.10.
- Ana ikili uydu ikiliyi sürer. Ana ikili saat darbeleri ile aktive edilmekte iken, uydu ikili saat darbelerin evriği ile tetiklenmektedir. $CLK=1$ iken ana ikili aktif halde, buna karşılık $CLK'=0$ olduğu için uydu ikilinin girişleri bloke olur. Sonuç olarak uydu ikili ana ikiliden yalıtılmış olur ve çıkışları artık konum değiştiremeyecekleri için saat darbesinin genişliği problem olmaz. Saat darbesi yukarıda belirtilen durumun tersine döndüğünde ($CLK=0$) ana ikili bloke olur ve bu ikilinin nihai değerini alan çıkışları aktif hale gelen uydu ikilinin girişlerini oluşturur. Bu devrede saat darbeleri açısından sadece tek bir sınırlama mevcut olup, o da darbenin minimum genişliğidir. Darbe genişliği ana ikilinin ortalama propagasyon gecikme süresinden bir miktar büyük olmalıdır. Bu tür ikiliklere zorlayıcı "SET" (S_D) ve "RESET" (R_D) girişleri ilave edilebilir. Bu girişler CLK girişinden bağımsızdır.
- JK ana-uydu ikililerinin de bir problemi vardır. $CLK=1$ konumunda ve uydu ilk konumuna getirilmiş halde iken (reset konumunda) devrenin J girişи serbest bırakılmış olur. Bu anda J girişinde herhangi bir sıçrama ana ikiliyi devirir ve bu durumu düzeltmek mümkün değildir, çünkü K girişleri saf dışı edilmişlerdir. Sözü edilen durumu önlemek için CLK işaretinin 1 konumu mümkün olduğu kadar kısa tutulur.



Şekil 5.10 JK ana-uydu ikilisi



JK ana-uydu ikilisinin yukarıda sözü edilen mahzurundan kurtulmak için, JK kenar tetiklemeli flip-flop kullanılabilir. Saat işaretinin negatif kenarına kadar ikiliye ulaşması engellenmiştir. CLK lojik-0'a giderken girişteki kapılar bloke olur. Tetikleme darbesinin geçiş süresi kısa tutularak darbe genişliği yaklaşık olarak kapı gecikme süresine eşit olan negatif giden bir darbe elde etmek mümkündür. Bu darbe J ve K girişlerine bağlı olarak ikilinin "SET" veya "RESET" girişinde meydana gelir ve çıkış saat darbesi lojik-0'a giderken konum değiştirebilir. Söz konusu olan darbenin süresi genellikle 20ns'den azdır. Bu tip devrelerin J ve K girişlerindeki sıçramalar etkisizdir ve saat darbelerinin yükselen veya alçalan kenarları ile tetiklenecek şekilde tasarlanabilirler.

5.8 Schmitt Tetikleme Devresi

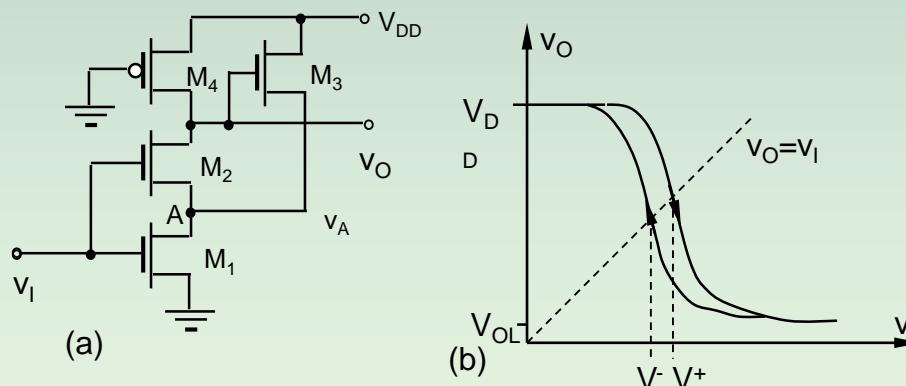
- Pozitif geribeslemeli iki kararlı devrelerin çok yaygın olarak kullanılan bir türü de Schmitt tetikleme devreleridir. Bu devre, sayısal elektronikte yavaş değişen giriş işaretlerini, çıkışta hızlı konum değiştiren bir işaret haline getirmek için kullanılır. Devrenin diğer önemli bir özelliği ise gerilim geçiş eğrisinin, giriş işaretinin değişim yönüne bağlı olarak farklı konum değiştirme değerlerine sahip olmasıdır. Söz konusu olaya histerisiz, giriş geriliminin yukarıda belirtilen iki değerinin farkına da histerisiz gerilimi adı verilir. Gerilim geçiş eğrisi NMOS ve CMOS teknolojileri için eviren türdendir.

5.8.1 Sözde NMOS Schmitt Devresi

- Sözde NMOS Schmitt devresinin gerilim geçiş eğrisi eviren türdendir. Şekil-5.11'de devre ve gerilim geçiş eğrisi görülmektedir.
- Başlangıçta $v_I=0$ ve $v_O=V_{DD}$ olsun. Bu durumda M_1 ve M_2 kesimdedir. M_3 'ün görevi, girişe gerilim geribeslemesi sağlamaktır. M_2 iletime girene kadar M_1 ve M_3 kanal oluşturmalarıyla yüklü bir evirici oluşturmaktadır ve v_A bu eviricinin çıkış gerilimidir. Yani, $v_{Amax}=V_{DD} - V_{T3}$ olur ve gövde etkisi dikkate alınırsa,

$$V_{T3} = V_{To} + \gamma(\sqrt{V_I + 2 |\Phi_F|} - \sqrt{2 |\Phi_F|}) \quad (5.1)$$

bağıntısyla birlikte v_{Amax} iteratif yaklaşım yöntemleriyle hesaplanabilir.



Şekil-5.11 Sözde NMOS Schmitt tetikleme devresi (a), devrenin gerilim geçiş eğrisi (b).



V_I artarken M_3 evirici çıkışı v_A gerilimi yukarıda belirtilen kurala uygun olarak azalır ve $v_I = V_{T2} + v_A$ olunca M_2 iletme girer, I_{D2} akımı akar ve v_O azalmaya başlar. M_3 üzerinden olan geribesleme bu düşüşü hızlandırır ve çıkış V_{OL} değerine iner. Bu nedenle ileri doğru devrilme gerilimi $V_{IH} = V^+$ yaklaşık olarak M_2 'nin iletme girdiği gerilim olarak kabul edilebilir. Yani $V^+ = V_{T2} + v_A$ 'dır. Söz konusu durumda M_1 doymasız bölgede M_3 doymalı bölgede çalışmaktadır. Basitlik açısından gövde etkisi ihmali edilirse, M_1 'in doyma sınırında çalıştığı, bu nedenle de akım bağıntılarının,

$$I_{D1} \approx (V^+ - V_{To})^2 \beta_1 / 2 \text{ ve } I_{S3} = (V_{DD} - V^+)^2 \beta_3 / 2 \quad (5.2)$$

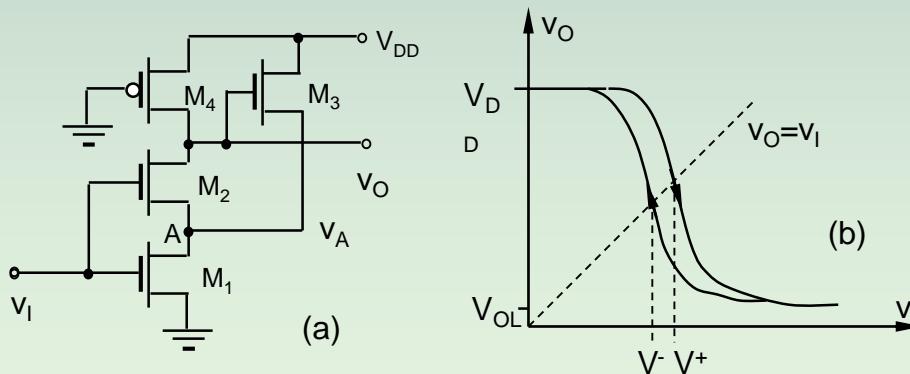
olarak alınmasıyla ve $I_{D1} = I_{S3}$ eşitliğinden,

$$V^+ \approx \frac{\left(V_{DD} + V_{To} \sqrt{\beta_1 / \beta_3} \right)}{\left(1 + \sqrt{\beta_1 / \beta_3} \right)} \quad (5.3)$$

elde edilir. Bu bağıntıdan önemli tasarım parametresi olan sürücü-yük oranı:

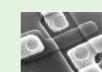
$$\frac{\beta_1}{\beta_3} = \frac{(W/L)_1}{(W/L)_3} \approx \frac{(V_{DD} - V^+)^2}{(V^+ - V_{To})^2} \quad (5.4)$$

β_1 / β_3 azaltılarak V^+ artırılabilir. v_O hızla V_{OL} 'ye düşünce M_3 kesime gider ve devre iki girişli NAND kapısına dönüşür. Bu nedenle V_{OL} iki girişli NAND kapısının bilinen alçak seviye çıkış gerilimi bağıntısından hesaplanabilir. NAND kapısı sürücü transistorlarının geometrileri $(W/L)_1 > (W/L)_2$ olacak şekilde seçilmelidir, çünkü M_1 konum değiştirme sırasında hem I_{S3} hem de I_{D2} akımını taşıyacaktır. Schmitt devresinin ters yöndeki devrilme gerilimi iki girişli NAND kapısının V_{IH} gerilimine eşit olur. $V = V_{IH}$, $\beta_{R1} = \beta_1 / \beta_4$ ve $\beta_{R2} = \beta_2 / \beta_4$ sürücü-yük oranlarıyla ayarlanır.



Şekil-5.11 Sözdé NMOS Schmitt tetikleme devresi (a), devrenin gerilim geçiş eğrisi (b).

- Devrenin tasarımı transistorların kanat açıklığı oranları ayarlanarak yapılmaktadır. Önce β_1 / β_3 ile V^+ ayarlanır. β_1 hem V^+ , hem de V^- yi etkilediğinden β_1 / β_3 gereklili V^+ değerini sağlayacak kadar küçük olmalıdır. β_1 / β_4 ise $V < V^+$ sağlanacak şekilde büyük tutulmalıdır. $V^+ = V$ olacak şekilde tek eşikli Schmitt devresi de tasarlanabilir.



5.8.2 CMOS Schmitt Devresi

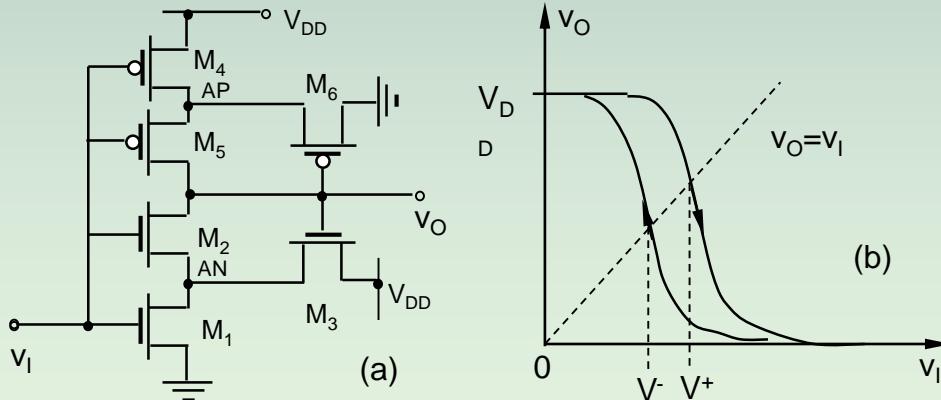
- CMOS Schmitt tetikleyici NMOS benzeri kılavuz olarak alınarak tasarlanabilir. CMOS devrede M_1 , M_2 ve M_3 'e karşılık olarak PMOS eşlenikleri ilave edilir, Şekil-5.12a.
- Eşenik karakterden dolayı $V^+ = V_{DD}/2 + \Delta V$, $V^- = V_{DD}/2 - \Delta V$ yapılabılır. İleri yönde devrilme gerilimi, NMOS devreye benzer şekilde hesaplanır. Ters yöndeki devrilme gerilimi M_4 , M_5 ve M_6 PMOS transistorlarıyla kontrol edilir.
- Giriş gerilimi kaynak geriliminden başlayarak azaltıldığında M_4 ve M_6 evirici olarak çalışırlarken M_5 kesimde olacaktır. NMOS yapının eşleniği anlamında bu eviricinin çıkış gerilimi M_5 'in tam iletme girmesi esnasında V_{AP} olup $V^- = V_{AP} + V_{T5}$ olur. Basitlik açısından yine gövde etkisini ihmali edelim. $I_{D4} = I_{S6}$ olduğu ve transistorların doyma bölgesinde çalışıkları dikkate alınarak,

$$V^- \approx \frac{\sqrt{\beta_4/\beta_6}(V_{DD} - |V_{To}|)}{1 + \sqrt{\beta_4/\beta_6}} \quad (5.5)$$

$$\frac{\beta_4}{\beta_6} = \frac{(W/L)_4}{(W/L)_6} \approx \left(\frac{V^-}{V_{DD} - V^- - |V_{To}|} \right)^2 \quad (5.6)$$

elde edilir. Görüldüğü gibi V^- , β_4/β_6 ile ayarlanır.

$\beta_R = \beta_1/\beta_3 = \beta_4/\beta_6$ alarak ve simetrik NMOS/PMOS tasarımlıyla ideal simetrik gerilim geçiş eğrisi elde edilir. Bu durumda,



Şekil-5.12 CMOS Schmitt tetikleme devresi (a), devrenin gerilim geçiş eğrisi (b).

$$\Delta V = \frac{V_{DD}(1 - \sqrt{\beta_R}) + 2\sqrt{\beta_R} V_{To}}{2(1 + \sqrt{\beta_R})} \quad (5.7)$$

$$\sqrt{\beta_R} = \frac{V_{DD} - 2(\Delta V)}{V_{DD} + 2(\Delta V) - 2V_{To}} \quad (5.8)$$

elde edilir.



6 – SENKRONİZASYON VE DİNAMİK LOJİK

6.1 Giriş

- Bir lojik işlemi gerçekleştirmek için, bu fonksiyona ait giriş değişkenlerine karşı düşen elektriksel işaretleri bu işlemi gerçekleştirecek olan sayısal devrenin girişine getirmek gerekir. Bununla birlikte, bu işaretlerin bu devrenin girişine hangi anda ulaştığı da çok önemlidir. Aksi halde, lojik işlemin ne zaman gerçekleştirileceği belirsiz hale gelir ki bu durum devrenin sağlıklı bir biçimde çahştırılmasını imkansız hale getirir. Diğer taraftan sayısal sistem içinde lojik işlemleri gerçekleştiren çok sayıda blok girişlerine gelmesi gereken işaretlerin farklı işlemlerden geçerek bu noktalara ulaşacakları olgusu, bu blokların işlemlerini doğru yapabilmesi için işleme ne zaman başamaları gerektiği veya çıkışlarında geçerli lojik işaretlerin ne zaman oluşacağı sorularını da birlikte getirmektedir. Sonuç olarak belli bir büyüklüğe erişmiş sayısal sistemi, işaretleri kendi haline bırakarak çalıştırmanın (**asenkron çalışma**) imkansız olduğu görülmektedir.
- Yukarda anlatılan olumsuzlukları gidermenin yolu, sayısal sistemdeki işaret akışını kontrol etmektir. Sayısal sistemde işaret akışı, merkezi bir işaret üretici yardımıyla sağlanabilir. Bu üretece, **sistem saatı (“clock”)** adı verilmektedir. Sistem saatı ile her bir yarı saat periyodunda işaretler girişlerden çıkışlara doğru kontrollü olarak bir adım ilerler. Bu işleme **senkronizasyon** adı verilmektedir.

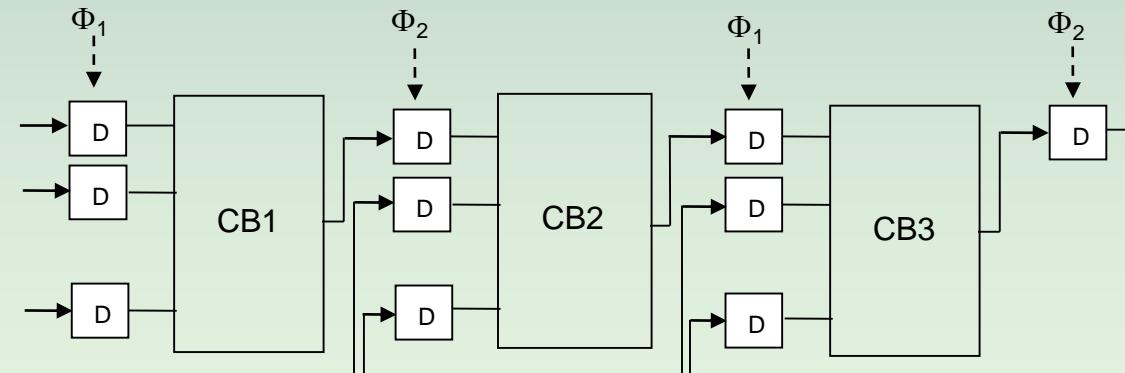


6.2 Genel Senkronizasyon Stratejisi

- Şekil-6.1'de senkronize edilen sayısal sistemin genel hali verilmektedir. Bu şemada sayısal sistem uygun bir tarzda bloklara bölünmüştür (CB1,CB2,...) ve her bir bloğun giriş işaretleri, sistem saatini tarafından kontrol edilen D tipi ikili devrelerle uygun anlarda blok girişlerine iletilmektedir. Sistem saatinin yarı periyodu, blok başına toplam propagasyon gecikmesinden bir miktar büyük seçilmelidir. Senkron sayısal devrelerde sistemin hızını belirleyen temel etmenlerden birinin sistem saatinin frekansı olduğu gerçeğinden hareketle tasarım yapılır. Blokların büyüklüğü saat frekansına ve diğer sistem tasarımları kísticaslarına bağlıdır. Eğer blokları çok küçük sayısal birimler olarak tasarlarsak bunların gecikmeleri azalır, fakat D ikililerinin sayısı ve bununla birlikte bunların gecikmelerinin sistem hızı üzerindeki etkisi artar. Buna karşılık bloklar büyük birimler olarak tasarılanırsa ikili devrelerin sayısı azalır, fakat her bir lojik bloğun toplam gecikmesi artar. O halde sistem mimarisinin yapısı ve uygun boyutlandırılması, teknolojik imkanlar dışında sistem hızını belirleyen temel etmenler olur.

Şekil-6.1'den görüldüğü gibi tek numaralı blokların giriş işaretleri Φ_1 , çift numaralı blokların giriş işaretleri ise Φ_2 ile kontrol edilmektedir. Φ_1 ve Φ_2 zıt fazlı işaretler olup Φ_1 fazında işaret iletilirken Φ_2 fazında bir önceki evredeki işaret tutulmaktadır. Böylece işaretler herhangi bir lojik hataya yer vermeden her bir yarı saat yarı periyodunda (**yarı bit zamanı**) bir blok ilerleyecektir ve bu durumda lojik işaretlerin saatin belli bir periyodunda nerede olacağı tam olarak belirlenmiş olacaktır. Senkron sistemlerde saat işaretini aşağıdaki biçimde oluşturulmaktadır.

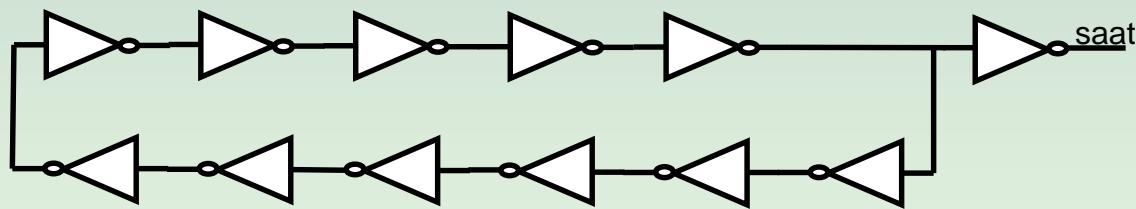
 - i) Tek fazlı saat işaretleri,
 - ü) Çift fazlı örtüşmeyen saat işaretleri.



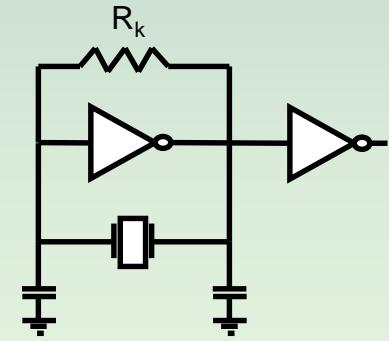
Şekil 6.1 Senkron sayısal sistemin genel şeması



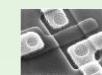
6.3 Saat İşaretinin Üretimi



Şekil 6.2 Kırmızık içerisinde gerçekleşebilecek bir halka osilatörü



Şekil 6.3 Kristalli osilatör devresi

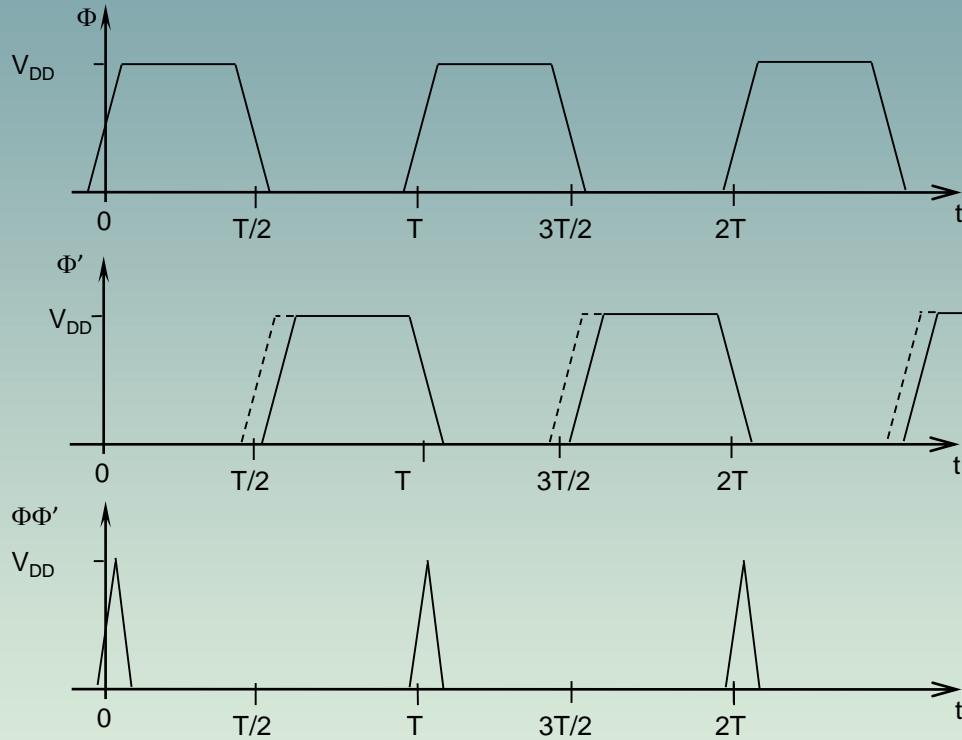


6.4 Tek Fazlı Saat ile Senkronizasyon

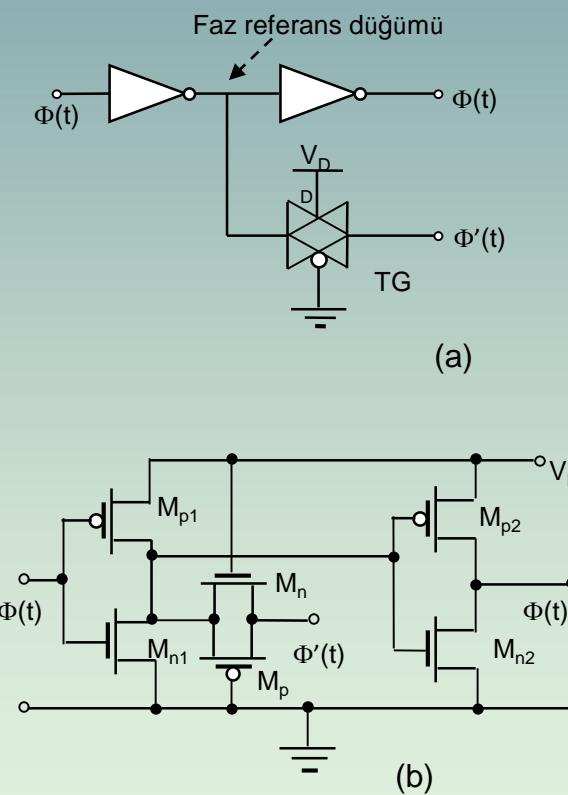
- Tek fazlı saat için Φ_1 ve Φ_2 birbirlerinin evriği ($\Phi_2 = \Phi_1'$) olarak düzenlenmiştir. Tek fazlı saat işaretlerinin senkronizasyon için kullanılması, zamanlama problemlerine yol açabilir. Saat işaretlerinin yükselme ve düşme süreleri arttığında saat geçişlerinde örtüşme olmaya başlar ve $[\Phi(t)][\Phi'(t)] = 0$ şartı sağlanamaz. Bu durum, veri transferinde problemlere yol açar, çünkü, senkronizasyonun esası, tek veya çift numaralı lojik blokların veri transferi yaparken çift veya tek numaralı olanların veri transferi yapmamaları, dolayısıyla çıkışlarında geçerli ve kararlı değerler bulundurmaları esasına dayanır. Bunun yanı sıra, saat kayması ("clock skew") da ilave örtüşmelere neden olur ve yukarıda sözü edilen problemi ağırlaştırır.



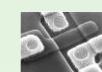
Saat kayması, saat işaretini ve evriğinin farklı gecikmelerle senkronize edilecek devreye ulaşması nedeniyle meydana gelir. Bu durum, Şekil-6.4'de görülmektedir ve temel iki nedenden kaynaklanmaktadır. Bunlardan ilki, saat işaretini eviren eviricinin gecikmesi, ikincisi ise saat dağıtım hatlarının gecikmelerinin muhtemel farklarıdır. Bu farklardan ilki Şekil-6.5'deki ilave transmisyon kapısıyla, ikincisi ise saat dağıtım hatlarının yerleşimde uygun tasarlanmasıyla giderilir. CMOS transmisyon kapısının gecikmesi, saat işaretini eviren eviricinin gecikmesine eşit alınır.



Şekil-6.4 Saat kayması (“clock skew”).

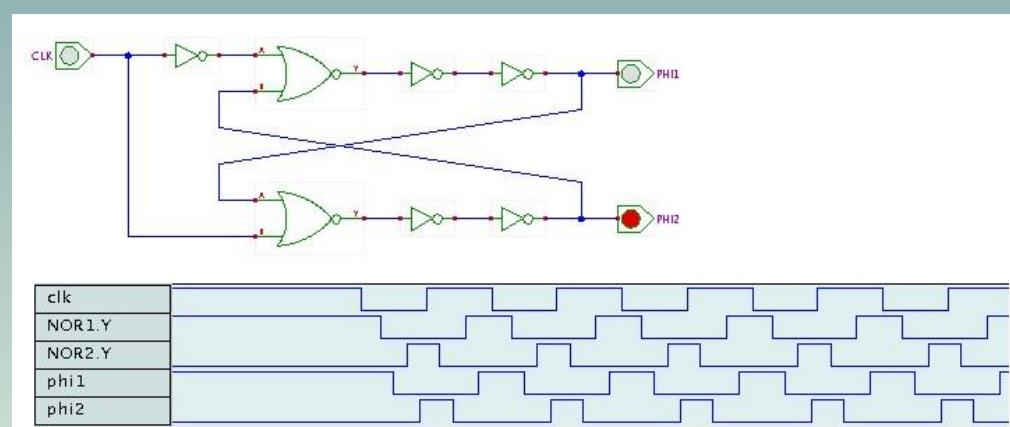
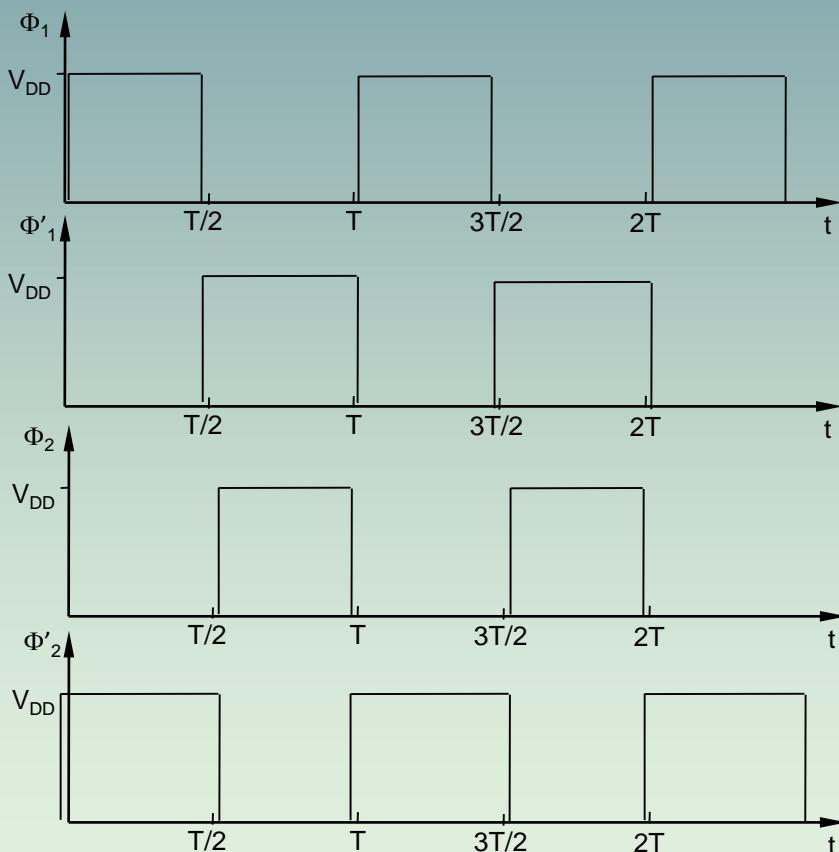


Şekil-6.5 Gecikmesinin transmisyon kapısı ile dengelenmesi:
(a) lojik devre, (b) CMOS gerçekleme



6.5 Sözde İki Fazlı Saat ile Senkronizasyon

- Tek fazlı saatte, geçiş sürelerinin sonlu olmasına ve çeşitli nedenlerle oluşan saat kaymaları saat işaretlerinde örtüşmeye ve sonuçta birbirini takip eden lojik bloklarda hatalı işlemlere yol açabilir. Bu sorunu ortadan kaldırmak üzere sözde iki fazlı saat işaretleri kullanılır. Eğer iki fazlı saat işaretleri (Φ_1 ve Φ_2) zamanda örtüşmeyen (üst üste binmeyen) işaretler biçiminde gerçekleştirilerek zamanlama problemleri ortadan kaldırılır. Bu tür saat işaretleri Şekil-6.6'da ve iki fazlı örtüşmeyen saat işaretlerinin üretilmesine örnek bir devre Şekil-6.7'de görülmektedir.



Şekil-6.7 İki fazlı örtüşmeyen saat işaretlerinin üretilmesi

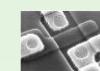
Şekil-6.6 İki fazlı örtüşmeyen saat işaretleri



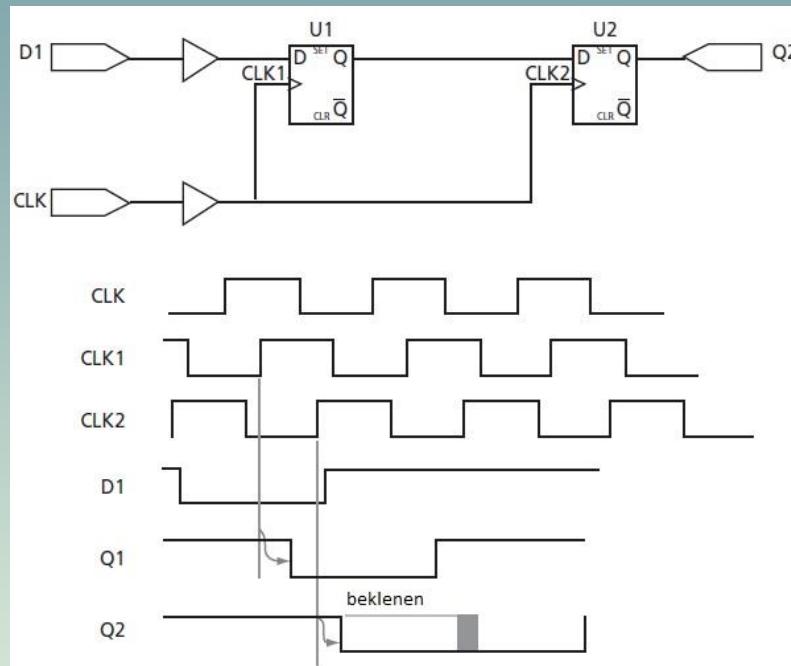
6.6 Saat Dağılımı

6.6.1 Saat kayması (clock skew) problemi

- ◻ Ardışıl sayısal devre tasarımindan saat işaretinin farklı elemanlara farklı zamanlarda ulaşmasını tanımlayan terimdir. Birçok farklı sebepten kaynaklanır:
 - ▶ Ara bağlantı uzunluk farklılıklarını,
 - ▶ Tümdevre bölgelerinin sıcaklık farklılıklarını,
 - ▶ Farklı kapasitif yükleme,
- ◻ **Zararlı saat kaymaları:**
 - “tutma ihlali”
 - “kurulma ihlali”



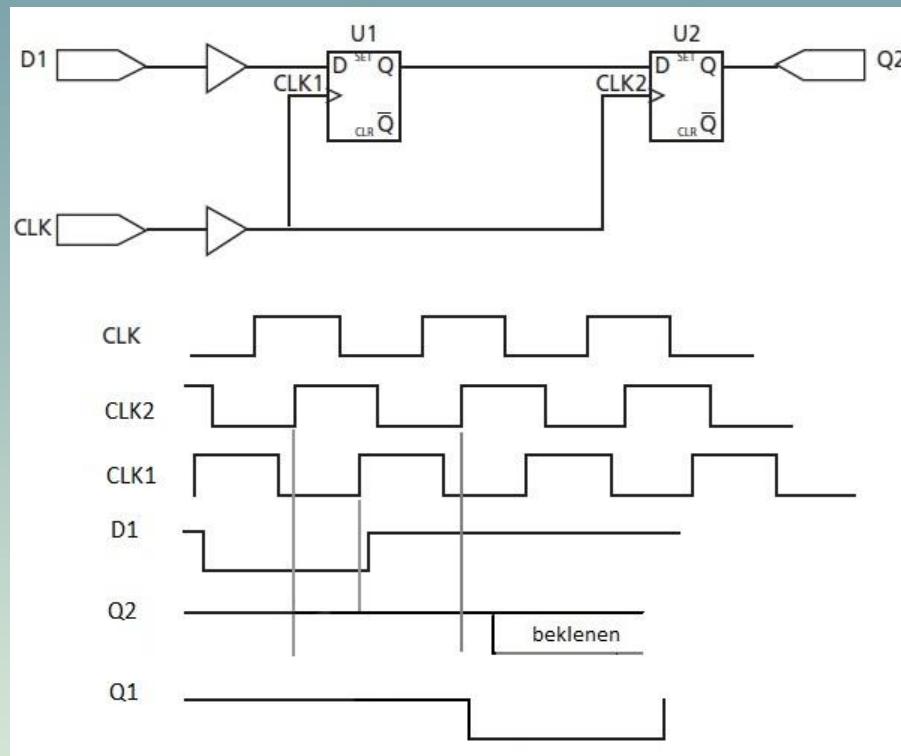
Oturma zamanı ihlali:



Şekil-6.8 Tutma ihlali Tutma ihlali, frekansı düşürerek giderilemez



Oturma zamanı ihlali :



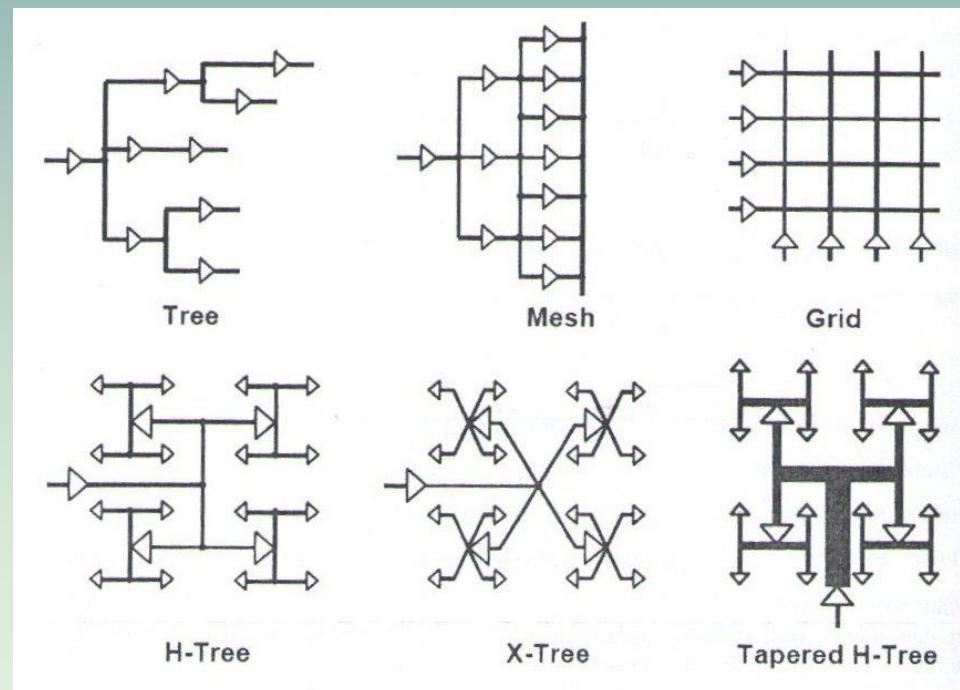
Şekil-6.9 Oturma zamanı ihlali



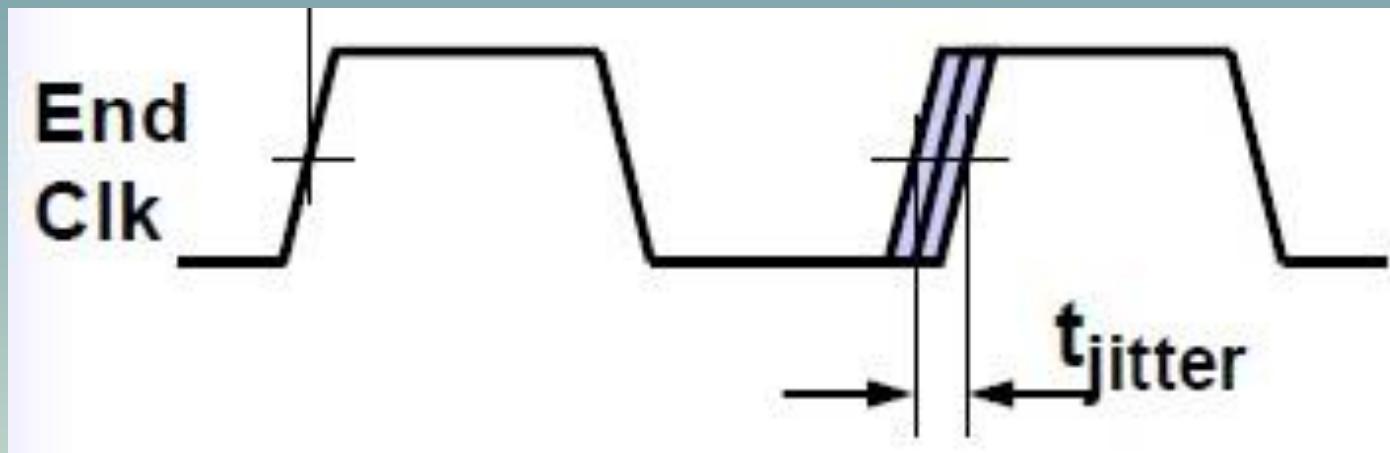
Faydalı Saat Kayması:

- ▶ T_{saat} peryodu,
- ▶ Reg , kaynak kaydedicinin saat çıkış arasındaki gecikmesi,
- ▶ $pathmax$ en büyük gecikmeli yol
- ▶ S hedef kaydedicinin setup (kurulma) zamanı
- ▶ sd hedef kaydedici için saat kayması
- ▶ ss kaynak kaydedicisi için saat kayması.

Şekil-6.10 Saat dağıtım yöntemleri



6 6.6.2 Saat Seğirmesi (“Jitter”)



Şekil-6.11 Saatte seğirme

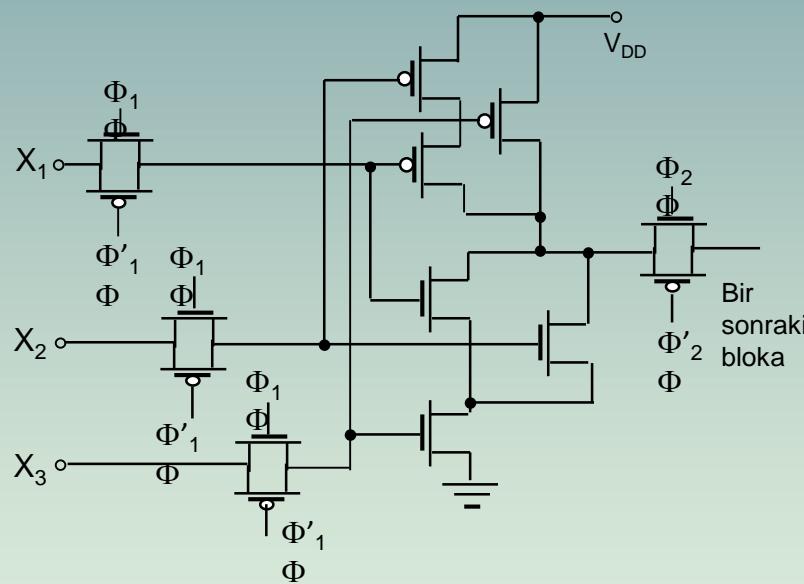


6 6.7 Dinamik D İkilileri

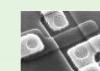
- 5. Bölümde statik D tipi ikili devrelerin yapısı incelendiğinde, bunların en iyi halde iki statik evirici ve iki CMOS transmisyon kapısıyla yani sekiz adet transistorla gerçeklenebildikleri görülür. Bu nedenle eğer senkronizasyon için statik D tipi ikili devreler kullanılırsa çok fazla sayıda ilave transistor kullanılması gereklidir ve bu durum toplam sistem **büyüklüğünü sınırlar**. Bu mahzur, dinamik D ikilileri kullanılarak önemli ölçüde azaltılabilir. Dinamik D tipi ikili devre olarak 4. Bölümde ele alınan NMOS geçiş transistoru veya CMOS transmisyon kapısı kullanılabilir. Gerek NMOS geçiş transistoru gerekse CMOS transmisyon kapısı, transistorları iletme veya kesime süren saat işaretini lojik-1'de iken işaretin iletiminde, buna karşılık, saat işaretini lojik-0'da iken çıkıştaki parazitik kapasitede biriken yükü dış dünyadan izole ederek çıkışta, bir önceki lojik değeri korumaktadır. Bu ise D tipi ikili devrenin fonksiyonuna karşı düşmektedir. Buna karşın parazitik kapasitede saklanan yük çeşitli kaçaklar nedeniyle ancak belli bir süre saklanabilmektedir. Esnek düğümlerde dinamik saklama ve bu tip düğümlerin kaçakları 4. Bölümde açıklanmıştır. Böyle bir kapasitede yük saklanması dayanan ve bu işlevi kaçaklar nedeniyle ancak bir süre gerçekleştiren çalışmaya **dynamik çalışma** adı verilmektedir. Bu kaçaklar nedeniyle statik veya alçak saat frekansları ile çalışmanın, dinamik yapılar için söz konusu olamayacağı ortadadır. Buna karşılık, genelde söz konusu olan hızlı çalışma için ms'ler mertebesindeki yük azalması probleminin etkisi olamayacağı da açıklıdır. Dinamik çalışma, anlatılan örnekten de anlaşılacağı üzere, kullanılan transistor sayısının önemli ölçüde azaltılmasına imkan vermektedir. Statik CMOS D ikilisi, en az sekiz transistorla gerçekleştirilebilmesine karşılık bir CMOS transmisyon kapısında iki transistor vardır. Bu durumda, sayısal bir sistemin senkronizasyonu, NMOS geçiş transistorları veya CMOS transmisyon kapıları kullanılarak sağlanmaktadır.



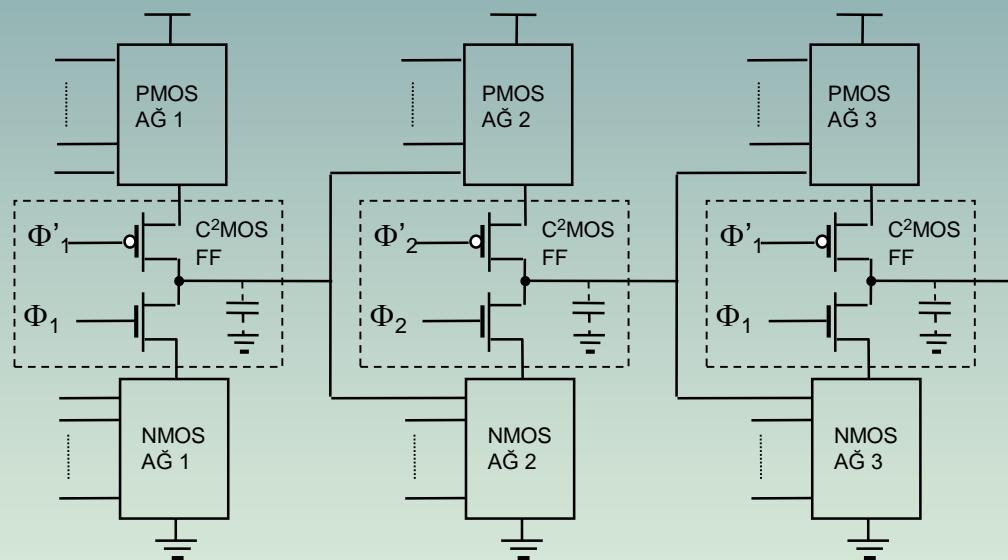
Bir örnek devre, Şekil-6.12'de görülmektedir. Bu örnekte, $Y = [(X_1 + X_2)X_3]$ fonksiyonunu sağlayan üç girişli bir kapı, dinamik D ikilileri olarak çalışan CMOS transmisyon kapıları ve örtüşmeyen sözde iki fazlı saat işaretleri kullanılarak senkronize edilmektedir.



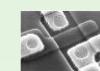
Şekil 6.12 Dinamik D- tipi ikililer ile senkronize edilen bir statik kapı



Dinamik D tipi ikililerin başka bir gerçeklemesi, **C²MOS** (“clocked CMOS”) D ikilisidir. Bu ikili devre, CMOS blokların girişleri yerine çıkışa, PMOS ve NMOS ağların arasına yerleştirilir. Bu durum, Şekil-6.6’da görülmektedir. C²MOS ikili devresini kontrol eden saat işaretini lojik-1 ise ikili devre iletimde olup her iki ağ birbirlerine bağlanarak lojik girişlerin dikte ettiği çıkışı oluşturmaktadır. Saat işaretini lojik-0 olduğunda ise ikili devre kesime giderek çıkış düğümünü ağlardan izole ederek bir önceki lojik değeri dinamik anlamda saklamaktadır. Şekil-6.13’deki örnekte senkronizasyon için örtüşmeyen sözde iki fazlı saat işaretleri kullanılmıştır.



Şekil-6.13 Dinamik C²MOS ikili devrelerle senkronizasyon

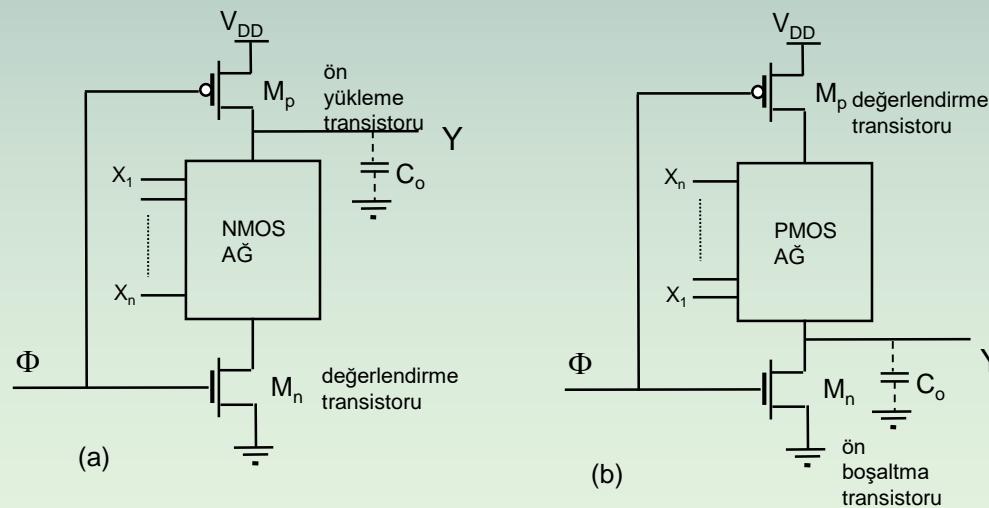


6 6.8 Dinamik Lojik Kapılar

- Dinamik sayısal devreler, esnek düğüm kapasitelerinde **yük saklama** esasına dayalı çalışmakta ve **donanımı büyük ölçüde azaltmaya** imkan vermektedir.
- Ancak, bu saklamanın getirdiği bazı sorunlar tasarımda dikkate alınmak zorundadır. Bunlar;
 - Esnek düğüm kaçakları ve
 - dinamik yük paylaşımı olarak iki başlıkta toplanabilir.

Kaçaklar, daha önce açıklandığı gibi alçak frekanslı çalışmaya imkan vermezler. O nedenle alçak frekanslı çalışmanın söz konusu olmadığı hallerde, bu kaçakların sistemin çalışması üzerindeki etkileri ihmali edilecek düzeyde kalır. Dinamik yük paylaşımı sorunu ise bu bölümde daha sonra ele alınacaktır.

- Dinamik çalışan bir kapı devresi statik CMOS kapılarında **mevcut ağlardan birini gereksiz kılar** ve n girişli bir kapı $2n$ transistor yerine $n+2$ transistor ile gerçekleştirilir.
- Şekil-6.14a'da NMOS ağı kullanan, yani NMOS tabanlı, Şekil-6.14b'de ise PMOS tabanlı dinamik kapılar görülmektedir. Her iki dinamik kapıdaki lojik ağların yapısı statik kapılardaki gibidir. NMOS veya PMOS ağa ilave olarak iki eşlenik MOS transistor ağa seri olarak bağlanarak dinamik kapılar oluşturulmaktadır.

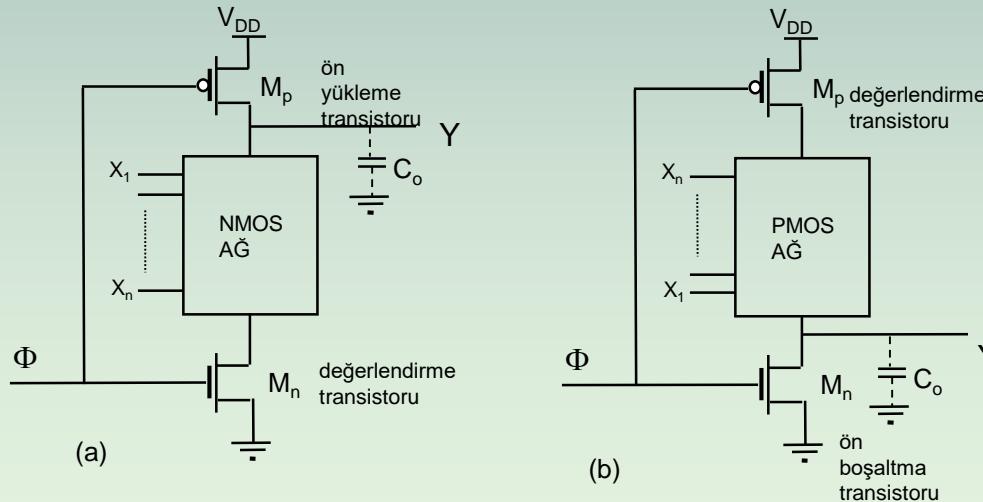


Şekil 6.14 (a) NMOS dinamik kapı, (b) PMOS dinamik kapı.

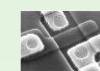


Şekil-6.14a'daki NMOS dinamik kapı, geçitleri aynı Φ saat işaretiyile kontrol edilen M_p ve M_n eşlenik MOS transistorları arasındadır. $\Phi=0$ iken M_p iletimde M_n ise kesimdedir. Bu durumda NMOS ağın alt ucu açık devre olup girişlerin çıkışın lojik konumu üzerinde bir etkisi olmaz. Buna karşılık bu evrede çıkış kapasitesi koşulsuz olarak kaynak gerilimine (V_{DD}) doğru dolar. Koşulsuz olarak çıkışın lojik-1'e çekildiği bu evreye **ön yükleme** ("precharging") evresi adı verilir.

- $\Phi=1$ iken M_p kesimde M_n ise iletimdedir. Bu evrede NMOS ağın alt ucu M_n üzerinden toprağa bağlı olduğu için girişler değerlendirilmektedir. O nedenle çıkışın koşullu olarak lojik-0'a çekildiği bu evreye **değerlendirme** ("evaluation") evresi denir. Dolayısıyla M_p 'ye ön **yükleme transistoru**, M_n 'ye de **değerlendirme transistoru** denir.
- NMOS dinamik kapılarında çıkışı lojik-1'e getirecek giriş kombinezonları için bir gecikmenin söz konusu olmadığı görülmektedir, çünkü, her değerlendirme evresinden önce çıkış lojik-1 değerine yüklenmektedir ve lojik-1 zaten hazır durumdadır. Ancak, hızlı çalışmalarda, çıkışların hazırlanabilmesi için **yarı saat periyotlu bir bekleme süresi** gereklidir. Buna karşılık çıkışı lojik-0 yapacak giriş kombinezonları için çıkış kapasitesinin NMOS ağ üzerindeki çeşitli yollardan boşaltılması söz konusudur. Çıkışın lojik-0 değerini alması için söz konusu olacak gecikme NMOS ağın söz konusu giriş kombinezonuna karşı düşen **düşme gecikmesi** kadar olacaktır. Devre boyutlarının artırılmaması açısından NMOS ağa ait transistor boyutlarının çok fazla artırılamayacakları dikkate alınırsa kapı gecikmesini azaltmak açısından yük kapasitesinin belirleyici olacağı açıkları.

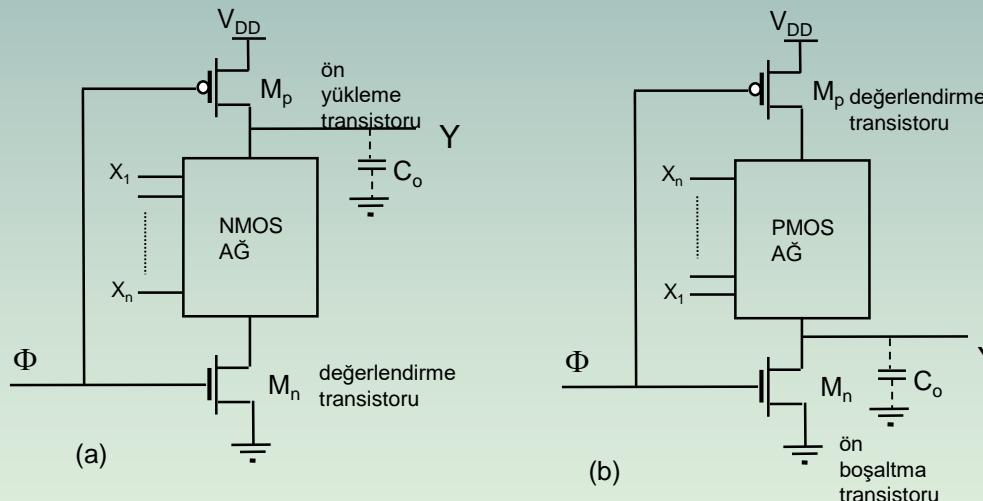


Şekil 6.14 (a) NMOS dinamik kapı, (b) PMOS dinamik kapı.

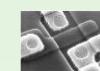


Şekil-6.14b'deki PMOS dinamik kapıda ise $\Phi=1$ iken M_n iletimde M_p ise kesimdedir. Bu durumda PMOS ağın üst ucu açık devre olup girişlerin çıkışın lojik konumu üzerinde bir etkisi olmaz. Buna karşılık bu evrede çıkış kapasitesi koşulsuz olarak toprak gerilimine (0V) doğru boşalır. Koşulsuz olarak çıkışın lojik-0'a çekildiği bu evreye önyükleme ("precharging") evresi adı verilir. $\Phi=0$ iken M_n kesimde M_p ise iletimdedir. Bu evrede PMOS ağın üst ucu M_p üzerinden kaynağa bağlı olduğu için girişler değerlendirilmektedir. O nedenle çıkışın koşullu olarak (girişlerin lojik değerine bağlı olarak) lojik-1'e çekildiği bu evreye değerlendirme ("evaluation") evresi denir. Dolayısıyla M_n 'ye önyükleme transistoru, M_p 'ye de değerlendirme transistoru adı verilir.

- Kapı gecikmeleri açısından PMOS dinamik kapı için lojik-0'ın her değerlendirme evresi başlangıcında hazır olduğu, buna karşılık lojik-1'i PMOS ağın yükselme gecikmesinin belirleyeceği söylenebilir. Kapılarda eşboyutlu transistorlar kullanılması halinde deliklerin hareket yeteneklerinin elektronlara göre küçük olmasından dolayı PMOS dinamik kapının NMOS dinamik kapıyla göre daha yavaş çalışacağı da ortadadır.



Şekil 6.14 (a) NMOS dinamik kapı, (b) PMOS dinamik kapı.

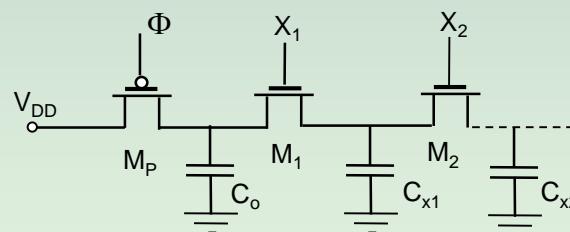


6.9 Dinamik Yük Paylaşımı

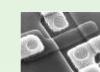
- Bir esnek düğüm başka bir esnek düğümü sürerse bu düğümlerin kapasitelerinde saklanan yükler arasında dinamik yük paylaşımı meydana gelir, Şekil-6.15. Dinamik paylaşım sonundaki denge halinde düğüm gerilimleri değişecekleri için lojik hatalar meydana gelebilir.
- Saat işareti $\Phi=0$ ve giriş işaretini $X_1=0$ ve $X_2=0$ iken C_o çıkış kapasitesi M_p üzerinden V_{DD} değerine kadar dolar. $\Phi=1$ olduğunda $X_1=1$ ve $X_2=0$ olduğunda M_2 kesimde kaldığı için çıkış geriliminin V_{DD} 'de kalması istenir. Başlangıçta C_{X1} ara düğüm kapasitesinin boş olduğunu varsayalım. Bu durum için C_o 'nun yükünün bir kısmı iletimde olan M_1 üzerinden C_{X1} 'e aktarılır. Başka bir ifadeyle dinamik yük paylaşımı meydana gelir. Yük paylaşımında sürekli nedeniyle yüklerin sakınımı (enerji sakınımı değil) söz konusu olur. Yani, başlangıçtaki toplam yük ($Q_{T1}=C_o V_{DD}$), paylaşım sonundaki toplam yüke ($Q_{T2}=C_o V_f + C_{X1} V_f$) eşit olur. V_f paylaşım sonundaki denge halinde kapasitelerin gerilimidir. Denge gerilimi,

$$V_f = \frac{C_o}{C_o + C_{X1}} V_{DD} = \frac{1}{1 + \frac{C_{X1}}{C_o}} V_{DD} \quad (6.1)$$

bağıntısı yardımıyla hesaplanabilir. Eş.(6.1)'den açıkça görüleceği üzere $C_o \gg C_{X1}$ şartı sağlanmıyorsa $V_f < V_{DD}$ olur ve çıkış geriliminin lojik-1'deki değeri dinamik yük paylaşımı sonunda azalmış olur. Dinamik devre tasarımindan yük paylaşımının dikkate alınmaması halide hatalı çıkışlar üretebilen devreler söz konusu olabilecektir.

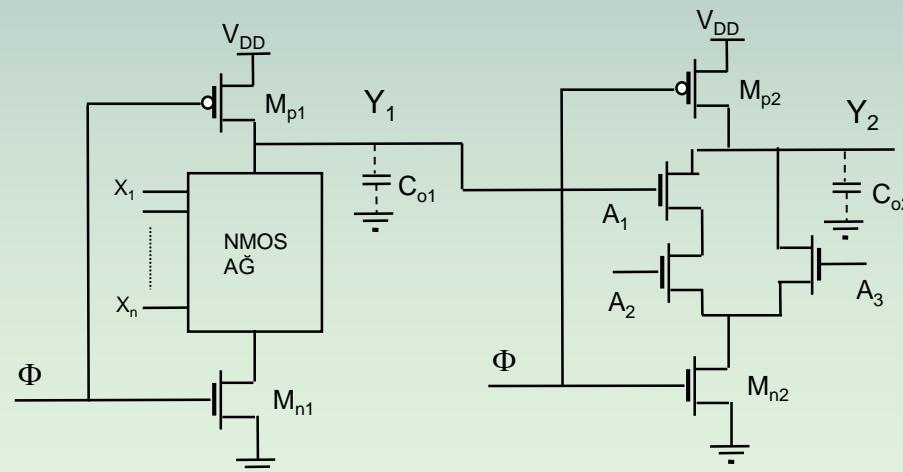


Şekil-6.15 Dinamik yük paylaşımı.



6.10 Dinamik Kapıların Kaskat Bağlanması

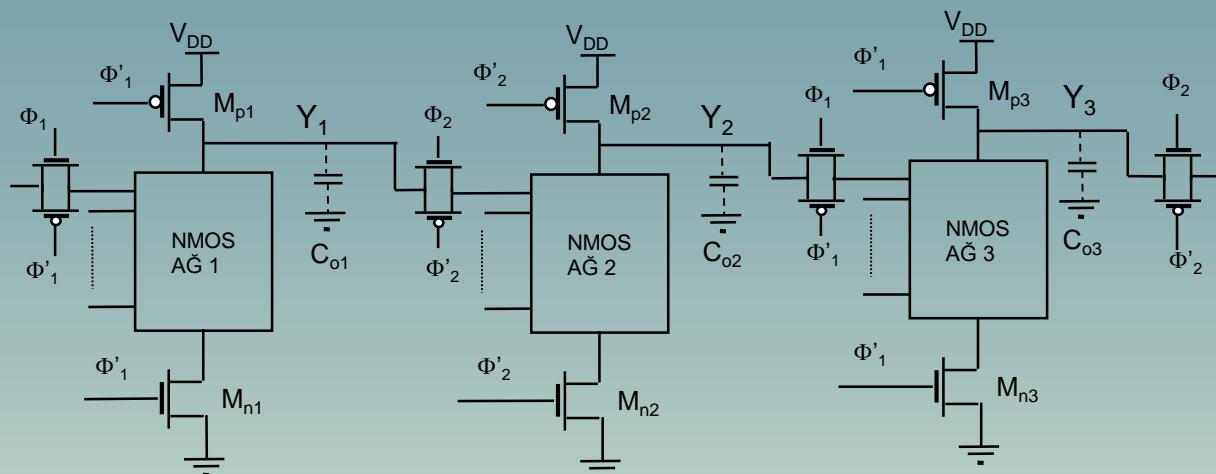
- Aynı türden ağa sahip dinamik kapılar doğrudan kaskat bağlanamazlar. Doğrudan kaskat bağlama bazı durumlarda lojik hatalara yol açar. Şekil-6.16'daki yapıda $\Phi=0$ 'daki önyükleme evresinde C_{o1} ve C_{o2} çıkış kapasiteleri kaynak gerilimine kadar dolarlar. $A_2=1$ ve $A_3=0$ olduğu durumu ele alalım. Tam önyükleme evresinin bittiği anda geçitleri A_1 ve A_2 'de olan transistorlar iletimdedirler. Bu evreden sonraki değerlendirme evresinde $Y_1=A_1=0$ olacak bir giriş kombinezonu söz konusu olsun. Bu evrede, ilk dinamik devrenin çıkışının lojik-0'a çekilmesi NMOS ağ ile M_{n1} değerlendirme transistorunun C_{o1} 'ı deşarj etme süresi sonunda olur. Halbuki bu işlem olurken A_1 girişi sonlu bir süre lojik-1'de kalır. A_2 de lojik-1'de olduğu için geçitleri bu işaretlerle kontrol edilen iki seri transistor üzerinden C_{o2} boşalır ve $Y_2=0$ olur. Oysa, değerlendirme sonunda $Y_1=A_1=0$ olacağı için $Y_2=1$ olması gereklidir. **HATA!**
- Buna karşılık farklı türden dinamik kapılar kaskat bağlanabilirler. Şekil-6.16'daki ikinci seviye kapı PMOS tabanlı dinamik kapı olarak gerçekleştirilebilir, birinci katm önyükleme evresi sonunda ikinci katta geçidi birinci kat çıkışına bağlı olan PMOS transistor kesimde olacaktı ve ikinci kat çıkış kapasitesinin yükünün kesimde olan bu PMOS üzerinden değiştirilmesi söz konusu olmayacağındır. Keza, ilk kat PMOS ikinci kat NMOS dinamik kapı olması halinde ise ilk kat çıkış lojik-0'a önyüklendiği için bu çıkışın kontrol ettiği ikinci kattaki NMOS kesimde kalarak herhangi bir probleme neden olmayacağındır.



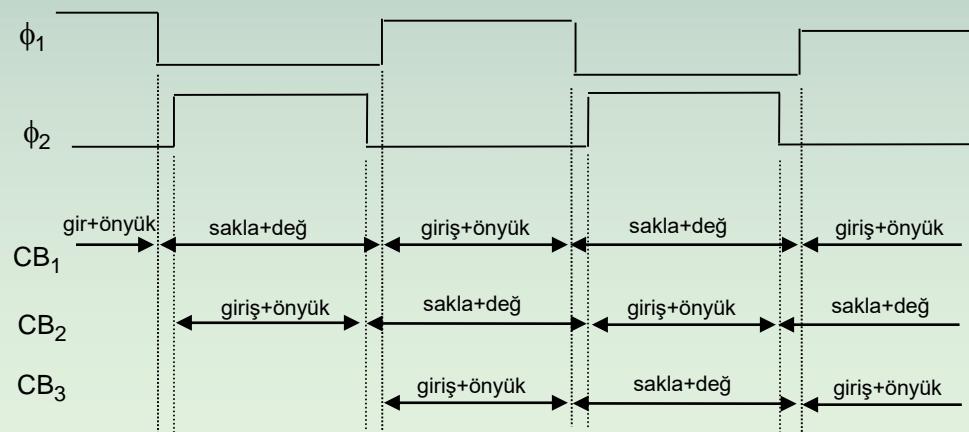
Şekil-6.16 Aynı türden iki dinamik kapının kaskat bağlanması.



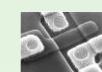
Aynı türden dinamik kapılar D ikili devreleri ve örtüşmeyen sözde iki fazlı saat işaretleri kullanılarak kaskat bağlanabilir. Bu durum Şekil-6.17'de görülmektedir. Bu yapıya **sözde iki fazlı dinamik lojik** adı verilmektedir. Şekil-6.17'deki gibi kaskat bağlanan dinamik kapıların zamanlama diyagramları Şekil-6.18'de verilmiştir. Bu sekilden kaskat kapılarda giriş+önyükleme evrelerinin örtüşmediği açıkça görülmektedir.



Şekil-6.17 İki fazlı saat işaretleri ve D ikileri yardımıyla kaskat bağlanan NMOS dinamik kapılar

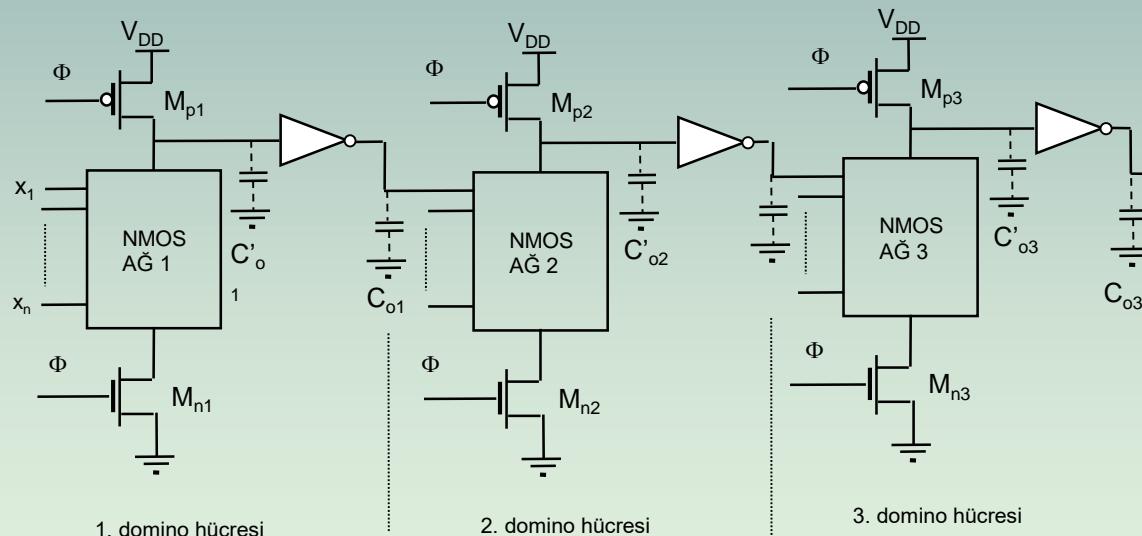


Şekil-6.18 Şekil 6.17'deki kaskat yapının tipik zamanlama diyagramı

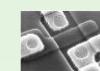


6.11 Domino Lojiği

- Dinamik kapıları kaskat bağlamanın diğer bir yolu da NMOS dinamik kapıları kaskat bir statik evirici kullanarak kaskatlamayı gerçekleştirmektir. Böylece bir NMOS dinamik kapı ile onun çıkışına bağlanan bir statik eviriciye bir **domino hücresi**, böylece elde edilen yapılara da **domino lojiği** adı verilmektedir. Statik evirici önyükleme fazında domino hücresi çıkışını lojik-0'da tuttuğu için bu çıkışın başka bir NMOS dinamik kapı girişine bağlanması herhangi bir soruna neden olmaz. Bunun yanı sıra çıkıştaki statik evirici, dinamik kapının çıkış düğümünün kapasitif yükünü hafifletir. Aynca evirici transistorları boyutlandırması dış yük kapasitesine göre gerçekleştirilerek yüksek çahşma hızlarına ulaşılabilir. Gerçekten de hızlı NMOS tabanlı dinamik kapılar ve uygun boyutlandırılmış statik eviriciler kullanan domino kaskatları bilinen en hızlı sayısal devrelerdir. Buna karşılık domino lojiği eviremez. Bu durum lojik değişkenlerin evriklerinin de elde edilebilmesi için ilave statik eviriciler kullanılmasını zorunlu kılar. Şekil-6.19'da üç katlı domino yapısı görülmektedir.

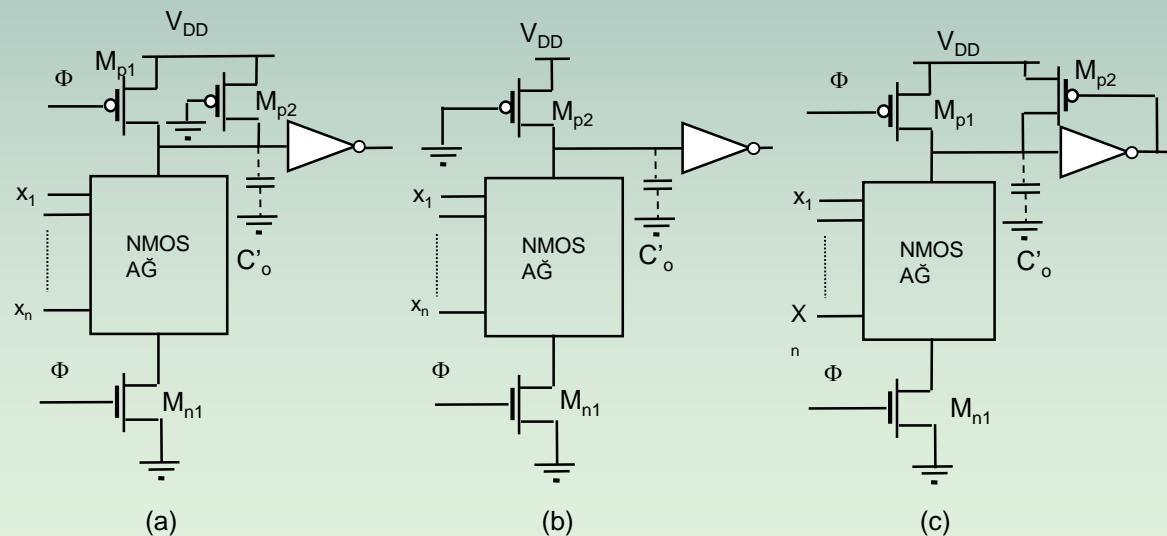


Şekil-6.19 Üç katlı domino yapısı.



6.12 Domino Lojiğinde Yük Kaçakları ve Yük Paylaşımı Sorunlarının Giderilmesi

- Daha önce açıklandığı üzere çıkıştaki eşdeğer yük kapasitesinde saklanan yükün hem kaçaklar hem de paylaşım nedeniyle azalması NMOS dinamik kapılarda lojik-1'e, PMOS dinamik kapılarda ise lojik-0'a karşı düşen gerilim seviyesinin değişmesine yol açacaktır. Domino lojiğinde bu sorunu gidermek için Şekil-6.20'de gösterilen üç yola başvurulabilir. Bunlardan ilkinde küçük geometrili geçidi toprağa bağlı bir PMOS (M_{p2}) çıkış düğümü ile kaynak arasına yerleştirilmiştir, Şekil-6.20a. Bu PMOS'un sağladığı zayıf iletkenlik, çıkış düğümünde kaçak veya paylaşma nedeniyle azalan yükü telafi edecektir. Şekil-6.20b'deki ikinci yöntem ise önyükleme transistörünü (M_{p1}) kaldırarak önyüklemeyi ve kaçakların tefafisini küçük geometrili M_{p2} ile sağlamayı öngörmektedir.
- Her iki yöntemde de çıkış alçak seviyede iken hem statik güç kaybı hem de sıfırdan farklı bir lojik-0 gerilimi söz konusu olur. Son yöntem bu mahzurları da ortadan kaldırın daha radikal bir çözümü göstermektedir. Şekil-6.20c'den görülebileceği gibi burada M_{p2} 'nin geçidi statik evirici çıkışına bağlanarak, statik evirici çıkışlı lojik-1 olduğunda kesime sokulmaktadır. Böylece M_{p2} dinamik kapı çıkışlı lojik-1'de iken (statik evirici çıkışlı lojik-0'da) iletimde kalarak yük kaybını gidermekte, diğer konumda ise kesime sokularak statik güç kaybına neden olmamaktadır.

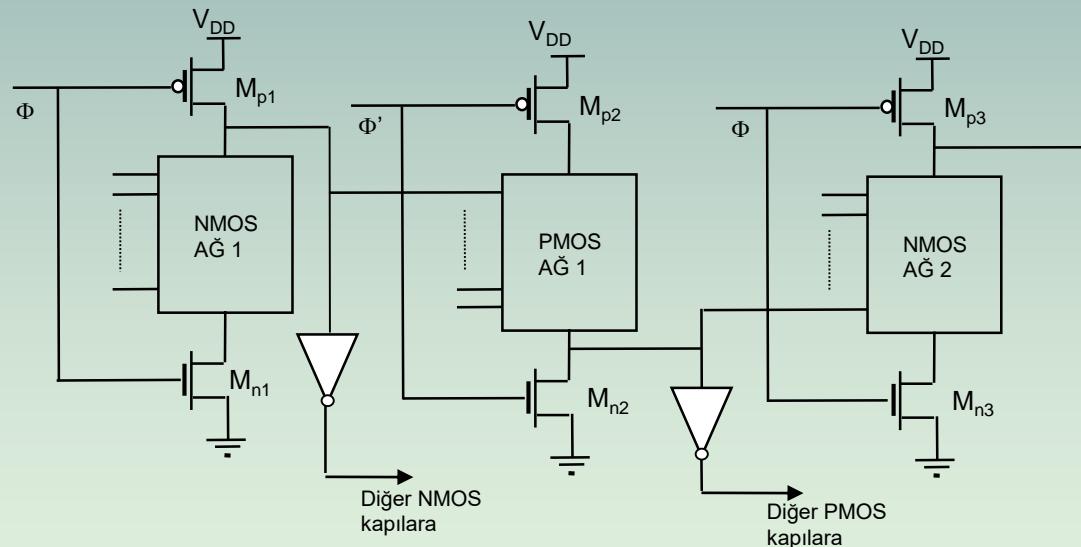


Şekil-6.20 Domino kapılarında yük kaçakları ve yük paylaşımı sorunlarının giderilmesi

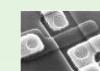


6.13 NORA Lojiği

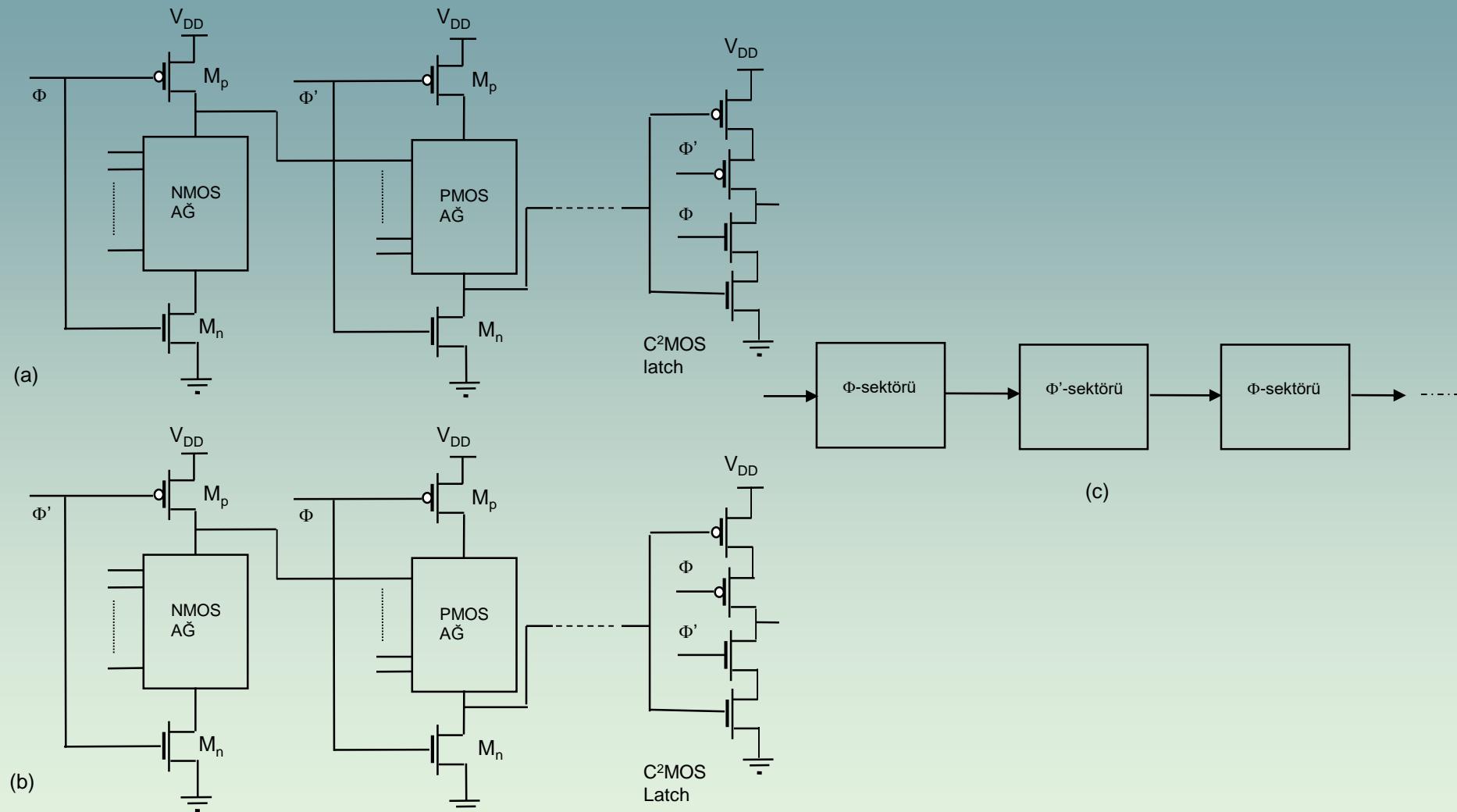
- Daha önce de debynildiği gibi dinamik kapı devrelerini kaskat bağlamanın bir yolu da farklı türden kapı devrelerini ardarda bağlamaktır. İki tür dinamik kapıda önyükleme değerleri zittir. Örneğin lojik-1 yükleme yapan NMOS dinamik kapı çıkışı, bir PMOS dinamik kapayı sürüyorsa geçidi sürülen PMOS transistor bu işlem esnasında kesimde kalacaktır. Benzer şekilde PMOS bir dinamik kapıda lojik-0'a yükleme yaparken, sürdüğü NMOS transistör kesimde tutacaktır. O halde yukarıda anlatılan sorunlar oluşmayacaktır.
- NORA kısaltması ‘yarış yok’ (“no race”) kelimelerinin ilk hecelerinin birleşmesinden türetilmiştir.
- Şekil-6.21'deki NORA yapısında NMOS ve PMOS katlarını eşlenik saat işaretleriyle kontrol edildiğine dikkat ediniz. Bu sayede her iki tip kat aynı anda önyükleme ve aynı anda değerlendirmeye yapmaktadır. NORA lojiğinin ilk önemli avantajı statik eviricilere ihtiyaç duymamasıdır. Buna karşılık NORA lojiği domino lojiği ile uyumludur. İkinci önemli avantaj ise boru hattı (“pipelined”) mimarisine uygun olmasıdır.



Şekil-6.21 NMOS ve PMOS dinamik kapılarla gerçekleştirilen NORA lojiği



Şekil-6.22a'da Φ saat işaretini lojik-1 iken değerlendiren, buna karşın Şekil-6.22b'de ise lojik-0 iken değerlendiren NORA yapıları görülmektedir. Her sektörün çıkışında bir C²MOS ikili devre çıkış sürücüsü olarak mevcuttur. Bu iki tip yapı Şekil-6.22c'de görüldüğü gibi ardarda bağlanarak **boru hattı** yapıları oluşturulabilir. NORA lojiginin diğer bir adı da NP-domino lojigidir.

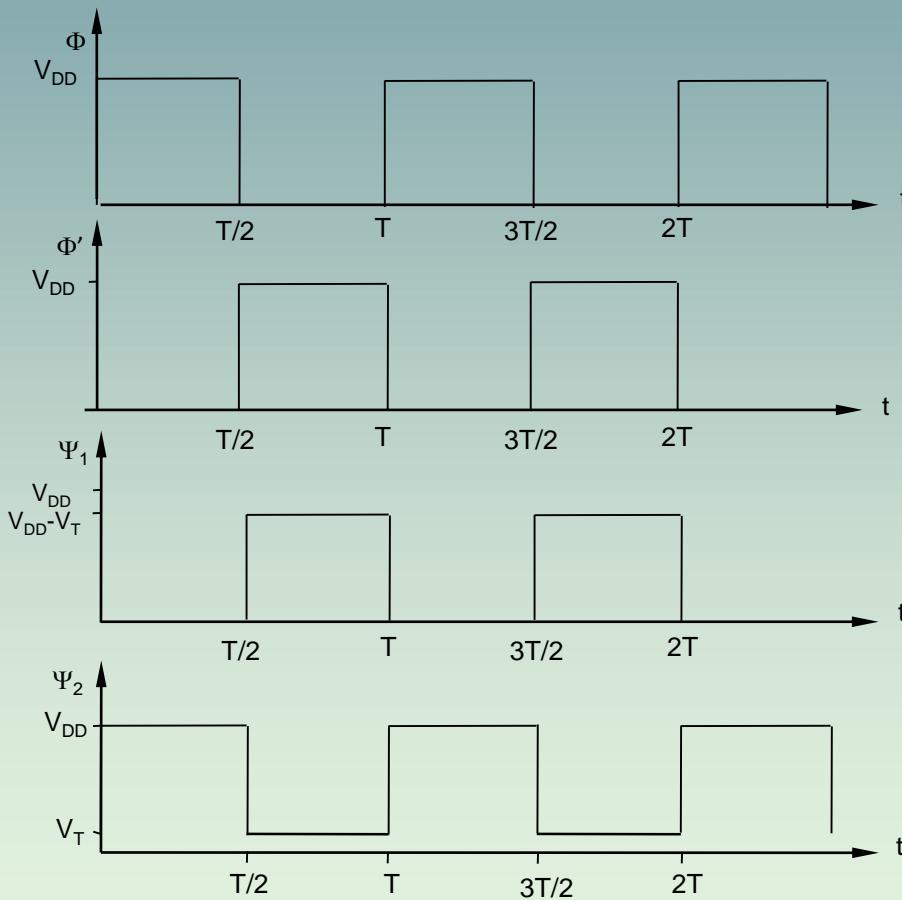


Şekil-6.22 (a) NORA Φ sektörü, (b) NORA Φ' sektörü, (c) boru hattı NORA sistemi



6.14 Fermuar Lojiği “Zipper Logic”

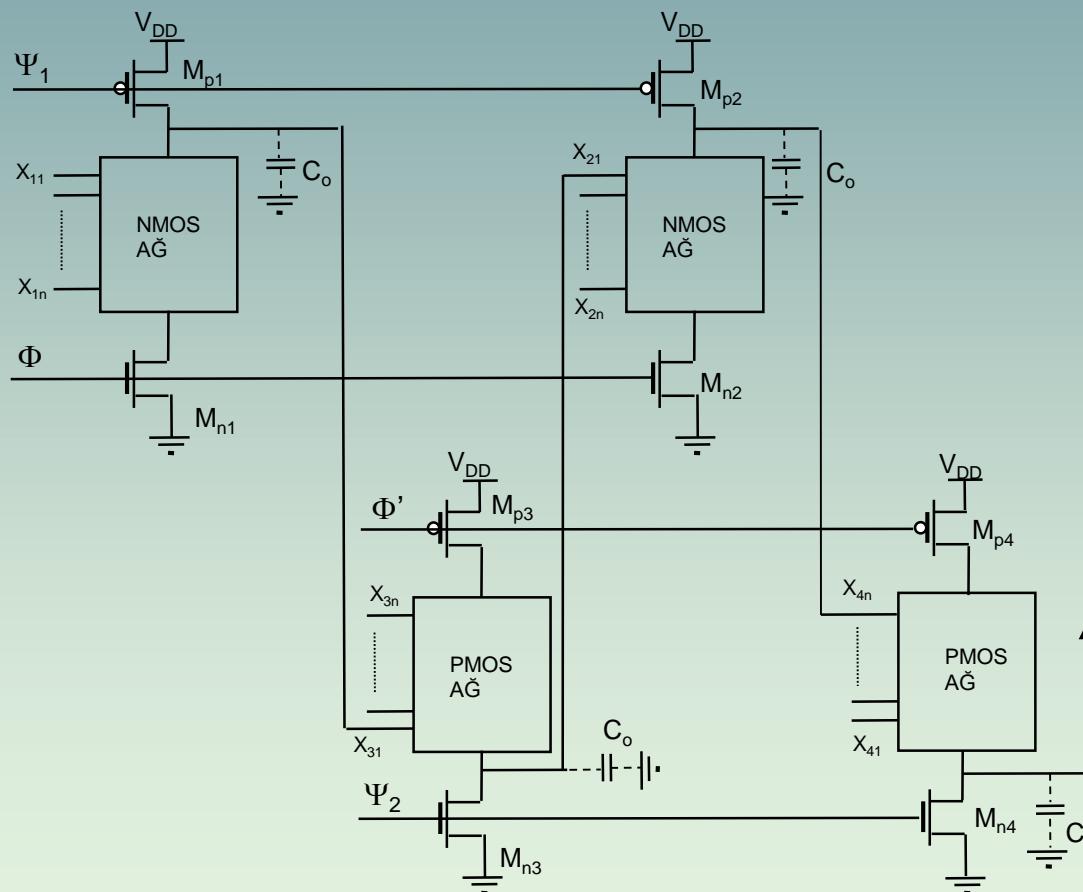
- Fermuar lojiği, ilave saat işaretleri sayesinde yük kaçaklarıyla paylaşım sorunlarının üstesinden gelen, NMOS ve PMOS dinarnik kapılarından oluşan bir sistemdir. Şekil-6.23'de fermuar saat işaretleri görülmektedir. Bu işaretlerden Ψ_1 ve Ψ_2 işaretleri yük kaçakları ve yük paylaşımının önlenmesini sağlayan genlikleri modifiye edilmiş işaretlerdir. Bu işaretler yardımıyla dinamik katların önyükleme/önboşaltma transistorları değerlendirme evresinde kesim yerine kesim eşliğinde tutulurlar. Böylece kaçaklar ve paylaşım nedeniyle azalan/artan yük restore edilir.



Şekil-6.23 Fermuar saat işaretleri.



Şekil-6.24'den görüleceği üzere saat işaretini ve evriğine ilave olarak türetilen Ψ_1 NMOS dinamik kapılarının PMOS önyükleme transistorlarını, Ψ_2 ise PMOS dinamik kapılarının NMOS önboşaltma transistorlarını iletim-kesim eşiğinde kutuplamaktadır, öyle ki yük kaçakları veya yük paylaşımı nedenleriyle NMOS kapının önyükleme sonundaki çıkış gerilimi (V_{DD}) azalırsa iletim eşiğindeki M_{p1} ve M_{p2} üzerinden veya PMOS kapının önboşaltma sonundaki çıkış gerilimi (0V) artarsa iletim eşiğindeki M_{p3} ve M_{p4} üzerinden eski değerlerine çekilir. Böylece ilave saat işaretleri kullanarak dinamik devrelerin iki önemli mahzuru elimine edilmiş olur. Ancak bunun bedeli, bu saat işaretlerinin türetilmesi ve silisyum kırmızık üzerinde dağıtılmıştır.

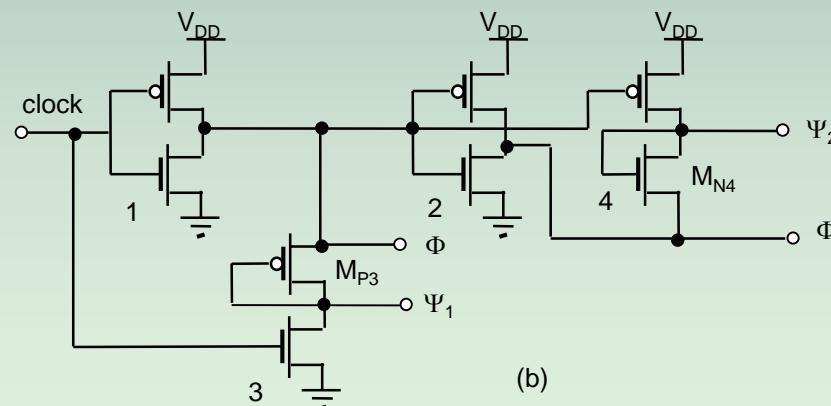
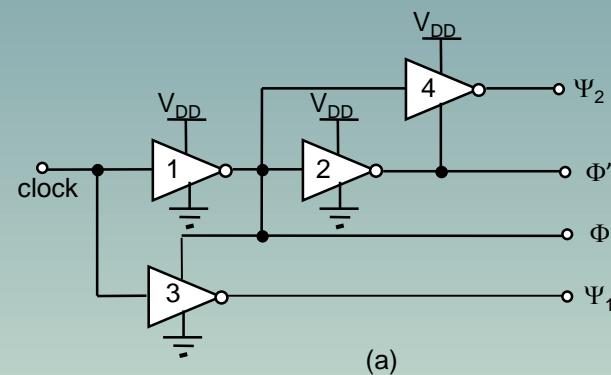


Şekil-6.24 Fermuar lojiği örnek yapısı.



Saat işaretleri fermuar saat sürücüsü denilen ve Şekil-6.25a'da lojik devre şeması verilen özel düzenlenmiş dört adet evirici ile sağlanmaktadır. Burada 3. ve 4. eviricilerin kaynak ve toprak gerilimlerinin 1. ve 2. evirici çıkışlarından elde edilmektedir. Başka bir ifadeyle 1. evirici çıkışlı lojik-1'de olmadan 3. evirici, 2. evirici çıkışlı ise lojik-0'da olmadan 4. evirici çalışmaz. Bu lojik devrenin CMOS gerçeklemesi Şekil-6.25b'deki gibi bir devre ile sağlanabilir.

- Şekil-6.25b'deki devrede doymada çalışan transistorları (M_{P3} , M_{N4}) kesim sınırında bir eşik gerilimi düşümü oluşturmaktadır. Diğer taraftan dört ayrı saat işaretinin kaymaya ("skew") neden olmadan dağıtılması bir yerleşim stratejisi işidir ve saat işaretinin artması kırımkı üzerindeki yerleşimin karmaşaklığını önemli ölçüde artıracaktır.



Şekil-6.25 (a) Fermuar saat sürücüsü, (b) CMOS gerçeklemesi.



7 – KAPI DİZİLERİ VE BELLEKLER

- Bu bölümde yapısal lojik adı da verilen satır-sütun (matris) düzenindeki sayısal devreler ele alınacaktır. Matris düzeneinde daha çok sayıda düzenden bahsetmek mümkün olmakla beraber bu bölümde önemlerine atfen sadece kapı dizileri ve yarı iletken belleklerden bahsedilecektir.

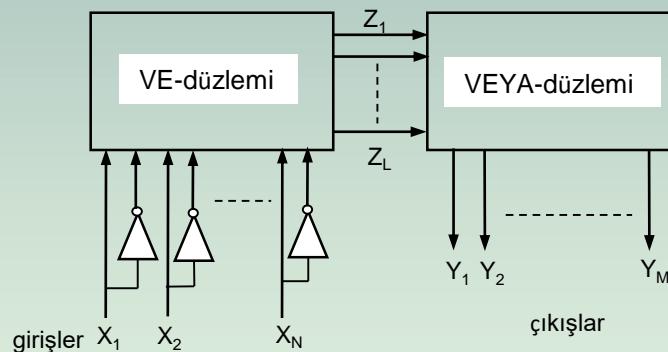
7.1 Kapı Dizileri

- Kapı dizileri satır-sütun düzenindeki kombinezonsal devrelerdir. Satır-sütun düzende olmaları kırmık alanının son derece verimli kullanılmasını sağlar. Geniş çapta tümleştirme (VLSI) teknolojisinde kırmık yüzeyi maliyetin bir ölçüsü olup kapı dizileri yüzeyi küçültmek açısından oldukça verimli yapılardır. Kapı dizilerinin en önemli avantajı ise uygulamaya özgü tümleştirme (ASIC: application specific integrated circuit) için çok uygun olmalarıdır. Bu açıdan bakıldığından, çeşitli boyutlarda üretilen kapı dizileri değişik uygulamalar için son metal maske aşamasında fabrikada veya kullanıcı tarafından kullanım sahasında programlanarak değişik fonksiyonları sağlayacak hale getirilebilmeleri ekonomik açıdan önemli bir avantaj olmaktadır. Böylece sabit mühendislik masrafları ve maske maliyetleri bu dizileri kullanacak olan tüm üretim sahipleri arasında paylaştırılmış olur. Kapı dizileri programlanabilme özelliklerine göre a) maske aşamasında programlanabilen (MPGA: mask programmable gate array), b) sahada programlanabilen (FPGA: field programmable gate array) olarak iki gruba ayrırlar.

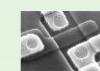


7.1.1 Maske Aşamasında Programlanan Kapı Dizileri

- Maske aşamasında programlanabilen kapı dizileri lojik fonksiyonları çarpımların toplamı biçiminde elde etmeye yarayan çok ucu kombinezonsal devrelerdir. Bu anlamda çarpımların toplamı biçimindeki lojik fonksiyonu oluşturmak için iki adet matris formunda lojik işlem birimi oluşturulur. Bunlardan ilki çarpım terimlerini oluşturmaktır ve bu nedenle VE-düzlemi, ikincisi ise çarpımların toplanması işlevini gerçeklemekte ve bu nedenle VEYA-düzlemi olarak adlandırılmaktadır. Bu iki matrisin biri veya her ikisi metal maske aşamasında bazı bağlantıların yapılip yapılmaması esasına göre programlanmakta ve böylece sadece metal maskesi değiştirilerek farklı müşterilerin farklı isteklerine karşı düşen sayısal işlevleri gerçekleştirebilmektedir. Sadece ilk matrisi programlanan kapı dizilerine PAL (programmable array logic), her iki matrisi de programlananlara ise PLA (programmable logic array) ismi verilmektedir. Şekil-7.1'de, maske aşamasında programlanabilen kapı dizilerinin genel yapısı görülmektedir. Şekil-7.1'deki yapı, N giriş değişkenli ve M çıkış değişkenli bir kapı dizisini ifade etmektedir. Ara değişken sayısını ise birbirinden farklı kaç adet çarpım terimi olduğu belirleyecektir. Sonuç olarak VE-düzlemi ($2N \times L$), VEYA-düzlemi ise ($L \times M$) boyutundaki matrisleri ifade etmektedir.



Şekil-7.1 Maske aşamasında programlanabilen kapı dizilerinin yapısı



Kapı dizileri önceleri NMOS kapıları, günümüzde ise sözde NMOS kapılar olarak gerçeklenmektedir. O nedenle NOR bazlı gerçekleme tercih konusudur. Bir başka ifadeyle NMOS veya sözde NMOS gerçekleme için hem VE-düzlemi hem de VEYA-düzleminin NOR kapıları ile gerçekleştirilmesi söz konusu olacaktır.

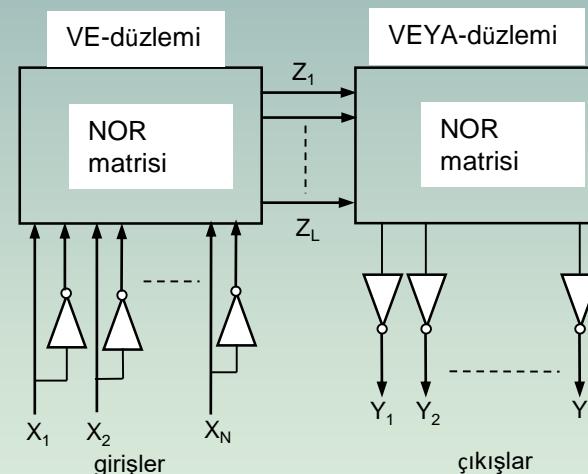
NOR bazlı gerçekleme için:

i) Önce çarpım terimleri giriş değişkenlerinin kendileri ve evriklerinden yararlanılarak toplamlann evriği biçiminde ifade edilir.

ii) Daha sonra birbirlerinden farklı olan terimler dikkate alınarak bulunur ve yine NOR kapıları ile gerçeklenmek zorunda olan VEYA-düzleminde toplanırlar.

iii) İkinci NOR düzleminde çarpım terimleri toplanarak evirildikleri için bu düzeyin çıkışan bir kere daha evrilerek istenen çıkışlar elde edilir.

NOR bazlı gerçekleme halinde bir kapı dizisinin yapısı Şekil-7.2'de verilmiştir.



Şekil-7.2 Kapı dizilerinin NOR matrisleriyle gerçeklenmesi



NOR matrislerinin programlanması satır-sütun kesişme noktalarına bir NMOS transistor yerleştirilip yerleştirilmemesi esasına dayanır. İmalat esnasında bütün kesişme noktalarında birer MOS transistor oluşturulur. Programlamada o düğümde bir MOS transistor olması gerekiyorsa metalizasyonda o transistorun savak ve geçit bağlantısı yapılır, aksi halde yapılmaz. X₁, X₂, X₃, X₄ gibi dört giriş değişkeni olan bir örnek ele alalım:

$$Y_1 = \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 + \bar{X}_1 X_2 \bar{X}_3 X_4 + X_1 \bar{X}_2 \bar{X}_3 X_4 + \bar{X}_1 \bar{X}_2 X_3 X_4$$

$$Y_2 = \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4 + X_1 \bar{X}_2 \bar{X}_3 X_4 + \bar{X}_1 \bar{X}_2 X_3 X_4 + X_1 X_2 X_3 X_4$$

$$Y_3 = \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 + \bar{X}_1 X_2 \bar{X}_3 X_4 + X_1 X_2 X_3 X_4$$

- çarpımların toplamı şeklinde verilmiş olan üç adet Boole fonksiyonu eğer NOR bazlı bir PLA ile gerçekleştirilmek istenirse yukarıda belirtildiği gibi ilk olarak dört terimli çarpımlar, toplamların evriği olarak ifade edilir:

$$Y_1 = \left\{ [(X_1 + X_2 + X_3 + X_4)' + (X_1 + \bar{X}_2 + X_3 + \bar{X}_4)' + (\bar{X}_1 + X_2 + X_3 + \bar{X}_4)' + (X_1 + X_2 + \bar{X}_3 + \bar{X}_4)']' \right\}'$$

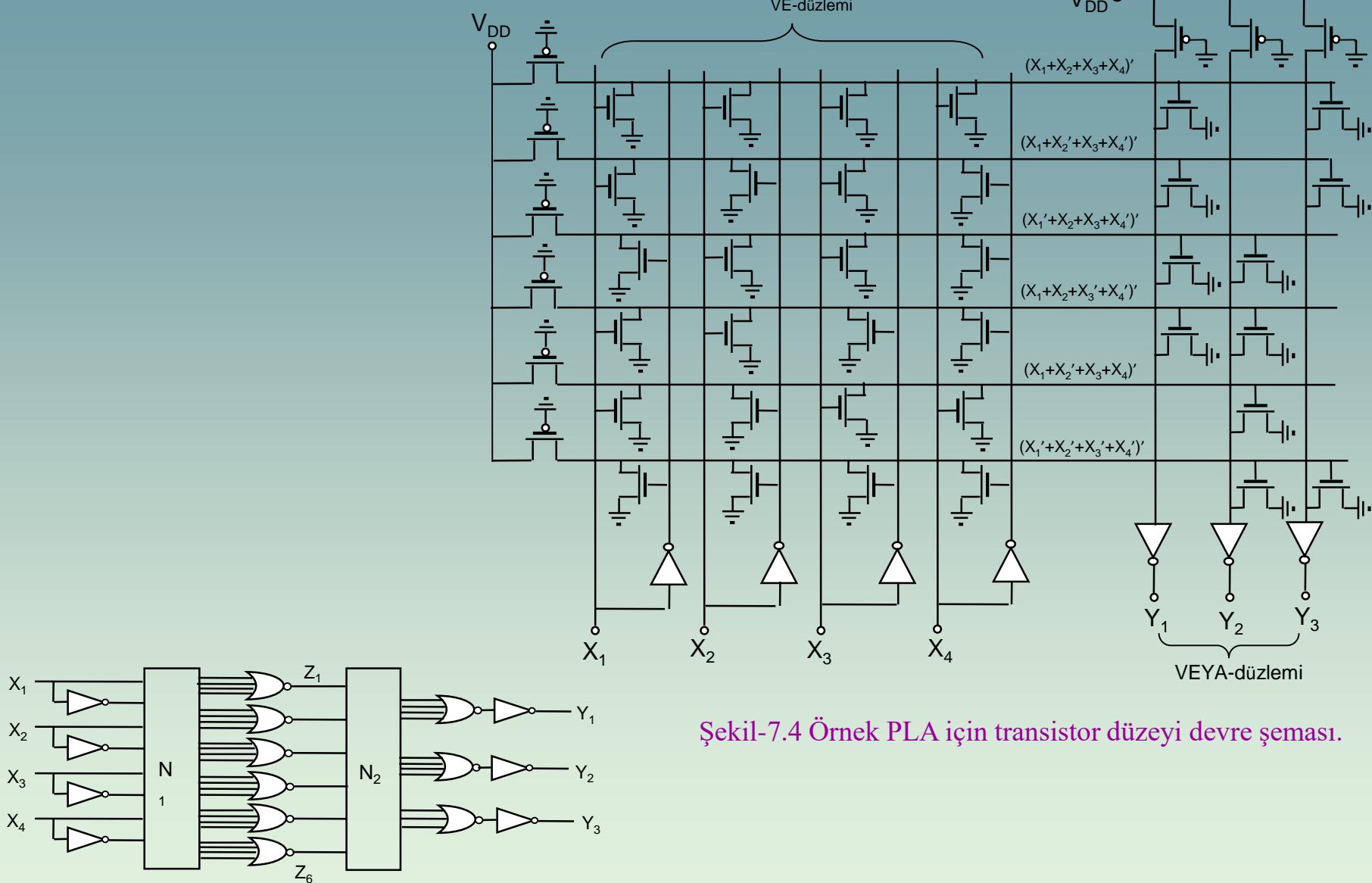
$$Y_2 = \left\{ [(X_1 + \bar{X}_2 + X_3 + X_4)' + (\bar{X}_1 + X_2 + X_3 + \bar{X}_4)' + (X_1 + X_2 + \bar{X}_3 + \bar{X}_4)' + (\bar{X}_1 + \bar{X}_2 + \bar{X}_3 + \bar{X}_4)']' \right\}'$$

$$Y_3 = \left\{ [(X_1 + X_2 + X_3 + X_4)' + (X_1 + \bar{X}_2 + X_3 + \bar{X}_4)' + (\bar{X}_1 + \bar{X}_2 + \bar{X}_3 + \bar{X}_4)']' \right\}'$$

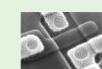
biçimini alırlar. Kolayca görülebileceği üzere çarpım terimleri doğrudan NOR fonksiyonu şeklinde ifade edilmiştir. Buna karşılık toplama işlemi de NOR kapıları ile yapılımak zorunda olduğu için son aşamada ilave bir evirme ihtiyacı ortaya çıkmaktadır. Şekil-7.2'de VEYA düzeyi NOR matrisi çıkışına yerleştirilen eviriciler bu ilave evirme işlemini sağlamaktadır. Yukardaki örnekte dört giriş değişkeni (evrikleri ile birlikte sekiz), üç çıkış değişkeni ve altı ara değişken vardır. Dikkat edilirse bu bağıntılardaki on bir toplam teriminin sadece altı tanesi bağımsızdır. Diğer terimler ise en az bir kere tekrarlanmış terimlerdir. Bu örneğe ilişkin NOR kapıları ile bir blok şeması Şekil-7.3'de, transistor düzeyi sözde NMOS şema ise Şekil-7.4'de verilmektedir.



Bu örneğe ilişkin NOR kapıları ile bir blok şeması Şekil-7.3'de, transistor düzeyi sözde NMOS şema ise Şekil-7.4'de verilmektedir.

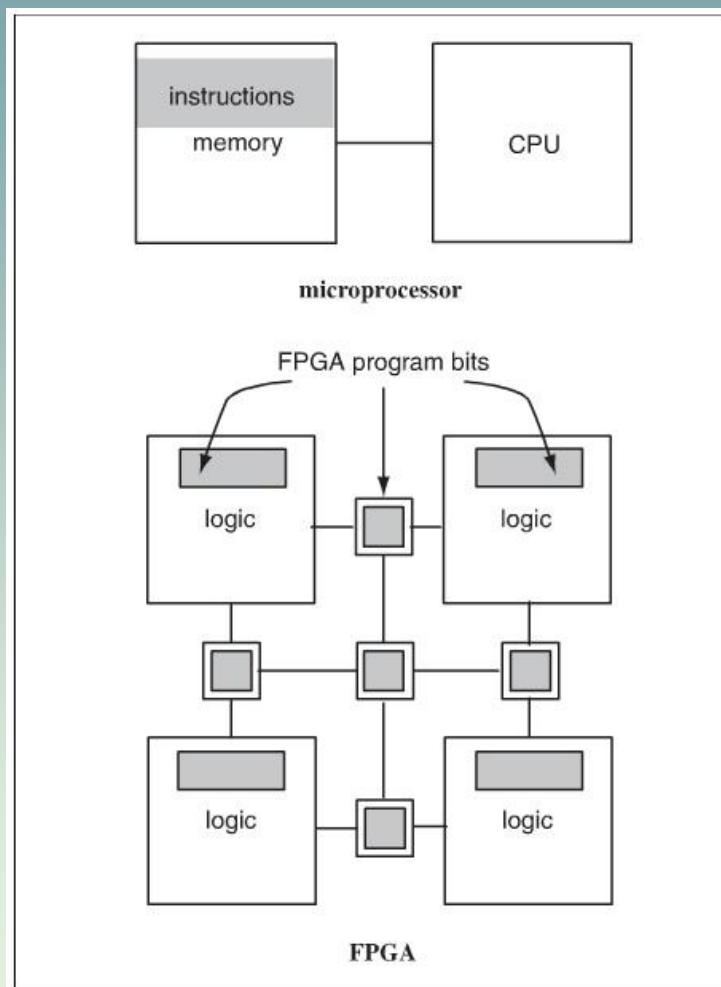


Şekil-7.3 NOR bazlı PLA örneği blok şeması.



7.1.2 Sahada Programlanan Kapı Dizileri

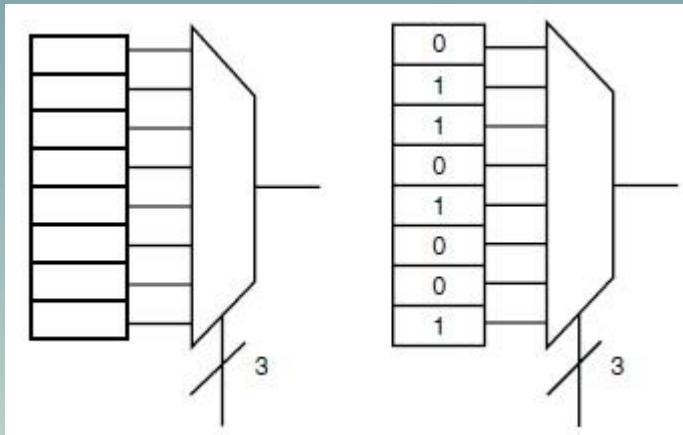
- FPGA'yi kavramsal olarak ilk ortaya atanlardan ve bununla ilgili patent sahibi olan kişi Ross Freeman'dır (1989). Hem lojik elemanların, hem bağlantılarının programlanabilirliği ile değişik seviyeli lojik fonksiyonlar gerçeklemek çok uygundur. Freeman'ın FPGA'sı SRAM tabanlıdır, yani lojik ifade SRAM'lerde saklanmaktadır.



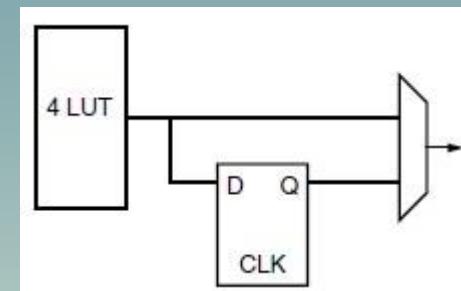
Şekil 7.5 Mikroişlemciler ve FPGA

Mikroişlemciler ve FPGA

- Mikroişlemcilerdeki programlanabilirlik ve FPGA'lardaki programlanabilirlik oldukça farklıdır ve karıştırılmamalıdır. Şekil-7.5, ikisi arasındaki farkı anlatmaktadır.

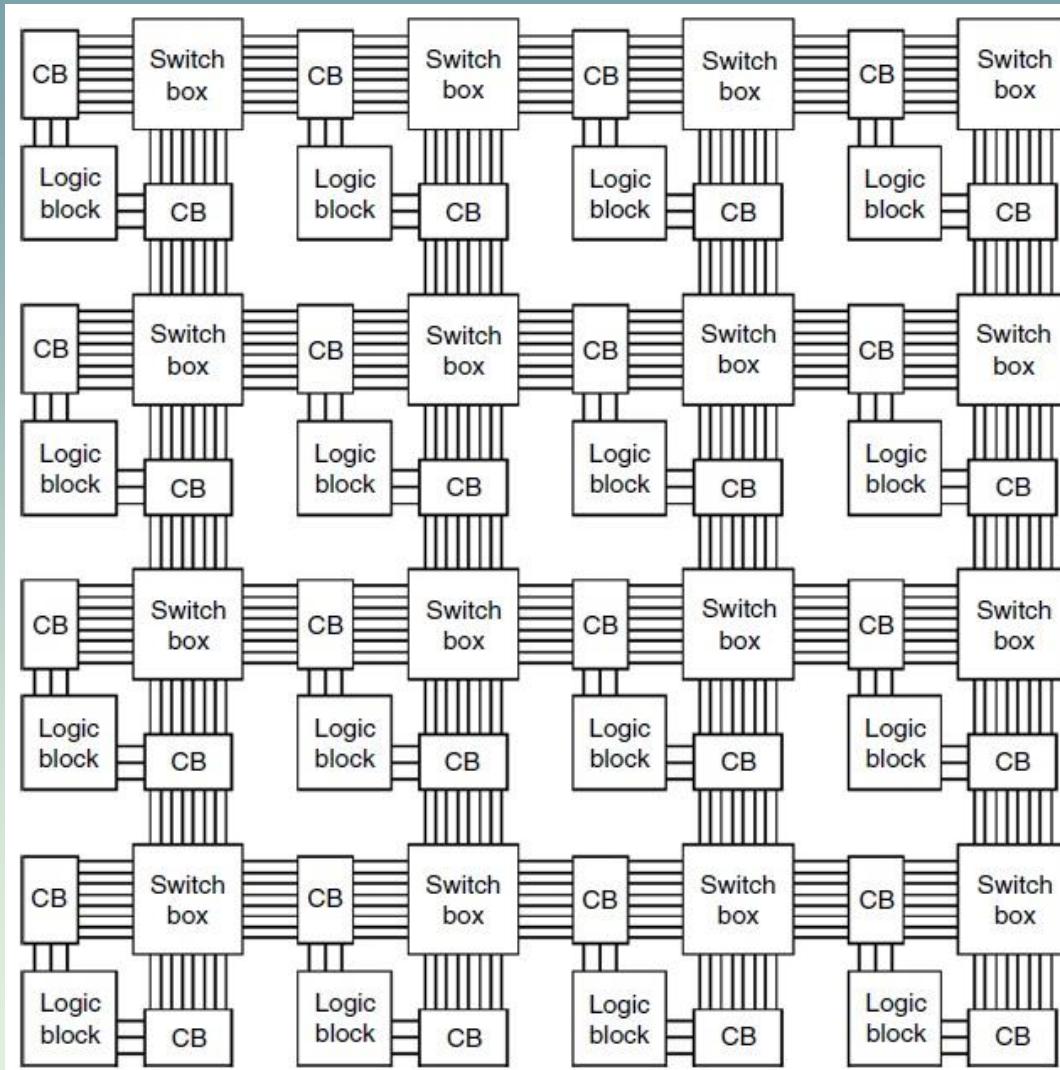


Şekil-7.6 3 Giriş, 1 çıkışlı LUT şematik gösterilimi



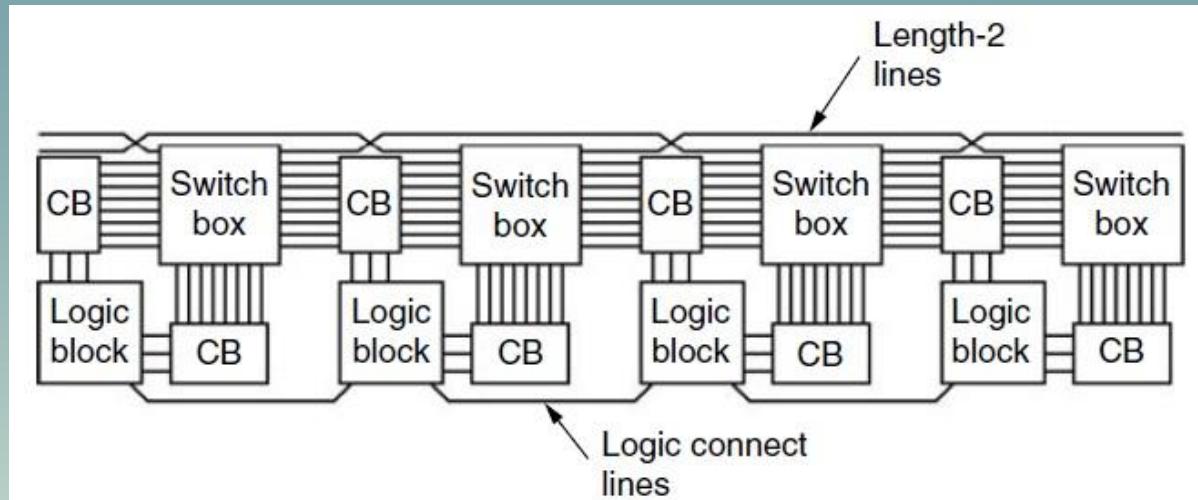
Şekil-7.7 Basit bir LUT mimarisi



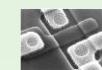


Şekil-7.8 Sayısal fonksiyon birimleri, bağlantı devreleri ve anahtar matrisleri





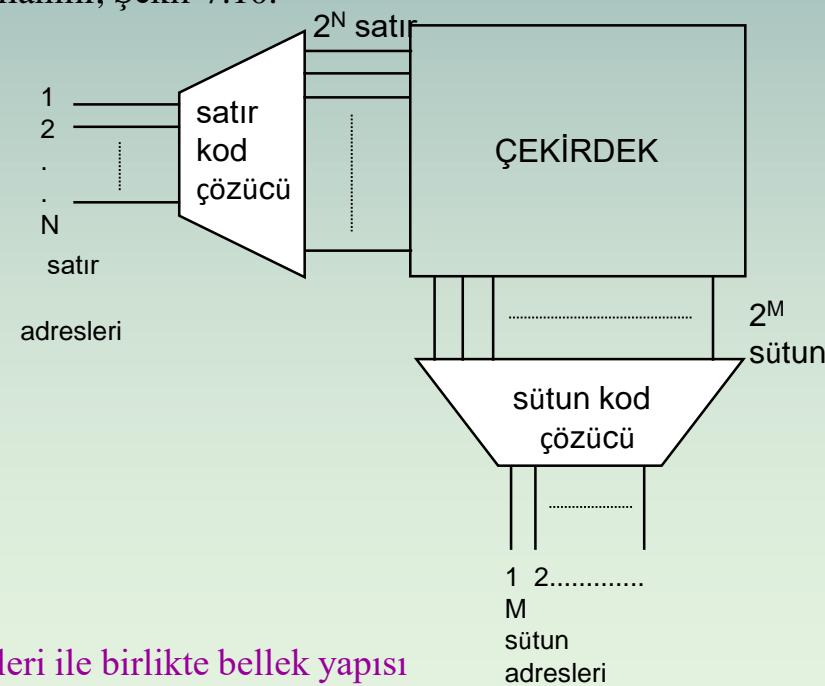
Şekil-7.9 Uzun mesafeler için gecikmeyi düşüren bağlantı yapıları



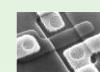
7.2 Bellekler

- Bellekler büyük miktarda sayısal bilgi saklayan sistemlerdir. Burada bellek olarak sadece günümüz teknolojisine uygun olan yarıiletken bellekler ele alınacaktır. Belleklerde sayısal bilgi, çekirdek ismi verilen ve satır sütun düzeneinde bir matris yapısına sahip olan ana bölümde saklanır. Her bir satır ve sütunun kesişim noktasında bir bitlik bilgiyi saklayan bir hafıza hücresi mevcuttur. Çekirdekteki herhangi bir hafıza hücresinde erişerek oraya yazma veya okuma işlemi yapmak için o satır ve sütuna erişmek gereklidir. Çekirdekteki satırlar, başka bir deyişle yatay hatlar, kelime hatları ("word lines"); sütunlar, başka bir deyişle düşey hatlar ise bit hatları ("bit lines") olarak adlandırılır. Satır ve sütun sayısı arttıkça, yani çekirdek boyutu büyündükçe satır ve sütun bağlantılarını tümleştirilmiş devre dışına almak olanaksız hale gelir. Satır sayısı 2^N , sütun sayısı 2^M olan bir çekirdek göz önüne alalım. $N > 5$, $M > 5$ için söz konusu zorluk başlar. Örnek olarak $N=M=10$ için satır ve sütun sayısı 1024'dür ve bu durumda 1Mbit'lik bir çekirdek söz konusudur. Bu bellek kapasitesi, güncel gerçekleştirilmeler açısından küçük bir bellek çekirdeğidir ve bu durumda sadece adresleme için toplam 2048 bağlantı ucu söz konusu olmaktadır. Bu uçlara dış dünyadan daha az sayıda uçtan erişebilmek için **satır ve sütun kod çözümcüler** kullanılır, Şekil-7.10.

- Satır ve sütun kod çözümcüler yardımcıyla adresleme uçları 2^N ve 2^M den N ve M 'e inmekte, böylece bunlara tümdevre ortamında da dışardan erişilebilmesi mümkün hale gelmektedir.



Şekil-7.10 Satır ve sütun kod çözümcüler ile birlikte bellek yapısı



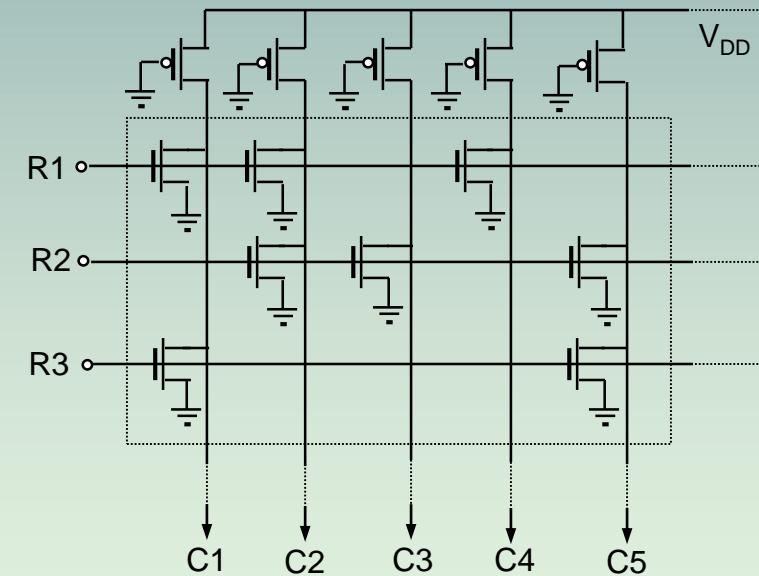
7.2.1 Salt-Oku Bellekler

- ◻ Salt-oku bellekler (“read only memory”: ROM), sabit değerlerin, değiştirilmesi söz konusu olmayan kontrol bilgilerinin ve bazı komutların saklanması için kullanılırlar. ROM’lar metal maske aşamasında fabrikada programlanan hafıza üniteleri olmakla beraber, bunların daha sonra kullanıcılar tarafından programlanabilen, başka bir ifadeyle sakladıkları bilgileri belli bir prosedürle yeniden organize edilebilen türleri de gerçekleştirilmiştir. Bunlara örnek olarak PROM, (programlanabilen ROM), EPROM (elektriksel olarak programlanabilen ROM), EEPROM (elektriksel olarak silinebilen ve programlanabilen ROM.) gösterilebilir. Aşağıda, salt-oku bellek yapıları, bunlara ait satır ve sütun kod çözüçüler anlatıldıktan sonra bunların PROM, EPROM ve EEPROM haline nasıl getirildikleri belirtilecektir.
- ◻ Temelde iki tür salt-oku bellek yapısı söz konusudur. Bunlar NOR (EVRİK-VEYA) bazlı ve NAND (EVRİK-VE) bazlı salt-oku belleklerdir.



7.2.1.1 NOR Bazlı ROM

- NOR tabanlı CMOS salt-oku bellek dizisinin ilk üç satır ve beş sütununa karşı düşen küçük bir kısmı Şekil-7.11'de görülmektedir. Yapı, her bir sütununun satır girişlerine göre NOR işlemi yapmaktadır. Geçitleri topraklanmış olan PMOS transistorlar paralel bağlı NMOS'ların oluşturduğu NOR kapılarının aktif yükleri olup, NOR kapıları bu halleriyle sözde-NMOS NOR kapıları oluşturmaktadırlar. Satır sütun dizisinin kesişme noktalarının bazlarında bir NMOS transistoru mevcut olup, bazlarında ise transistor bulunmamaktadır. Herhangi bir satır girişi lojik-1'e çıkartıldığında, geçitleri o satıra bağlı bulunan transistorlar iletme geçer ve kesişme noktalarında NMOS bulunan sütunlar alçak seviyeye (lojik-0) çekilirken, kesişme noktalarında NMOS bulunmayan sütunlar yüksek seviyede (lojik-1) kalır. Başka bir ifadeyle pozitif lojikte, saklanan lojik-1 bilgisi için bir kesişme noktasında transistor bulunmaması, lojik-0 bilgisi için ise bir transistor bulunmasıyla bilginin saklanması sağlanmış olur. Bellek yapımında bellek matrisinin her bir kesişme noktasında bir NMOS transistor oluşturulur.
- Programlama, ara bağlantıların yapıldığı metal maske aşamasında yapılır. "1" yazılması istenen yerlerde transistor bağlantıları yapılmaz, "0" yazılması istenen yerlerde bağlantılar yapılır. Bu sözde NMOS NOR kapıları biçiminde organize edilen ROM'un en büyük mahzuru, ilgili kelime hattı seçilerek iletme giren transistorların neden olduğu statik güç tüketimidir. Bu mahzuru gidermek amacıyla PMOS transistor geçitleri toprağa bağlanmayıp bir Φ ön yükleme işaretine bağlanır. Okuma işlemine başlamadan önce Φ , 0'dan 1'e çekilerek PMOS yük transistorları kesime sokulur. Bir kelime hattı seçildiğinde transistorların bulunduğu (lojik-0 yazılı) bit hatları lojik-0'a çekilir. Transistorların bulunmadığı (lojik-1 yazılı) bit hatları ise yüksek seviyesini muhafaza eder.

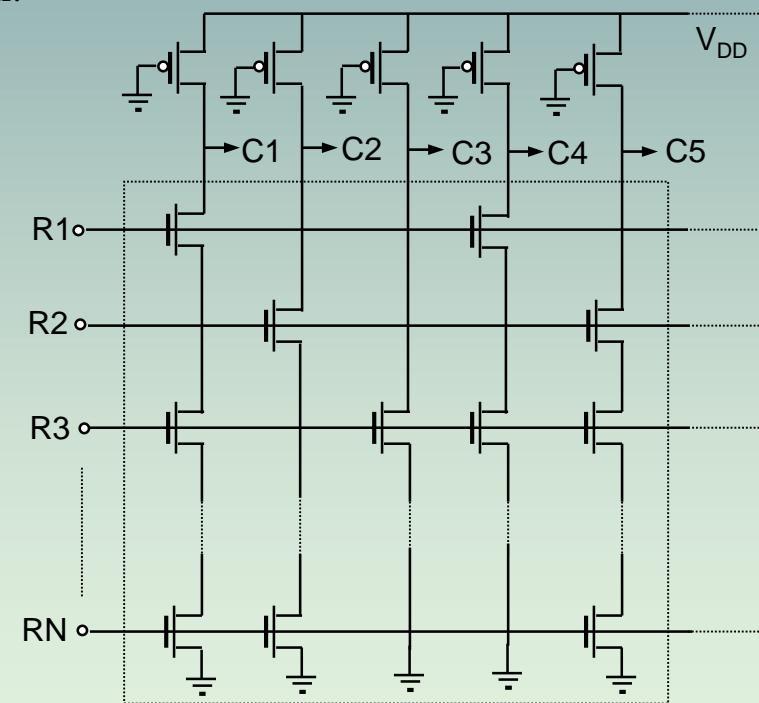


Şekil 7.11 NOR bazlı sözde NMOS ROM'un küçük bir kısmı.



7.2.1.2 NAND Bazlı ROM

- NAND bazlı CMOS salt-oku bellek dizisinin ilk üç satır, son satır ve ilk beş sütununa karşı düşen küçük bir kısmı Şekil-7.12'de görülmektedir. Yapı, her bir sütununun satır girişlerine göre NAND işlemi yapmaktadır. Geçitleri topraklanmış olan PMOS transistorlar, paralel bağlı NMOS transistorların oluşturduğu NAND kapılarının aktif yükleridir. Satır sütun dizisinin kesişme noktalarının bazılarında bir NMOS transistör mevcut olup, bazılarında ise kısa devre bulunmaktadır. Herhangi bir satır giriş, diğer satırlar lojik-1'de iken, lojik-0'a çekildiğinde, geçitleri o satıra bağlı bulunan transistorlar kesime gider ve kesişme noktalarında NMOS bulunan sütunlar yüksek seviyeye (lojik-1) çekilirken, kesişme noktalarında NMOS bulunmayan sütunlar alçak seviyede (lojik-0) kalır. Başka bir ifadeyle pozitif lojikte, matrisin kesişme noktasında lojik-1 bilgisi saklamak için transistor bulundurmak, lojik-0 bilgisi saklamak için ise bir kısa devre gerçekleştirmek gereklidir.
- Bellek yapımında bellek matrisinin her bir kesişim noktasında bir NMOS transistör olduğu hatırlanırsa, salt-oku belleğin programlanması metal maske aşamasında olmaktadır. "1" yazılması istenen yerlerde transistor bağlantıları yapılır, "0" yazılması istenen yerlerde transistor uçları kısa devre edilir. NAND tabanlı ROM çekirdeğinde transistorlar seri bağlandıkları için sütun seviyelerin alçak seviye değerlerini (lojik-0) istenilen bir değerin altında tutabilmek açısından satır sayısı çok fazla artırılamaz. Bu nedenle büyük ölçekli ROM çekirdekleri NOR tabanlı yapılır.

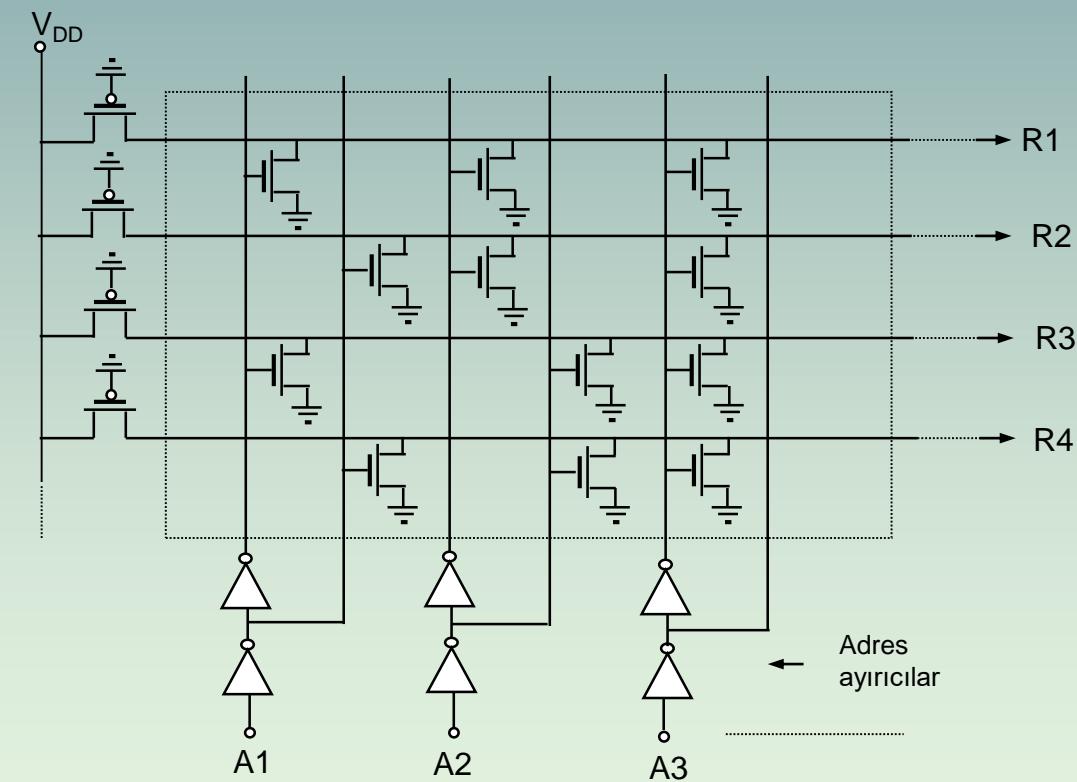


Şekil 7.12 NAND bazlı sözde NMOS ROM'un küçük bir kısmı

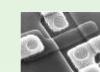


7.2.1.3 Satır Kod Çözüçüler

- Bellek kapasitesini artırmak için satır ve sütun sayısını artırmak gereklidir. Satır sütun sayıları modern belleklerde binler mertebesinde olup, bu kadar çok satır ve sütuna ulaşmak tümleştirilmiş devrelerin kullanılan kılıf teknolojisine bağlı ve yüz mertebesini aşmayan bağlantı ucu (pin) nedeniyle mümkün olmaz. Dış dünyadan bellek çekirdeğinin herhangi bir satır ve sütununa makul sayıda bağlantı ucundan ulaşabilmek için satır ve sütun kod çözüçüler kullanılır. ROM'lar için satır kod çözüçülerin topolojileri, kullanılan çekirdeğin yapısına bağlı olup, NOR ve NAND tabanlı çekirdekler için kod çözüçüler de sırasıyla NOR ve NAND tabanlı olurlar. Satır kod çözüçüler girişlerindeki ikili koda göre yazılmış sayı ile bellek hücresindeki 2^N satıldan birini seçerek şekilde tasarlamlar. Bu durumda kod çözücü giriş ucu sayısı N olup, bu N adet giriş ucunun lojik 1 veya 0 olmalarının değişik kombinasyonlarına göre (bunların sayısı 2^N 'dir) istenilen satır seçilir. Şekil-7.13'de NOR bazlı bir ROM için tasarlanmış satır kod çözucusundan bir kesit görülmektedir.
- İlk üç değişkeni ve ilk dört ROM satırına ulaşan çıkışları görülen kod çözücüde A1, A2, A3 girişlerine gelen ikili koddaki sayıya karşı düşen satır haricindeki bütün satırlar, o satırı oluşturan NOR kapısına ait NMOS transistorlarından en az biri iletişimde olacağı için, lojik-0'a çekilir. Böylece istenilen satır seçme işlemi gerçekleşir. Örnek olarak A1=0, A2=0, A3=0 ise sadece R1'deki transistorların hepsi birden kesimde olacak ve sadece bu satır lojik-1'e yükselecektir.

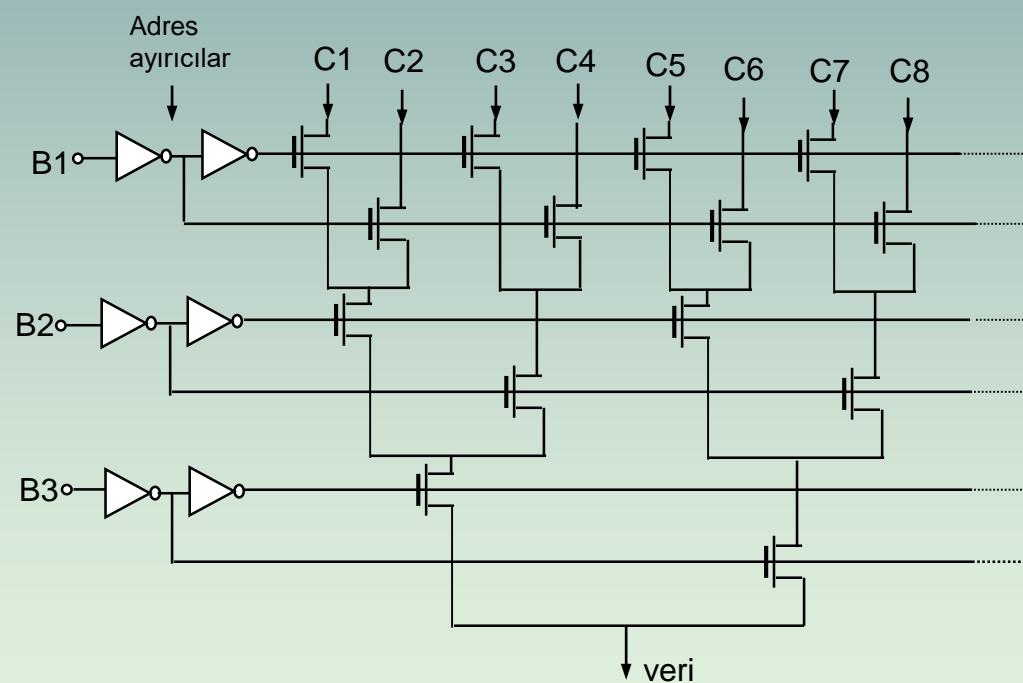


Şekil-7.13 NOR bazlı sözde NMOS satır kod çözücünün küçük bir kısmı

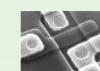


7.2.1.4 Sütun Kod Çözüçüler

- Sütun kod çözümü olarak kullanılan birçok devre topolojisi söz konusudur. Bunlardan en çok kullanılan bir tür olan ağaç türü sütun kod çözümü Şekil-7.14'de görülmektedir. Sütun kod çözümünün ikili koddaki üç adres bilgisi ile sekiz sütundan birini seçme işlemi B1, B2, B3'ün "0" veya "1" olmasına göre üç farklı seviyede bulunan, tek veya çift numaralı sütundaki transistorların iletme girerek, sütunlardan birini seçmesi olarak özetlenebilir. Şekilden de açıkça görülebileceği üzere ağaç türü sütun kod çözümü de M adet ikili tabandaki giriş kodu ile 2^M sütundan birini seçebilmektedir.



Şekil-7.14 Ağaç tipi sütun kod çözümü.



7.2.1.5 Programlanabilir Salt-Oku Bellekler (PROM, EPROM, EEPROM)

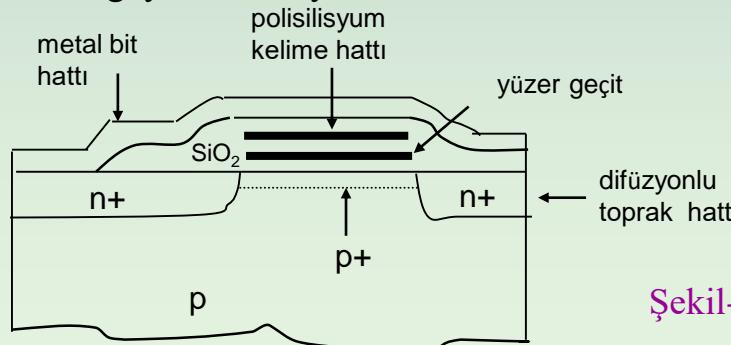
- Salt-oku belleklerin programlanması, fabrikasyon işlemlerinden son maske aşaması olan metal maske adımda, bazı bağlantıların yapılması veya yapılmaması şeklinde gerçekleştirildiği yukarıdaki açıklamalardan anlaşılmaktadır. O halde ROM'ların programlanması imalatçı firma tarafından müşteri isteklerine göre yapılacaktır. Bu durum bilhassa az sayıdaki kullanım amaçları için ekonomik olmadığı gibi, zaman kaybına da neden olur. Bu nedenle kullanıcılar tarafından programlanabilen salt-oku bellek türleri gerçekleştirilmiştir.

7.2.1.5.1 Programlanabilir Salt-Oku Bellek (PROM)

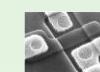
- Programlanabilir salt-oku bellekler, ROM satır sütun kesişim noktalarına diyon-transistor gibi çeşitli aktif elemanlar yerleştirilerek gerçekleştirilmiş ve programlama bu kullanıcı tarafından kelime ve bit hatları (satır ve sütunlar), belli bir gerilimin üzerine çıkarılan kesişim noktalarındaki aktif elemanların yakılarak, diğerlerinin ise sağlam bırakılarak yapılmasına dayalı bir işlem biçiminde gerçekleştirilmiştir. Bu tür bellekler, ROM'lar gibi bir defa programlanabilen yapılardır. Silinebilen (EPROM, EEPROM) salt-oku bellekler kullanma girdikten sonra ortadan kalkmışlardır.

7.2.1.5.2 Silinebilen Programlanabilir Salt-Oku Bellek (EPROM)

- Adından da anlaşılacağı üzere silinebilen ve elektriksel olarak programlanabilen salt-oku bellekler, besleme gerilimi kesilse bile sakladığı bilgi kaybolmayan depolama aygıtlarının en kullanışlı türlerinden olmuşlardır. Bir EPROM'un klasik bir ROM'dan farkı, bellek çekirdeğindeki kesişim noktalarındaki aktif elemanın klasik bir NMOS yerine FAMOS teknolojisi ("Floating-gate, avalanche injection, metal oxide semiconductor") ile gerçekleştirilmiş olmasıdır. Böyle bir çift geçitli bellek elemanı Şekil-7.15'de görülmektedir. Bu şekilde görülen çift geçitli MOS transistorun geçitlerinden biri tamamen SiO_2 ile izole edilmiş olan üzeren geçittir. Bu üzeren geçide ait geçit kapasitesi sakladığı yükü uzun yıllar muhafaza edebilir. Bu geçit, kapasitesinde bilginin saklanması görevini üstlenmektedir.

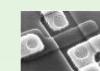


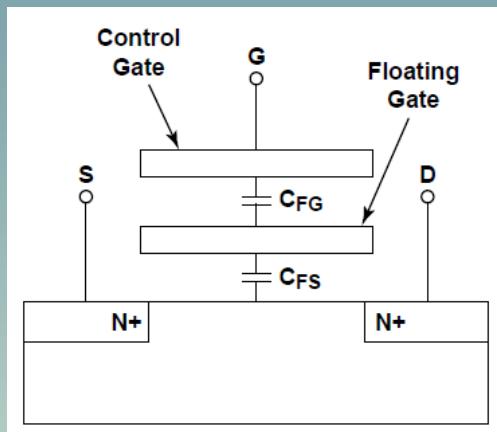
Şekil-7.15 Çift geçitli EPROM transistoru (FAMOS) [4].



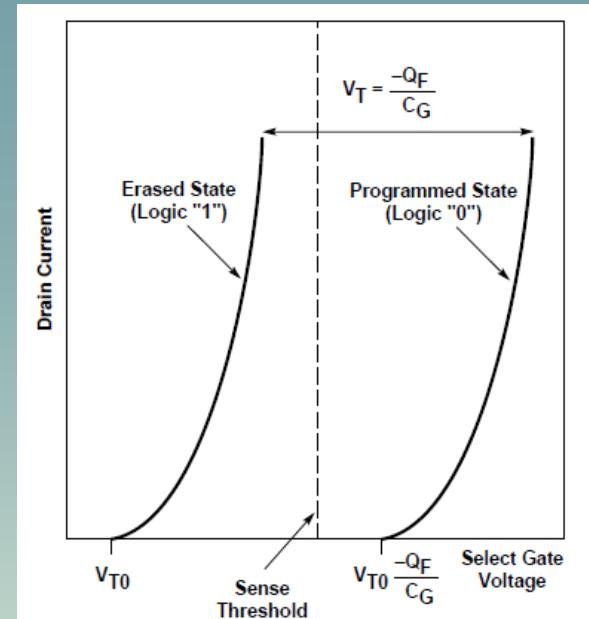
Transistora yeni bilgi aktarılması, başka bir ifadeyle programlanma şu şekilde olmaktadır: Yüzer geçit ile taban arasmda nispi olarak yüksekçe bir gerilim oluştuğunda, bu geçide çığ olayı ile elektronlar enjekte edilir. Bu durum savak-kaynak arasına yüksekçe bir gerilim uygulanan transistörün geçidine de yüksek sayılabilcek (yaklaşık 25V) bir gerilim uygulanarak gerçekleştirilir. Bu sırada kaynaktan sağa yüksek kinetik enerji kazanan elektronların bir kısmı geçitte oluşan elektriksel alandan kaynaklanan kuvvetle SiO_2 tabakasını aşarak üzeren geçide ulaşır. Bu şekilde üzeren geçitleri negatif yüklü transistorlar, kanallarında yığılma ($p+ > p$) söz konusu olduğu için, eşik gerilimleri artmış bir geçiş karakteristiğine sahip olurlar. ROM çekirdeğinde bazıları yukarıda anlatılan şekilde programlanmış, bazıları ise programlanmamış transistorlar kullanılarak bilgi saklanır. Çekirdek eğer NOR tabanlı ise programlanmış transistorların kelime hatlarına-bağlı olan geçitleri lojik-1'e çıkarıldıklarında kesimde kalırlar. Buna karşı programlanma aşamasında üzeren geçitlerine elektron enjekte edilmeyen transistorlar ise aynı durumda iletme girerler. Yani **yüzey geçitlerine elektron enjekte edilen FAMOS transistorlar NOR tabanlı bir çekirdekte kullanıldıklarında lojik-1 bilgisini, elektron enjekte edilmeyenler ise lojik-0 bilgisini saklamaktadır.**

- Saklanan bilginin silinmesi ise şu şekilde gerçekleştirilmektedir: Silmek için yüzey geçidin sakladığı yükün buradan uzaklaştırılması gereklidir. Bu amaçla yüzey geçide uygun dalga boyunda (ultraviyole- 2537A°) kuvvetli ışıklandırma, yüzey geçitteki yükler tamamen uzaklaştırılmaya yetecek sürede (20 ila 30 dakika) uygulamak gereklidir. Bu ışıklandırma sağlamak amacıyla tümleştirilmiş ROM kılıfı üzerinde kuvartz bir pencere oluşturulur. Bu işlemin gerçekleştirilmesi için EPROM'un devredeki soketinden çıkartılması zorunluluğu en büyük dezavantaj olarak karşımıza çıkmaktadır.





Şekil-7.16 Yüzen geçitli MOS modeli [7].

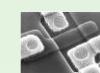


Şekil-7.17 Yüzen geçidin yüklenmesiyle eşik geriliminde meydana gelen değişim [1]

$$(V_G - V_F)C_{FG} + (0 - V_F)C_{FS} - Q_F = 0 \quad (7.1)$$

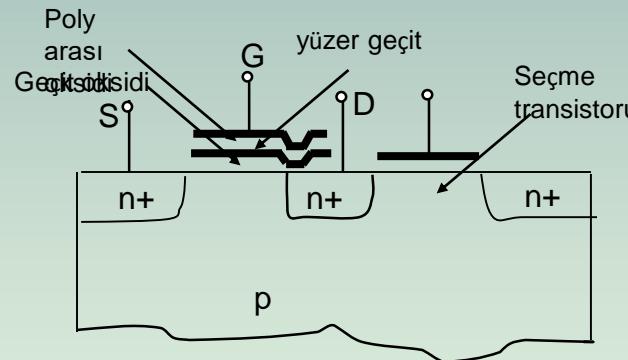
$$V_F = V_G \frac{C_{FG}}{C_{FG} + C_{FS}} - \frac{Q_F}{C_{FG} + C_{FS}} \quad (7.2)$$

$$V_{TF} = V_{TO} - \frac{Q_F}{C_{FG} + C_{FS}} \quad (7.3)$$



7.2.1.5.3 Elektriksel Olarak Silinebilen Programlanabilir Salt-Oku Bellek (EEPROM)

- EPROM türü belleklerin devreden sökülmeden silinememesi ve programlama işleminin yapılamamasının bazı uygulamalarda büyük zorluklara neden olduğu göz önünde tutularak, bilgi saklayan hücre transistorları modifiye edilmiş ve böylece elektriksel olarak silinebilen ve programlanabilen salt-oku bellekler (EEPROM) geliştirilmiştir. Bir EEPROM hücresinin basitleştirilmiş kesiti Şekil-7.18'de görülmektedir. Şekilden de görüleceği gibi, bir hücre, bir tek geçitli seçme transistorunu bir de çift geçitli saklama transistorunu içermektedir. Başka bir ifadeyle bir EEPROM hücresi, silisyum kırmızık üzerinde bir EPROM hücresine göre daha fazla yer kaplamaktadır.
- Yüzer geçidin savak tarafındaki şecline dikkat edilirse, geçit iletkeninin sağa mesafesinin özellikle azaltılarak tünel olayına uygun hale getirildiğini belirtmek gerekmektedir. Bu özelliklere sahip bir bellek hücresi için, söz konusu teknolojide zamanla birçok gelişme yaşanmış, gerek yer gerekse hız açısından birçok ilerleme sağlanmıştır. EPROM ve EEPROM'ların sentezi olarak ortaya çıkan FLASH bellekler bu gelişmeye verilebilecek en iyi örnektir.

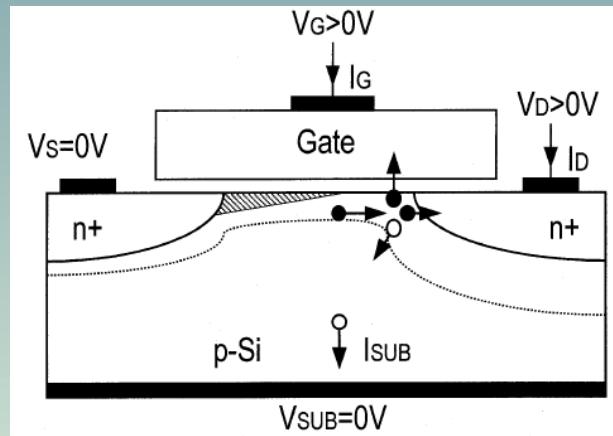


Şekil 7.18 EEPROM hücresi (FLOTOX) [5]

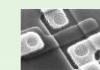


- Sıcak elektron enjeksiyonu
- Fowler-Nordheim tünelleme etkisi
- Polyoksit iletimi

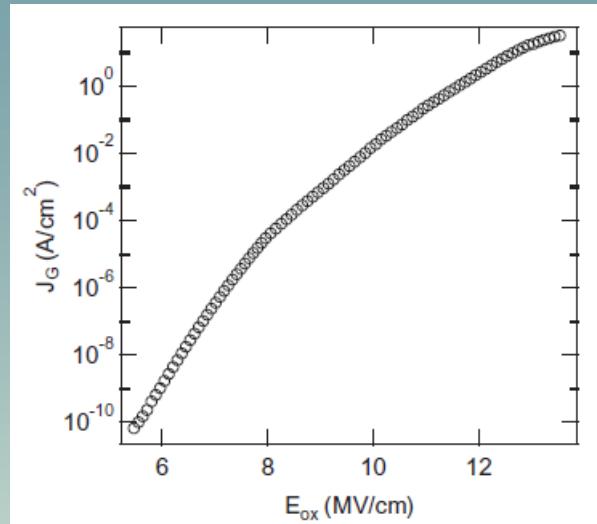
1. Sıcak elektron enjeksiyonu



Şekil-7.19 Bir NMOS transistorda sıcaklık taşıyıcılarının etkisi [5]

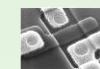


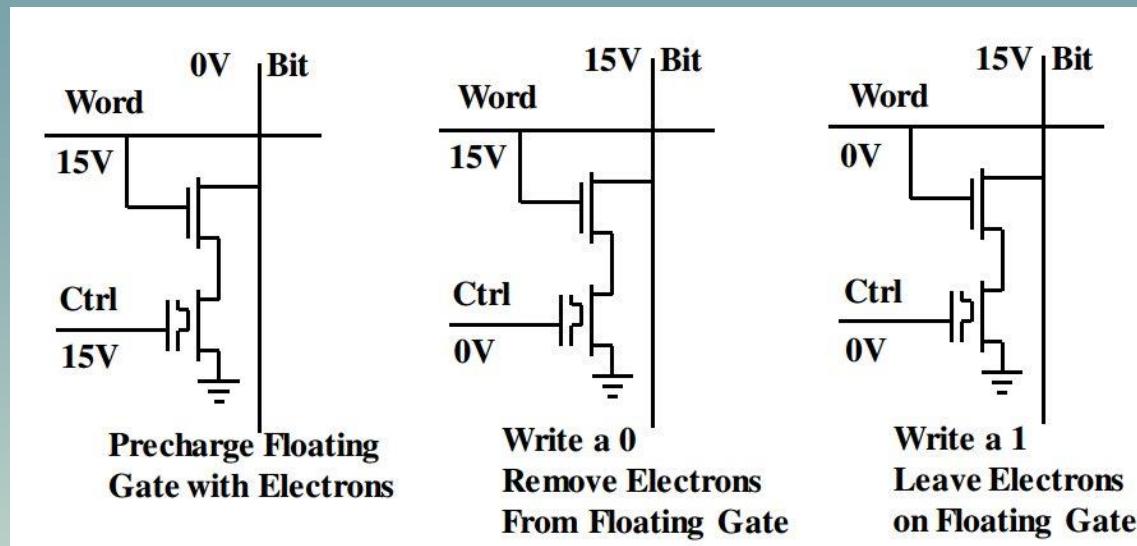
2. Fowler-Nordheim tünelleme etkisi



Şekil-7.20 Uygulanan elektriksel alanla akım yoğunluğunun değişimi [4]

- ihtiyaç duyulur.
- Kaliteli oksit gereksinimi vardır.

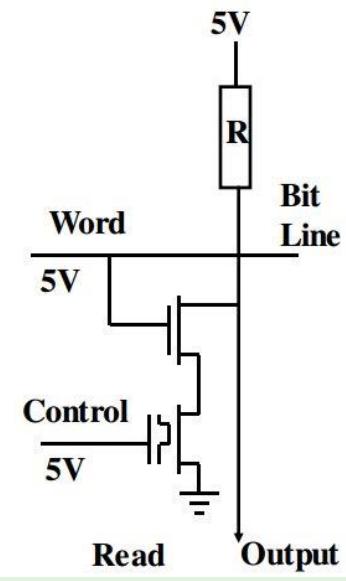




Şekil-7.21 FLOTOX EEPROM yazma ve okuma

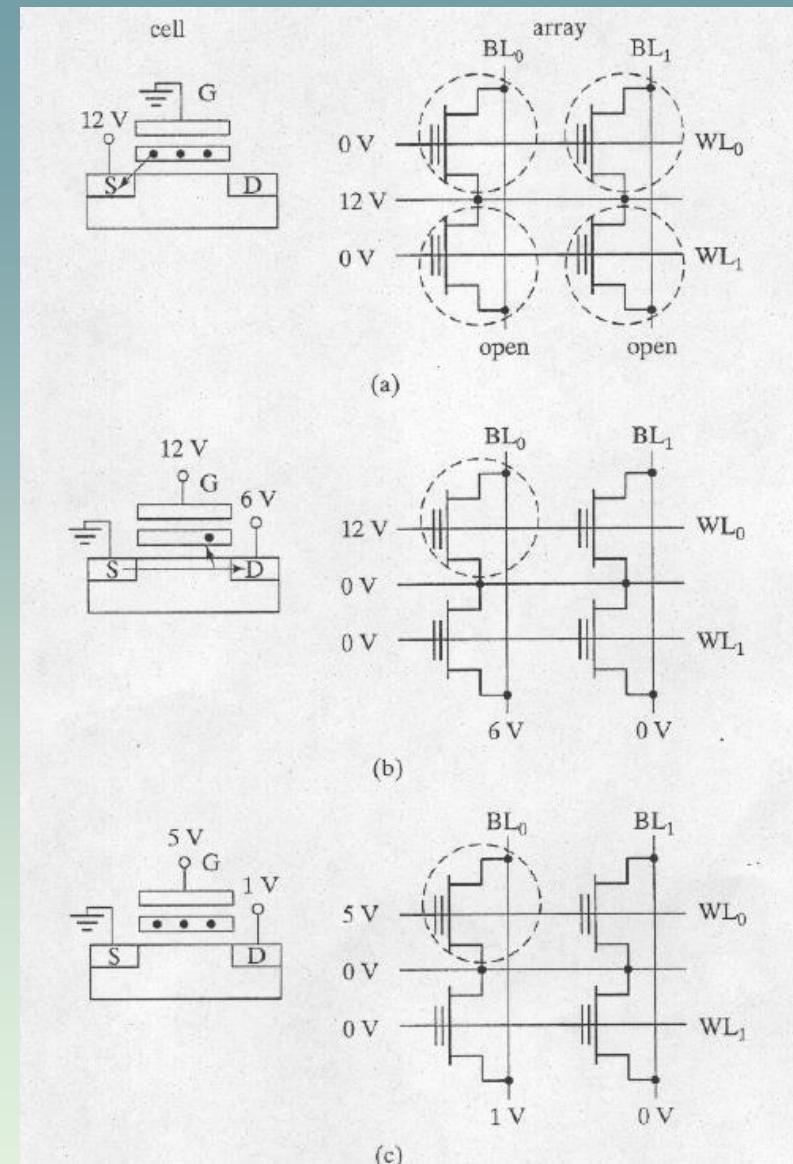
If the floating gate is charged with electrons the 5 volts on the control line will not be enough to turn that transistor on. Thus the output will be high.

If the floating gate is uncharged with electrons the 5 volts on the control line will turn that transistor on. Thus the output will be low.

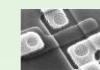


7.2.1.5.4 Hızlı Programlanabilen Salt-Oku Bellek (Flash ROM)

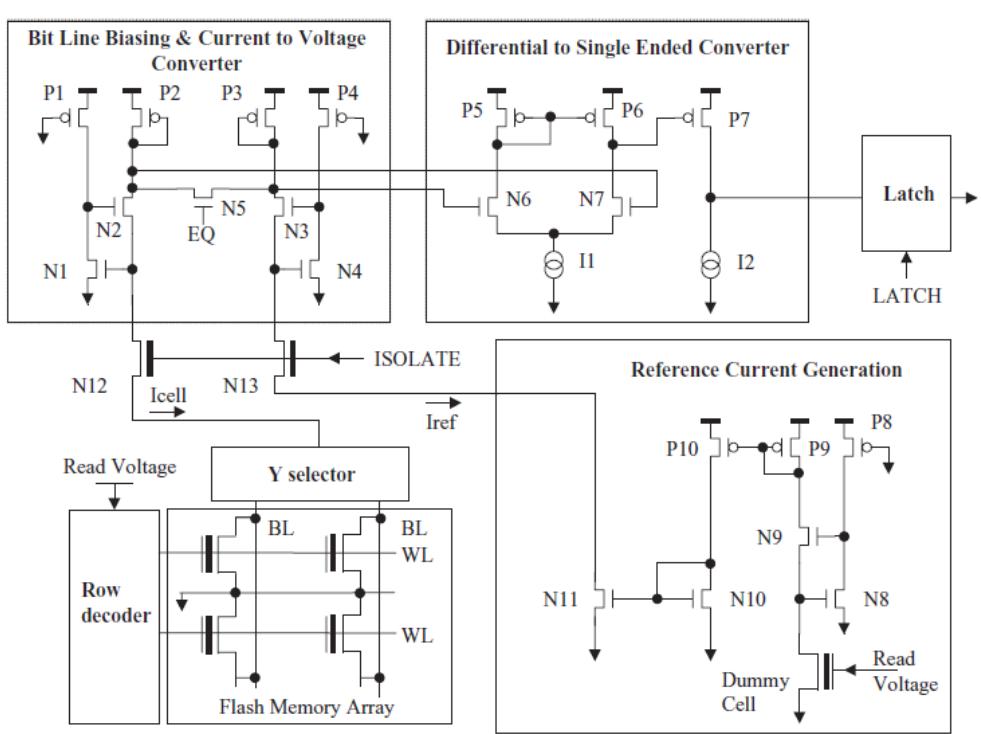
aaa



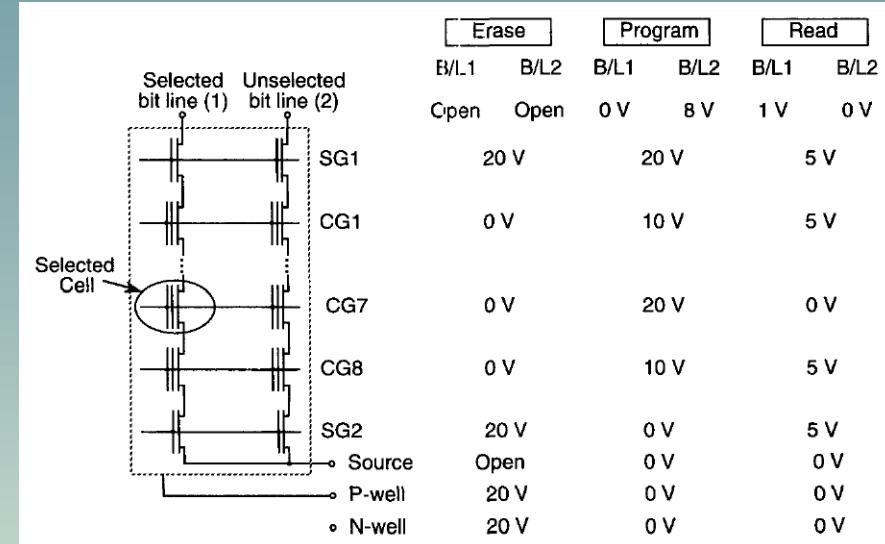
Şekil-7.22 Bir NOR Flash bellekte temel işlemler
 (a) Silme (b) Yazma (c) Okuma [10]



- aaa



Şekil-7.23 Flash bellek algılama devresi [11]



Şekil-7.24 NAND Flash bellek mimarisinde silme, programlama ve yazma işlemleri [9]



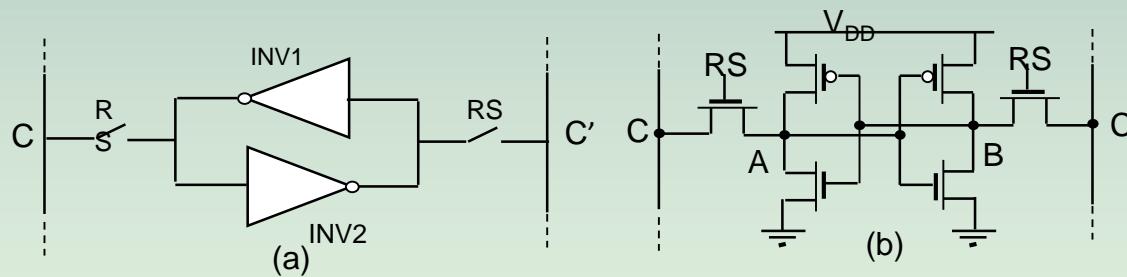
7.2.2 Yaz-Oku (Rasgele Erişimli) Bellekler (RAM)

- Belli bir düzene göre bir bit'lik hafıza hücresına erişilip o hücreye bilginin hem yazılabildiği, hem de okunabildiği belleklere, hatalı bir anlamaya da neden olabilecek şekilde rasgele erişimli bellekler ("random-access memory", "RAM") ismi verilmiştir. Bu tür bellek hücrelerindeki verinin okunabilmesi yanında değiştirilebilmesi (yazılması) de mümkün olduğu dikkate alınarak bu belleklere yaz-oku bellek ("read-write memory") de denmektedir ve bu daha doğru bir adlandırmadır. Aslında EEPROM da bir yaz-oku bellek olarak düşünülebilse de, RAM ile arasındaki en önemli iki fark, EEPROM'a veri yazılabilmesi için kayıtlı verilerin tümüyle silinmesi gerekliliği ve yeni verinin yazılması işleminin RAM'e kıyasla oldukça daha uzun bir sürede gerçekleşebilmesidir.
- Bir bellek hücresinde yeni veri yazmak ve okumak için gerekli olan süreler birbiriyle kıyaslanabilir mertebelelerdedir. Yaz-oku belleklerde, hem okuma hem de yazma işlemi söz konusu olduğundan, bir bellek hücresinin satır ve sütununun seçilmesi yanında, okuma ve yazma işlemlerinin arasında da bir seçim yapmak gereklidir. Bütün bu işlemler için kontrol bitleri kullanılır: Okuma ve yazma sırasında kullanılan yöntemler birbirinden oldukça farklı olduğundan, birbirlerinden farklı yapılarda olan okuma ve yazma devrelerinden yararlanılmaktadır.
- Günümüzde birçok uygulamada erişim hızı yüksek ve yüksek kapasiteli yaz-oku belleklere gereksinim olduğundan, bellekler tümleştirme yoğunluğu yüksek olan yarıiletken teknolojileriyle (yaygın olarak CMOS teknolojisiyle) gerçeklenmektedirler. Yaz-oku belleklerin salt-oku belleklere göre dezavantajı, uçucu ("volatile") olmaları, yani besleme kaynağı kesildiği zaman içindeki bilginin silinmesidir. Bu yüzden, bir cihazın kullandığı yaz-oku bellekte kayıtlı bilgilerin cihazın besleme gerilimi kesildiğinde yitirilmemesi için enerji sağlamayı sürdürecek ek bir pilden yararlanılır. Kimi özel bellek üretim teknolojileriyle uçucu olmayan ("non-volatile") yaz-oku bellekler de üretilmektektir (Örnek: Ferroelektrik RAM "FeRAM").
- Çahşma ilkelerinden yola çıkılarak yaz-oku bellekler (yani RAM'ler) statik yaz-oku bellek (SRAM) ve dinamik yaz-oku bellek (DRAM) olmak üzere ikiye ayrılabilirler. Statik olanların üstünlüğü, erişim hızının yüksek olması, dinamik türlerinkine ise yüksek bellek kapasitesine sahip olmalarıdır.



7.2.2.1 Statik Yaz-Oku Bellek (SRAM)

- Statik yaz-oku temel bellek hücresi, 5. Bölümde Şekil-5.1'de görüldüğü gibi sırt sırtta pozitif geribeslemeli bağlanmış iki evirici ve iki geçiş transistöründen oluşur. SRAM prensip devre şeması Şekil-7.25a'da, bu yapının CMOS gerçeklemeşi ise Şekil-7.25b'de görülmektedir. Daha önce de değinildiği gibi bu yapıda her bir çıkışın iki tane kararlı lojik konumu söz konusudur ve bu yüzden bu devreye 'çift kararlı ikili devre' denir. C ve C' olarak görünen hatlar birbirinin evriği olan bit hatlarıdır ve RS ("row select:" satır seçme) girişi "1" yapıldığında bellek hücresinin çıkışları bu hatlara bağlanmış olur.
- Satır seçme işlevi gören anahtarların bir NMOS geçiş transistörü ile gerçekleştirildiği görülmektedir. RS="0" için A ve B düğümlerinde A="1", B="0" veya A="0", B="1" konumları korunur. Ancak, RS="1" iken C hattı örneğin "0" da iken "1" seviyesine zorlanırsa, bu yeni kararlı konuma geçer. Bu, yazma işlemidir. Okuma işlemi ise, yine RS="1" iken A ve B düğümlerini olabildiğince az etkileyerek C ve C' hatlarındaki gerilim seviyelerini sezme biçiminde olur. RS="0" için bellek hücresi izole edilmiş haldedir.
- Her bir bit hattına birçok SRAM hücresi bağlı olduğu için bit hatlarının kapasiteleri çok büyük olur. Bu kapasite, belleğe erişim ve okuma/yazma hızlarını kötü yönde etkilemekle birlikte, okuma işleminin çekirdeğini oluşturmaktadır [6].

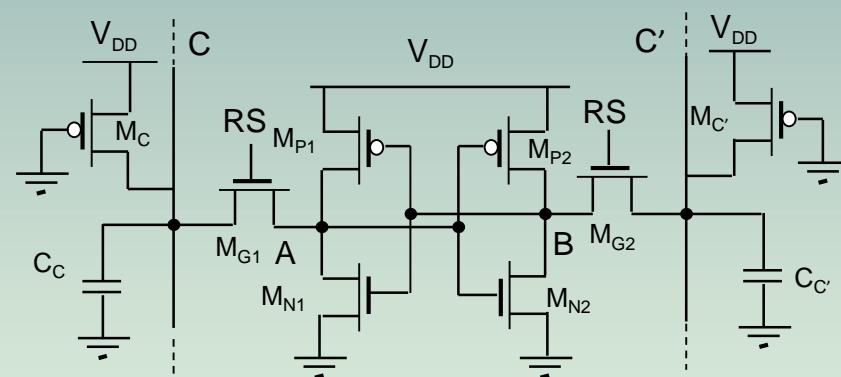


Şekil-7.25 (a) Temel 1 bitlik SRAM hücresi, (b) bellek hücresinin CMOS devresi.

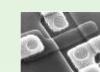


Şekil-7.26'da, C ve C' hatlarının eşdeğer kapasiteleri ve önyükleme transistorlarıyla birlikte bir SRAM hücresi gösterilmiştir. C ve C' hatlarına herhangi bir bellek hüresi bağlı değilken, sürekli iletimde olan M_C ve $M_{C'}$ transistorları, C_C ve $C_{C'}$ kapasitelerini doldurarak bu hatları V_{DD} 'ye (yani lojik-1'e) çeker. Bu işleme önyükleme adı verilir. Okuma sırasında bu-hatlar A ve B düğümlerine sırasıyla anahtar vazifesi gören M_{G1} ve M_{G2} geçiş transistorları aracılığıyla bağlanınca, kapasitelerden biri boşalmaya başlar (örnegin A="0" ve B="1" ise, C_C boşalmaya başlar). Okuma işleminin hızlı olabilmesi için sütun kapasitesinin tamamen boşalması beklenmeden C ve C' hatları arasındaki gerilim farkı sezilerek bellek hürçesinde saklanmakta olan veri okunmuş olur. Okuma işleminin hızlı olması için çok küçük gerilim farklarını sezebilecek devrelere ihtiyaç vardır. Bu iş, fark kuvvetlendiricileriyle sağlanır. Belleklerdeki okuma kuvvetlendiricisi olarak adlandırılan bu devrelere sezme kuvvetlendiricisi denir.

- Gerçeklemede, bir sütuna bağlı üst üste dizilmiş birçok bellek hüresinin her biri ayrı bir RS girişine sahip olur ve böyle sütunlardan da birçoğu yan yana dizilerek bellek yapısı elde edilmiş olur. Bir bellek hürçesine okuma ve yazma için erişmek, ilişkin CS ("columns select:" sütun seçme) ve RS girişlerini "1" yapmak suretiyle mümkün olur.

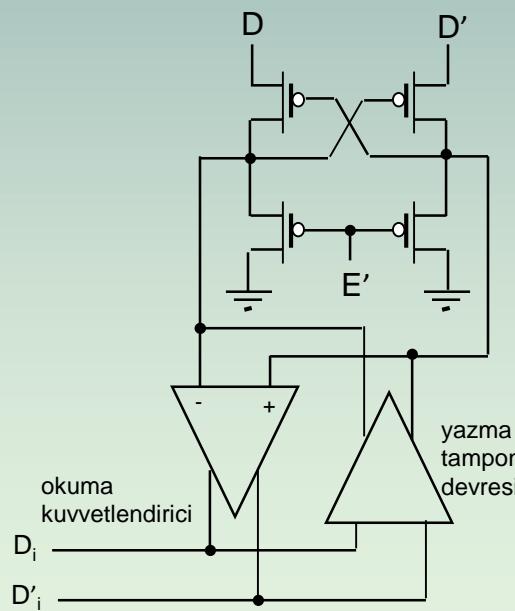


Şekil-7.26 Sütun kapasitesi ve önyükleme transistorlarıyla birlikte bir SRAM hüresi.

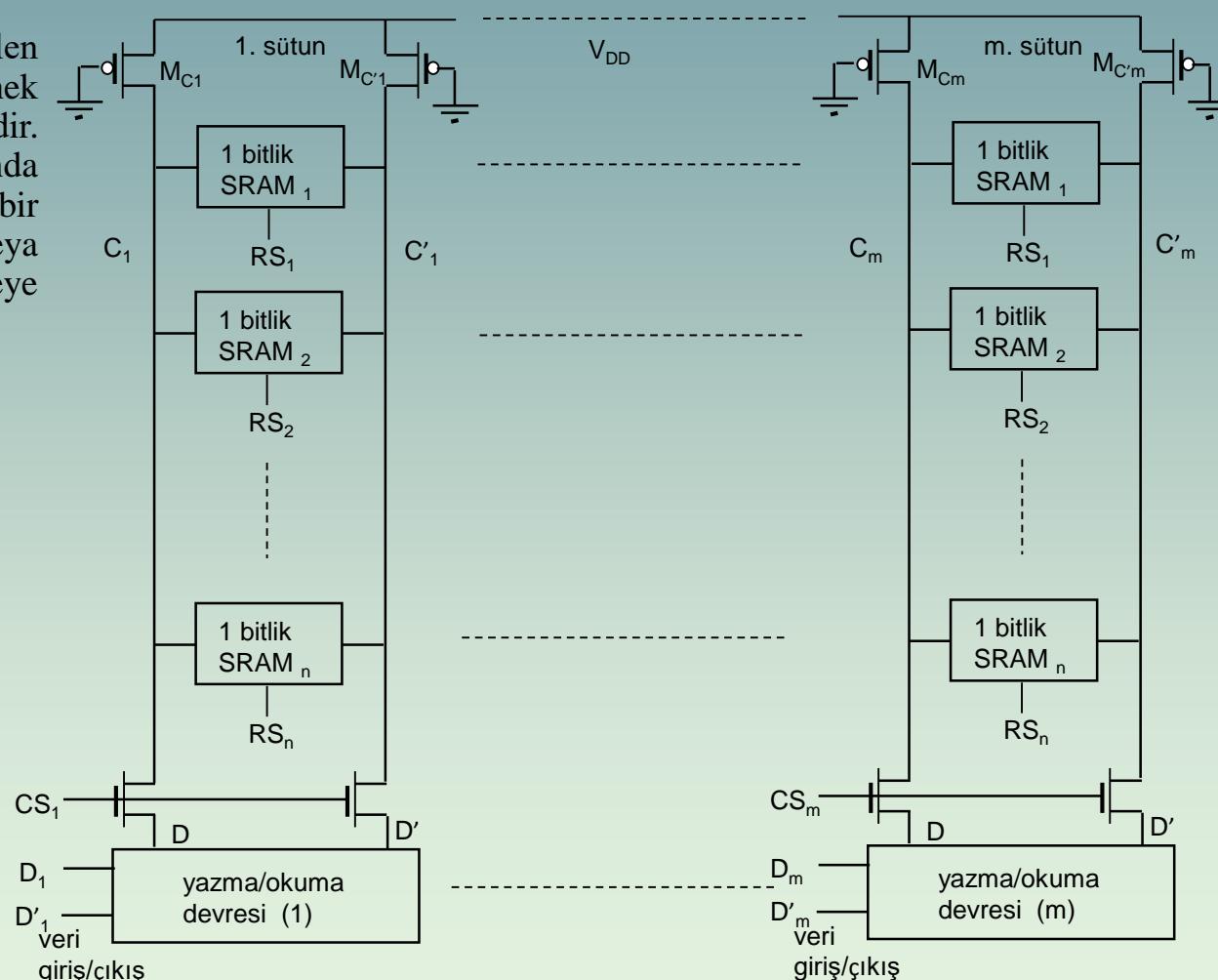


Şekil-7.27'de n satır ve m sütunlu SRAM bellek hücrelerinin dizilimi görülmektedir. Basitlik açısından sütun kapasiteleri (CC ve CC') gösterilmemiştir. CS "1" yapılarak seçilen bit hatları yazma/okuma devresine bağlanmış olur. D_i ve D'_i ($i=1,2,\dots,m$) uçları yazma/okuma devresinin giriş veya çıkışlarındır ve birbirlerinin evriigidirler. Yazma sırasında D_i ve D'_i uçlarındaki veri D ve D' düğümlerine ve dolayısıyla ilişkin RS ile seçilmiş olan bellek hücresinin iç noktalarına ulaştırılır. Bellek hücresinin yeni kararlı konumuna zorlanması, D ve D' düğümlerinin bir sayısal tampon devreyle sürülmeli yoluyla olur. Okuma bir fark kuvvetlendirici yardımıyla yapılır.

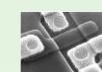
- Şekil-7.27'de blok olarak gösterilen yazma/okuma devresine bir örnek yine Şekil-7.28'de gösterilmektedir. E girişi, okuma ve yazma durumunda PMOS'lardan oluşan devreyi bir akım fark kuvvetlendiricisi veya basit bir anahtar haline çevirmeye yaramaktadır [6].



Şekil-7.28 Okuma/yazma devresi.



Şekil-7.27 n satır, m sütunlu SRAM yapısı.

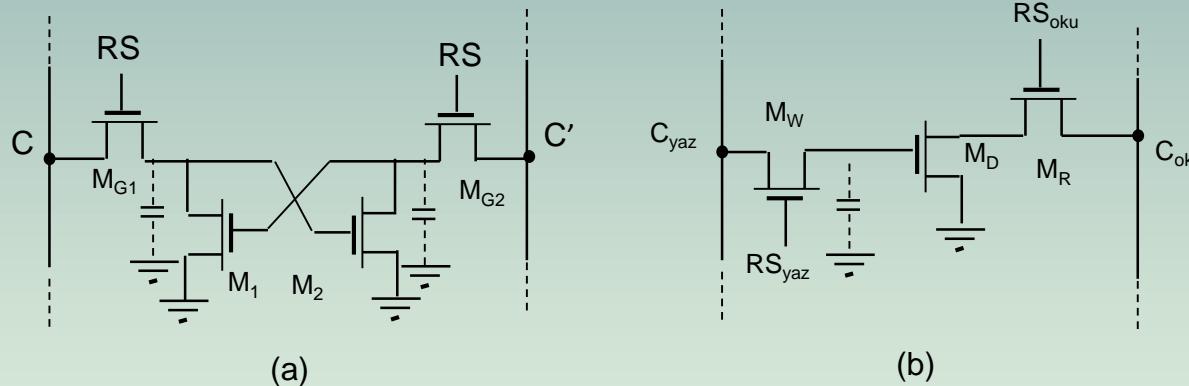


7.2.2.2 Dinamik Yaz-Oku Bellek (DRAM)

- Bellek kapasitesi büyük olan hızlı statik yaz-oku belleklerin fiyatı da oldukça yüksek olur. Tümleştirme yoğunluğunu artırarak belli bir kırmızık alanında daha büyük bellek kapasitesi elde etmek amacıyla bunların yerine dinamik yaz-oku bellekler (DRAM) kullanılır. Ancak bu RAM türünün hızı daha düşüktür ve SRAM'e kıyasla tazeleme süreclerine gereksinim duyar. Bir statik RAM hücresinde verinin saklanması transistorlar aracılığıyla kimi düğümlerin "1" veya "0" seviyelerine zorlanması yoluyla olmaktadır. Buna karşılık, dinamik yaz-oku belleklerde ise veri bir veya iki kondansatör üzerinde biriktirilen yük yardımıyla saklanmaktadır. Kondansatör doluya (üzerinde pozitif bir gerilim varsa) saklanan veri "1", boşsa (geriliği sıfırsa) saklanan veri "0" olur. Buradaki sorun, verinin saklanması sırasında kondansatörlerde saklanan yüklerin transistor kaçak akımları (MOSFET eşik-altı akımı ve p-n jonksiyonlarının ters yönde doyma akımları) ile uzun vadede boşaltılıp verinin yitirilmesidir. Bunu önlemek üzere veri tazeleme işlemi gerekmektedir. Öte yandan günümüzde yaygın olan DRAM türlerinde verinin okunması sırasında da verinin yitirilmesi riski olduğundan, okumanın ardından veriyi eski değerine döndürmek için ayrı bir işlem gerekmektedir. Bütün bunlar bellek erişim hızını daha da kötü etkilemektedir. Bu yüzden günümüzde dinamik yaz-oku bellekleri hız açısından daha yüksek verimde kullanılmak üzere çeşitli yaklaşımlar kullanılmaktadır.



Şekil-7.29'da, iki DRAM hücresi örneği verilmiştir. Bu iki hücre, sırasıyla '4 transistorlu DRAM' ve '3 transistorlu DRAM' olarak anılırlar. Bunlar, henüz kişisel bilgisayarların yaygınlaşmadığı dönemlerde (1980'lere kadar) kullanılan yapılardır. Bu yapılarda verinin saklandığı kondansatörler, transistorların geçit ve jonksiyon kapasitelerinin katkısıyla oluşan parazitik kapasitelerdir. Böylece yalnızca transistorlar kullanılarak temel bellek hücreleri o zamanın mikro-elektronik teknolojisiyle bile rahatça oluşturulabiliyordu. Dört transistorlu dinamik belleğin çalışması şöyledir: Birbirinin evriği iki bit hattı bulunur ve okuma da yazma da bu hatlardan olur. SRAM'dekine benzer devrelerle ve benzer biçimde okuma ve yazma yapılır. Yazma sonrası veri saklanırken M_1 ve M_2 'den birinin geçidindeki eşdeğer kondansatör boş, diğerinin ise dolu olur. Okuma sırasında ise M_{G1} ve M_{G2} anahtarları kısa devre olur ve M_1 ve M_2 'den hangisinin girişinde "1" seviyesi saklıysa o iletim C veya C' hattını aşağıya çekip C ve C' arasında küçük bir fark oluşturur (SRAM'dekine benzer biçimde). Okuma sırasında, bellek hücresi içindeki dolu kondansatör yükünü yitirmez.

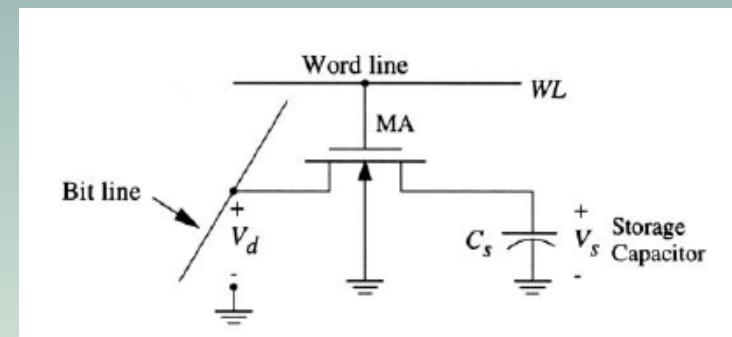
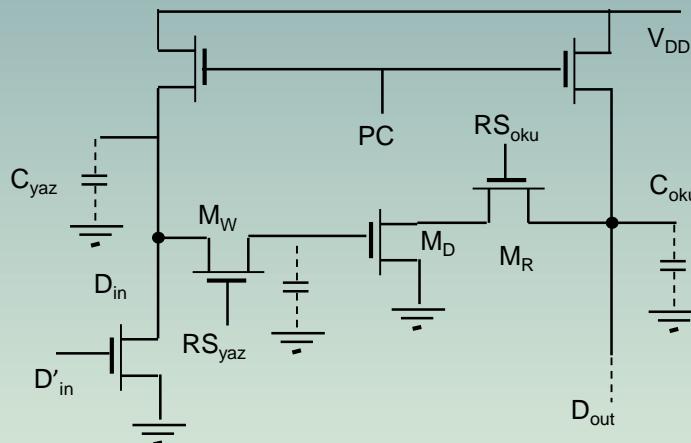


Şekil-7.29 a) 4 transistorlu DRAM hücresi, b) 3 transistorlu DRAM hücresi.



Şekil-7.30'da devre şeması gösterilen üç transistorlu DRAM yapıda da iki bit hattı vardır, ancak biri okuma için (C_{oku}), diğeri yazma içindir (C_{yaz}). Yazma sırasında yazma devresi C_{yaz} hattını sürer (bu sırada M_W kısa devredir) ve kondansatör yazılın veriye göre doldurulur veya boşaltılır. Okuma sırasında ise (bu sırada M_R kısa devredir) kondansatör üzerinde saklanmış gerilime göre MD transistörü iletimde veya kesimde olup C_{oku} hattını aşağıya doğru çeker veya çekmez. Bu değişime göre saklanan verinin ne olduğu anlaşılır [6].

- Günümüzde, enine (lateral) proseslerde tümleştirme yoğunluğunu (dolayısıyla kırmık başına bellek kapasitesini) artıracak ilerlemeler kaydedilmesine paralel olarak, yalnızca bir transistor ve bir kondansatör yardımıyla verinin dinamik olarak saklanması mümkün olmuştur. Tek transistorlu DRAM hücresi Şekil-7.31'de görülmektedir. Bu yapıda, okuma sırasında verinin yitirilmemesi için gösterilen kondansatörün büyükçe yapılması gereklidir. Yani bu kondansatörün yatay oluşturulması durumunda kırmık üzerinde oldukça büyük alan kaplanır.

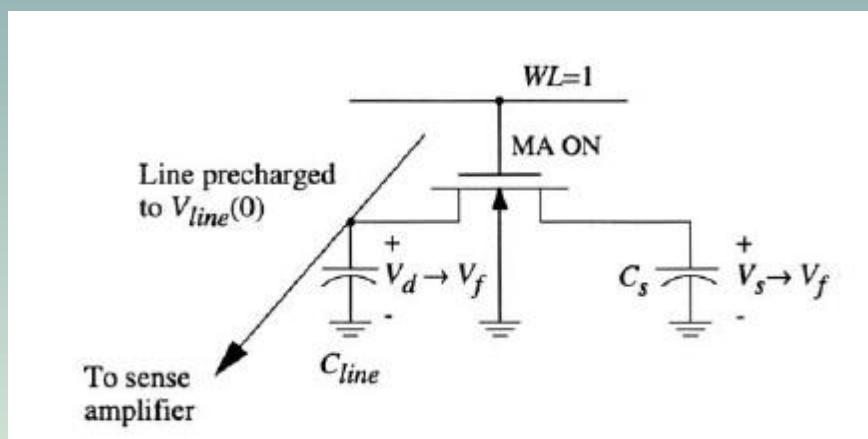


Şekil-7.31 Tek transistorlu DRAM hüresi.

Şekil-7.30 Kimi okuma ve yazma yardımcı çevrebirimleriyle birlikte üç transistorlu DRAM

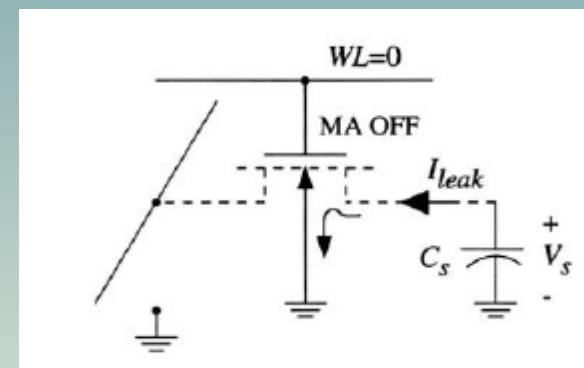


Bunun yerine - enine bir üretim sürecinde zor da olsa - günümüzde artık dikey kondansatörler (silisyum yapıda bir çukur açılarak) oluşturulabilmektedir. Günümüzde kullanılan bir DRAM prosesinde kırıkkı kesitinde bir dikey kondansatör ve bir MOS transistor bulunmaktadır. Bir transistorlu dinamik yaz-oku bellekte, transistor okuma sırasında da yazma sırasında da anahtar işlevi görerek kondansatörü bit hattına bağlar. Yazma sırasında kondansatör doldurulur veya boşaltılır. Okuma sırasında aynı kondansatör, yükünü C hattının kapasitesiyle paylaşır. C hattının kapasitesi çok büyük olduğundan okuma sırasında içerisindeki kondansatör yükünün büyük bir kısmını yük paylaşımı nedeniyle yitirebilir (veya başta boşsa paylaşım sonrası dolabilir) ve böylece veri kaybedilmesi söz konusu olur. Bu nedenle veri saklanan kondansatörün yeterince büyük olması gereklidir. Her okuma sonrasında verinin hangi değerden boşalmış (veya dolmuş) olduğunu anlaşılıp verinin son değerine tekrar ulaştırılması işlemi yapılmalıdır.



Sekil-7.32 DRAM hücresinin okuma evresi.

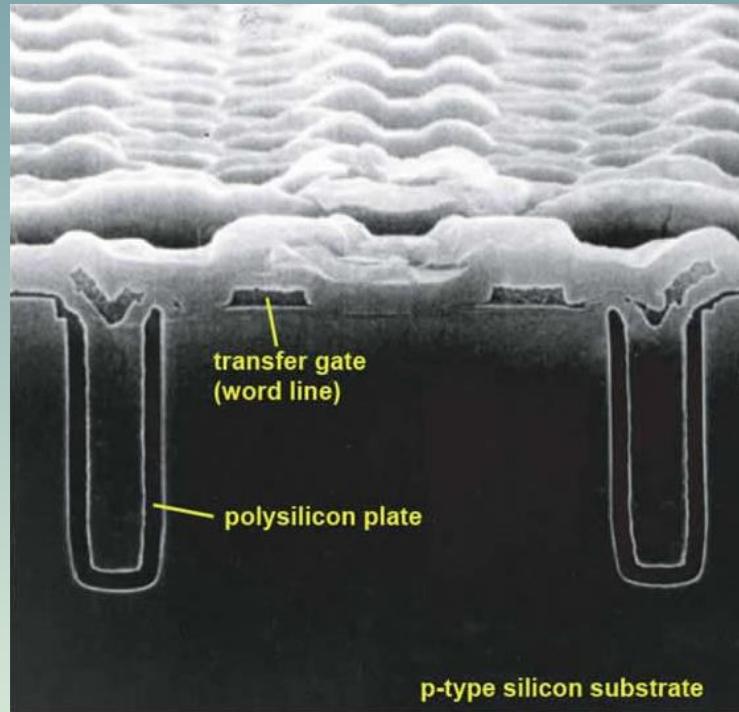
$$V_d = \left(\frac{C_s}{C_s + C_{line}} \right) V_s + \left(\frac{C_{line}}{C_s + C_{line}} \right) V_{line}(0)$$



Sekil-7.33 DRAM hücresinin kaçak mekanizması

$$t_H \approx \frac{C_s}{I_{leak}} (V_{max} - V_1)$$



aaa

Şekil-7.34 DRAM hücresinin yanal profili.

7.2.2.3 Ferroelektrik RAM (FeRAM)

- Besleme gerilimi kesildikten sonra SRAM ve DRAM bellek hücrelerindeki veri çok kısa süre içinde yitirilir. Bu yüzden bunlar uçucu (“volatile”) belleklerdir. EEPROM türü belleğe göre çok daha hızlı veri yazmanın mümkün olduğu uçucu olmayan bir alternatif de ferroelektrik yaz-oku bellektir (FeRAM). Bu yapının yararlandığı devre yapısı tek transistorlu DRAM devre yapısına çok benzer. Ancak kondansatörün dielektrik malzemesi SiO_2 yerine ferroelektrik bir malzeme ve plakaları metal olduğundan özel bir tümdevre üretim süreci gerektirmektedir. Daha önemli bir fark ise, kullanılan ferroelektrik kondansatörün histerezis özelliğinden yararlanması, böylece diğer manyetik veri depolama araçlarındaki gibi verinin saklanması (besleme kesilse de) hep sürmesidir. Bu yüzden FeRAM uçucu olmayan bir RAM türüdür. Tipik bir FeRAM yapısı tek transistorlu DRAM'e (Şekil-7.31) benzer çalışmaktadır, ancak PL gibi ek bir kontrol girişi (plate line: plaka hattı) ile verinin yazılması ve okunması sırasında ferroelektrik kondansatörün çalışma noktası histerezis eğrisi üzerinde ileri geri çekilmektedir. Böylece verinin kalıcı bir manyetik kayıt olması sağlanmaktadır [1].



KAYNAKÇA

1. B. Prince, *Emerging Memories - Technologies and Trends*, Kluwer Academic Publishers, Massachusetts, 2002.
2. B. Prince, *Semiconductor Memories - A Handbook of Design, Manufacture, and Application*, John Wiley & Sons, Second Edition, Chichester, 1996.
3. A. S. Sedra & K. C. Smith, *Microelectronic Circuits*, Oxford University Press, Fourth Edition, New York, 1998.
4. R. L. Geiger, P. E. Allen & N. R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, McGraw-Hill, New York, 1990.
5. P. Cappeletti, C. Golla, P. Olivo & E. Zanoni, *Flash Memories*, Kluwer Academic Publishers, Third Printing, Massachusetts, 2001.
6. S.-M. Kang & Y. Leblebici , *CMOS Digital Integrated Circuits - Analysis and Design*, McGraw-Hill, Third Edition, New York, 2003.
7. Integrated Circuit Engineering Corporation, EEPROM – FLASH Memories
<http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC09.PDF>
<http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC10.PDF>
8.] P. Pavan, L.Larcher and A. Marmiroli, *Floating Gate Devices: Operation and Compact Modeling*, Kluwer Academic Publishers, Netherlands 2004.
9. C.Y. Chang, S.M. Sze, *ULSI Devices*, John Wiley & Sons, New York 2000.
10. <http://www-3.unipv.it/ele1/flash.pdf>
11. J.E.Brewer, M.Gill, *Nonvolatile Memory Technologies with Emphasis on Flash*, John Wiley & Sons, New Jersey 2008

