

5ή Εργαστηριακή Άσκηση

ΜΕΤΑΤΡΟΠΗ ΤΟΥ CHARIS-4 ΣΕ PIPELINE PROCESSOR

Ομάδα LAB31235515

ΧΡΗΣΤΟΣ ΖΗΣΚΑΣ 2014030191

ΑΝΤΩΝΗΣ ΑΝΤΩΝΑΚΑΚΗΣ 2014030160

Σκοπός εργαστηριακής άσκησης

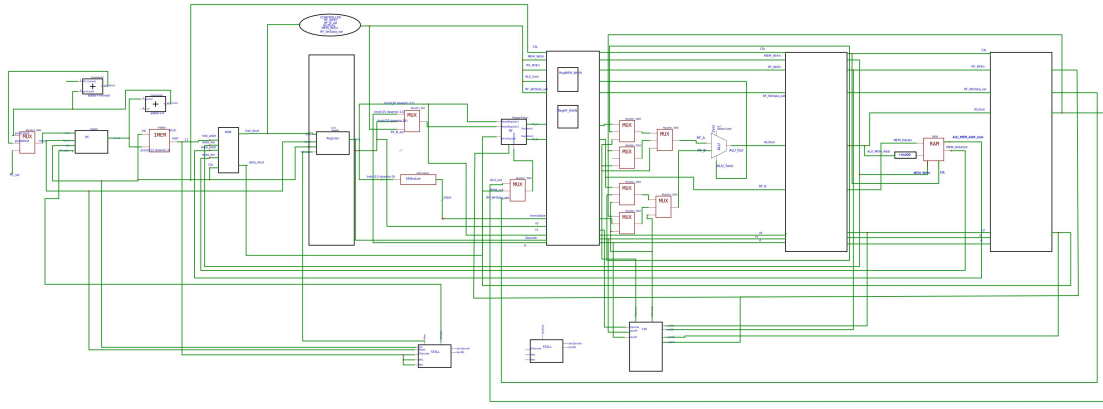
Η αναδιαμόρφωση της λειτουργικότητας του επεξεργαστή πολλαπλών κύκλων σε επεξεργαστή διοχέτευσης η οποία αναβαθμίζει τον επεξεργαστή προσδίδοντας του περαιτέρω χαρακτηριστικά απόδοσης χρόνου. Υπολείπεται όσον αφορά την αρχιτεκτονική εντολών που εκτελεί αλλά υπάρχει κέρδος χρόνου. Η σχεδίαση επαναπροσδιορίζεται με την εισροή νέων στοιχείων καθυστέρησης και πρόβλεψης των περιεχομένων προς εκτέλεση, καθώς και εισαγωγή συνδυαστικής λογικής και μη. Το datapath της σχεδίασης διαθέτει στοιχεία μνήμης pipes που κατευθύνουν τα δεδομένα αποθήκευσης στους εκάστοτε προορισμούς (μνήμη, rf).

Προεργασία

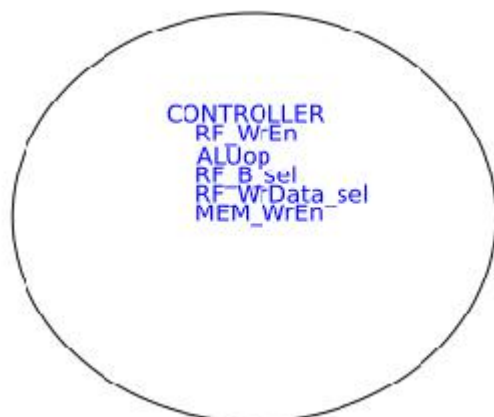
Για την συμπλήρωση της σχεδίασης του επεξεργαστή διοχέτευσης αναγκαία είναι η διόρθωση του control ώστε να διευθετούνται η υπολειπόμενες εντολές καθώς τα σήματα ελέγχου που κατευθύνουν το datapath αναγνωρίζονται σε ένα κύκλο και διατρέχουν ταυτόχρονα τα διάφορα pipes με το πέρασμα των κύκλων. Η κάθε εντολή παραμένει στο control για ένα κύκλο. Στο νέο control αφαιρείται η λογική των περισσότερων εντολών και αφορά τις εντολές li, add, lw, sw. απουσιάζει το ρολόι. Το rf_b_sel εξάγεται απευθείας στην rf για να διοχετευτούν τα αναγκαία αποτελέσματα στις εξόδους της rf για εκάστοτε εντολή. Υπάρχουν 4 είδη pipe : IF/DEC, DEC/EX, EX/MEM, MEM/WB. Το IF/DEC αποτελεί καταχωρητή αποθήκευσης της εντολής που οδηγήθηκε στο fetch. Το pipe DEC/EX αποτελεί σύνολο καταχωρητών που διατηρεί τα αποτελέσματά από την ανάγνωση των εξόδων της rf, την θέση εγγραφής, τις διευθύνσεις rt, rs, το immediate, opcode καθώς και τα σήματα που εξάγει το control για την εντολή. Το pipe EX/MEM χρησιμοποιεί λιγότερους καταχωρητές καθώς έχει προσδιοριστεί η πράξη της alu (alu func) και το Immediate ως εισαγόμενα στην alu για την συνέχεια της εγγραφής. Καταχωρητές λοιπόν για τα υπόλοιπα σήματα του control (RF_En, Mem_En, RF_Datase1), το αποτέλεσμα από την alu, το αποτέλεσμα από την ανάγνωση της δεύτερης εξόδου της rf, την θέση εγγραφής, τις διευθύνσεις rt, rs. Στο pipe MEM/WB απομακρύνεται το enable και η διεύθυνση της μνήμης καθώς έχουν απόδοθεί στη ram. Τελικά η εντολή ολοκληρώνεται έπειτα από το πέρας πέντε κύκλων ενώ παράλληλα εκτελούνται νέες εντολές οι οποίες αποθηκεύονται σε προηγούμενα στάδια και

ακολουθείται η ίδια διαδικασία..Η σχεδίαση της διαδρομής εντολών καθώς της fsm συστήνονται παρακάτω:

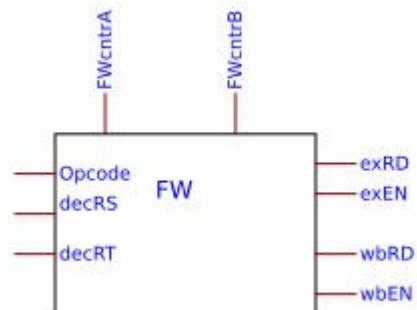
Βαθμίδα Datapath



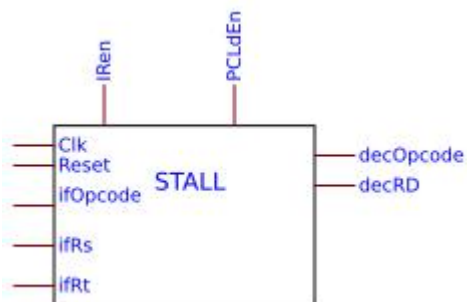
Μονάδα Ελέγχου (Control)



Μονάδα Forward



Μονάδα Stall



Περιγραφή

Η λειτουργικότητα του datapath και του control διαφέρει στην νέα έκδοση. Υπάρχουν μετατροπές εξαιτίας των στοιχείων διοχέτευσης ώστε να εκτελούνται και να αποθηκεύονται παράλληλα εντολές από τον επεξεργαστή.

Η βαθμίδα αποκωδικοποίησης (decstage) διατηρείται με την μόνη διαφορά πως εμφανίζεται ως είσοδος η θέση εγγραφής ώστε όταν θέτεται στο pipe MEM/WB η ορθή θέση αποθήκευσης της εντολής, να εφαρμόζεται και στο αρχείο καταχωρητών η αντίστοιχη θέση. Η είσοδος αυτή διοχετεύεται από το WB-rd. Το πέρας της εγγραφής διαμορφώνεται έπειτα από το χρονικό διάστημα των 5 κύκλων. Το στοιχείο επέκτασης ελαττώνεται με λιγότερη λειτουργικότητα εξαιτίας της αφαίρεση των υπάρχοντων εντολών.

Η βαθμίδα υπολογισμών (alustage) δέχεται μετατροπές που συνδράμουν στην εκτέλεση των εντολών είτε σε ορθή παραλληλία είτε μέσω προώθησης και καθυστέρησης. Αφαιρούνται τα σήματα aluabinsel, alubbinisel και οι πολυπλέκτες τους. Η εσωτερική μονάδα ελέγχου alu control (δια χειριζόμενη από το aluop και το opcode) αφαιρείται καθώς καθίσταται περιττή η λειτουργία της. Η πράξη που επιστρατεύεται η alu αφορά μόνο την πρόσθεση για τις υπάρχουσες εντολές.

Τα pipes αποτελούνται από σύνολο καταχωρητών ώστε σε οποιοδήποτε στάδιο της διαδρομής να παρευρίσκεται η εντολή προς καταχώρηση και εκ νέου να επανέρχονται νέες εντολές στο fetch. Το στάδιο dec/ex τροφοδοτείται επιπλέον από τα σήματα του control ώστε τα περιεχόμενα που αναπτύσσονται από την εντολή να κατευθύνουν τα διάφορα στοιχεία του datapath ώστε να οδηγούνται τα ορθά σήματα προς διευθυνσιοδότηση και εγγραφή. Σε κάθε στάδιο λιγοστεύουν τα σήματα που αποθηκεύονται από pipe σε pipe

(το alu func στην alu, το rfbisel κατευθύνεται απευθείας στην rf χωρίς να μπαίνει στο pipe, το memwr στην memory κλπ)

Το datapath με τη σειρά του, έχει δεχθεί διαφοροποιήσεις. Εισάγονται 2 πολυπλέκτες 4 προς 1 ώστε να αντιμετωπίζεται το φαινόμενο του forward (κάποια εντολή χρησιμοποιεί έναν καταχωρητή ως εγγραφή ενώ οι επόμενες χρησιμοποιούν τον ίδιο ως καταχωρητή προορισμού ή πηγής). Οπότε 3 θέσεις καλύπτονται από το αποτέλεσμα της alu στο pipe dec/ex και ex/wb καθώς και από το εξαγόμενο της rf, ένα για τον κάθε πολυπλέκτη (rfa, rfb).

Ο πρώτος πολυπλέκτης δέχεται ως τέταρτη θύρα μηδενικά ενώ ο δεύτερος πολυπλέκτης το immediate. Ως σήμα ελέγχου των πολυπλεκτών συστήνονται τα σήματα εξόδου του forward unit ένα για κάθε πολυπλέκτη.

Η μνήμη δεν υφίσταται νέες τροπολογίες.

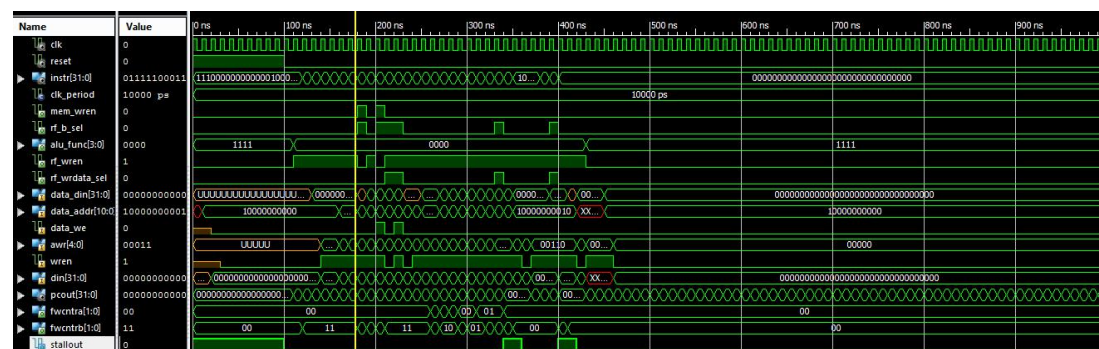
Στη σχεδίαση παρεμβάλλονται τα στοιχεία προώθηση (forward unit) και στοιχεία καθυστέρησης (stall). Επιλέγονται οι προωθημένοι είσοδοι από την alu στους πολυπλέκτες όταν κάποια εντολή χρησιμοποιεί ως εγγραφή καταχωρητή που μετέπειτα χρησιμοποιείται ως πηγή από εντολή που βρίσκεται στο datapath σε προηγούμενο στάδιο. Το forward παραδίδει τα κατάλληλα σήματα στους πολυπλέκτες ενώ δέχεται ως είσοδοι τους

καταχωρητές πηγής από το στάδιο dec/ex ελέγχοντας τα με την θέση εγγραφής στο pipe ex/mem ,mem/wb. Για την εισροή του immediate στην alu αρκεί να μην έχει δοθεί η εντολή add . Σε οποιαδήποτε άλλη περίπτωση δίνεται το immediate. Το stall προκύπτει όταν δοθεί εντολή add μετά από εντολή lw. Η αντιμετώπιση του προβλήματος αυτού διορθώνεται με την καθυστέρηση της εντολής .(αποκόβεται το σήμα enable του pc καθώς και του if/dec Pipe) . Έτσι η εντολή lw καταφέρνει να διασχίσει το datapath και λόγω της καθυστέρησης να δημιουργούνται κενά (bubbles) στα ενδιάμεσα στάδια. Λειτουργεί ως fsm με αρχική κατάσταση, ανοιχτό το lden και το enable του Pipe . Με την εξέταση ότι η εντολής add απασχολεί καταχωρητή της εντολής lw απενεργοποιείται το σήμα ελέγχου του pc counter και του pipe και διατηρείται για τις απαιτούμενες καθυστερήσεις . Για καθυστέρηση 1 γίνεται το forward από το ex/mem pipe ενώ για καθυστέρηση 2 γίνεται από το mem/wb.

Το control απλουστεύεται με λιγότερες καταστάσεις ώστε να ανταποκριθούν τα σήματα στις εντολές του συστήματος ενώ απουσιάζει το ρολόι. Όποτε τα ζητούμενα σήματα εξάγονται απευθείας με την εισαγωγή της εντολής στο control και έπειτα από ένα κύκλο απόθηκεύονται στο αντίστοιχο pipe και ακολουθούν τη ορθή διαδρομή τους.

Κυματομορφές-Προσομοίωση

Παρουσιάζονται οι κυματομορφές του επεξεργαστή pipeline.



li : IF → DEC → EX → MEM → WB

add : IF → DEC → EX → MEM → WB

lw : IF → DEC → EX → MEM → WB

sw : IF → DEC → EX → MEM

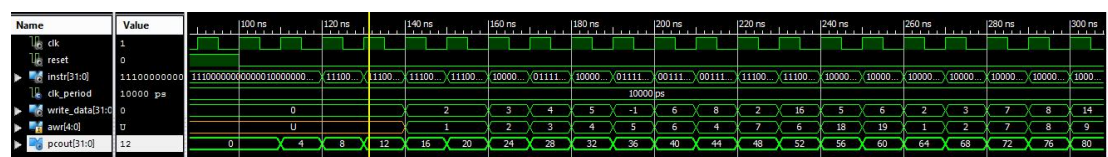
Κάθε εντολή διαρκεί 5 κύκλους εκτός από την εντολή store

Όλα τα στοιχεία του επεξεργαστή εισέρχονται στο datapath ώστε να υπάρχει άμεση ανταπόκριση των στοιχείων μνήμης έπειτα από ένα κύκλο(αλλιώς θα χρειαζονταν να

υπολογιστούν εκ νέου νέες καθυστερήσεις για αποθήκευση).



Παρατηρώντας την κυματομορφή αναγνωρίζεται πως με την απομάκρυνση του reset από το κύκλωμα η εγγραφή στην rf εφαρμόζεται μετά από 5 κύκλους ($100ns * 5 * 10ns = 150ns$ || $clock_period = 10ns$) ενώ το σήμα εγγραφής στην rf εμφανίζεται μετά από 4 κύκλους. Κάθε εντολή εκτελείται μέσα σε ένα κύκλο καθώς το control εξάγει τα σήματα ελέγχου τα αποθηκεύει στο pipe και καταφθάνει η επόμενη εντολή. Το control ουσιαστικά απελευθερώνει τα σήματα για κάθε εντολή ενώ ταυτόχρονα καθώς αυτά κινούνται στη διαδρομή καταλήγουν στα αντικείμενα που τα μεταχειρίζονται ώστε να καταφθάνουν ορθά τα αποτελέσματα τους. Αν κάποιο σήμα ή αποτέλεσμα δεν δέχεται επεξεργασία ή κατεύθυνση σε κάποιο στοιχείο τότε οδηγείται απευθείας στο επόμενο pipe. Τελικά το αποτέλεσμα να καταλήγει στον καταχωρητή προς εγγραφή ή στην μνήμη για εντολή store. Επιπλέον απαιτείται ένας κύκλος ώστε να προσαρμοσθεί η εντολή στο pipe if/dec και στο control. Επακόλουθος το enable για την εντολή li ενεργοποιείται ένα κύκλο αργότερα. Οι εντολές γίνονται fetch από το κύκλωμα και διοχετεύονται μαζί με τα σήματα ελέγχου. Ελέγχοντας την εντολή store επαληθεύεται η εκτέλεση της μέσα σε 4 κύκλους ρολογιού.



Τα εξαγόμενα που αποδίδονται είναι τα επιθυμητά

\$1- > 2

\$2- > 3

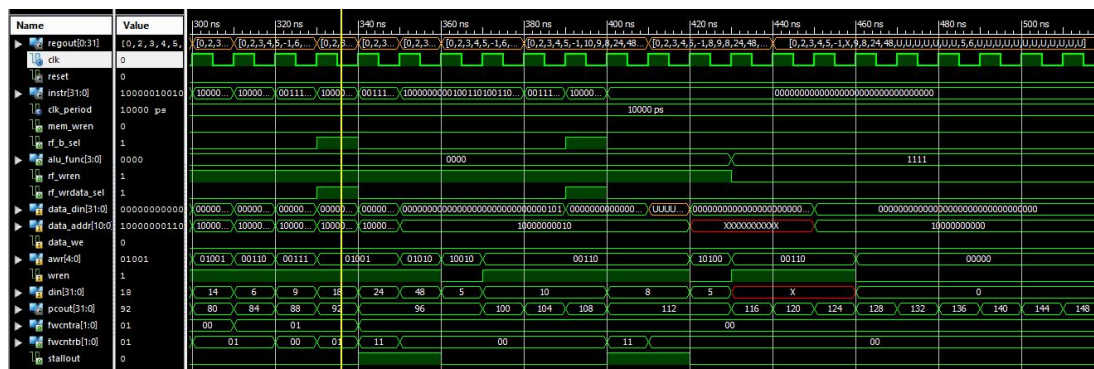
.

.

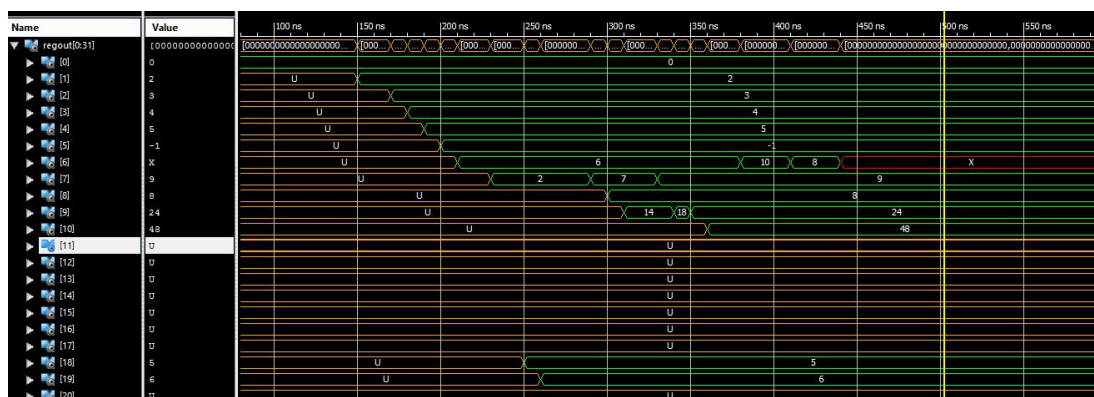
\$5- > -1

Καθώς εισέρχονται τα πρώτα αποτελέσματα, υλοποιείται η εφαρμογή του forward από τους καταχωρητές (αλλάζουν τα σήματα των πολυπλεκτών). Τα αποτελέσματα είναι τα

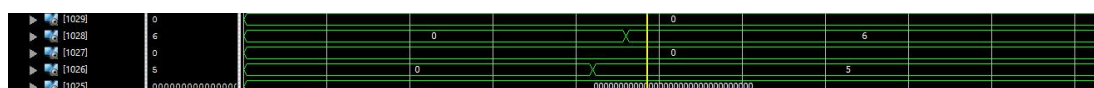
επιθυμητά. Έπεται το stall για το οποίο υπάρχει ένα είδος σφάλματος καθώς λόγω προβλήματος χρονισμού δεν δρομολογούνται τα σωστά δεδομένα και σήματα ελέγχου τη σωστή στιγμή ώστε να μην προλαβαίνει το κύκλωμα να απορροφήσει την καταχώρηση του καταχωρητή 20 και να είναι αδιάφορα (XXXXXX...) το περιεχόμενο του καταχωρητή 7 (έγιναν διάφορες απόπειρες για εύρεση λύσης σε αυτό το πρόβλημα : εισαγωγή επιπλέον καταχωρητή στο σημείο του fetching για περαιτέρω καθυστέρηση , μετατροπή του stall από ακολουθιακή σε συνδυαστική λογική με την παραγωγή σήματος από το stall στο lden ανεστραμμένο όπως και στο if/dec pipe, εισαγωγή πολυπλέκτη στο σημείο του dec/ex ώστε όταν ευρίσκεται το σύστημα σε stall να αλλάζει το wren από 1 σε 0 ώστε να ακυρώνει τις εντολές που αφορούν “σκουπίδια “ λόγω του “κακού” χρονισμού . κα).



Επαληθεύοντας τα αποτελέσματα από τον pc counter , οι εντολές διοχετεύονται επαρκώς και με επιτυχία στο κύκλωμα(υπάρχει ένα σφάλμα). Τα αποτελέσματα που αποθηκεύονται στους καταχωρητές



καθώς και στην μνήμη



Συμπεράσματα/Προβλήματα

Η εργαστηριακή άσκηση έχει ως φυσικό επακόλουθο την κατανόηση των διαφορών ενός επεξεργαστή πολλαπλών κύκλων και ενός επεξεργαστή . Η παραλληλία εκπλήρωσης των εντολών συνεισφέρει στην ταχύτερη διαχείριση του συστήματος με την συνοδεία προβλημάτων χρονισμού . Η σχεδίαση ενός τέτοιου κυκλώματος επικαλύπτει θέματα βέλτιστης απόδοσης και ταχύτητας σε αντίθεση με επεξεργαστές πολλαπλών κύκλων που αντιμετωπίζουν ευκολότερα προβλήματα σε περισσότερο χρόνο.