Instruction Memory

Tarea:

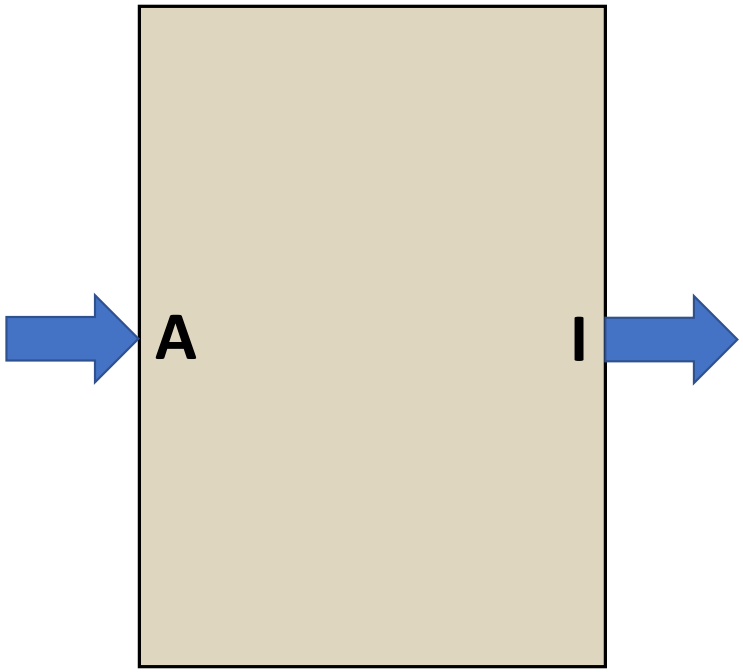
En la página siguiente se muestra un diagrama de bloque y la descripción de la operación de la memoria que se debe implementar. La memoria de instrucciones es fundamentalmente un ROM por lo que estará en modo de lectura perpetuamente. La capacidad de la memoria será de 512 bytes. Debe ser precargada con un archivo de texto. El archivo consistirá de bytes separados con espacios o returns. Cada cuatro bytes forma una instrucción. El primer byte que se lee es el byte mas significativo de la instrucción y el cuarto el menos significativo (Big Endian).

En la sección RAM Memory del tutorial de Verilog se presenta la implementación y simulación de una memoria de 128 localizaciones de 32 bits cada una. Aunque la memoria de instrucciones que se debe implementar para esta fase es de 512 localizaciones de 8 bits cada una, ese ejemplo del tutorial de Verilog puede ser útil pues muestra como implementar, precargar y simular una memoria en Verilog.

Demostración:

Para la demostración se provee un archivo de texto con 16 bytes que deben utilizar para precargar la memoria. Entonces, deben asignar a **A** los siguientes valores 0, 4, 8 y 12. Para cada caso deben imprimir en una línea las señales **A** (en decimal) e **I** (en hexadecimal) correspondientes.

Instruction Memory



Reading Operation:

I <= Mem[**A**] || Mem[**A**+1] ||Mem[**A**+2] || Mem[**A**+3]

Writing Operation:

This memory is a ROM memory that will be pre-charged with Verilog code. Thus, it does not need a writing operation

A (address) is a 9-bit number and **I** (instruction) is a 32-bit numbers

Data Memory

Tarea:

En la página siguiente se muestra un diagrama de bloque y la descripción de la operación de la memoria que se debe implementar. La memoria de data es fundamentalmente un RAM. La capacidad de la memoria será de 512 bytes. Debe ser precargada con el mismo archivo de texto que se provee para la memoria de instrucciones. La memoria debe manejar tres tamaños de data: byte, halfword y word). Los bytes que constituyen los halfwords y words se manejan siguiendo el esquema Big Endian.

El ejemplo de memoria RAM que se presenta en la sección RAM Memory del tutorial de Verilog es un ejemplo útil para la implementación y simulación del RAM que se requiere para esta fase.

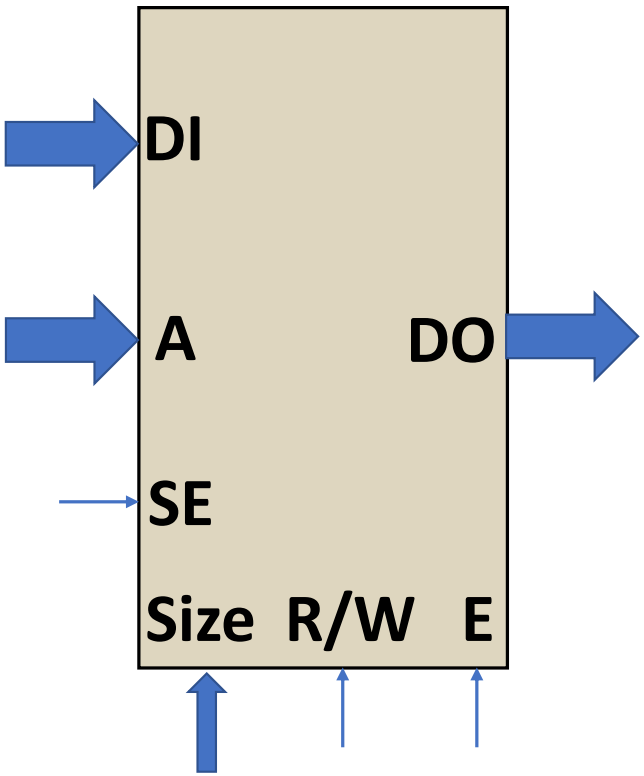
Demostración:

Para la demostración se provee un archivo de texto con 16 bytes que deben utilizar para precargar la memoria. Entonces, utilizando los buses y señales externas del RAM deben realizar las siguientes operaciones:

- Leer un word de las localizaciones 0, 4, 8 y 12.
- Leer sin signo un byte de la localización 0, un halfword de la localización 2 y un halfword de la localización 4.
- Leer con signo un byte de la localización 0, un halfword de la localización 2 y un halfword de la localización 4.
- Escribir un byte en la localización 0, un halfword en la localización 2, un halfword en la localización 4 y un word en la localización 8.
- Leer un Word de las localizaciones 0, 4 y 8.

Para los casos de lectura deben imprimir en una línea la señal **A** (en decimal), la señal **DO** (en hexadecimal), y las señales **Size**, **R/W, E** y **SE** (en binario).

Data Memory



A (address) is a 9-bit number, **DI** (data in) and **DO** (data out) are 32-bit numbers

Reading Operation:

R/W = 0, **E** = 1
Size = 00, **SE** = 0: **DO** <= 0b00000000000000000000000000 || Mem[**A**]
Size = 00, **SE** = 1: **DO** <= sign_extension24 || Mem[**A**]
Size = 01, **SE** = 0: **DO** <= 0b0000000000000000 || Mem[**A**] || Mem[**A**+1]
Size = 01, **SE** = 1: **DO** <= sign_extension16 || Mem[**A**] || Mem[**A**+1]
Size = 10/11: **DO** <= Mem[**A**] || Mem[**A**+1] ||Mem[**A**+2] || Mem[**A**+3]

Writing Operation:

R/W = 1, **E** = 1, **SE** = X
Size = 00: Mem[**A**] <= $\mathbf{DI}_{0\text{-}7}$
Size = 01: Mem[**A**] <= $\mathbf{DI}_{15\text{-}8}$,Mem[**A**+1] <= $\mathbf{DI}_{0\text{-}7}$,
Size = 10: Mem[**A**] <= $\mathbf{DI}_{31\text{-}24}$,Mem[**A**+1] <= $\mathbf{DI}_{23\text{-}16}$,
Mem[**A**+2] <= $\mathbf{DI}_{15\text{-}8}$, Mem[**A**+3] <= $\mathbf{DI}_{0\text{-}7}$,
Size = 11: *No action*

NO Operation:

R/W = X, **E** = 0, **SE** = X