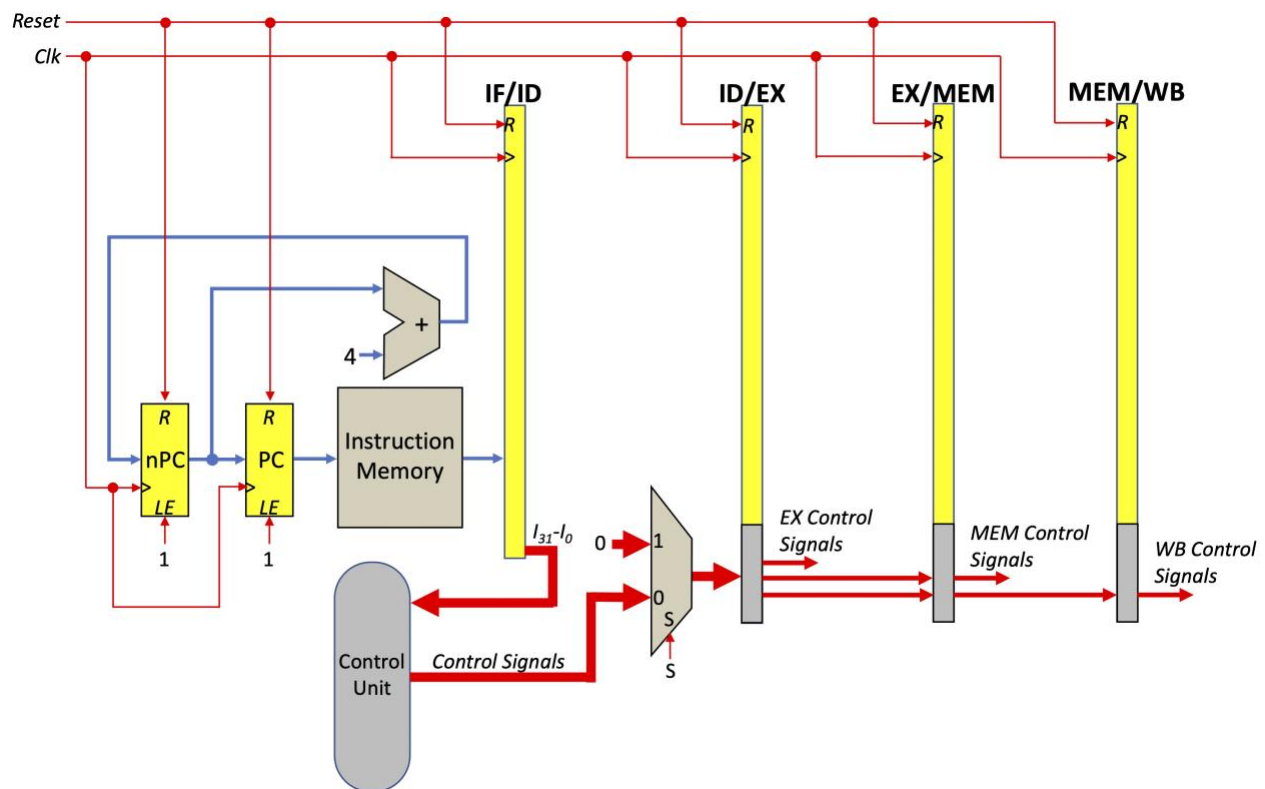


Proyecto

Fase III: Sistema de Control

Tarea:

El objetivo de esta fase es mostrar que la Unidad de Control del PPU decodifica correctamente las instrucciones y genera y propaga las señales de control necesarias en las etapas EX, MEM y WB. Para demostrarlo deben implementar el siguiente circuito en Verilog:



Todos los registros se deben implementar “rising edge-triggered” con reset sincrónico. Excepto para el **nPC**, un reset tienen el efecto de hacer cero todos los bits de salida del registro. En el caso de **nPC** un reset produce un número binario correspondiente a un 4. Los registros **nPC** y **PC** deben tener una señal de load enable (LE). Los “pipelined registers” no requieren señal de load enable. Las señales de control que salen de la Unidad de Control son las señales que se identificaron en el diagrama de bloque que se generó en la Fase II.

Demostración:

En el módulo de prueba deben pre cargar la memoria de instrucciones con el siguiente segmento código comenzando en la localización 0:

```
10001010 00000000 00000000 00000000    add r0,r0,r5
10000110 10100000 11100000 00000001    subcc r3,1,r3
11000100 00001000 00000000 00000001    ldub [r0,r1],r2
```

| | |
|-------------------------------------|-------------------|
| 11001010 00101000 01100000 00000001 | stb r5,[r1,1] |
| 00010010 10111111 11111111 11111110 | bne -2 |
| 00001011 00001111 00001111 00000110 | sethi #3F0F06, r5 |
| 01000000 00000000 00000000 00000100 | call +4 |
| 10000001 11000000 00000000 00001111 | jmp r0,r15, r0 |
| 10001010 00000000 00000000 00000000 | add r0,r0,r5 |
| 10000110 10100000 11100000 00000001 | subcc r3,1,r3 |
| 11000100 00001000 00000000 00000001 | ldub [r0,r1],r2 |
| 00000000 00000000 00000000 00000000 | nop |
| 00010010 10111111 11111111 11111110 | bne -2 |

Una instrucción para la cual todos sus bits son ceros se debe decodificar como un nop.

La simulación debe comenzar inicializando **Clk** en cero a tiempo cero. Entonces, debe cambiar de estado cada dos unidades de tiempo de manera perpetua. La señal **Reset** debe tener un valor de 1 a tiempo cero y cambiar a 0 en tiempo 3. La señal **S** del multiplexer debe tener un valor de cero a tiempo cero y debe cambiar a 1 a tiempo 40. La simulación debe culminar en el tiempo 48.

En cada ciclo del reloj deben mostrar, en una primera línea, el keyword de la instrucción que llega a la Unidad de Control, seguido de el valor de **PC** (en decimal), el de **nPC** (en decimal) y el de las señales de salida de la Unidad de Control (en binario). En líneas sucesivas deben imprimir las señales de control de las etapas EX, MEM y WB respectivamente (en binario).

Reglas de juego:

El/la estudiante que abandone el grupo en esta etapa recibirá una calificación de cero en la misma.

Entrega:

1. Subir a NEO el código en Verilog del circuito descrito anteriormente.
2. Demostrar en clase, mediante simulación, la operación del sistema de control.

Rúbrica:

- Se adjudicarán 20 puntos si el sistema de control opera correctamente.
- Se podrían adjudicar puntos parciales en caso de que el sistema no funcione correctamente dependiendo de cuán avanzado esté su diseño y simulación.