



**Hi3061M 系列**

# **硬件设计指南**

文档版本     00B01

发布日期     2023-06-01

版权所有 © 海思技术有限公司 2023。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 海思技术有限公司

地址：上海市青浦区虹桥港路 2 号 101 室 邮编：201721

网址：<http://www.hisilicon.com/cn/>

客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档主要介绍 3061M 系列 MCU 的硬件封装、管脚描述、管脚复用寄存器的配置方法、电气特性参数、原理图设计建议 PCB 设计建议、热设计建议、焊接工艺、潮敏参数、注意事项等内容。

本文主要为硬件工程师提供硬件设计的参考。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
3061M 系列	-

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师
- 维护工程师
- 硬件测试工程师



# 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 <b>危险</b>	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 <b>警告</b>	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 <b>注意</b>	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
<b>须知</b>	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 <b>说明</b>	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

# 修订记录

修订日期	版本	修订说明
2023-06-01	00B01	第 1 次临时版本发布。



## 目 录

前 言.....	i
目 录.....	iii
插图目录.....	v
表格目录.....	vii
1 原理图设计建议.....	1
1.1 小系统设计建议 .....	1
1.1.1 时钟电路 .....	1
1.1.2 复位电路 .....	2
1.1.3 JTAG/SWD 接口 .....	3
1.1.4 硬件上电配置字设计.....	3
1.1.5 UART 电路设计.....	4
1.1.6 其他烧录接口 .....	4
1.2 电源设计建议.....	6
1.2.1 通用设计指导 .....	6
1.2.2 电源上下电斜率.....	6
1.2.3 电源设计指导 .....	6
1.2.4 电源纹波噪声要求.....	7
1.3 外围接口设计建议.....	7
1.3.1 运放.....	7
1.3.2 比较器.....	10
1.3.3 ADC.....	13
1.4 其他数字接口设计.....	14
1.4.1 APT 接口.....	14



1.4.2 GPT 接口 .....	15
1.4.3 SPI 接口.....	17
1.4.4 I2C 接口 .....	17
1.4.5 CAPM 接口 .....	18
1.4.6 QDM 接口 .....	19
1.4.7 CAN 接口 .....	20
<b>2 PCB 设计建议.....</b>	<b>22</b>
2.1 概述.....	22
2.2 系统设计指导.....	22
2.2.1 PCB 层叠 .....	22
2.2.2 Fanout 封装设计 .....	23
2.2.3 单板布局 .....	24
2.2.4 布线建议 .....	25
<b>3 功耗&amp;热设计建议.....</b>	<b>28</b>
3.1 功耗 .....	28
3.2 热设计.....	29
<b>4 EMS 设计建议.....</b>	<b>30</b>
4.1 EMS 设计建议 .....	30
<b>5 焊接工艺建议 .....</b>	<b>31</b>
5.1 概述.....	31
5.2 无铅回流焊工艺参数要求.....	31
5.3 混合回流焊工艺参数要求.....	34
<b>6 潮敏参数.....</b>	<b>36</b>
6.1 存放与使用 .....	36
6.2 重新烘烤.....	37
<b>A 管脚速查表.....</b>	<b>39</b>
<b>B 缩略语 .....</b>	<b>41</b>



## 插图目录

图 1-1 推荐晶体连接方式及器件参数 .....	1
图 1-2 复位管脚外接 100nF 电容 .....	2
图 1-3 20pin JTAG/SWD 连接器推荐接法 .....	3
图 1-4 BOOT (PB2/BOOT) 管脚推荐电路设计 .....	4
图 1-5 UART0 烧录接口参考设计 .....	4
图 1-6 MCU 数字电源 VDD 去耦电容要求 .....	7
图 1-7 内置运放外置电阻模式接法 .....	8
图 1-8 外置运放接法 .....	8
图 1-9 内置运放内置电阻接法 .....	9
图 1-10 内置比较器-参考电平内置接法 .....	10
图 1-11 内置比较器-参考电平外置_比较信号内置 .....	11
图 1-12 内置比较器-输入信号全外置 .....	11
图 1-13 外置迟滞比较器 .....	12
图 1-14 ADC 采样输入接法 .....	13
图 1-15 APT0/1/2 电机控制电路 .....	15
图 1-16 蜂鸣器控制 .....	16
图 1-17 DC-DC 电源电压通过 GPT 脉宽调制控制电路 .....	16
图 1-18 SPI 接口电路 .....	17
图 1-19 I2C 接口电路 .....	18
图 1-20 霍尔传感器检测示意图 .....	19



图 1-21 正交编码器连接电路示意图.....	20
图 1-22 CAN 收发器连接电路示意图 .....	21
图 2-1 LQFP48MCU 布局 Fanout 图 .....	24
图 2-2 AD201MPCHVVA 两层板参考设计 PCB 布局示意图 (Top) .....	24
图 2-3 ECBMCU201MPC 两层板参考设计 PCB 布局示意图 (TOP) .....	25
图 5-1 无铅回流焊接工艺曲线.....	32
图 5-2 封装体测温示意图.....	34
图 5-3 IPC/JEDEC 020D 中的有铅器件封装体耐温标准.....	35





## 表格目录

表 1-1 典型规格参数的晶体的 R1 和 C1/C2 推荐值 .....	2
表 1-2 3061M 系列烧录接口及对应管脚 .....	5
表 1-3 电源上下电斜率.....	6
表 1-4 内置运放连接关系 .....	9
表 1-5 内置 ACMP 输入端连接关系 .....	12
表 1-6 ADC 输入信号连接关系.....	13
表 2-1 3061M 系列 MCU 封装参数 .....	22
表 2-2 各类产品推荐板层设计 .....	23
表 3-1 MCU 典型场景的功耗实测值（场景和功耗值待定） .....	28
表 5-1 无铅回流焊工艺参数 .....	32
表 5-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准.....	33
表 5-3 混装回流焊工艺参数表.....	34
表 6-1 floor life 参照表 .....	36
表 6-2 重新烘烤参考表.....	37



# 1 原理图设计建议

## 1.1 小系统设计建议

### 1.1.1 时钟电路

1. MCU 时钟支持两种：内部电路产生的时钟和外置晶体产生的时钟；
2. MCU 内部电路产生的时钟，也是 MCU 启动默认的时钟源，无需外围电路；
3. 采用更高精度的外置晶体产生时钟，启动后需要配置成 XTAL mode 后，才可以选择外置时钟源；此时通过 MCU 内部的反馈电路与外部的晶体振荡电路一起构成系统时钟，推荐晶体连接方式及器件参数如[图 1-1](#) 所示。

图1-1 推荐晶体连接方式及器件参数

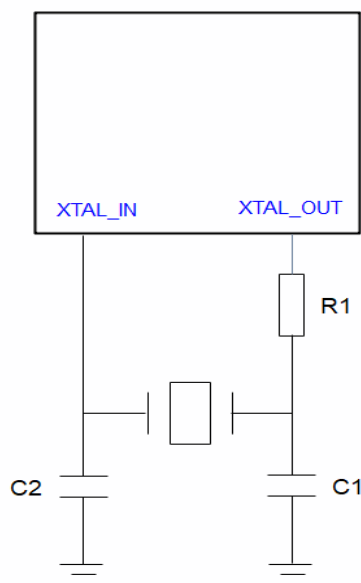




表1-1 典型规格参数的晶体的 R1 和 C1/C2 推荐值

R1	C1/C2	晶体 ESR (max)	晶体 CL	晶体 DL (max)
待定	待定	待定	待定	待定
待定	待定	待定	待定	待定

常见典型 **Drive Level** 的晶体的 R1 推荐阻值见上表，串的 R1 建议不小于上表推荐电阻；对于非典型 **Drive Level** 的晶体，不建议采用。

#### 须知

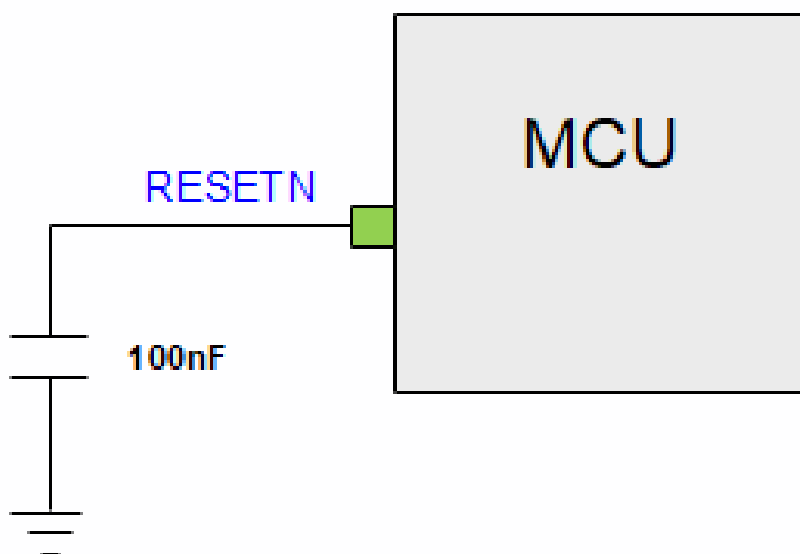
R1、C1/C2 值的选择和晶体等相关，以上仅是常见典型晶体的建议值，具体以客户选项的器件参数为准。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过 XATL\_OUT 脚输入。

### 1.1.2 复位电路

该 MCU 复位电路设计相关仅有 RESET N，MCU 内部有 POR 电路满足时序要求，外部需要接一个 100nF 滤波电容。

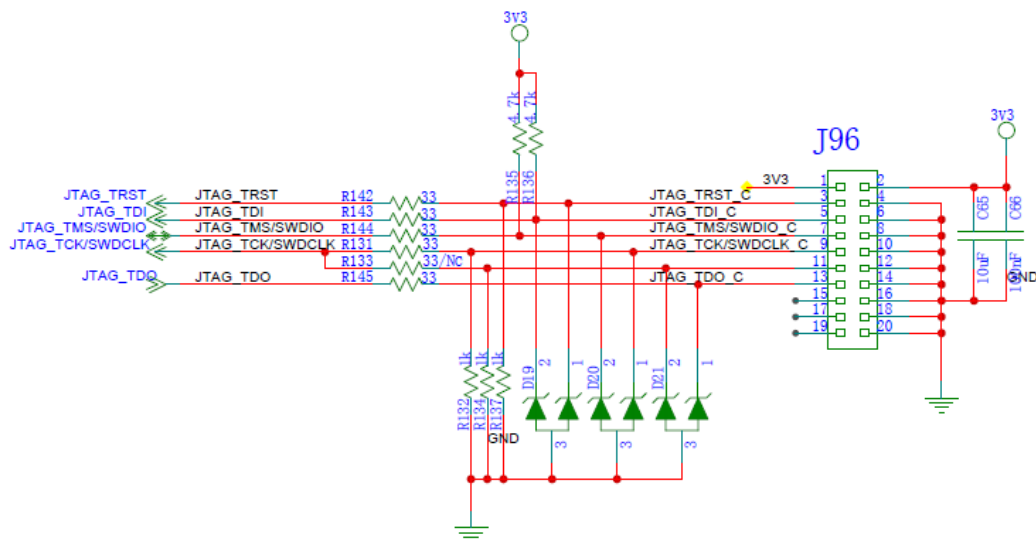
图1-2 复位管脚外接 100nF 电容





### 1.1.3 JTAG/SWD 接口

图1-3 20pin JTAG/SWD 连接器推荐接法



#### 须知

1. 当 JTAG 管脚被软件配置为非 JTAG 的其他功能时，可通过 Boot 管脚上拉方式，将 JTAG 管脚强制为 JTAG 功能，推荐调试阶段使用，量产阶段建议 Boot 管脚悬空或下拉。
2. 建议使用 SWD 管脚作为调试接口，其占用管脚数量更少，仅占用了 JTAG\_TMS/SWDIO 和 JTAG\_TCK/SWDCLK 两个管脚，可以将 JTAG 其它三个管脚释放出来用作其它功能。

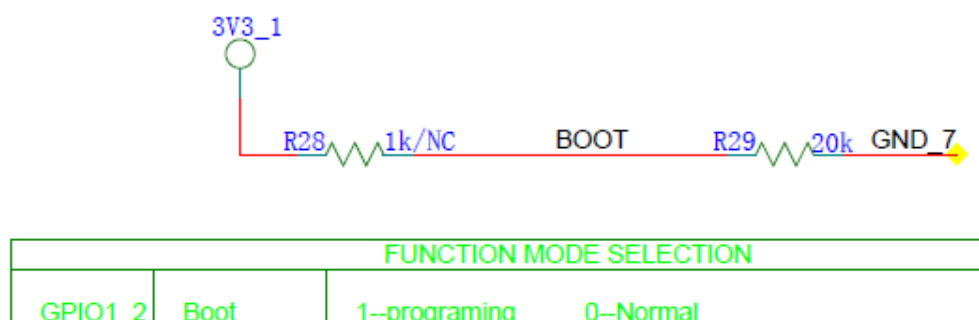
### 1.1.4 硬件上电配置字设计

硬件上电配置字主要有两个，PB2/BOOT 和 PD0 两个管脚。

- PB2/BOOT 默认选择悬空或者下拉，可预留上拉电阻，当需要使用 UART0 烧录版本时或 JTAG 管脚强制为 JTAG 功能需要外接上拉，推荐上拉电阻  $1k\Omega \sim 4.7k\Omega$ 。量产时建议悬空或下拉。
- PD0 一般情况下禁止上拉，内部默认有弱下拉，所以默认选择悬空或者下拉。



图1-4 BOOT (PB2/BOOT) 管脚推荐电路设计

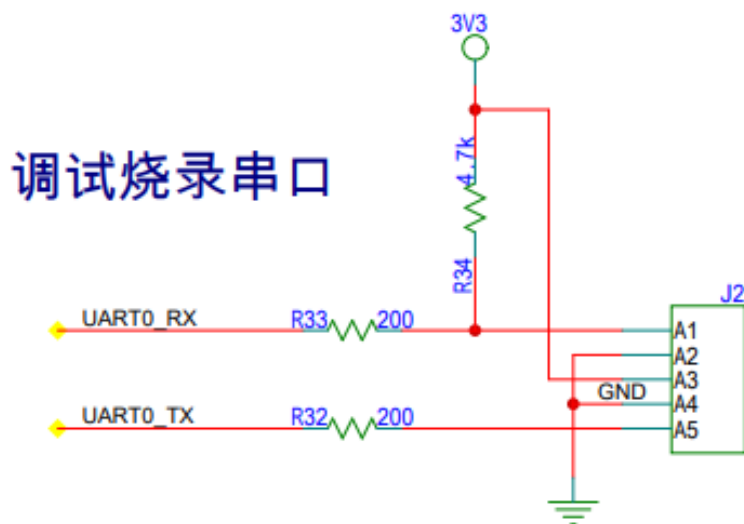


### 1.1.5 UART 电路设计

UART 分烧录和通讯两种功能。支持烧录串口管脚可以参考表 1-2，通讯调试串口可以选择所有复用了 UART0、UART1、UART2、UART3 功能的管脚。

烧录串口通过 Boot 管脚上拉选择。

图1-5 UART0 烧录接口参考设计



### 1.1.6 其他烧录接口

该 MCU 支持多种接口烧录，除了以上章节提到的 JTAG/SWD、UART，还有 SPI、I2C、CAN。具体管脚可以参考如表 1-2 所示。



表1-2 3061M 系列烧录接口及对应管脚

PIN NAME	PIN NUM		UART0		UART1		UART2		UART3		SPI0				SPI1				I2C0		I2C1		CAN	
	QFP48/ QFN48	QFP32/ QFN32	T X D	R X D	T X D	R X D	T X D	R X D	T X D	R X D	C L K	C S N0	T X D	R X D	C L K	C S N0	T X D	R X D	S C L	S D A	S C L	S D A	T X D	R X D
GPIO 0_3	39	25	●	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 0_4	40	26	-	●	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 0_7	1	2	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 2_7	3	3	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 2_6	4	4	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-
GPIO 2_5	5	5	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-	-
GPIO 3_6	8	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●
GPIO 3_5	9	8	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-
GPIO 1_5	11	9	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 1_6	12	10	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 1_7	13	11	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-
GPIO 4_7	14	12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-
GPIO 1_3	17	-	-	-	-	-	-	-	◎	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 1_4	18	-	-	-	-	-	-	-	◎	◎	◎	◎	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 3_2	21	15	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-
GPIO 4_0	23	16	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-	-	-
GPIO 4_1	24	17	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-
GPIO 4_2	25	18	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-	-	-
GPIO 1_0	27	-	-	-	◎	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 1_1	28	-	-	-	-	◎	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
GPIO 2_0	31	19	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-	-
GPIO 2_1	32	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	●	-	-	-	-

## 须知

- 表示 48 和 32PIN 封装均可以使用，◎表示仅有 48PIN 封装可以使用。
- UART\_RX、I2C\_CLK、I2C\_SDA、SPI\_CS0、SPI\_RXD 信号，无论做通讯还是烧录接口时板级都需要加上拉。



## 1.2 电源设计建议

### 1.2.1 通用设计指导

下面是一些电源网络通用的板级设计指导。

- 计算电源平面的厚度，需要保证最恶劣应用下，直流压降满足电源规范要求。
- 为了减小电源走线的寄生电感，电源的走线尽量短和粗。
- PCB 叠层设计时，尽量将电源平面与地平面直接临近放置以减小回路电感。电源平面与地平面靠的越近，回路电感越小。
- 高敏感电源供电尽量将滤波电容靠近 MCU 器件放置，以减小滤波电容的回路电感。
- 电容需要在 PCB 上尽量靠近 MCU 器件。
- 尽量在 pin field 区域放置低 ESL 高频电容。
- 板级模拟电源平面不能和其他任何电源存在交叠（以另外一个电源为参考）。

该 MCU 主要电源包含 VDD、VDDA，VDD 为数字电源，VDDA 为模拟电源。

### 1.2.2 电源上下电斜率

表1-3 电源上下电斜率

符号	参数	条件	最小值	最大值	单位
tVDD	V <sub>DD</sub> 上升斜率	-	-	$\infty$	ms/V
	V <sub>DD</sub> 下降斜率	-	1	-	ms/V

### 1.2.3 电源设计指导

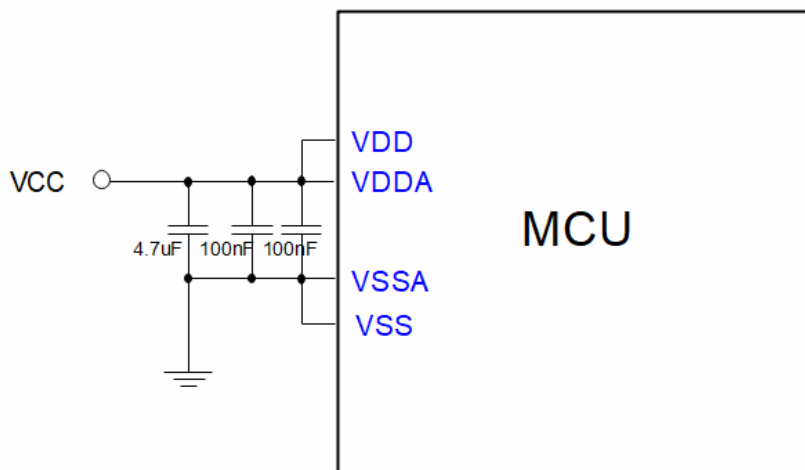
数字电源 VDD 为 MCU IO 供电，模拟电源 VDDA 为 MCU 的 ADC、PGA、ACMP、DAC 等模拟 IP 供电，推荐按照下面规则设计滤波网络：

- 选择热阻小封装较大的 LDO，因为输入输出压降大，最大压降由较高电压（如 15V）直接转 3.3V，考虑热耗问题尽量选择散热好的器件。
- 为了降低电源回路的等效电感，VDDA 和 VSSA、VDD 和 VSS 需要就近放置一颗 100nF 去耦电容，还需要一颗 4.7uF 电容。MCU 具体去耦电容请参考图 1-6。



- 为了给电源/地平面提供良好的通流能力，应避免过孔的隔离焊盘过度分割电源/地平面。

图1-6 MCU 数字电源 VDD 去耦电容要求



## 1.2.4 电源纹波噪声要求

符号	电平要求	纹波噪声要求
VDDA	2.4~3.63V	$\pm 3\%$ (Vpp)
VDD	VDDA~3.63V	$\pm 3\%$ (Vpp)

## 1.3 外围接口设计建议

### 1.3.1 运放

该 MCU 集成了 2 个 PGA，各封装 MCU PGA 具体出管脚的输入端请查看数据手册。

- 内置电阻模式下的放大倍数 2, 4, 8, 16 可选。
- 支持全差分输入。
- MCU 内输入端没有集成偏置电压，需外加偏置电压。



- 板级设计中运放有三种常用的接法，一是内置运放外置电阻模式接法，二是外置运放接法，三是内置运放内置电阻接法，如图 1-7、图 1-8、图 1-9 所示。

图1-7 内置运放外置电阻模式接法

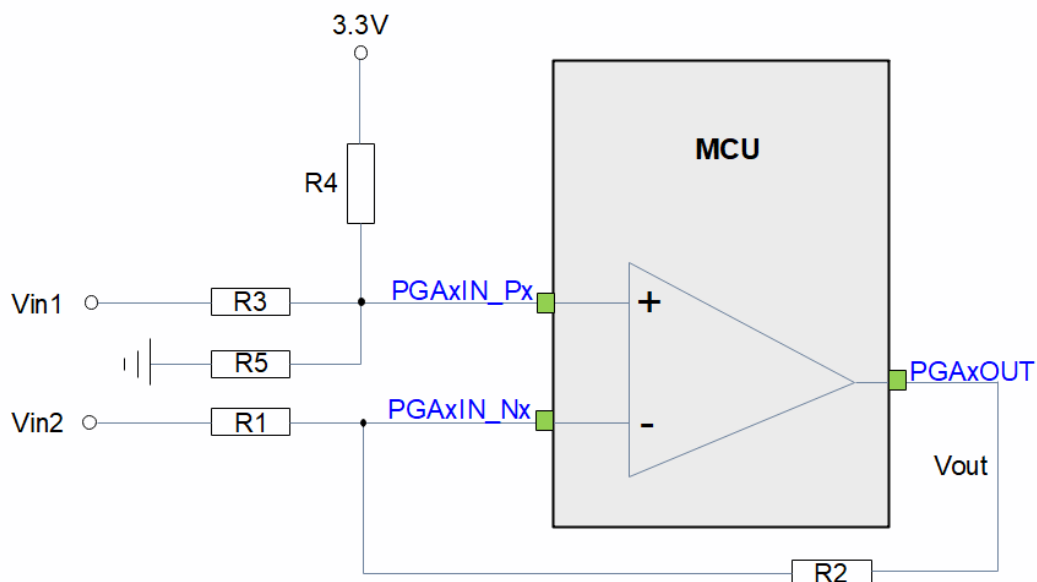


图1-8 外置运放接法

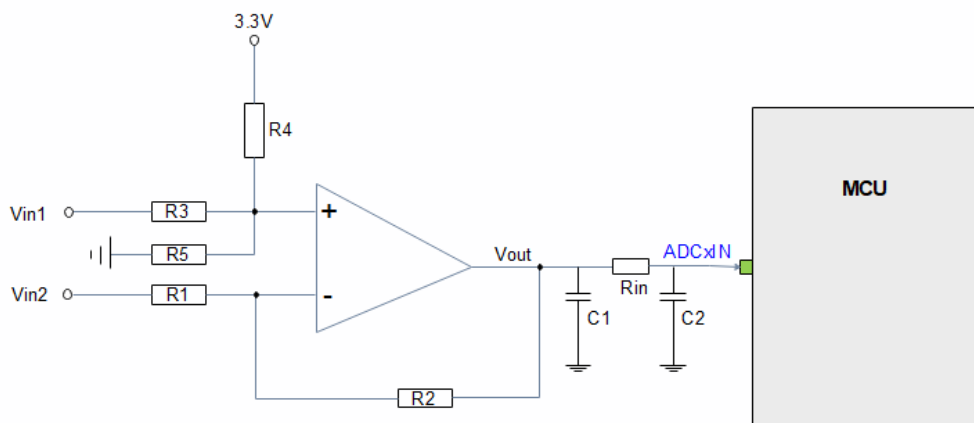
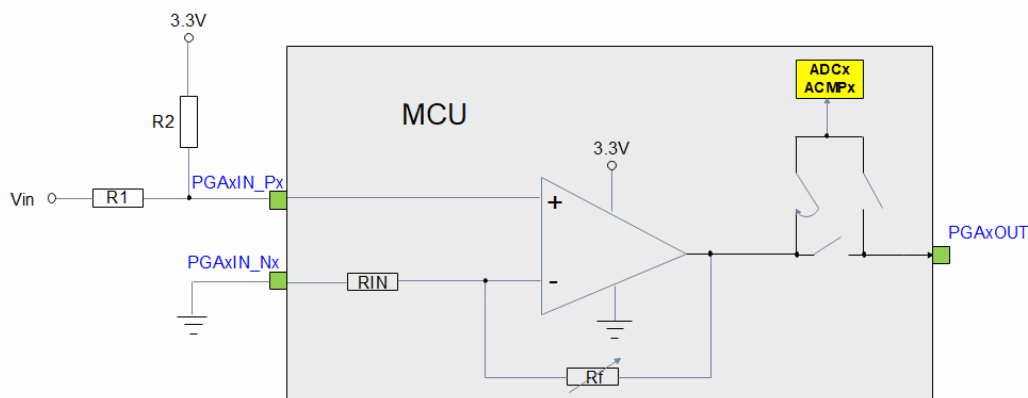


图1-9 内置运放内置电阻接法



### 须知

1. 运放差分输入端的信号是从采样电阻两端差分走线出来到运放输入端，如图 1-7 的 Vin1 和 Vin2，layout 时需注意，从采样电阻端拉线出来差分走线到运放。
2. 电流采样差分运放输入端建议不要加对地滤波电容，避免 PGA 输入波形出现上下冲导致采样波形严重失真，实际电流和采样电流不相符，电机算法混乱导致电机停转过流保护。

内置运放（PGA）输入输出连接关系如下表，其中输出端内部连接可通过寄存器配置选择连接方式，举个例子，电机电流采样使用内置 PGA0 输入，如图 1-7，采样电阻两端差分走线输入到 PGA0IN\_P0 和 PGA0IN\_N0，PGA0OUT 通过电阻 R2 反馈到 PGA0IN\_N0，这就组成一个差分输入比例放大电路，此时输出有两种连接方式：一是内部连接，可以通过内部寄存器选择 PGA0 的输出到 ADC0\_A0 或者 ADC1\_B0，采样其放大后的电流值，也可以选择输出到内置比较器 ACMP0 的 P0 通道，作为过流保护；二是通过输出管脚输出，通过管脚 PGA0OUT，硬件走线到 ADC 或比较器。

表1-4 内置运放连接关系

内置 PGA	输入端（管脚）		输出端	
	同相端	反相端	内部连接	MCU 管脚
PGA0	PGA0_P0	PGA0_N0	ADC_AIN0/ACMP_P0	PGA0_OUT
PGA1	PGA1_P0	PGA1_N0	ADC_AIN1/ACMP_P1	PGA1_OUT

### 1.3.2 比较器

该 MCU 集成了 1 个 ACMP，各封装 MCU ACMP 具体出管脚的输入端请查看数据手册。

- ACMP 的输入端 P5 和 N5 有 DAC 输出提供比较用的参考电平，详情查看表 1-5。
- 输入管脚不需要支持差分输入，P、N 通道是分别通过两个 MUX 选择，如 ACMP\_P2 和 ACMP\_N3 可以组合选择为输入端。
- 板级比较器设计，分四种接法，一是参考电平内置（图 1-10），二是参考电平外置、待比较信号内部输入（图 1-11），三是参考电平和待比较信号均外置（迟滞电阻可外置，也可由内部寄存器调节迟滞区间，如图 1-12），四是外置迟滞比较器（迟滞电阻外置，可自由调节迟滞区间，如图 1-13）。其中接法一、二、三使用的是内置比较器，可以通过寄存器配置迟滞区间也可关闭迟滞。

图1-10 内置比较器-参考电平内置接法

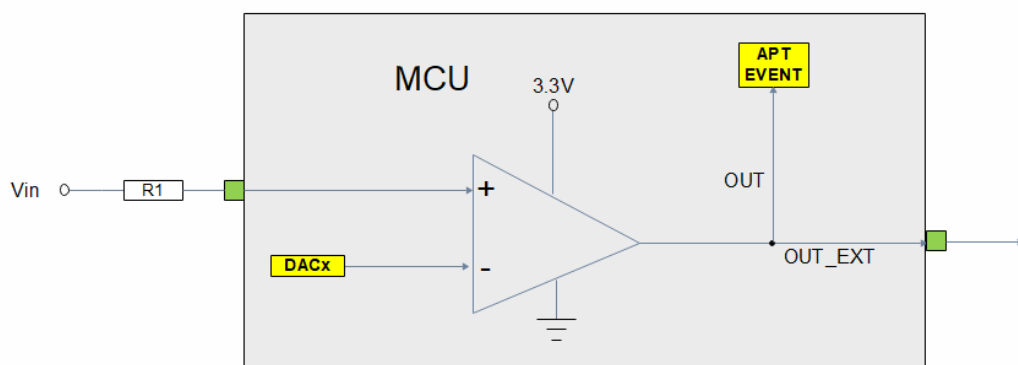




图1-11 内置比较器-参考电平外置\_比较信号内置

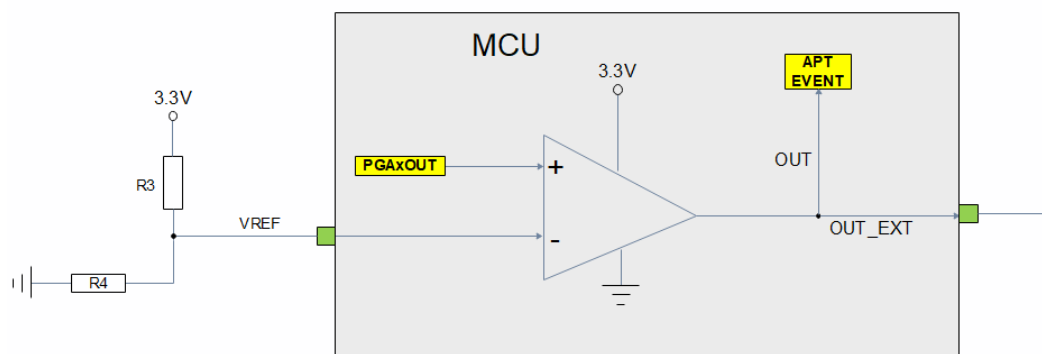


图1-12 内置比较器-输入信号全外置

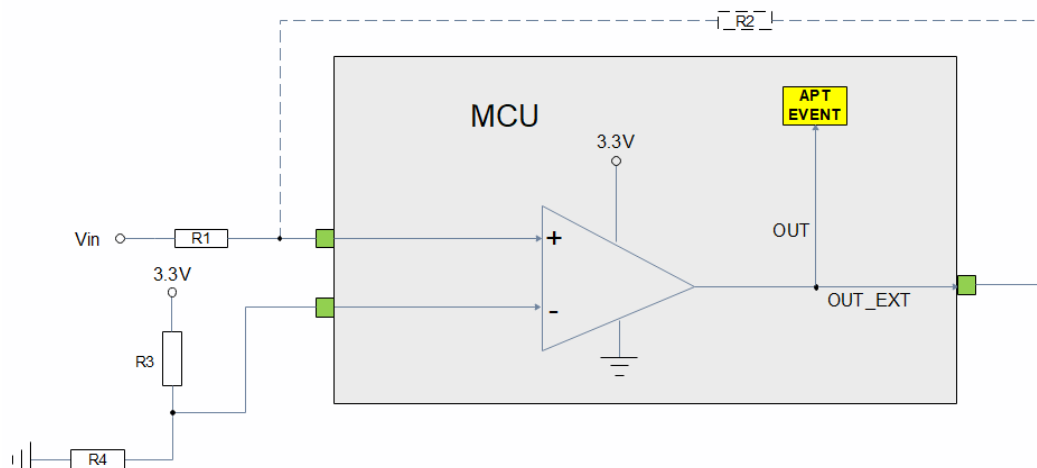
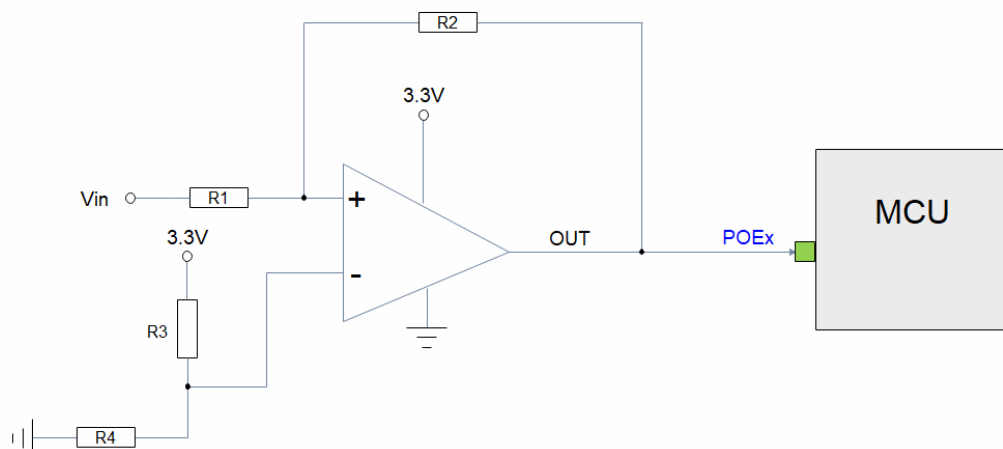




图1-13 外置迟滞比较器



内置比较器输入端内部和外部连接（出管脚）关系如表 1-5 所示，因为 P、N 通道是通过两个 MUX 分别选择，所以既可以选用 PGA0\_OUT（ACMP0\_P0）和 DAC0（ACMP0\_N0）组合使用，也可以选择 ACMP0IN\_P1 和 DAC0（ACMP0\_N0）组合使用。

表1-5 内置 ACMP 输入端连接关系

内置 ACMP 通道		信号源	
		内部连接	MCU 管脚
ACMP	P0	PGA0_OUT	-
	P1	PGA1_OUT	-
	P2	-	ACMP_P2
	P3	-	ACMP_P3
	P4	-	ACMP_P4
	P5	DAC_OUT	-
	N0	TIE GND	-
	N1	TIE GND	-
	N2	-	ACMP_N2
	N3	-	ACMP_N3
	N4	-	ACMP_N4
	N5	DAC_OUT	-



### 1.3.3 ADC

该 MCU 集成了 1 个 12bit 的 ADC，3MSPS 采样率。

- 支持 17 个模拟信号输入，各封装 MCU 出 ADC 管脚的位置请查看数据手册。
- 板级应用上 ADCIN 一般作为电压、温度、电流等模拟量的输入端，为了保证 ADCIN 性能输入端需要外接电容  $C_{in}$ ，建议 100pF，串阻  $R_S$  小于 1.5k $\Omega$ 。
- 输入信号连接（出管脚）关系如表 1-6 所示。

图1-14 ADC 采样输入接法

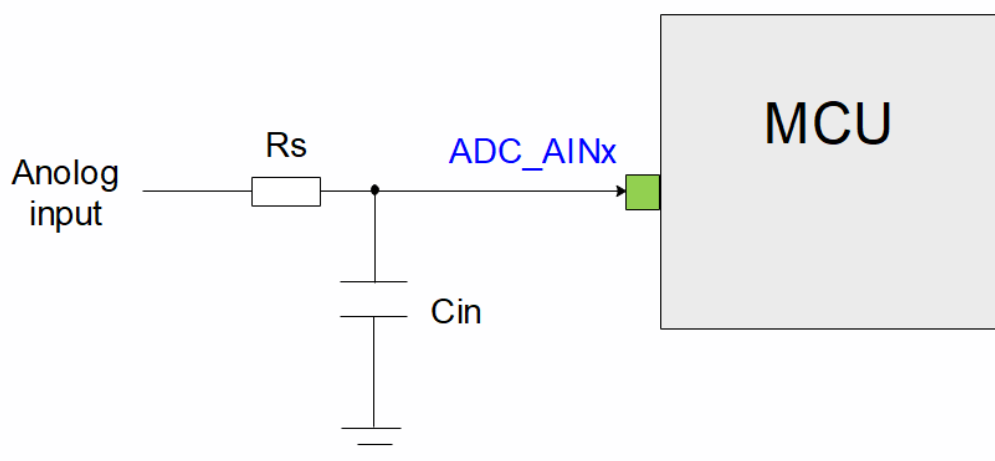


表1-6 ADC 输入信号连接关系

输入通道	连接信号	输入通道	连接信号
ADC_AIN0	PGA0_OUT	ADC_AIN10	来自管脚（PD6）
ADC_AIN1	PGA1_OUT	ADC_AIN11	来自管脚（PD5）
ADC_AIN2	来自管脚 (PA5/TDO)	ADC_AIN12	来自管脚（PF3）
ADC_AIN3	来自管脚 (PA6/TDI)	ADC_AIN13	来自管脚（PB5）



输入通道	连接信号	输入通道	连接信号
ADC_AIN4	来自管脚 (PA7/TRSTN)	ADC_AIN14	来自管脚 (PB6)
ADC_AIN5	来自管脚 (PF1)	ADC_AIN15	来自管脚 (PE7)
ADC_AIN6	来自管脚 (PC6)	ADC_AIN16	TSENSOR_OUT
ADC_AIN7	来自管脚 (PC5)	-	-
ADC_AIN8	来自管脚 (PF2)	-	-
ADC_AIN9	来自管脚 (PD7)	-	-

## 1.4 其他数字接口设计

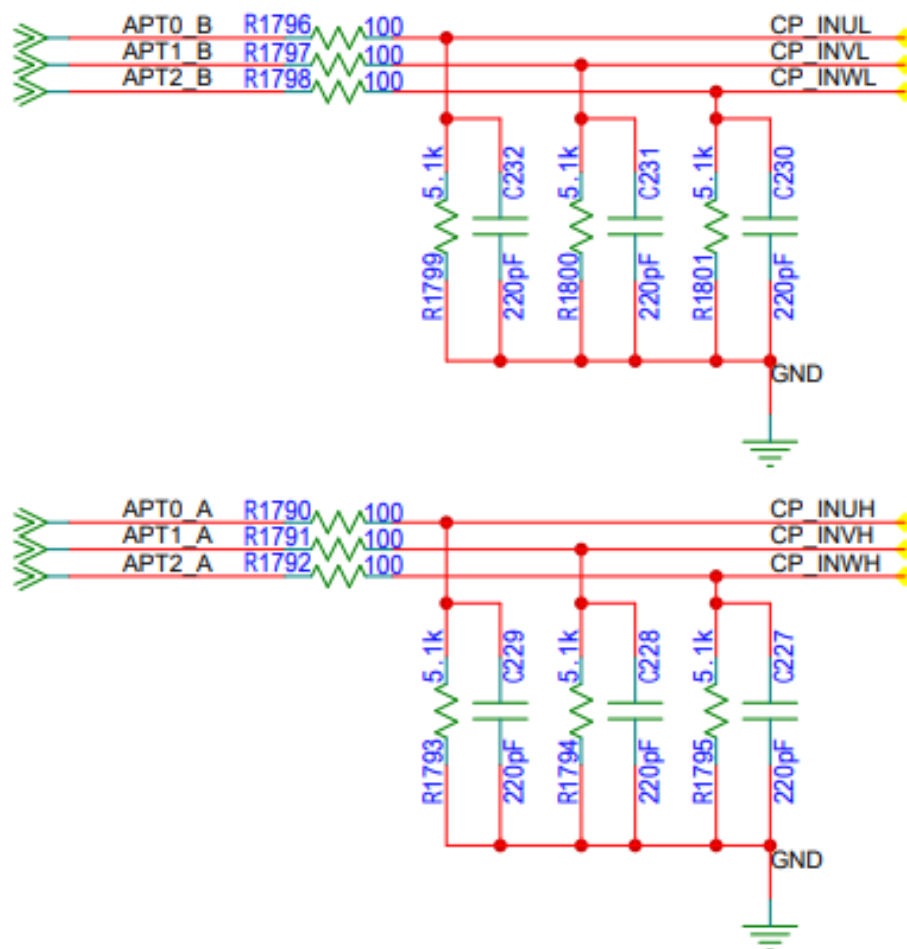
### 1.4.1 APT 接口

APT 为高级 PWM 定时器模块。

- 该 MCU 最大支持 4 个 APT 模块，其中 3 个 APT 模块，支持 1 个电机 PWM 控制；其中 1 个 APT 模块，保留备用。
- APT 分 A、B 两组，APT\_A 和 APT\_B 不分高低边 (HIN 和 LIN)，APT0、1、2 也不跟电机 U、V、W 强对应，所以当 layout 走线交叉时可以选择互换连接方式 (组内互换或整组交换)，原则是同一对 APT (如 APT0\_PWMA 和 APT0\_PWMB) 接同一相电源控制，便于死区时间控制。



图1-15 APT0/1/2 电机控制电路



## 1.4.2 GPT 接口

该 MCU 支持 4 个 GPT。GPT 为通用 PWM 模块。GPT 常用应用为蜂鸣器或直流电机控制、PWM 单向通讯、PWM 脉宽调制电路控制（电源调压）。



图1-16 蜂鸣器控制

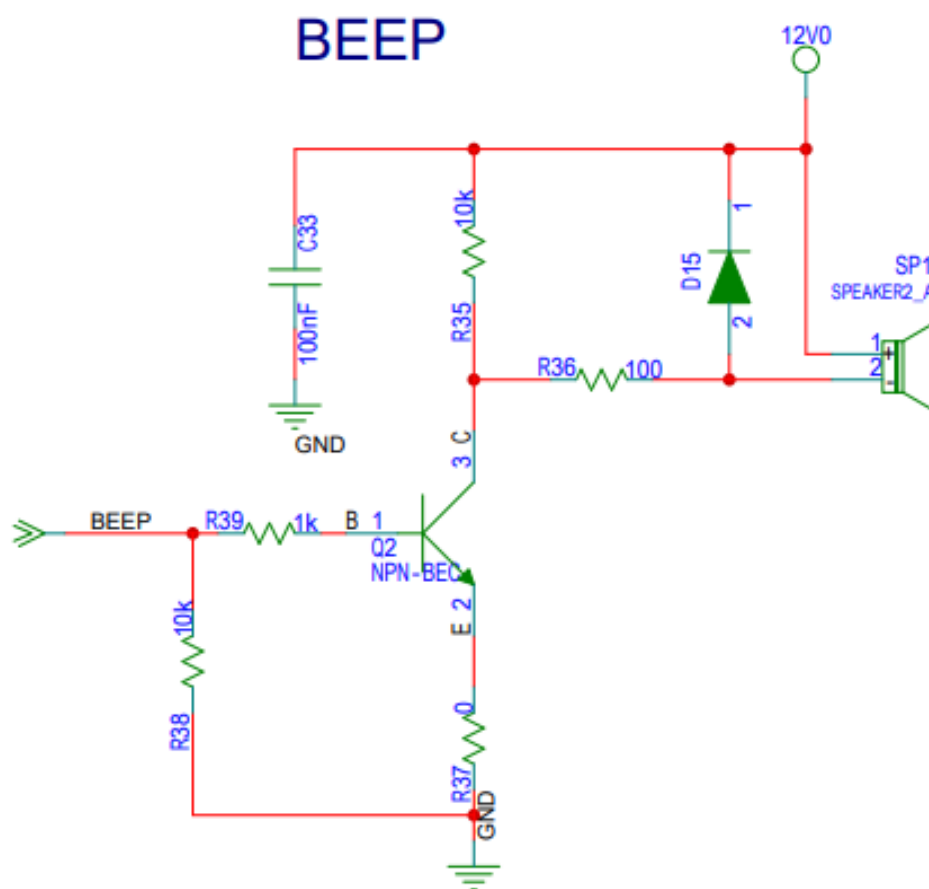
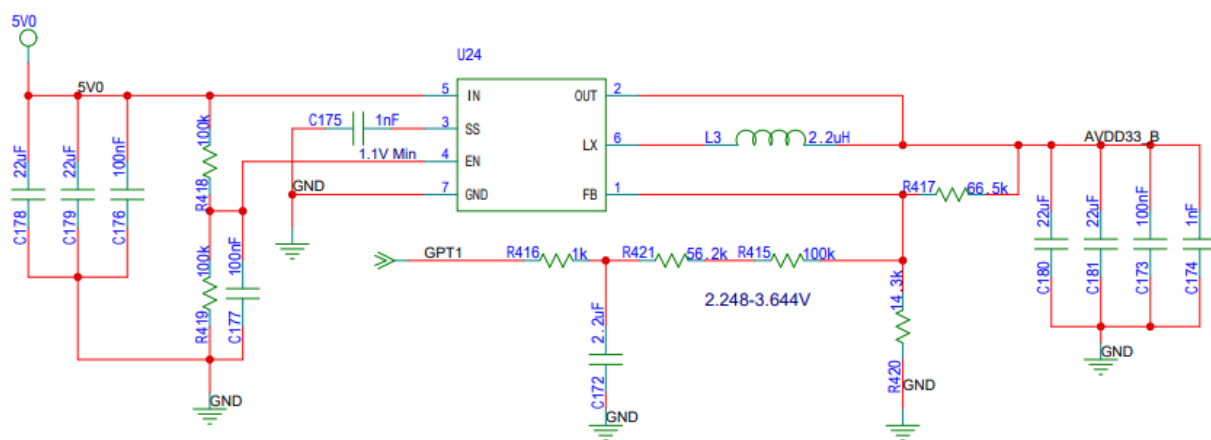


图1-17 DC-DC 电源电压通过 GPT 脉宽调制控制电路



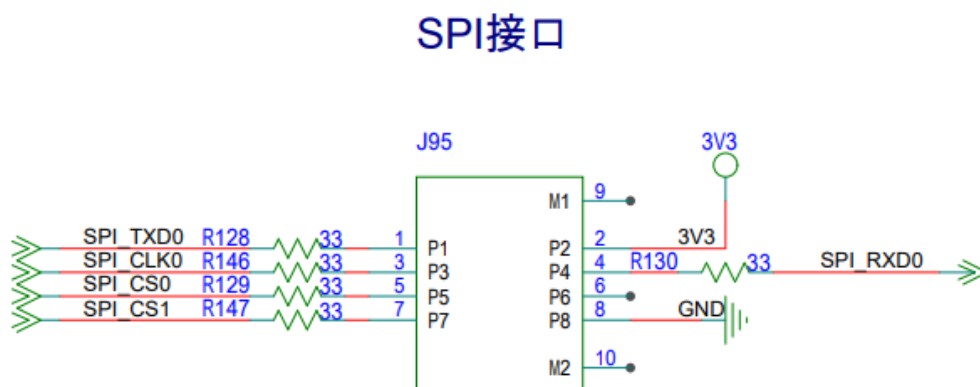


### 1.4.3 SPI 接口

该 MCU 支持 2 路 SPI。

- 4 线 SPI，支持双片选；
- 支持 Motorola SPI 接口、TI 串行同步接口和 MicroWire 接口三种外设接口协议；
- 支持 master 和 slave 模式；
- MAX 25MHz。

图1-18 SPI 接口电路



#### 须知

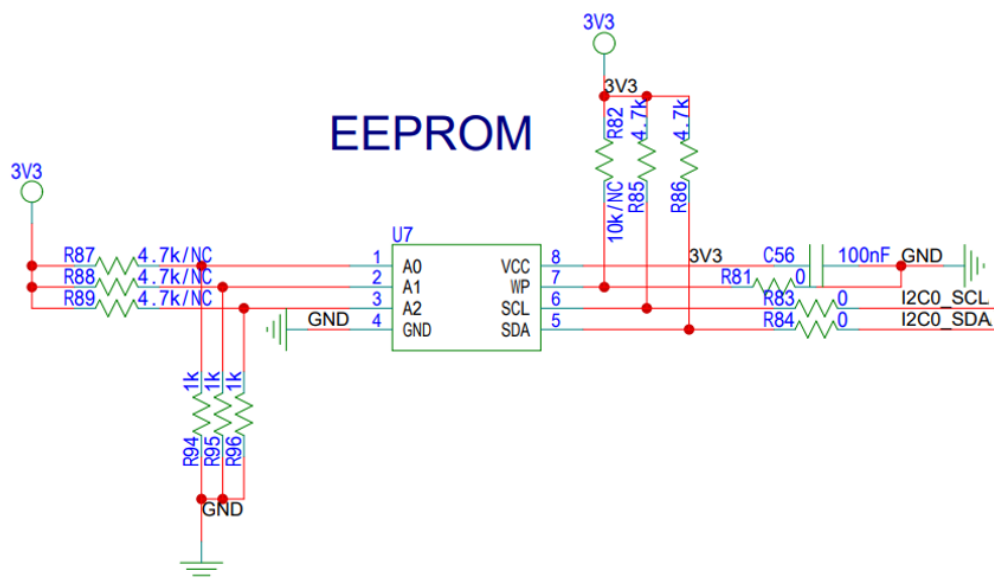
驱动配置请参考数据手册中“IO 电气特性”章节。

### 1.4.4 I2C 接口

3061MV100 支持 2 路 I2C，支持 MASTER 和 slave 模式，速率最大 400kbps。I2C 输出管脚需要外接上拉电阻。



图1-19 I2C 接口电路

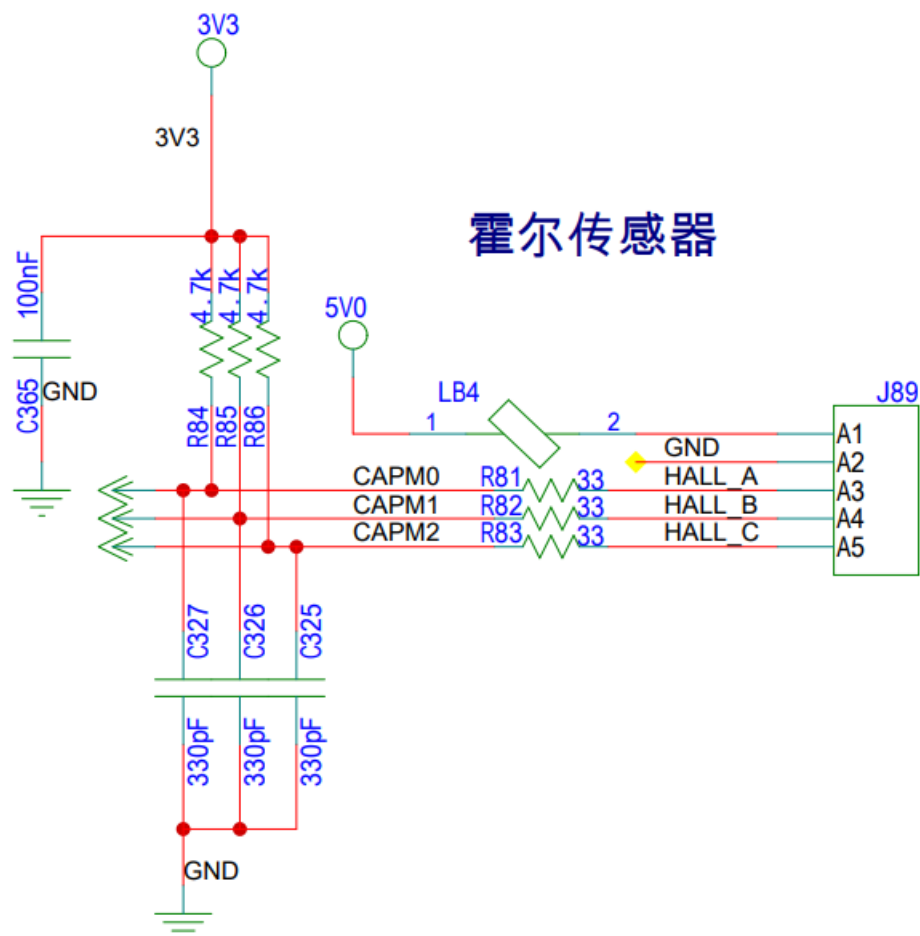


### 1.4.5 CAPM 接口

支持 3 路 Capture，用于外部输入信号的检测，常见应用包含计时、计数、霍尔检测等。



图1-20 霍尔传感器检测示意图

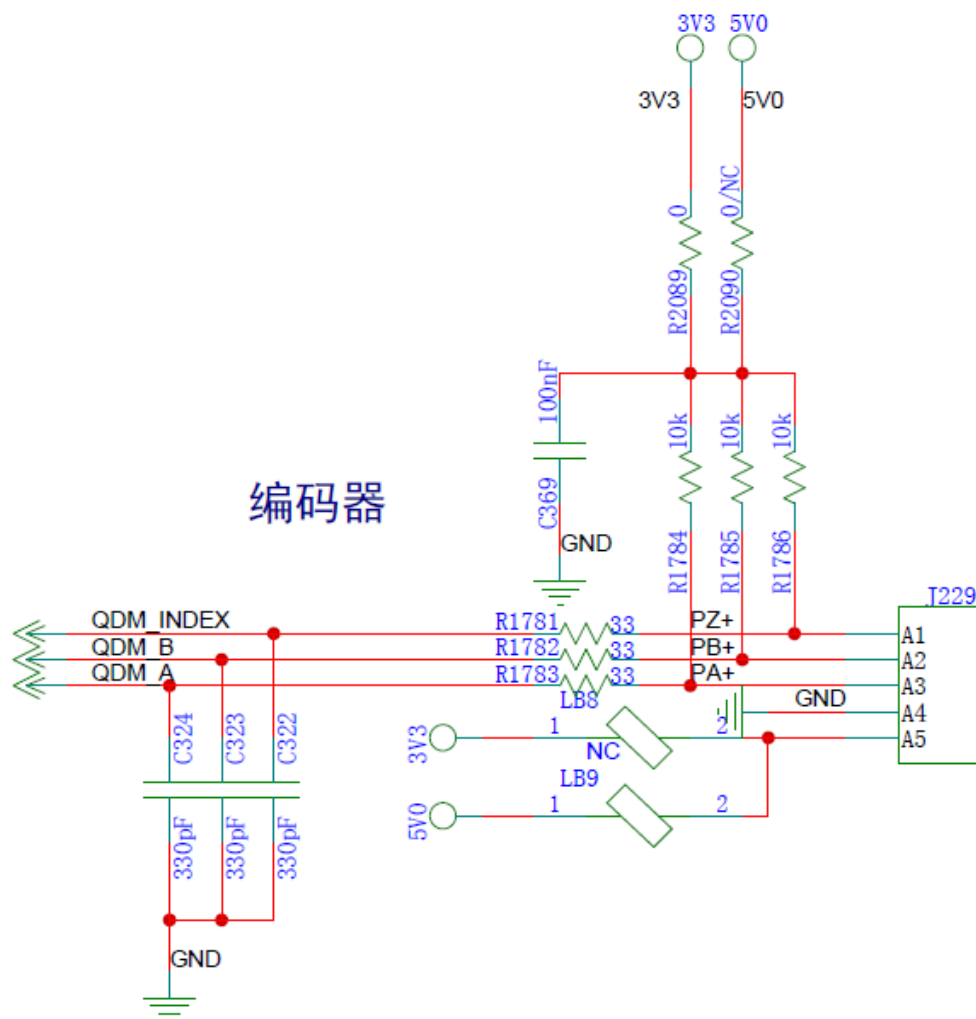


### 1.4.6 QDM 接口

最多支持 2 个 QDM 正交解码模块，对接正交编码器。QDM 三个信号支持 5V tolerance，所以支持编码器 5V 信号输入。



图1-21 正交编码器连接电路示意图



#### 须知

支持 5V tolerance 的管脚请查询《Hi3061M 系列 数据手册》中“表 1 管脚信息表”内容。

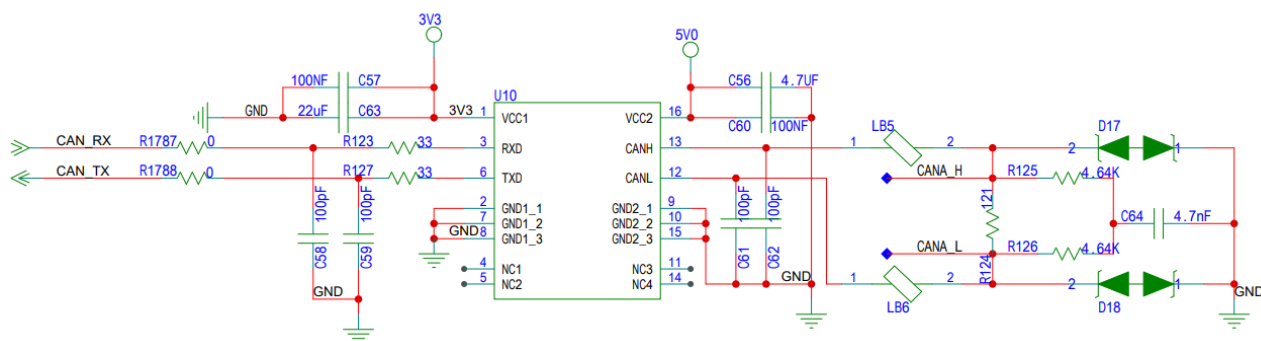
### 1.4.7 CAN 接口

支持 1 路 CAN 接口。

- 支持标准技术规范 CAN 2.0A 和 CAN 2.0B。
- 支持传输速率可编程，最高可达 1Mbps。



图1-22 CAN 收发器连接电路示意图





# 2 PCB 设计建议

## 2.1 概述

本章介绍 3061M 系列解决方案 PCB 布局布线参考设计。

## 2.2 系统设计指导

### 2.2.1 PCB 层叠

3061M 系列的封装有 4 种为 LQFP32、LQFP48 和 QFN32、QFN48，封装尺寸和管脚间距如[表 2-1](#) 所示。

表2-1 3061M 系列 MCU 封装参数

参数	LQFP32	LQFP48	QFN32	QFN48
封装尺寸	7mm×7mm	7mm×7mm	4mm×4mm	6mm×6mm
管脚间距	0.8mm	0.5mm	0.4mm	0.4mm
管脚总数	32	48	32	48

PCB 设计建议采用 1~4 层板设计。推荐板层设计如[表 2-2](#) 所示。



表2-2 各类产品推荐板层设计

产品类型	板层	布局要求
冰箱电控	单层/两层	单层板设计：插件放 TOP 层，贴片器件和走线均在 Bottom 层（有铜那一层），走线换层通过镀锡铁跳线跳接。具体要求请查看硬件 checklist PCB checklist 部分单层板设计要求。两层板设计推荐单面布局。IGBT 为自然散热，建议 6 个 IGBT 分散布局，并保证 E、C 极铺有大铜箔。
洗衣机电控	两层	推荐单面布局，器件全部都放一面，以减少 SMT 加工工序。
Ebike	两层	推荐单面布局，功率器件为 MOSFET，跟冰箱 IGBT 布局要求一样，自然散热，分散布局。

PCB 设计注意事项，具体设计要求请参考硬件设计 checklist：

- 因为电源涉及到强电，所以 PCB 设计时不要求有完整的 GND 参考层，避免强电的功率地噪声影响弱电信号，强弱电的地整板做单点接地设计，一般在采样电阻或母线电容处共地。
- 除强电走线处过孔需开窗镀锡，增加通流和散热外，其他过孔建议尽量做塞孔处理。

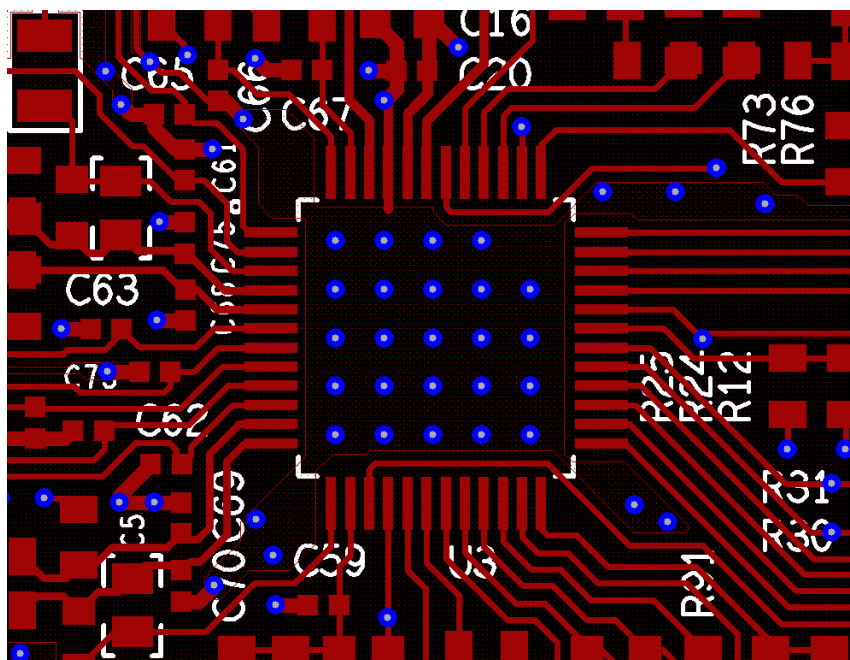
PCB 材料 FR-4，建议 PCB 板厚为 1.2mm~2.0mm，表层铜箔厚度为 1 盎司。

## 2.2.2 Fanout 封装设计

3061M 系列的 FANOUT 布局如[图 2-1](#) 所示。



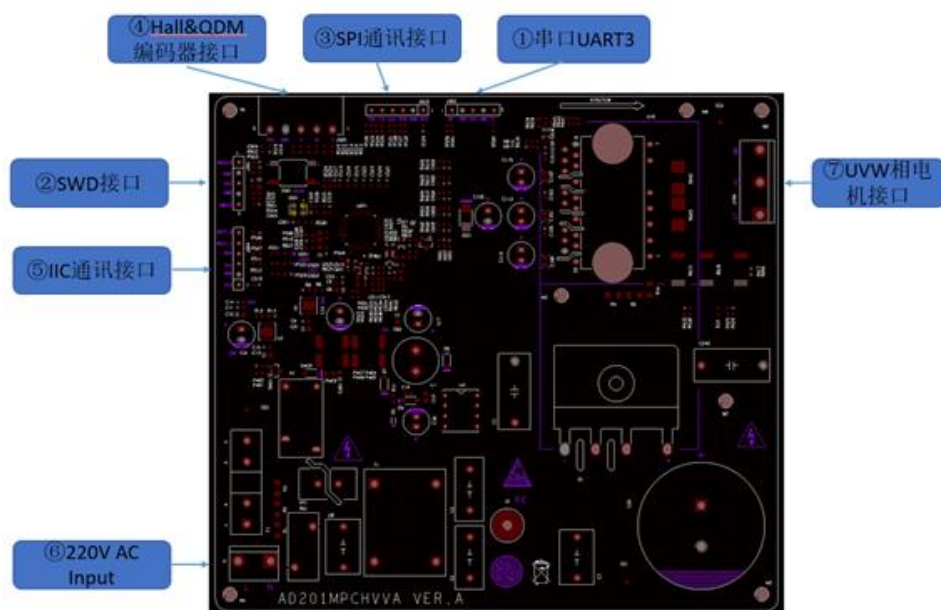
图2-1 LQFP48MCU 布局 Fanout 图



### 2.2.3 单板布局

AD201MPCHVVA 两层板解决方案参考设计的单板尺寸信息 137mm\*125mm, PCB 布局示意图如图 2-2 所示。

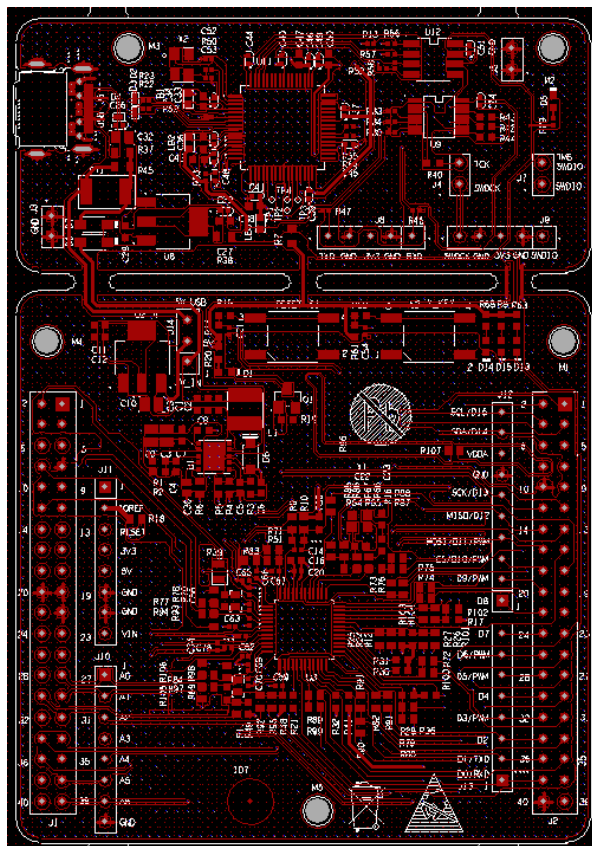
图2-2 AD201MPCHVVA 两层板参考设计 PCB 布局示意图 (Top)





ECBMCU201MPC 两层板参考设计的单板尺寸信息 100mm\*70mm, PCB 布局示意图如图 2-3 所示。

图2-3 ECBMCU201MPC 两层板参考设计 PCB 布局示意图 (TOP)



## 2.2.4 布线建议

### 高压电源布线要求

- 隔离要求: L、N 线到 E (Earth) 的间距至少 6mm, L、N 线之间间距至少 3.5mm, 高压到低压走线间距至少 3.5mm, 满足不了的需挖槽镂空 (如连接器或器件 PIN 间距满足不了安全间距要求), 增大爬电距离。
- 母线电源经功率器件到功率地的回流路径尽量短。
- 功率地和信号地 (低压地) 需单点接地, 减小功率地对信号地的影响, 可从母线电容或电流采样处接地。

### 单层板走线要求

建议单层板布线设计采用以下原则:



- 单层板插件放 TOP 面，贴片放 Bottom 面，走线在 Bottom 面，跳线在 TOP 面。
- 单层板跳线长度必须是 2.5mm 的整数倍，最小长度 5mm，跳线直径 0.8mm，跳线孔直径 0.9 或 1mm，焊盘直径 2mm；尽量将跳线长度控制在 3 种以内。
- 跳线与 SMD 器件空气间隙至少 3mm，当跳线和 SMD 器件管脚是同一网络时可以适当放宽要求；跳线和跳线之间焊盘间距至少 1.5mm，相同网络可以放宽间距要求，平行跳线中心间距至少 2mm。
- 一根 0.8mm 镀锡铁跳线通流能力 1A~2A 左右，可根据实际功耗选择电源跳线数量。

## IPM 布线要求

IPM 模块电路布线有以下建议：

- 各个输入管脚的连线尽量短一点，否则可能引起误动作；另外 RC 滤波网络和外接电容都尽量靠近管脚放置。
- P 管脚的高频非感性平缓电容连线尽量短。
- 控制地线和电源地线需要连接在一个点，走线尽量短。
- IPM 的 /FO, /SD 连线尽量短。
- VBU、VBV、VBW（自举升压 Vboot 管脚）、U、Vsu、V、Vsv、W、Vsw（电机三相电输出管脚）、NU、NV、NW（下管接功率地管脚）均为高压管脚，走线时注意高压隔离要求，当 IPM 器件自身管脚间距不满足隔离要求时，需要挖槽处理。
- 电流采样精密电阻靠近 NU、NV、NW 管脚放置，保证下管到功率地走线尽量短。
- 电流采样信号走差分，从采样电阻两端差分走线到运放，阻抗不做控制，但线宽线距需统一，保证阻抗连续性和三相采样走线阻抗的一致性。
- 过流信号有两种走线方式，一种是从采样电阻单独再拉一根或一组过流信号到比较器，适用于运放和比较器摆放位置较远；另一种是从电流采样信号末端（靠近运放输入端）分叉走过流信号到比较器，适用于运放和比较位置临近。

## 预驱+IGBT 布线要求

预驱+IGBT 模块电路布线具体要求如下：

- 自举升压电容靠近预驱 Vboot 管脚，可以选择大封装电容跨在 Vboot 和 OUT 管脚之间。



- 半桥预驱的 Vboot、HVG、OUT 为高压管脚，其走线与其他控制信号或地等低压部分需满足隔离要求。
- 电流采样精密电阻靠近 IGBT 下管的 E 极放置，保证下管到功率地走线尽量短。
- 电流采样信号和过流信号走线规则参考 IPM 模块电路走线要求。

## 电机控制电路布局布线要求

- 外置运放和外置比较器建议靠近 MCU 放置。
- 内置运放的反馈电阻需靠近 MCU 放置，以减小 PGA\_OUT 信号到 PGAIN\_N 的反馈环路走线长度，避免串扰。
- 采样电阻的功率地不要直接连接到 MCU 系统地，避免电机运行时功率地上的噪声直接影响 MCU，造成模拟 IP 工作异常，电机控制环路不稳定。

## 其它数字接口

信号匹配方式直接影响信号质量进而影响 3061M 系列的工作性能，而匹配方式又与外接器件和走线长度紧密相关，所以建议用户根据具体应用通过板级 SI 仿真来确定各接口信号板级匹配方式，下面是具体部分信号匹配的参考设计：

- 电平有效信号  
包括数据信号、地址和非边沿有效的控制信号。  
外接多负载时，需要考虑反射、振铃带来的过冲和电平不稳定窗口。采用 T 型拓扑结构通常会得到比较好的信号质量。  
驱动单负载时，主要考虑过冲，如果过冲太大，可在驱动端串联 51Ω 电阻。
- 边沿有效类信号  
这类信号需要保证边沿的单调性。

## 时钟电路

3061M 系列时钟基本都在 MCU 内走线，仅有外置晶体有板级走线，其建议如下：

- 晶体与匹配电阻、电容紧凑布局，XIN、XOUT 走线长度不超过 500mil，减小寄生电感。
- 时钟信号应避免靠近其他敏感信号线。
- 避免时钟走线跨参考平面分割，并尽量不要改变参考平面。
- 时钟信号还应避免靠近大噪声源。



# 3 功耗&热设计建议

## 3.1 功耗

MCU 典型场景的功耗实测数据如表 3-1 所示，主要用于前期电源和散热方案设计评估。

- 功耗测试基于 MCU 供电 VCC=3.3V 条件下测试的。
- 下表数据为根据板级抽样实测数据整理，功耗为纯 MCU 的功耗。
- 不同 MCU 功耗略有差异。
- 建议客户根据具体产品应用从下表选择合适的数据预估 MCU 功耗，来指导前期板级电源设计。

表3-1 MCU 典型场景的功耗实测值（场景和功耗值待定）

MCU	典型场景	MCU 频率 /MHz	典型功耗/mW (Tj≈30℃)	典型功耗/mW (Tj≈105℃)	最大功耗/mW (Tj≈125℃)
LQFP48	-	-	-	-	-
	-	-	-	-	-
LQFP32	-	-	-	-	-
	-	-	-	-	-



## 3.2 热设计

MCU 的热阻参数、长期工作结温和极限结温请参考数据手册。

MCU 的温升通用的热设计建议如下：

- 由于 MCU 功耗较小，如果周围没有非常强的热源，默认不需要加散热片。
- MCU 远离主要热源有利于散热。
- 合理设计结构，保证产品内部与外界有热交换途径有利于散热。
- MCU 处于散热风道的上游有利于散热。
- 对于不用的模块，建议关闭，降低功耗了也有利于散热。
- 单板采用多层板有利于散热。
- MCU 底部及其周边铺完整的地铜皮有利于散热。
- 两层板的不同层之间的铜皮间多打过孔有利于散热。



# 4 EMS 设计建议

## 4.1 EMS 设计建议

对于 EFT、浪涌等干扰源，主要的干扰传输路径是 PCB；所以对于 MCU 这个被干扰源，EMS 能力提升主要的优化措施就是优化 PCB 布局、电源&地平面、电源滤波，通用建议如下（其它结合单板的示意举例请参考硬件 checklist）：

- MCU 周围的地铜皮铺设的尽可能完整，有利于提升抗干扰能力。
- MCU 的电源&地环路尽可能小，有利于提升抗干扰能力。
- 在允许的情况下，建议将 MCU 的下面走一块完整的尽可能大的地平面，MCU 的地尽可能就近接入该地平面，有利于提升抗干扰能力。
- 给 MCU 供电的电源管脚添加合适的大约 100nF 的陶瓷滤波电容，并且尽可能靠近电源管脚放置，有利于提升抗干扰能力。
- 给 MCU 供电的 LDO 或者 DC-DC 前后添加大约 10uF 级别的陶瓷滤波电容，有利于提升抗干扰能力。
- 悬空的输入管脚不利于 MCU 的稳定性，建议应用中未使用的引脚应配置为输出高阻态或者输入低电平，有利于 MCU 抗干扰能力。
- 对于涉及浪涌的接插件，TVS 器件需要尽可能靠近板边的信号连接器，TVS 直接连接到最近的地平面。
- 晶体等时钟和高速信号走线建议不要跨分割，容易引起辐射或者引入干扰。



# 5 焊接工艺建议

## 5.1 概述

### 【目的】Objective

本章提供了客户端在用 MCU SMT 时各温区温度基本设置的参数建议。

### 【适用范围】Scope

3061M 系列产品。

### 【基本信息】Basic information

提供给客户端的产品均为 RoHS 产品（xxxxRBCVxxx 中 R 表示为 RoHS），即均是 Lead-free（无铅）产品；本章主要介绍客户端在使用 MCU 做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

### 【回流焊工艺控制】Reflow Chart

定义说明：

- MCU：给客户的 MCU 均为 ROHS 产品，均满足无铅要求。
- 无铅工艺：所有器件（主板/所有 IC/电容电阻等）均为无铅器件，并使用无铅锡膏的纯无铅工艺。

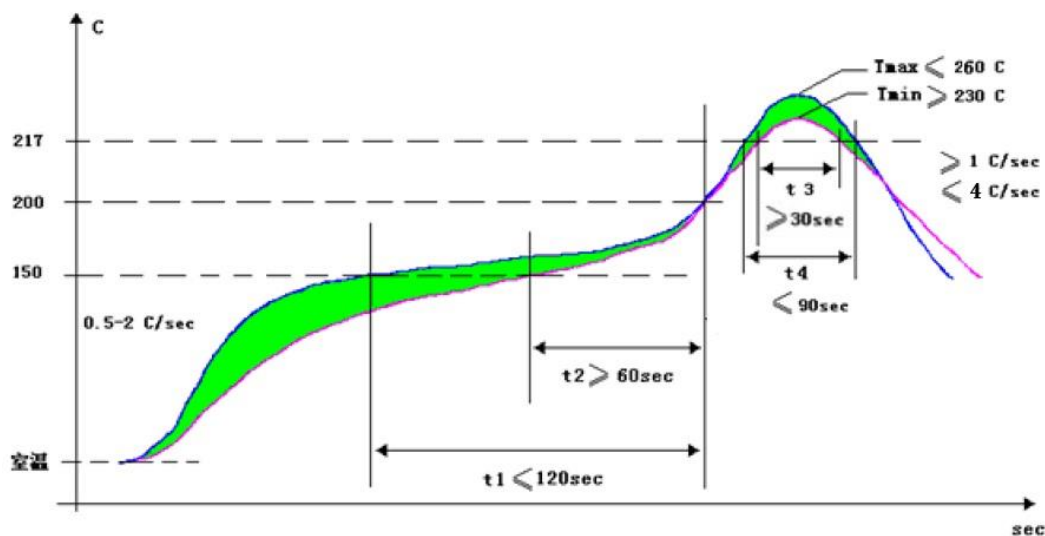
## 5.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如[图 5-1](#) 所示。





图5-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表 5-1 所示。

表5-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区 (40°C ~ 150°C)	60s ~ 150s	$\leq 2.0^{\circ}\text{C/s}$	-	-
均温区 (150°C ~ 200°C)	60s ~ 120s	$< 1.0^{\circ}\text{C/s}$	-	-
回流区 ( $> 217^{\circ}\text{C}$ )	30s ~ 90s	-	230°C~260°C	-
冷却区 ( $T_{\text{max}} \sim 180^{\circ}\text{C}$ )	-	-	-	$1.0^{\circ}\text{C/s} \leq \text{Slope} \leq 4.0^{\circ}\text{C/s}$



## 说明

- 预热区：温度由 40°C ~ 150°C，温度上升速率控制在 2°C/s 左右，该温区时间为 60s ~ 150s。
- 均温区：温度由 150°C ~ 200°C，稳定缓慢升温，温度上升速率小于 1°C/s，且该区域时间控制在 60s~120s **(注意：该区域一定缓慢受热，否则易导致焊接不良)**。
- 回流区：温度由 217°C ~ Tmax ~ 217°C，整个区间时间控制在 30s ~ 90s。
- 冷却区：温度由 Tmax ~ 180°C，温度下降速率最大不能超过 4°C/s。
- 温度从室温 25°C升温到 250°C时间不应该超过 6 分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。
- 回流时间以 60s ~ 90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP 140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求：IPC/JEDEC 020D 中的无铅器件封装体耐温标准如表 5-2 所示。

表5-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

Package Thickness	Volume mm <sup>3</sup> < 350	Volume mm <sup>3</sup> 350~2000	Volume mm <sup>3</sup> > 2000
< 1.6mm	260°C	260°C	260°C
1.6mm ~ 2.5mm	260°C	250°C	245°C
> 2.5mm	250°C	245°C	245°C

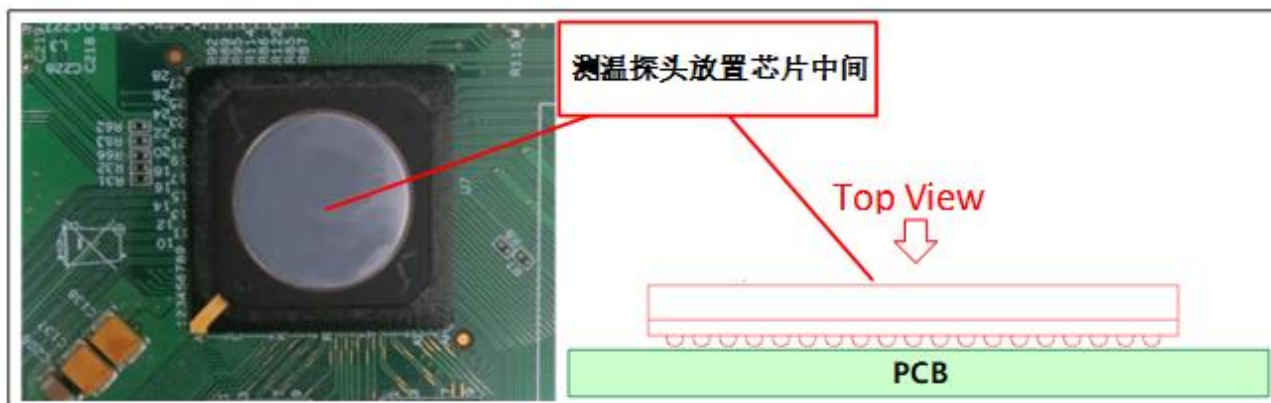
体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140 推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外），如图 5-2 所示。



图5-2 封装体测温示意图



### 说明

如果是 QFP 封装的 MCU，直接将测温探头放在管脚处即可。

## 5.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如下：

表5-3 混装回流焊工艺参数表

数值要求		有铅 BGA	无铅 BGA	其他器件
预热区 (40°C~150°C)	时间	60Sec~150Sec		
	升温斜率	< 2.5°C/Sec		
均温区 (150°C~183°C)	时间	30Sec~90Sec		
	升温斜率	< 1.0°C/Sec		
回流区 (> 183°C)	峰值温度	210°C~240°C	220°C~240°C	210°C~245°C
	时间	30s~120s	60s~120s	30s~120s
冷却区 (Tmax - 150°C)	降温斜率	1.0°C/Sec≤Slope≤4.0°C/Sec		



### 须知

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照 IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求 IPC/JEDEC 020D 中的有铅器件封装体耐温标准如图 5-3 所示。

图5-3 IPC/JEDEC 020D 中的有铅器件封装体耐温标准

Package Thickness	Volume mm <sup>3</sup> <350	Volume mm <sup>3</sup> ≥350
<2.5 mm	235 °C	220 °C
≥2.5 mm	220 °C	220 °C

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140 标准规定测量封装体温度方法同无铅工艺，请参考无铅工艺处详细说明。



# 6 潮敏参数

## 6.1 存放与使用

### 【存放环境】

建议产品真空包装存放，存放在 $<30^{\circ}\text{C}/60\% \text{ RH}$  下。

### 【shelf life】（防潮包装后正常存储时间）

存放环境 $<30^{\circ}\text{C}/60\% \text{ RH}$  下，真空包装存放，shelf life（存储期限）不少于 12 个月。

### 【floor life】

在环境条件 $<30^{\circ}\text{C}/60\%$ 下，floor life 参照表 6-1。

表6-1 floor life 参照表

MSL	Floor life(out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ or as stated
1	Unlimited at $\leq 30^{\circ}\text{C}/85\% \text{ RH}$
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label



### 【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$  下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$  下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 **JEDEC J-STD-033A**。

## 6.2 重新烘烤

### 【适用产品】

所有 IC（潮敏产品）

### 【使用范围】

需要重新烘烤的 IC（潮敏产品）

### 【重新烘烤参考表】

表6-2 重新烘烤参考表

Body thickness	level	bake@125°C	bake@90°C $\leq$ 5% RH	bake@40°C $\leq$ 5% RH
$\leq 1.4\text{mm}$	2a	3 hours	11 hours	5 days
	3	7 hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
$\leq 2.0\text{mm}$	2a	16 hours	2 days	22 days
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
$\leq 4.5\text{mm}$	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days



Body thickness	level	bake@125°C	bake@90°C≤5% RH	bake@40°C≤5% RH
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。



# A 管脚速查表

LQFP48/QFN48		LQFP32/QFN32	
管脚	名称	管脚	名称
1	PA7/TRSTN	2	PA7/TRSTN
2	PF1	-	-
3	PC7	3	PC7
4	PC6	4	PC6
5	PC5	5	PC5
6	PF2	-	-
7	PD7	6	PD7
8	PD6	7	PD6
9	PD5	8	PD5
10	PF3	-	-
11	PB5	9	PB5
12	PB6	10	PB6
13	PB7	11	PB7
14	PE7	12	PE7
15	PE5	-	-
16	PE6	-	-
17	PB3	-	-
18	PB4	-	-
19	PD0	13	PD0
20	PD1	14	PD1
21	PD2	15	PD2





LQFP48/QFN48		LQFP32/QFN32	
22	PD3	-	-
23	PE0	16	PE0
24	PE1	17	PE1
25	PE2	18	PE2
26	PE3	-	-
27	PB0	-	-
28	PB1	-	-
29	PD4	-	-
30	PE4	-	-
31	PC0	19	PC0
32	PC1	20	PC1
33	PF0	21	PF0
34	PC2	-	-
35	PC3	-	-
36	PA0/TCK	22	PA0/TCK
37	PA1/TMS	23	PA1/TMS
38	PA2/RESETN	24	PA2/RESETN
39	PA3/XOUT	25	PA3/XOUT
40	PA4/XIN	26	PA4/XIN
41	PC4	-	
42	PB2/BOOT	27	PB2/BOOT
43	VDD	28	VDD
44	VDDA	29	VDDA
45	VSSA	30	VSSA
46	VSS	31	VSS
47	PA5/TDO	32	PA5/TDO
48	PA6/TDI	1	PA6/TDI



# B 缩略语

缩略语	英文	中文
APT	Advanced PWM Timer	高级 PWM 定时器
ADC	Analog to digital Converter	模数转换器
ACMP	Analog comparator	模拟比较器
CAPM	Capture Module	信号捕获模块
DAC	Digital to analog Converter	数模转换器
GPT	General PWM timer	通用 PWM 定时器
PGA	Programmable Gain Amplifier	可编程增益放大器
PWM	Pulse Width Modulation	脉宽调制
QDM	Quadrature Decoder Module	正交编码器解码模块
CAN	Controller Area Network	控制器域网