

# پروژه پایانی

## درس مدار منطقی

نیم سال اول ۹۸-۹۹

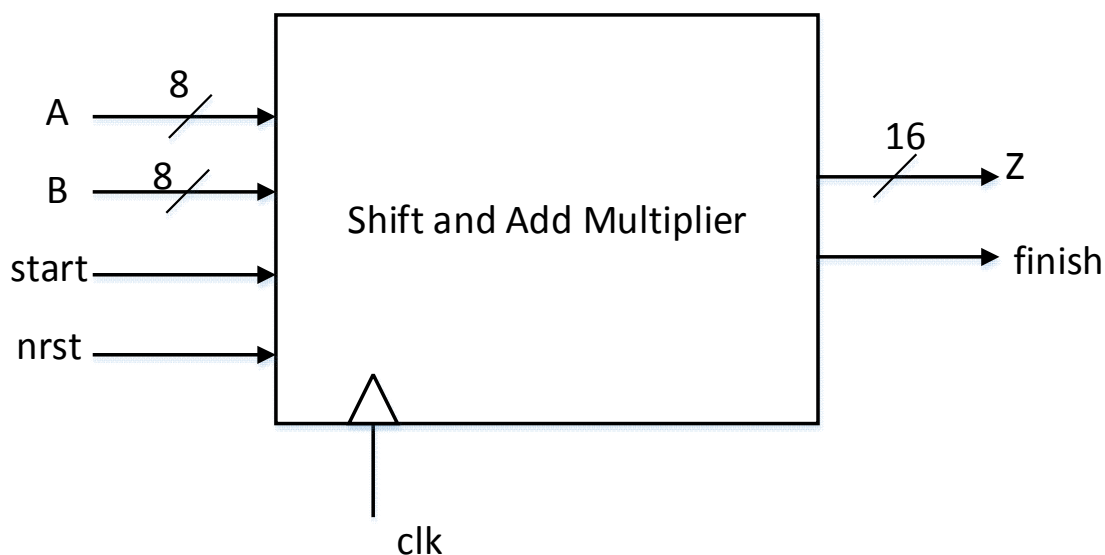
پروژه نهایی درس دو بخش مجزا دارد که لازم است بخش اول توسط همه دانشجویان و بخش دوم به صورت اختیاری برای دانشجویانی که نمره اضافه می خواهند انجام شود. این دو بخش به عنوان پروژه ۱ و پروژه ۲ نام گذاری می شود. مراحل انجام این پروژه ها پروژه به شرح زیر است:

الف: پیاده سازی به زبان Verilog و همچنین پیاده سازی یک Testbench برای امکان انجام شبیه سازی

ب: شبیه سازی در نرم افزار Modelsim برای ورودی هایی که در هر پروژه خواسته شده است و استخراج نتایج آن روی شکل موج

### پروژه ۱ (اجباری): 8-bit Shift and Add Multiplier

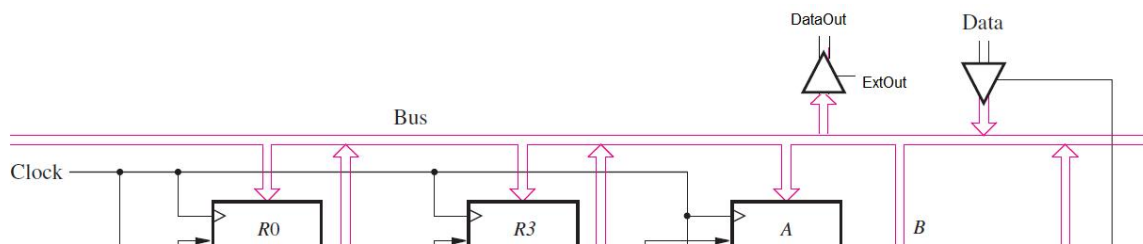
روش های متعددی برای انجام عملیات ضرب وجود دارد. یکی از قدیمی ترین روش های ضرب، استفاده از جمع و شیفت متوالی برای انجام ضرب است. ساختار کلی این ضرب کننده به شکل زیر است:



کارکرد این سخت افزار به این صورت است که هرگاه Start یک شود، عمل ضرب شروع می شود. با تکمیل عملیات ضرب، خروجی Finish یک می شود. جزئیات این الگوریتم در یک فایل PDF ضمیمه شده است. توجه: لازم است این ضرب کننده در سطح گیت (یعنی فقط استفاده از گیتها ی پایه) با زبان Verilog پیاده سازی شود. بدین ترتیب جهت تولید عناصر میانی مانند مالتیپلکسر، فلیپ فلاپ ها، رجیسترهای چند بیتی و غیره نیز باید کامپوننتهای آنها تولید شود و مورد استفاده قرار گیرد.

## پروژه ۲ (اختیاری): پردازنده ساده ۸ بیتی

- پردازنده ساده که در جلسه آخر درس ارائه شد و همچنین در فصل ۷ کتاب (ارسالی در درس افزار و در گروه تلگرام درس) معرفی شده مورد نظر است.
- (الف) پیاده سازی verilog که در کتاب آمده است را کامپایل و آماده شبیه سازی نمایید.
- (ب) برنامه ای برای این پردازنده بنویسید (با کد اسمبلی پردازنده) که ۸ رقم شماره دانشجویی شما را از ورودی (Data) دریافت کند و آنرا با ۰۰۰۱۱۱۱۱ (که از ورودی Data دریافت می کند) جمع کند و سپس از آن 00011110 (که از ورودی Data دریافت می کند) کم کند و نتیجه را در R3 ذخیره کند.
- (پ) ساختار پردازنده را در کد verilog به گونه ای تغییر دهید که یک دستور store به پردازنده اضافه شود که توسط آن عکس عملیات load انجام شود. "Store Rx" این دستور که در یک سیکل T1 مانند دستور Load انجام می شود محتویات Rx را در خروجی Dataout منعکس می کند. سیگنال کنترلی ExtOut در ControlUnit باید ساخته شود. همچنین FR به جای ۶ بیت باید ۷ بیتی شود و بیت آخر (بیت جدید) آن در صورتی که صفر باشد دستورات قبلی مانند سابق اجرا می شود و در صورتی که یک باشد دستور Store مورد نظر است. دقت شود که محتویات Dataout کافی است یک سیکل ساعت در خروجی معتبر باقی بماند. برای پیاده سازی هر تغییر دیگری نیز که لازم است انجام دهید.
- (ت) برنامه بند (ب) را به گونه ای تغییر دهید که در انتها از دستور Store استفاده کند و نتیجه آن محاسبه که در R3 ذخیره شده بود، سپس در Dataout نوشته شود.



نکات:

- کدهای و نتایج پروژه شامل همه شبیه سازی ها، نتایج و غیره را در قالب دو فایل rar و یا zip زیر ارسال نمایید
  - finalProject1\_lastName\_StudentNumber.rar
  - finalProject2\_lastName\_StudentNumber.rar
- متعاقبا تحویل حضوری پروژه ها انجام خواهد شد. زمان دقیق اعلام خواهد شد.
- مشاهده هر گونه تقلب به منزله صفرشدن نمره شما می باشد.
- در صورت وجود سوال یا ابهام، سوالات خود را با دستیاران آموزشی در سامانه درس افزار مطرح نمایید.