

# Project Report

Niusha Alavi - Mahsa Layeghi

93213109 - 93213139

Group 3

## مراحل طراحی سیستم

در این پروژه ، یک ماژول Top وجود دارد که این ماژول از دو زیرماژول حافظه و پردازنده چند سیکل arm تشکیل شده است.

در ابتدای کار برای طراحی بخش پردازنده از datapath شروع کردیم. با توجه به شکل مسیر داده که در صورت پروژه داده شده بود از ماژول های مختلف سازنده ای مسیر داده نمونه گرفتیم و ارتباط بین آن ها را برقار کردیم. در این مرحله از ماژول هایی که در پردازنده تک سیکل وجود داشتند استفاده کردیم.

ماژول هایی که از پردازنده تک سیکل برداشتیم :

`mux2 , fopenr , flopr , regfile , extend`

بعد از طراحی قسمت datapath شروع به طراحی واحد کنترل کردیم.

طراحی این بخش را از قسمت Condcheck Condlogic شامل یک ماژول دقیقا مشابه پردازنده تک سیکل است . تنها تفاوت ماژول Condlogic با پردازنده تک سیکل در وجود یک flopr برای تاخیر دادن به سیگنال CondEx است.

در قسمت بعدی واحد کنترل یعنی ALUDecoder و PClogic بخش decoder مانند پردازنده تک سیکل باقی ماند. بخش InstrDecoder که یک مدار ترکیبی است را هم توسط logic ساده ای معرفی شده در کتاب انجام دادیم.

برای طراحی قسمت mainfsm ابتدا جدول 1(خروجی های ماشین حالت اصلی) که در صورت پروژه داده شده بود را تکمیل نموده و به این ترتیب مقدار controls را که مشخص کننده سیگنال های کنترلی است برای همه ای وضعیت ها به دست آوردیم. سپس از شکل ماشین حالت که در صورت پروژه قرار داده شده بود برای پیاده سازی منطق next state استفاده کردیم .

## چالش‌ها

بعد از کامل کردن پردازنده **controllertest** و **testbench** را برای آزمودن آن آماده کردیم . در مراحل آزمودن به ۲ مشکل بروخوردیم . مشکل اول :

د. س.كا | AI UResult | اشتراكه في دستور آمن

بعد از بررسی متوجه شدیم ALU فقط ADD و SUB می کند و چون در این سیکل باید ORR می کرد ، حاصل اشتباه می شد.

e2437009	e1874002		
00000010	00000014		
00000010	00000014		00000003
00000004			00000005
00000014	00000018		ffffffffe
FETCH	DECODE		EXECUTER
0			
0			8

```
casez(ALUControl)
  2'b0?? : Result = a + c + ALUControl[0];
  2'b10 : Result = a & b;
  2'b11 : Result = a | b;
  default : Result = 32'bx;
endcase
```

بعد از برداشتن؟ اضافه در کد بالا این مشکل، مدار پر طرف شد.

مشکل دوم:

به خاطر وجود یک flopr ضافه که از ابتدا در ساختار کد وجود داشت و در پیوست دوم پرتو گفته شد که باید برداشته شود.

# نسخه تکمیل شده جدول ۱

State (Name)	FSM Control Word											
	ALUOP	ALUSrcB <sub>1:0</sub>	ALUSrcA <sub>1:0</sub>	RegW	MemW	IRWrite	AdrSrc	ResultSrc <sub>1:0</sub>	Branch	NextPC		
0 (Fetch)	1	0	0	0	1	0	10	0	1	10	0	0x114C
1 (Decode)	0	0	0	0	0	0	10	0	1	10	0	0x004C
2 (MemAddr)	0	0	0	0	0	X	XX	0	0	01	0	
3 (MemRead)	0	0	0	0	0	0	100	X	X	XX	X	
4 (MemWB)	0	0	0	0	1	0	X	01	X	X	XX	X
5 (MemWrite)	0	0	0	1	0	0	100	X	X	XX	X	
6 (ExecuteR)	0	0	0	0	0	0	X	XX	0	00	1	
7 (ExecuteI)	0	0	0	0	0	0	X	XX	0	0	01	1
8 (ALUWB)	0	0	0	1	0	0	X	00	X	X	XX	X
9 (Branch)	0	1	0	0	0	0	X	10	1	0	01	0

## نسخه تکمیل شده جدول ۲

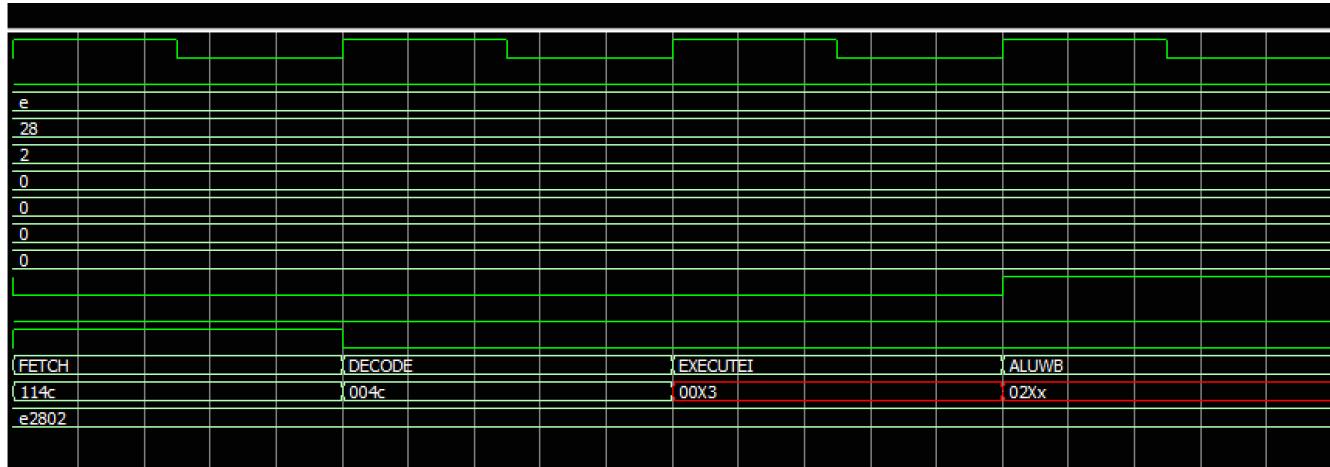
Cycle	Reset	PC	Instr	(FSM) state	SrcA	SrcB	ALUResult
1	1	00	0	FETCH	0	4	4 X
2	0	04	SUB E04F000F	DECODE	4	4	8
3	0	04		EXECUTER	8	8	0
4	0	04		ALUWB	X	X	X
5	0	04		FETCH	4	4	8 X
6	0	08	ADD E2802005	DECODE	8	4	C
7	0	08		EXECUTEI	0	5	5
8	0	08		ALUWB	X	X	X
9	0	08		FETCH	8	4	C X
10	0	0C	ADD E280300C	DECODE	C	4	10
11	0	0C		EXECUTEI	0	5	5
12	0	0C		ALUWB	X	X	X
13	0	0C		FETCH	C	4	10 X
14	0	10	SUB E2437009	DECODE	10	4	14
15	0	10		EXECUTEI	C	9	3
16	0	10		ALUWB	X	X	X
17	0	10		FETCH	10	4	14 X
18	0	14	ORR E1874002	DECODE	14	4	18
19	0	14		EXECUTER	3	5	7 → ORR
20	0	14		ALUWB	X	X	X
21	0	14		FETCH	14	4	18 X
22	0	18	AND E0035004	DECODE	18	4	1C
23	0	18		EXECUTER	C	7	4
24	0	18		ALUWB	X	X	X
25	0	18		FETCH	18	4	1C X
26	0	1C	ADD E0855004	DECODE	1C	4	20
27	0	1C		EXECUTER	4	7	B
28	0	1C		ALUWB	X	X	X
29	0	1C		FETCH	1C	4	20 X
30	0	20	SUBS E0558007	DECODE	20	4	24
31	0	20		EXECUTER	B	3	8

31	0							
32	0	20		ALUWB	X	X	X	
33	0	20		FETCH	20	4	24	X
34	0	24	BSEQ OA 00000C	DECODE	24	4	28	
35	0	24		BRANCH	28	30	58	
36	0	24		FETCH	24	4	28	X
37	0	28	SUBS E0538004	DECODE	28	4	2C	
38	0	28		EXECUTEI	C	7	5	
39	0	28		ALUWB	X	X	X	
40	0	28		FETCH	28	4	2C	X
41	0	2C	BGE AA 000000	DECODE	2C	4	30	
42	0	2C		BRANCH	30	0	30	
43	0	30		FETCH	30	4	34	X
44	0	34	SUBS E0578002	DECODE	34	4	38	
45	0	34		EXECUTEI	3	5	FFF FFFF	
46	0	34		ALUWB	X	X	X	
47	0	34		FETCH	34	4	38	X
48	0	38	ADDLT B2857001	DECODE	38	4	3C	
49	0	38		EXECUTEI	B	1	C	
50	0	38		ALUWB	X	X	X	
51	0	38		FETCH	38	4	3C	X
52	0	3C	SUB E0477002	DECODE	3C	4	40	
53	0	3C		EXECUTEI	C	5	7	
54	0	3C		ALUWB	X	X	X	
55	0	3C		FETCH	3C	4	40	X
56	0	40	STR E5837054	DECODE	40	4	44	
57	0	40		MEMADR	C	54	60	
58	0	40		MEMWR	X	X	X	
59	0	40		FETCH	40	4	44	X
60	0	44	LDR E5902060	DECODE	44	4	48	
61	0	44		MEMADR	0	60	60	
62	0	44		MEMRD	X	X	X	
63	0	44		MEMWB	X	X	X	
64	0	44		FETCH	44	4	48	X
65	0	48	ADD E08FF000	DECODE	48	4	4C	
66	0	48		EXECUTEI	4C	0	4C	
67	0	4C		ALUWB	X	X	X	
68	0	4C		FETCH	4C	4	50	X
69	0	50	B EA 000001	DECODE	50	4	54	
70	0	50		BRANCH	54	4	58	
71	0	58		FETCH	58	4	5C	X
72	0	5C	STR E5802064	DECODE	5C	4	60	
73	0	5C		MEMADR	0	64	64	
74	0	5C		MEMWR	X	X	X	

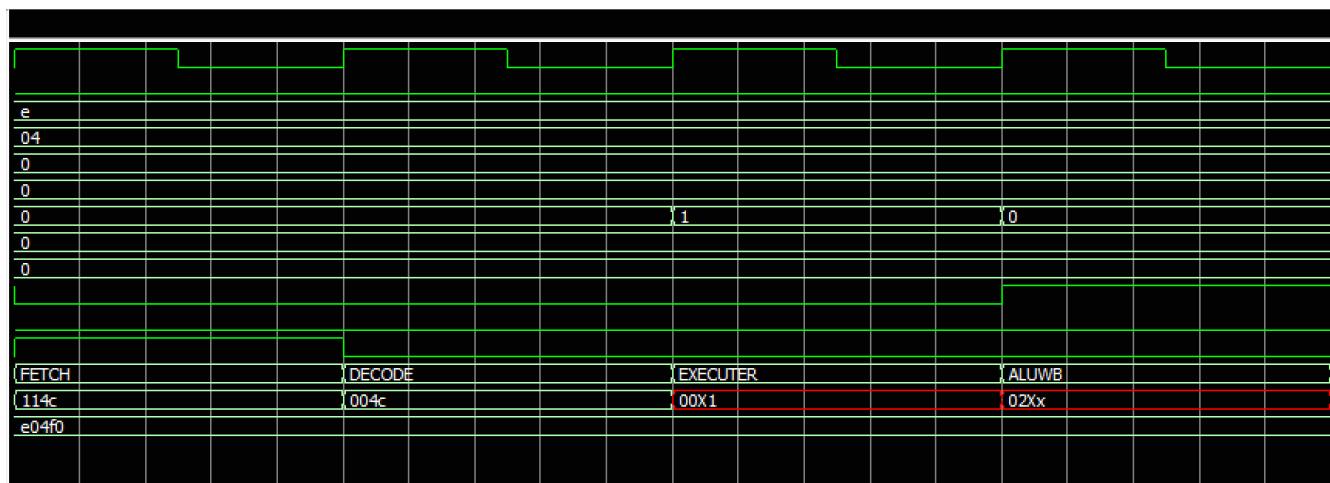
PC / 160  
1/16 地址  
16 地址

# شکل موج های خروجی شبیه سازی واحد کنترل

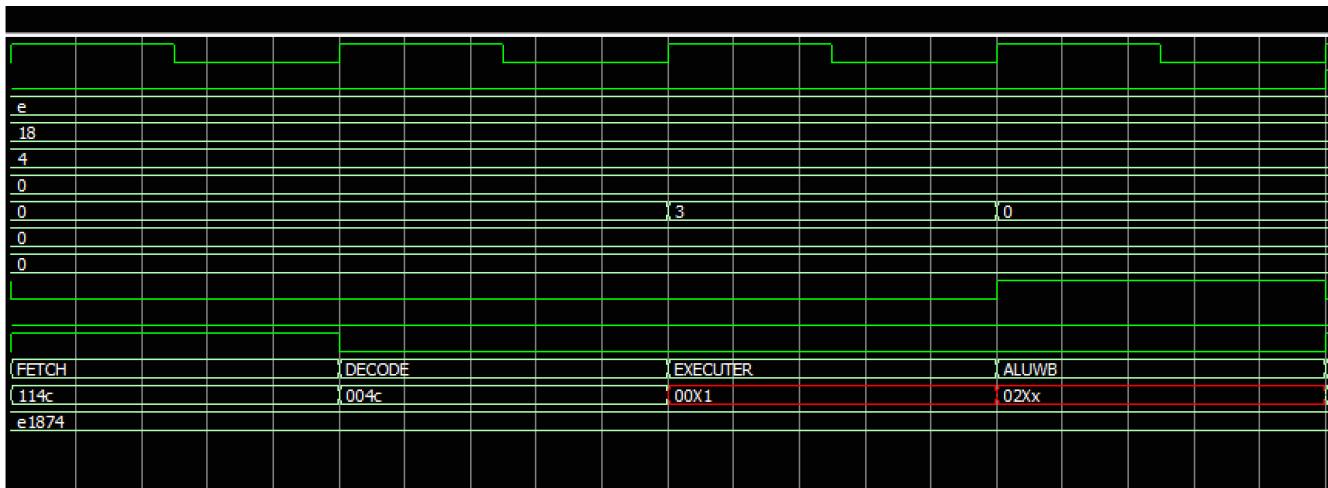
ADD - DPI



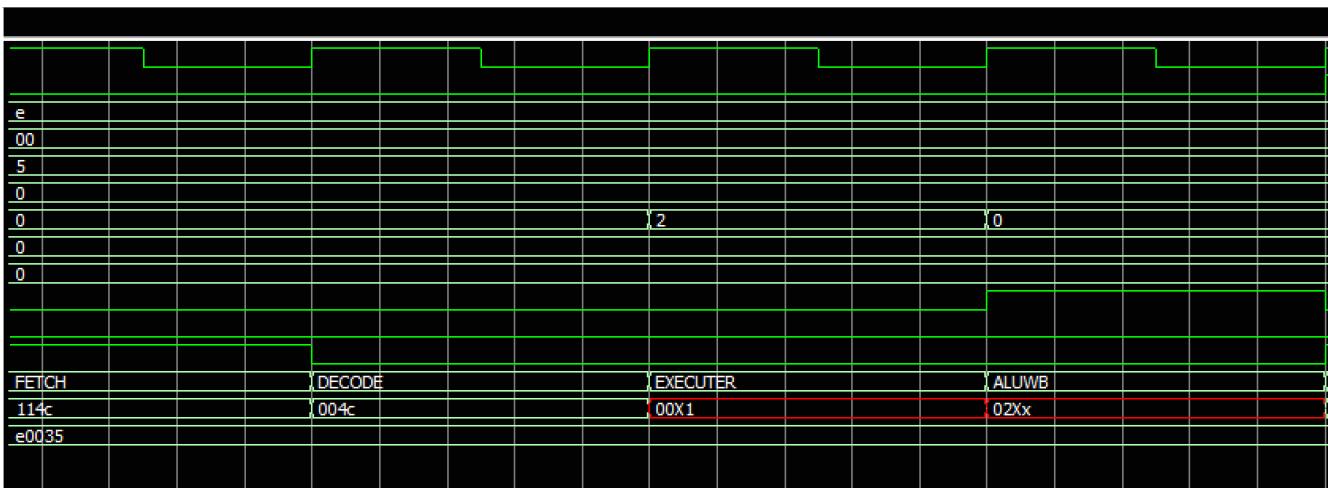
SUB - DPR



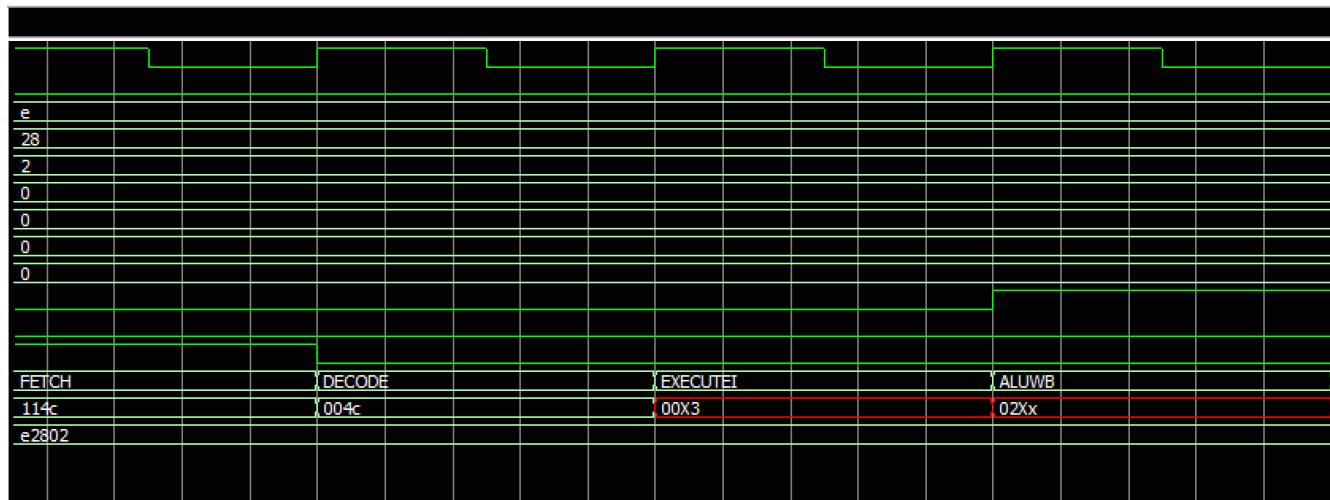
## ORR - DPR



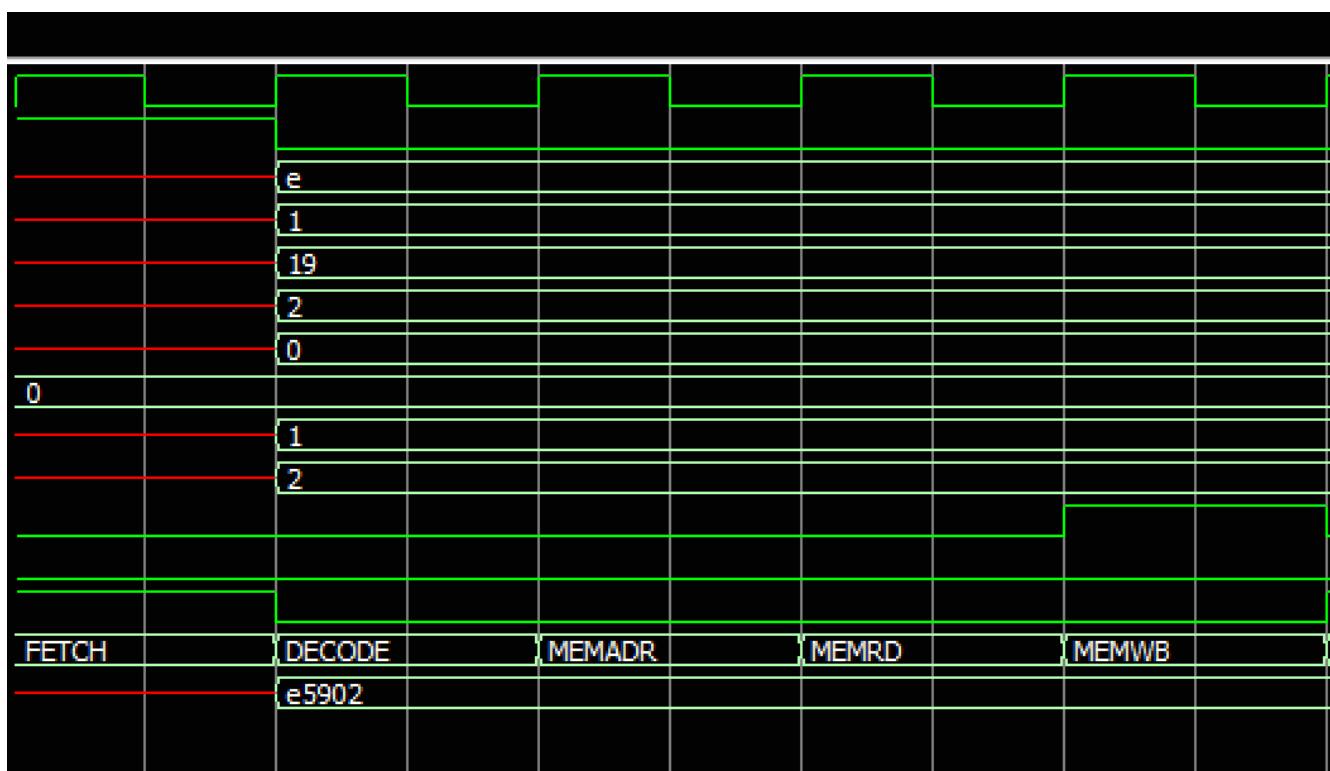
## AND - DPR



## ADD - DPI



## LDR



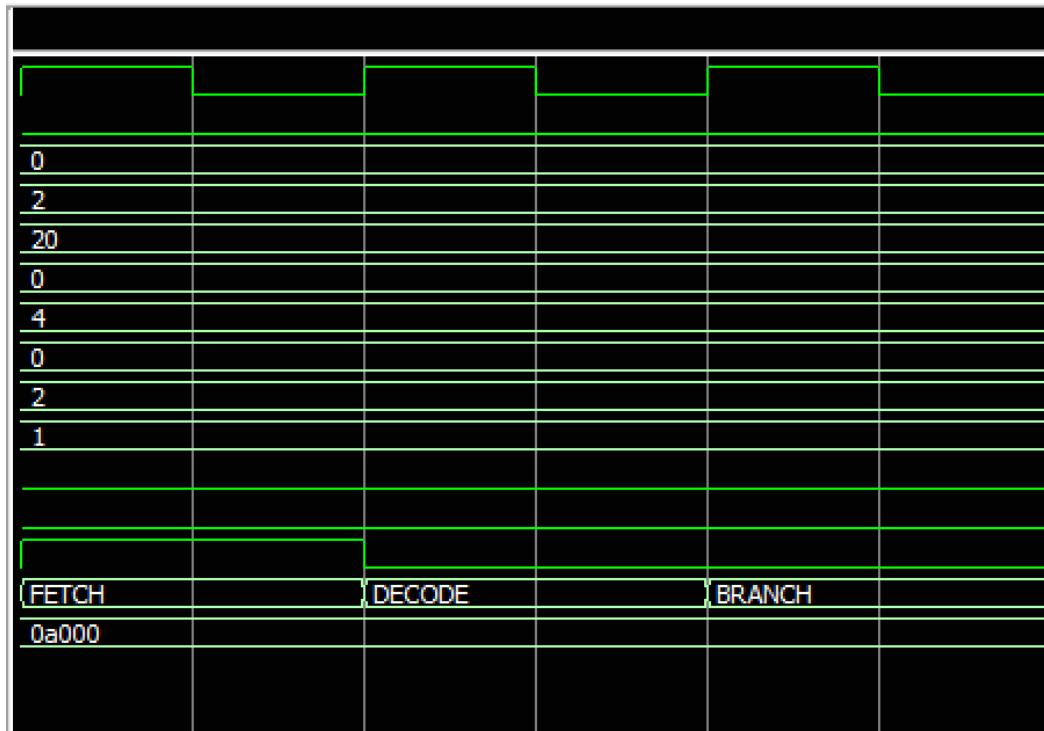
STR

e				
1				
18				
2				
0				
0				
1				
2				
(FETCH	DECODE	MEMADR	MEMWR	
e5802				

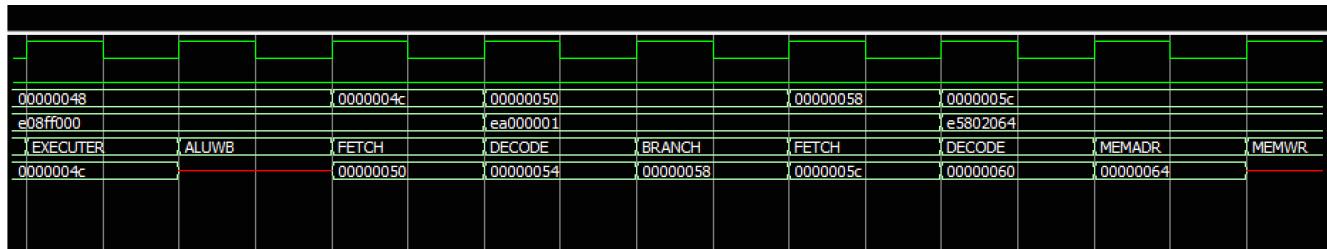
Branch taken

0				
2				
20				
0				
0				
0				
2				
1				
(FETCH	DECODE	BRANCH		
0a000				

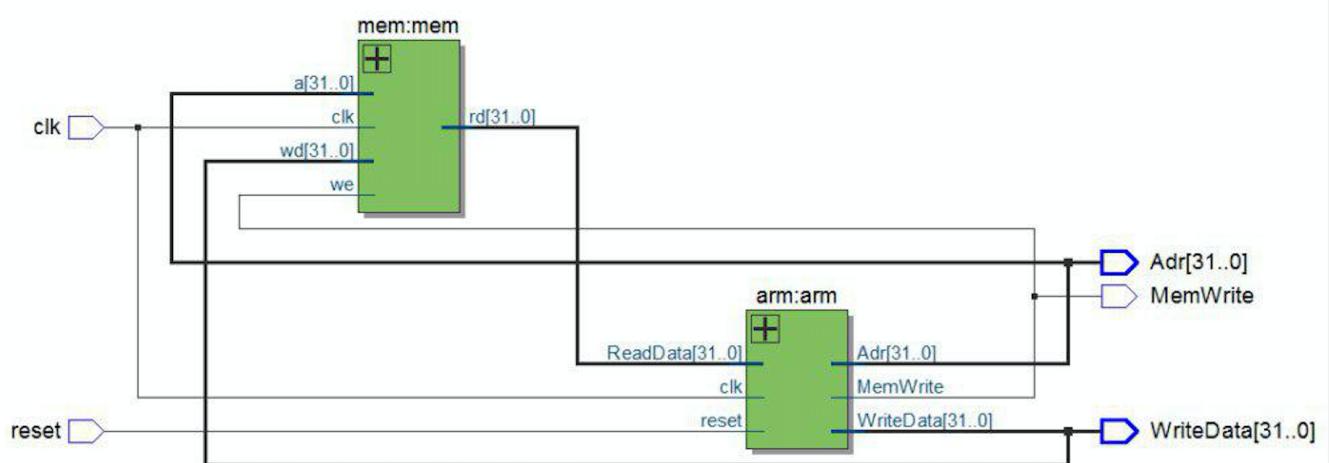
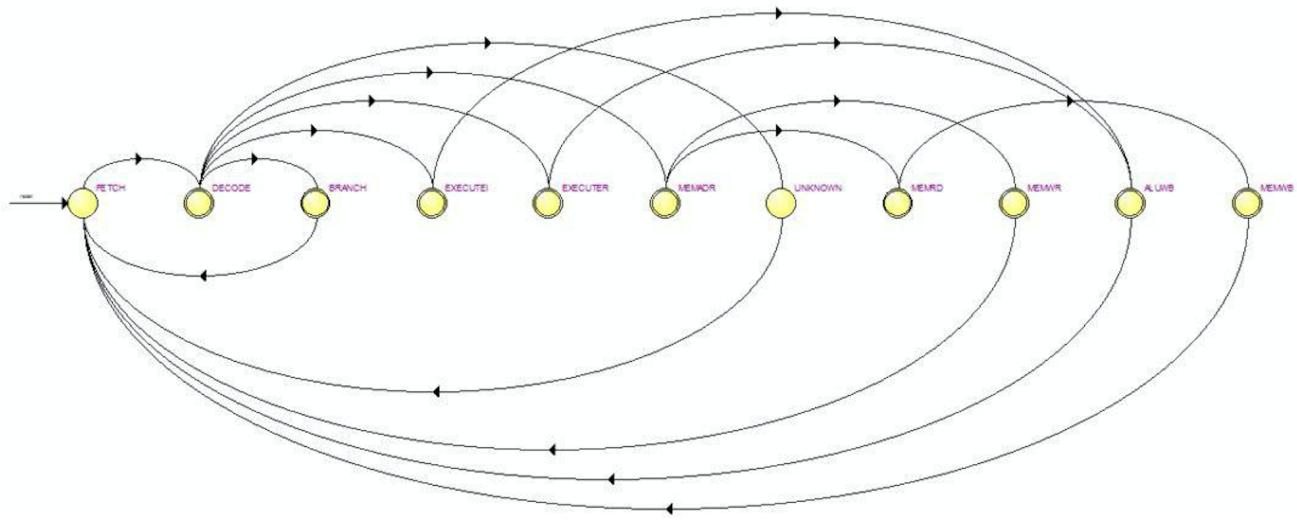
Branch not taken



شکل موجهای خروجی شبیه سازی پردازنده



## مشخصات سیستم سنتز شده



	Resource	Usage
1	▲ Total logic elements	3,734 / 114,480 ( 3 % )
1	-- Combinational with no register	998
2	-- Register only	992
3	-- Combinational with a register	1744
2		
3	▲ Logic element usage by number of LUT inputs	
1	-- 4 input functions	2278
2	-- 3 input functions	225
3	-- <=2 input functions	239
4	-- Register only	992
4		
5	▲ Logic elements by mode	
1	-- normal mode	2710
2	-- arithmetic mode	32
6		
7	▲ Total registers*	2,736 / 117,053 ( 2 % )
1	-- Dedicated logic registers	2,736 / 114,480 ( 2 % )
2	-- I/O registers	0 / 2,573 ( 0 % )
8		