

LABORATORIUM Teoria Automatów	
Temat Ćwiczenia: Projektowanie układów cyfrowych na podstawie sygnałów z analizatora stanów logicznych	
Grupa laboratoryjna: 1a, wtorek 11⁰⁰	
L.p	Nazwisko i Imię
1	Aleksandrowicz Maciej
2	Krzyszczuk Michał
3	Marczewski Marcin
Data wykonania ćwiczenia : 09.01.2018r	

Spis treści

Spis treści	1
1) Wstęp teoretyczny	2
2) Zadania do wykonania	2
3) Analiza teoretyczna i sposób realizacji zadania w praktyce	3
Ćwiczenie nr 1	3
Ćwiczenie nr 2	7
Ćwiczenie nr 3	8
Ćwiczenie nr 4	12
4) Wnioski	14

1) Wstęp teoretyczny

Celem ćwiczenia jest zapoznanie się z możliwością odtwarzania struktury układów logicznych na podstawie analizy sygnałów wejścia/wyjścia, oraz poznanie technik i idei inżynierii wstecznej. Reverse engineering -proces badania produktu w celu ustalenia, jak on dokładnie działa, a także w jaki sposób i jakim kosztem został wykonany. Jest ona często używana w celu skopiowania technologii opracowanej przez inne państwa. Historyczne przykłady:

- samolot TU-4 <> Boeing B-29
- komputer osobisty Agat <> Apple II

2) Zadania do wykonania

- Po wybraniu programu SEL.0 aktywowany jest układ kombinacyjny o 6 wejściach i 1 wyjściu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników SW0SW5, przy czym: SW0 → D0, SW1 → D1, SW2 → D2, SW3 → D3, SW4 → D4 i SW5 → D5. Należy przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych i uzupełnić tabelę 3. **Jaką funkcję realizuje ten układ logiczny? Czy można w prosty sposób narysować schemat tego układu logicznego?**
- Po wybraniu programu SEL.1 aktywowany jest układ kombinacyjny o 3 wejściach i 2 wyjściach. W tym przypadku automat generuje wszystkie możliwe kombinacje sygnałów wejściowych. **Na podstawie analizy sygnałów wejścia/wyjścia z ASL należy uzupełnić tabelę 4, a następnie zaprojektować funkcje i narysować schemat zaobserwowanego układu logicznego.**
- Po wybraniu programu SEL.2 uruchamiany jest układ sekwencyjny – synchroniczny o 2 wejściach i 4 stanach, które jednocześnie są wyjściami z układu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników SW0 i SW1, przy czym: SW0 → D0, SW1 → D1. Należy przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych i uzupełnić tabelę 5 (kolumna Stan określa kolejny numer zaobserwowanego na oscyloskopie stanu układu logicznego). **W jaki sposób wejścia wpływają na stan układu? Jaką funkcję realizuje ten układ logiczny? Czy można w prosty sposób narysować schemat tego układu logicznego?**
- Po wybraniu programu SEL.3 uruchamiany jest układ sekwencyjny – synchroniczny o 2 wejściach, 1 stanie i 1 wyjściu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników SW0 i SW1, przy czym: SW0 → D0, SW1 → D1. **Należy przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych i uzupełnić tabele 6 i 7. Na podstawie tych tabeli zaprojektować układ sekwencyjny na przerzutniku D lub JK. Następnie narysować schemat tego układu.**

3) Analiza teoretyczna i sposób realizacji zadania w praktyce

Ćwiczenie nr 1

Po wybraniu programu SEL.0 aktywowany jest układ kombinacyjny o 6 wejściach i 1 wyjściu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników. Celem tego ćwiczenia było przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych i uzupełnić tabelę nr 1.

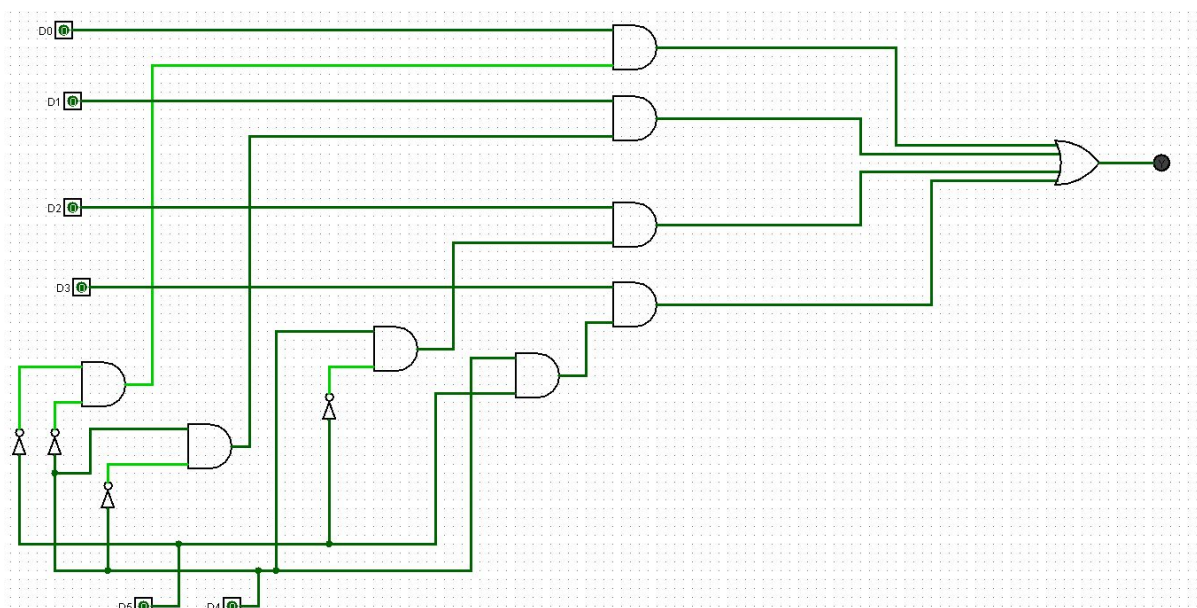
<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>	<i>Y</i>
0	0	0	0	0	0	1
0	0	0	0	0	1	1
0	0	0	0	1	1	0
0	0	0	0	1	0	0
0	0	0	1	1	0	1
0	0	0	1	1	1	1
0	0	0	1	0	1	0
0	0	0	1	0	0	0
0	0	1	1	0	0	1
0	0	1	1	0	1	0
0	0	1	1	1	1	0
0	0	1	1	1	0	1
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	1	0	0	1	0
0	0	1	0	0	0	0
0	1	1	0	0	0	1
0	1	1	0	0	1	1
0	1	1	0	1	1	1

0	1	1	0	1	0	1
0	1	1	1	1	0	0
0	1	1	1	1	1	0
0	1	1	1	0	1	0
0	1	1	1	0	0	0
0	1	0	1	0	0	1
0	1	0	1	0	1	1
0	1	0	1	1	1	1
0	1	0	1	1	0	1
0	1	0	0	1	0	0
0	1	0	0	1	1	0
0	1	0	0	0	1	0
0	1	0	0	0	0	0
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	0	1	1	1	0
1	1	0	1	0	1	1
1	1	0	1	0	0	1
1	1	1	1	0	0	1
1	1	1	1	0	1	1
1	1	1	1	1	1	1
1	1	1	1	1	0	1
1	1	1	0	1	0	1
1	1	1	0	1	1	1
1	1	1	0	0	1	0

1	1	1	0	0	0	0
1	0	1	0	0	0	0
1	0	1	0	0	1	0
1	0	1	0	1	1	1
1	0	1	0	1	0	1
1	0	1	1	1	0	1
1	0	1	1	1	1	1
1	0	1	1	0	1	1
1	0	1	1	0	0	1
1	0	0	1	0	0	1
1	0	0	1	0	1	1
1	0	0	1	1	1	1
1	0	0	1	1	0	1
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	0	0	1	0
1	0	0	0	0	0	0

Tabela 1 - Analiza stanów wejść oraz wyjść dla programu SEL.0

Układ logiczny opisany powyższą tabelą to Multiplexer o czterech wejściach informacyjnych D0-D3, dwóch wejściach adresowych (D4,D5) oraz jedno wyjście Y. Działanie multipleksa polega na przekazaniu wartości jednego z wejść x_i na wyjście y . Numer i tego wejścia jest podawany na linie adresowe.

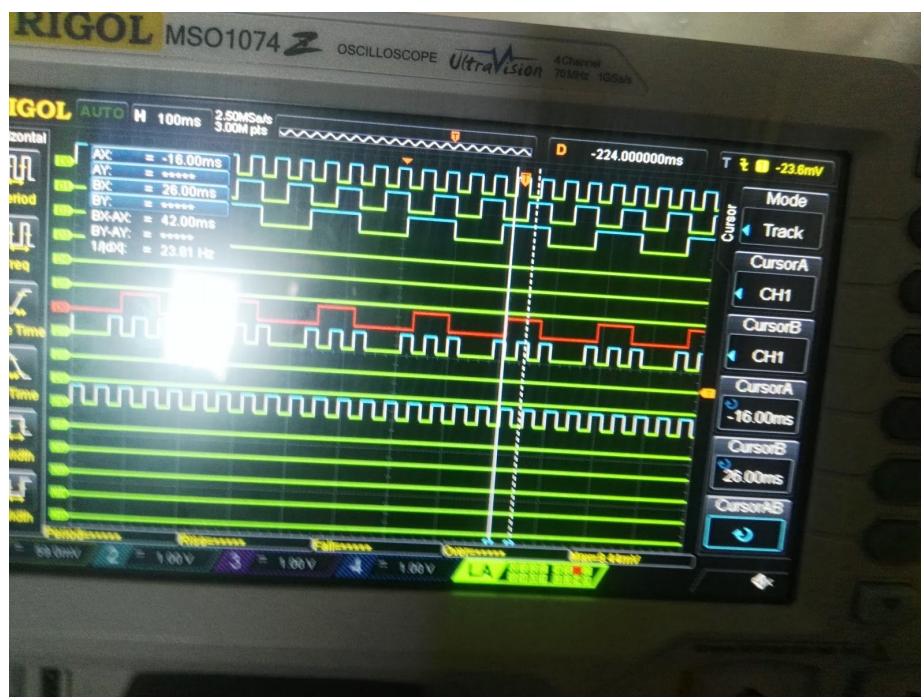


Rysunek 1 - Schemat zaprojektowanego układu multipleksera

Ćwiczenie nr 2

Po wybraniu programu SEL.1 aktywowany jest układ kombinacyjny o 3 wejściach i 2 wyjściach. W tym przypadku automat generuje wszystkie możliwe kombinacje sygnałów wejściowych. Na podstawie analizy sygnałów wejścia/wyjścia z ASL należało uzupełnić tabelę 4, a następnie zaprojektować funkcje i narysować schemat zaobserwowanego układu logicznego.

Niestety, układ nie działał poprawnie i nie było możliwe przeprowadzenie jego poprawnej analizy.



Zdjęcie 1 - Odczyt analizatora stanów logicznych dla programu SEL.1

Ćwiczenie nr 3

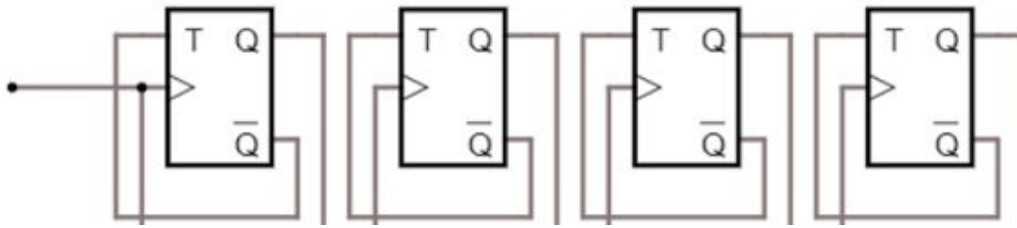
Po wybraniu programu SEL.2 uruchamiany jest układ sekwencyjny – synchroniczny o 2 wejściach i 4 stanach, które jednocześnie są wyjściami z układu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników. Należało przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych i uzupełnić tabelę 5 (kolumna Stan określa kolejny numer zaobserwowanego na oscyloskopie stanu układu logicznego).

STAN	D9	D8	D7	D6
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

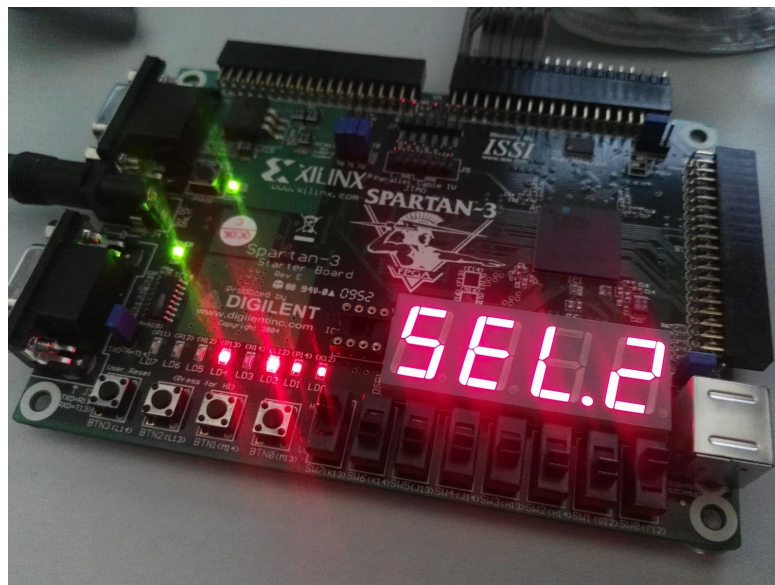
Tabela 2 - Analiza stanów wejść oraz wyjść dla programu SEL.2

Na działanie układu wpływało ustawienie przełączników suwakowych SW0 -> D0 oraz SW1 -> D1 i dopiero dla pozycji 0,1 otrzymywaliśmy **Tabełę 2**.

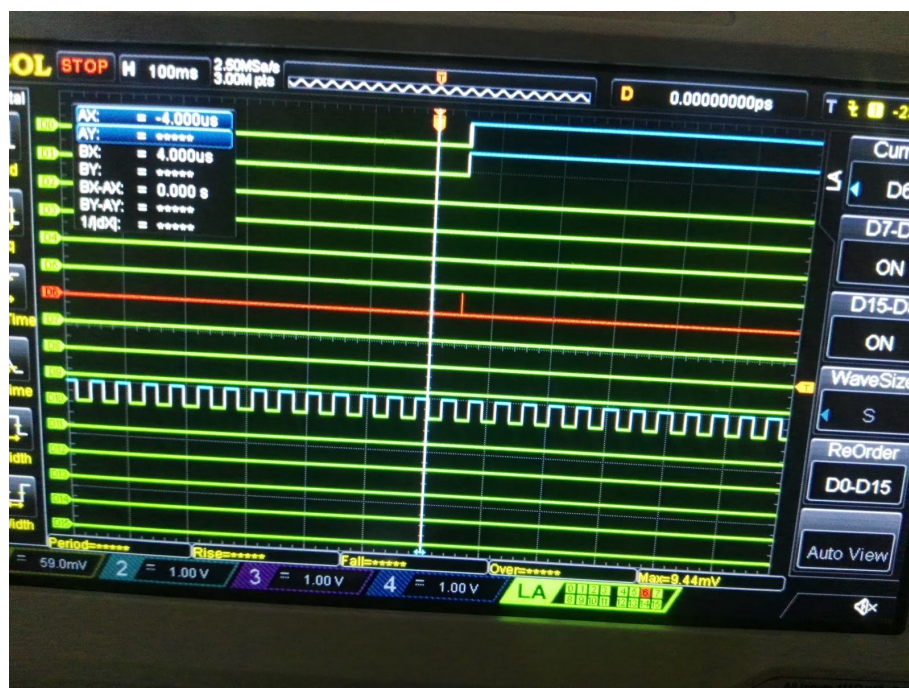
Z tabeli można odczytać, że układ ten realizuje licznik 4-bitowy reprezentujący liczby od 0 do 15.



***Rysunek 2** - Schemat zaprojektowanego układu*

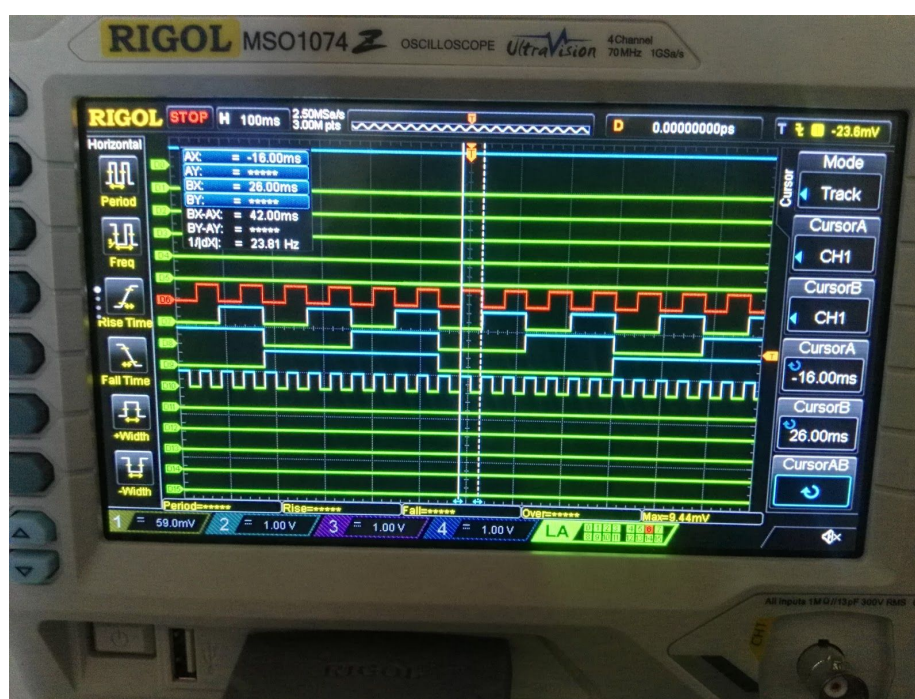


***Zdjęcie 2** - Uruchomiony program SEL.2*

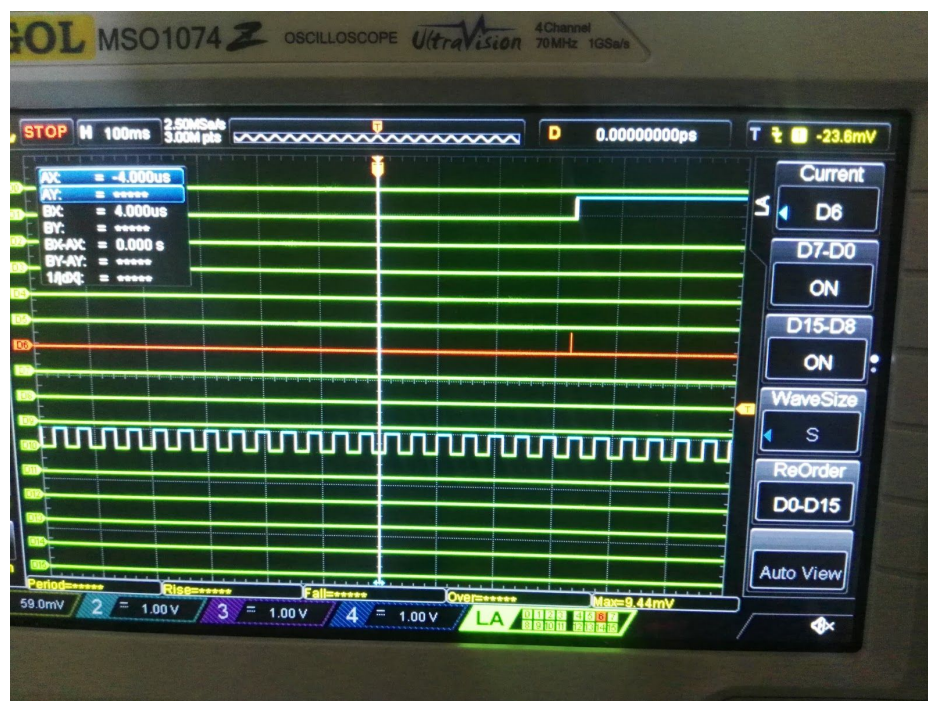


Zdjęcie 3 -

Odpowiedź programu SEL.2 na dwa wysokie stany logiczne na wejściach



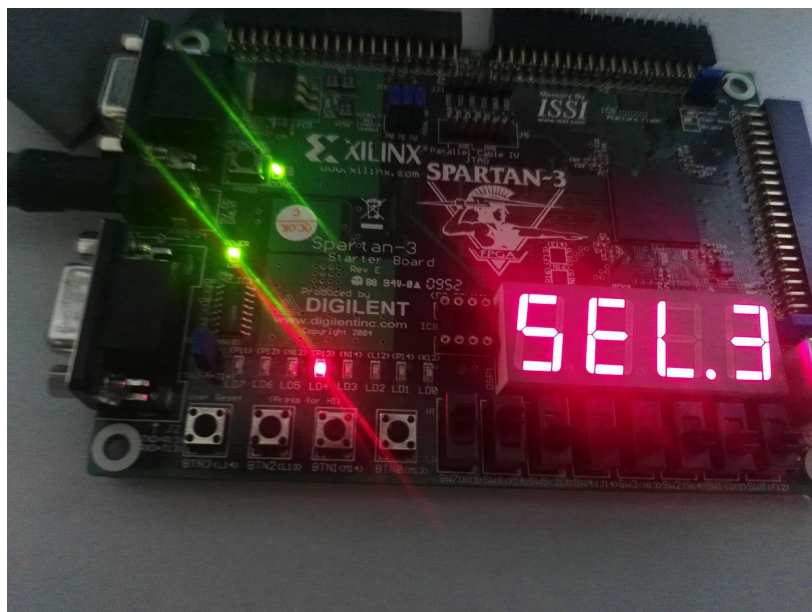
Zdjęcie 4 - Licznik binarny



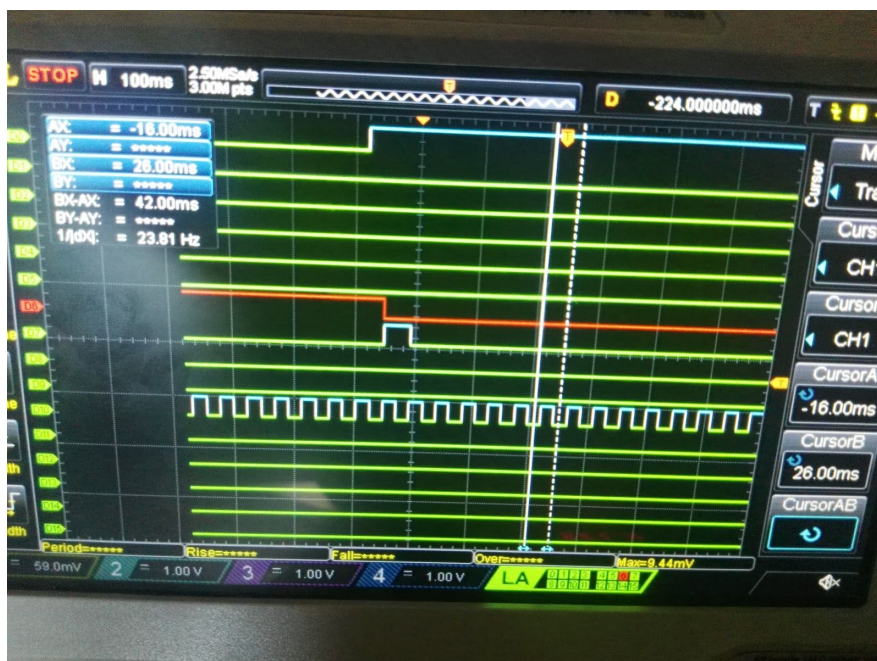
Zdjęcie 5 - Odpowiedź programu SEL.2 na wejścia D0 i D1.

Ćwiczenie nr 4

Po wybraniu programu SEL.3 uruchamiany jest układ sekwencyjny – synchroniczny o 2 wejściach, 1 stanie i 1 wyjściu. Użytkownik ma możliwość wpływu na wartość logiczną sygnałów wejściowych przez ustalenie pozycji przełączników. Na tej podstawie należało przeanalizować wszystkie możliwe kombinacje sygnałów wejściowych oraz uzupełnić poniższe tabele 3 i 4. Kolejnym zadaniem było zaprojektować na podstawie tych tabel układ sekwencyjny na przerzutniku D lub JK, wraz ze schemat zaprojektowanego układu.



Zdjęcie 6 - Badanie układu sekwencyjnego-synchronicznego z programem SEL.3



Zdjęcie 7 - Rejestracja 1 na wyjściu (sonda D9), podczas przejścia ze stanu 1 w stan 0 (sonda D8, czerwony przebieg), przy wyjściu D1=0 i zmianie wejścia D0 z 0 w 1.

$Q \backslash D1, D0$	00	01	11	10
0	0	0	0	1
1	1	0	0	1

Tabela 3 - Tabela przejść

$Q \backslash D1, D0$	00	01	11	10
0	0	0	0	0
1	0	1	0	0

Tabela 4 - Tabela wyjścia

Po wypełnieniu tabel wynikami pomiarów, przystąpiono do wyprowadzenia funkcji logicznych.

$Q \backslash D1, D0$	00	01	11	10
0	0	0	0	1
1	1	0	0	1

Tabela 5 - Wyprowadzenie równania kolejnego stanu

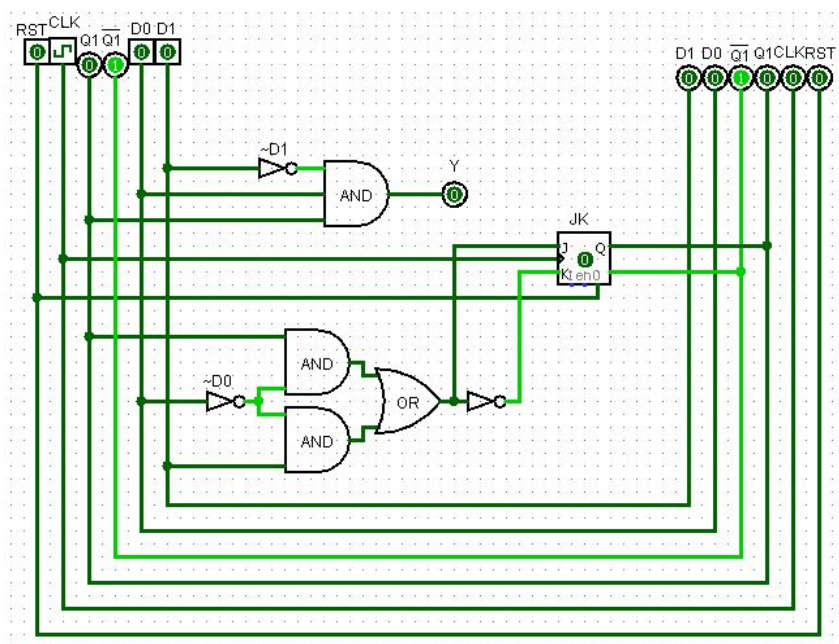
$$Q_{n+1} = (\neg D0 \wedge Q_n) \vee (D1 \wedge \neg D0)$$

$Q \backslash D1, D0$	00	01	11	10
0	0	0	0	0
1	0	1	0	0

Tabela 6 - Wyprowadzenie równania stanu wyjścia

$$Y = (D0 \wedge \neg D1 \wedge Q_n)$$

Na podstawie wyprowadzonych równań zaprojektowano schemat z użyciem przerzutnika JK:



Rysunek 3 - Schemat zaprojektowanego układu

4) Wnioski

- Wykorzystując analizator stanów logicznych istnieje możliwość dokładnego zbadania działania każdego układu kombinacyjnego.
- W przypadku, kiedy wartości pamiętane nie są znane analiza układów sekwencyjnych znacząco się komplikuje.
- Z pomocą analizatora stanów logicznych można wykonać schematy ideowe badanych układów.
- Analizator stanów logicznych to urządzenie niezwykle pomocne w elektronice czy w automatyce, gdzie bardzo łatwo można sprawdzić i przeanalizować wadliwe działanie układu.
- Analizator stanów logicznych skraca czas projektowania różnych układów.