

Manuel technique

DDC-860

Présenté à

M. Sylvain Côté

Dans le cadre du cours

Projet intégrateur (243-61D-ST)

Par

Xavier Dufour

Cégep Saint-Jean-sur-Richelieu

29 mai 2019

Table des matières

Chapitre I – Détails du circuit	6
Section 1.1 – Fonctionnement logique	6
1.1.1 Spécifications du standard VGA	6
1.1.2 Système à double tampon	7
1.1.3 Communication avec le MCU.....	9
1.1.4 Transfert de l'image vers le moniteur.....	11
1.1.5 Synchronisation.....	13
Section 1.2 – Documentation électrique	15
1.2.1 Spécifications du circuit imprimé	15
1.2.2 Alimentation du circuit	16
1.2.3 Délai de propagation et terminaison de signal	17
1.2.4 Signaux d'horloge.....	21
1.2.5 Découplage des composantes numériques.....	22
Chapitre II – Étalonnage.....	25
2.1 Procédure de validation d'intégrité du <i>DDC-860</i>	25
2.2 Mise en fonction des systèmes auxiliaires.....	26
Chapitre III – Guide de dépannage	27
3.1 Dépannage du <i>DDC-860</i>	27
Chapitre IV – Construction.....	29
Chapitre V – Conclusion	37
Médiagraphie	38
Table des annexes	40
Annexe I – Fichiers de conception du <i>DDC-860</i>	41
1.1 Schéma électronique	41
1.2 Traces de cuivre côté composants	50
1.3 Traces de cuivre côté soudure.....	51
1.4 Plan de masse couche 2	52
1.5 Plan d'alimentation couche 3	53
1.6 Dessin de placement côté composants	54
1.7 Dessin de placement côté soudure.....	55

Annexe II – Fichiers de conception du PCB d’expansion	56
2.1 Schéma électronique.....	56
2.2 Traces de cuivre côté composants	57
2.3 Traces de cuivre côté soudure.....	58
2.4 Dessin de placement côté composants	59
2.5 Dessin de placement côté soudure.....	60
Annexe III – Fichiers de conception de la carte mémoire	61
3.1 Schéma électronique.....	61
3.2 Traces de cuivre et dessins de placement	62
Annexe IV : Schémas de câblage	63
4.1 Systèmes auxiliaires.....	63
4.2 Circuit d’alimentation.....	63
Annexe V : Listes de pièces	64
5.1 <i>DDC-860</i>	64

Liste des figures

Figure 1: Spécifications VGA	13
Figure 2: Illustration de l'intervalle de synchronisation.....	13
Figure 3: Composition des couches du circuit imprimé.....	15
Figure 4: Terminaison de source	19
Figure 5: Terminaison parallèle	19
Figure 6: Terminaison Thévenin	20
Figure 7: Terminaison AC.....	20
Figure 8: Réponse en fréquence d'un condensateur idéal	23
Figure 9: Réponse en fréquence d'un condensateur réel	23

Liste des tableaux

Tableau 1: Encodage des couleurs.....	6
Tableau 2: Table de conversion valeurs 3-bits	11
Tableau 3: Table de conversion valeurs 2-bits	11
Tableau 4: Résultats de conversion 8 à 2-3 bits	12
Tableau 5: Longueur maximale des traces de signaux	18
Tableau 6: Valeurs minimales de condensateur local.....	24

Chapitre I – Détails du circuit

Section 1.1 – Fonctionnement logique

1.1.1 Spécifications du standard VGA

VGA (abréviation pour Video Graphics Array) est un standard d'affichage pour ordinateurs inventé en 1987 par IBM. La résolution originale était de 640 x 480 en 16 couleurs avec un taux de rafraîchissement de 70 Hz. Depuis, plusieurs autres standards ont été développés et spécifiés quant à la résolution et au taux de rafraîchissement de l'image.

Le connecteur VGA inclut trois lignes analogiques, soit pour le niveau de rouge, de vert et de bleu, à une tension entre 0 et 0.7V, correspondant au niveau de chaque couleur respectivement. Il intègre également deux signaux numériques, HSync et VSync, qui s'occupent de la synchronisation des pixels avec leur position dans l'image, et qui permettaient au standard VGA d'être rétrocompatible avec les moniteurs CRT.

En effet, le protocole VGA, imitant le signal vidéo analogique déjà utilisé, prévoit qu'à la suite de chaque ligne de pixels visibles, un intervalle de suppression, ou « blanking interval » s'ensuit, composé d'un palier avant, d'une impulsion sur la ligne HSync, puis d'un palier arrière, pour finalement recommencer la ligne suivante, et à la dernière ligne visible, le même principe est répété, avec cette fois, la ligne VSync pour la synchronisation verticale.

Notre circuit utilise le standard appelé SVGA qui comprend une résolution de 800x600 à 60Hz, avec 256 couleurs disponibles, soit 8 bits de couleurs par pixel. Le graphique ci-dessous illustre comment les données des trois couleurs sont encodées pour être inscrites dans les mémoires SRAM.

Tableau 1: Encodage des couleurs

Composition d'un pixel dans un octet							
R2	R1	R0	G2	G1	G0	B1	B0
D7	D6	D5	D4	D3	D2	D1	D0

Cette méthode permet d'obtenir un nombre suffisant de couleurs disponibles tout en conservant la taille des différents graphiques minimale dans le MCU et en gardant la complexité et le coût du circuit à des niveaux acceptables. En revanche, puisque huit n'étant pas un multiple de trois, une des trois couleurs doit se voir attribuer moins de bits de profondeur que les deux autres, affectant le nombre de nuances possible de voir. Dans ce type de configuration, la profondeur du bleu est la plus souvent tronquée, car c'est la couleur à laquelle l'œil humain est le moins sensible, et la nuance additionnelle serait donc peu perceptible.

1.1.2 Système à double tampon

Puisque le LPC1769 ne dispose que de 32KB de mémoire RAM, c'est-à-dire d'espace réservé aux données, la résolution de l'image serait sévèrement limitée sans mémoire externe. Par exemple, pour avoir un choix de 256 couleurs, ce qui veut dire un octet par pixel, la résolution maximale serait de 160 x 200 en utilisant l'entièreté de notre mémoire interne, ce qui n'en laisserait pas pour un programme et donc peu souhaitable.

C'est pourquoi notre circuit intègre deux mémoires SRAM asynchrones de 1MB. Cela est avantageux sur de nombreux aspects. Pour commencer, l'utilisation de deux mémoires séparées est nécessaire afin d'implémenter ce qu'on appelle communément un double tampon « dual buffer » dans un système vidéo numérique. En effet, une mémoire à port double, qui permet l'écriture et la lecture simultanée à des adresses indépendantes, est peu commune et très coûteuse, typiquement utilisé dans les premières générations de cartes graphiques. Pour résoudre ce problème de manière économique, on utilise deux mémoires. La première, aussi appelée « tampon avant », est lue en boucle par le CNA¹ afin que son contenu soit affiché sur le moniteur, puis la deuxième, le « tampon arrière », qui sera accessible au décodeur SPI pour l'écriture des données reçues en provenance du LPC1769.

Cependant, cela implique plusieurs éléments cruciaux au bon fonctionnement d'un tel système. Des pilotes munis de sorties trois-états sont requis sur tous les bus d'adresses et de données entrants et sortants. Pour ce faire, des 74LVC245 sont utilisés pour les bus de données 8 bits, du fait de leur taux de propagation très faible et de leur alignement de broches très convenable pour le routage du PCB². Pour les bus d'adresse 20 bits, des 74ALVCH16827 sont utilisés, étant une des seules familles de circuit intégré permettant le pilotage de 20 signaux indépendants en une seule composante. De plus, une bascule de type 74LVC74 à sortie différentielle configuré en « T flip-flop », c'est-à-dire qui permet de changer l'état des sorties à chaque fois que l'entrée change de niveau, de manière synchrone, est utilisée afin d'activer ou de désactiver les pilotes, leurs sorties basculant par le fait même dans l'état haute impédance. Ceci est nécessaire puisque chaque mémoire aura deux pilotes d'adresses et deux pilotes de données lui étant dédiés, un pour le mode écriture et un pour le mode lecture. L'entrée d'horloge de cette bascule sera reliée au signal VSync afin que l'inversion des rôles des mémoires SRAM durant la période où aucune image visible n'est envoyée au moniteur.

Une autre raison pour laquelle une telle configuration est avantageuse est qu'en utilisant une mémoire de 1MB, on réduit considérablement la complexité du compteur d'adresse puisque celui-ci peut compter en continu même lors de l'intervalle de synchronisation. En effet, il serait possible d'utiliser une mémoire de seulement 512KB, puisque notre résolution ne contient que 480 000 pixels nécessitant un octet chacun, cependant, les pixels ne pourraient être alignés à l'image, mais bien un à la suite de l'autre, ce qui signifie que le compteur d'adresse devrait s'arrêter à chaque début de pallier avant et recommencer à la fin du pallier arrière.

Finalement, le fait qu'elle soit asynchrone élimine le besoin d'envoyer des données au même rythme qu'elles sont lues par le CNA, ce qui limiterait notre résolution puisque la vitesse maximale de l'horloge SPI du LPC1769 est le quart de sa vitesse d'horloge maximale, donc 30 MHz, ce qui est largement inférieur à la vitesse

¹ Convertisseur numérique à analogique

² Circuit imprimé

de 40MHz requise pour une résolution de 800 x 600. Une mémoire asynchrone signifie également que dans l'éventualité où le circuit est utilisé conjointement avec un autre microprocesseur que le LPC1769 ne pouvant pas atteindre des vitesses de 24MHz sur son module SPI comme ce dernier, aucune modification majeure n'aurait à être apportée au circuit.

1.1.3 Communication avec le MCU

Afin d'afficher une image sur le moniteur, le LPC1769 envoie les données des pixels de manière individuelle au circuit par protocole SPI (Serial Peripheral Interface). Le lien SPI nécessite seulement deux signaux pour un transfert unidirectionnel, soit SCLK et MOSI. SCLK est le signal d'horloge, dans notre cas cadencé à 24MHz, et MOSI correspond à « Master Out Slave In », autrement dit, le signal série de données. Dans notre circuit, la réception de ces données se fait à l'aide de quatre 74LVC595.

Le 74LVC595 est un registre à décalage haute vitesse comportant plusieurs fonctionnalités clés pour notre circuit. En effet, il intègre une remise à zéro asynchrone, une sortie de compte terminal « carry out » permettant le montage en cascade de multiples 74LVC595, ainsi que deux entrées d'horloges distinctes. La première, SHCP, contrôle l'entrée d'une nouvelle donnée sur la broche SER à chaque front montant dans le registre interne et le décalage conséquent de celui-ci, tandis que la seconde, STCP, contrôle le transfert de ce registre interne vers la sortie parallèle de huit bits, selon un principe de bascule, c'est-à-dire que même si le registre interne est remis à zéro par un niveau bas sur !MR, les sorties parallèles demeureront au même état tant qu'un autre front montant sur STCP ne survient pas.

Nous utiliserons donc quatre 74LVC595 en cascade pour décoder les données SPI et les transformer en données parallèles. Cette méthode accélère considérablement le rythme auquel le LPC1769 peut envoyer de nouvelles données, puisque les ports GPIO³ de ce dernier sont limités à un rythme ne dépassant pas une centaine de kilohertz, en plus de diminuer considérablement le nombre de liens physiques nécessaire. En effet, pour chaque pixel, le LPC1769 envoie trois octets d'adresses suivis d'un octet de donnée, qui correspondent à la valeur de la couleur du pixel en question. Les trois octets d'adresses, quant à eux, contiennent les 20 bits d'adresse nécessaire à l'adressage des mémoires SRAM, et les quatre bits les plus significatifs sont inutilisés et donc non connectés. Une cadence de 24MHz sur SCLK nous permet d'être confortablement au-dessus de la fréquence minimale pour envoyer une image complète par seconde, soit 480 000 pixels par seconde.

$$F_{\max} = \frac{24\text{MHz}}{4 \text{ Octets par donnée} \times 8 \text{ bits}} = 750\,000 \text{ pixels/s}$$

La sortie de débordement, ou « ripple carry out » du dernier 74LVC595, contenant A16 à A19, est toutefois importante. Elle sert effectivement à générer la logique de « latching » puis d'insertion des données dans la mémoire. En effet, du côté logiciel, toutes les adresses seront préfixées d'un 1, suivi des trois bits inutilisés et des 20 bits d'adresse. La raison est simple; la sortie carry out du 74LVC595 reflète le dernier bit du registre interne même si celui-ci n'a pas été transféré vers les sorties parallèles. Elle est donc dans un premier temps connectée à l'entrée STCP de chaque registre à décalage afin que les quatre octets apparaissent simultanément lorsque le carry out générera un front montant, puisque cela signifie que les 32 bits sont présents dans les

³ General-purpose input output (port bidirectionnel multi-usage)

registres internes. Ensuite, nous inverserons le niveau logique est inversé puis connecté à l'entrée !PRE d'un 74LVC112. L'inversion se fait par une porte NON-OU 74AHC1G02, pour des raisons de délai.

Le 74LVC112 est une bascule JK à sortie différentielle munie d'une détection de front descendant. En attachant l'entrée J à la masse (niveau logique 0) et l'entrée K à l'alimentation (niveau logique 1), l'état par défaut des sorties Q et !Q, c'est-à-dire à chaque front descendant, est un niveau logique 0 et 1 respectivement. C'est ici que l'entrée !PRE intervient. Lorsqu'elle descend à un niveau bas, elle inverse l'état mentionné précédemment de Q et !Q de manière asynchrone, ce qui effectue deux choses. Premièrement, la sortie Q, reliée à une porte 74LVC1G00 (porte logique NON-ET), génère l'impulsion servant au « Write Enable » des mémoires, qui indique à ces dernières d'inscrire la donnée présentée sur son interface parallèle à l'adresse présentée sur cette même interface, provenant des quatre 74LVC595. Deuxièmement, la sortie !Q est reliée à l'entrée !MR de chaque registre à décalage, donc lorsqu'elle descendra au niveau bas, provoquera une remise à zéro asynchrone de leur registre interne.

Par la suite, l'entrée d'horloge, connectée au signal SCLK, entraînera un retour à l'état initial (niveau logique 0 et 1) sur Q et !Q, et cela, un demi-cycle après l'entrée de la dernière donnée. Ceci permet de garantir que le système est indépendant d'une cadence SPI précise, ainsi que de garantir la durée de l'impulsion « Write Enable » qui est spécifiée comme devant durer un minimum de 7ns. Le décodeur SPI est par la suite immédiatement prêt à recevoir le prochain pixel.

Voir la feuille #3 du schéma électronique à l'annexe I pour une vue complète de cette partie du circuit.

1.1.4 Transfert de l'image vers le moniteur

Le transfert de l'image vers le lien VGA se fait à l'aide d'un ADV7125. Le ADV7125 est un convertisseur numérique à analogique spécialement conçu pour les systèmes vidéo puisqu'il intègre trois convertisseurs de huit bits indépendants avec une tension de sortie typique déjà adaptée aux protocoles vidéo analogique tels que VGA. De plus, il possède une entrée !BLANK qui lui permet de gérer l'intervalle de suppression, en émettant une tension de 0V sur les trois sorties (R, G, B) sans circuit ou composantes additionnelles. Les entrées numériques proviendront du 74LVC245 activé, c'est-à-dire celui connecté à la mémoire servant de tampon avant pour la présente image. De plus, comme mentionné dans la section 1.1.1, huit bits contiendront les valeurs des trois couleurs devant être converties. Les entrées numériques du ADV7125 seront donc connectées ensemble selon le schéma qui suit. Cela permettra donc d'obtenir des conversions analogiques reflétant parfaitement le nombre et la proportion de chaque valeur numérique, soit 0 à 7 pour le rouge et le vert, et 0 à 3 pour le bleu.

Tableau 2: Table de conversion valeurs 3-bits

Rouge/Vert	Conversion du format 3-bit au format 8-bit							
Format 3 bits	R2	R1	R0	R2	R1	R0	R2	R1
Format 8 bits	D7	D6	D5	D4	D3	D2	D1	D0
Valeur 8 bits	128	64	32	16	8	4	2	1

Tableau 3: Table de conversion valeurs 2-bits

Bleu	Conversion du format 2-bit au format 8-bit							
Format 3 bits	B1	B0	B1	B0	B1	B0	B1	B0
Format 8 bits	D7	D6	D5	D4	D3	D2	D1	D0
Valeur 8 bits	128	64	32	16	8	4	2	1

Tableau 4: Résultats de conversion 8 à 2-3 bits

Valeurs converties 2/3 à 8 bits		
Valeur d'origine	3-bits à 8-bits	2-bits à 8-bits
0b000	0	0
0b001	36	85
0b010	73	170
0b011	109	255
0b100	146	
0b101	182	
0b110	219	
0b111	255	

Afin de boucler à travers tous les pixels de l'image, soixante fois par seconde, on doit passer à travers toutes les adresses de la mémoire contenant un pixel visible. Pour ce faire, on utilise cinq 74LVC163, qui sont des compteurs binaires synchrones de quatre bits, en cascade afin de créer un compteur 20-bits. Le 74LVC163 nous permet de faire une remise à zéro synchrone de la valeur du compteur, et est également muni d'une sortie de débordement « carry out », qui nous permet, en les montant d'une manière spécifique, de cascader les compteurs sans rajouter de délai de propagation (ripple carry delay). En effet, l'entrée d'horloge des cinq compteurs sera reliée à l'horloge de 40MHz, et le « carry out » de chaque compteur sera connecté à l'entrée CEP du prochain, permettant le compte une seule fois à chaque débordement.

Ces compteurs piloteront deux tampons 20-bits, chacun connecté à une des deux mémoires SRAM. Ainsi, le tampon avant verra son bus d'adresse balayé en ordre croissant, donc à chaque front d'horloge, un pixel différent apparaîtra à la sortie de la SRAM. Cependant, puisque les 74LVC163 ne seront remis à zéro seulement qu'à la fin de chaque image, cela signifie qu'ils continueront de compter pendant l'intervalle de suppression. Il est important de prendre ceci en compte puisque **les pixels visibles seront donc alignés à la ligne**, c'est-à-dire que l'adresse du premier pixel de la première ligne est 0x0080 0000, mais l'adresse du premier pixel de la deuxième ligne est 0x0080 0420 et non pas 0x0080 0320 comme ce serait le cas si les données de chaque ligne de pixels visibles s'enchaînaient immédiatement une après l'autre.

Conséquemment, les mémoires SRAM utilisées sont d'une taille de 1Mo, puisqu'en alignant à la ligne les pixels, le compte effectif de case de mémoire monte à 663 168 pour seulement 480 000 pixels visibles, ce qui dépasse le seuil de mémoire inférieur à 1Mo, soit 512Ko.

1.1.5 Synchronisation

Tel que mentionné dans la section 1.1, le standard VGA spécifie un intervalle de synchronisation à la fin de chaque ligne de pixels horizontale, ainsi qu'un second intervalle, celui-ci beaucoup plus long, à la fin de chaque image verticale, donc après la dernière ligne. Ces intervalles comportent plusieurs parties : Le palier avant, qui marquent le moment où la tension présente sur les lignes analogiques de couleurs VGA doit être de 0V, la pulsation du signal numérique Hsync (ou Vsync) qui doit être d'une durée précise pour permettre au moniteur de faire le retour à la ligne, puis le palier arrière, identique au palier avant, mais d'une durée différente. Afin de simplifier la logique combinatoire requise, ces durées sont souvent exprimées en pixels, c'est-à-dire à la période d'affichage d'un pixel individuel. Puisque notre fréquence d'horloge est de 40MHz, nous avons donc une période de 25 nanosecondes par pixel. Le tableau ci-contre spécifie que selon le standard SVGA, pour une résolution de 800x600, la durée totale correspondra à une résolution de 1056x628 (Voir graphique ci-dessous).

General timing

Screen refresh rate	60 Hz
Vertical refresh	37.878787878788 kHz
Pixel freq.	40.0 MHz

Horizontal timing (line)

Polarity of horizontal sync pulse is positive.

Scanline part	Pixels	Time [μs]
Visible area	800	20
Front porch	40	1
Sync pulse	128	3.2
Back porch	88	2.2
Whole line	1056	26.4

Vertical timing (frame)

Polarity of vertical sync pulse is positive.

Frame part	Lines	Time [ms]
Visible area	600	15.84
Front porch	1	0.0264
Sync pulse	4	0.1056
Back porch	23	0.6072
Whole frame	628	16.5792

Figure 1: Spécifications VGA

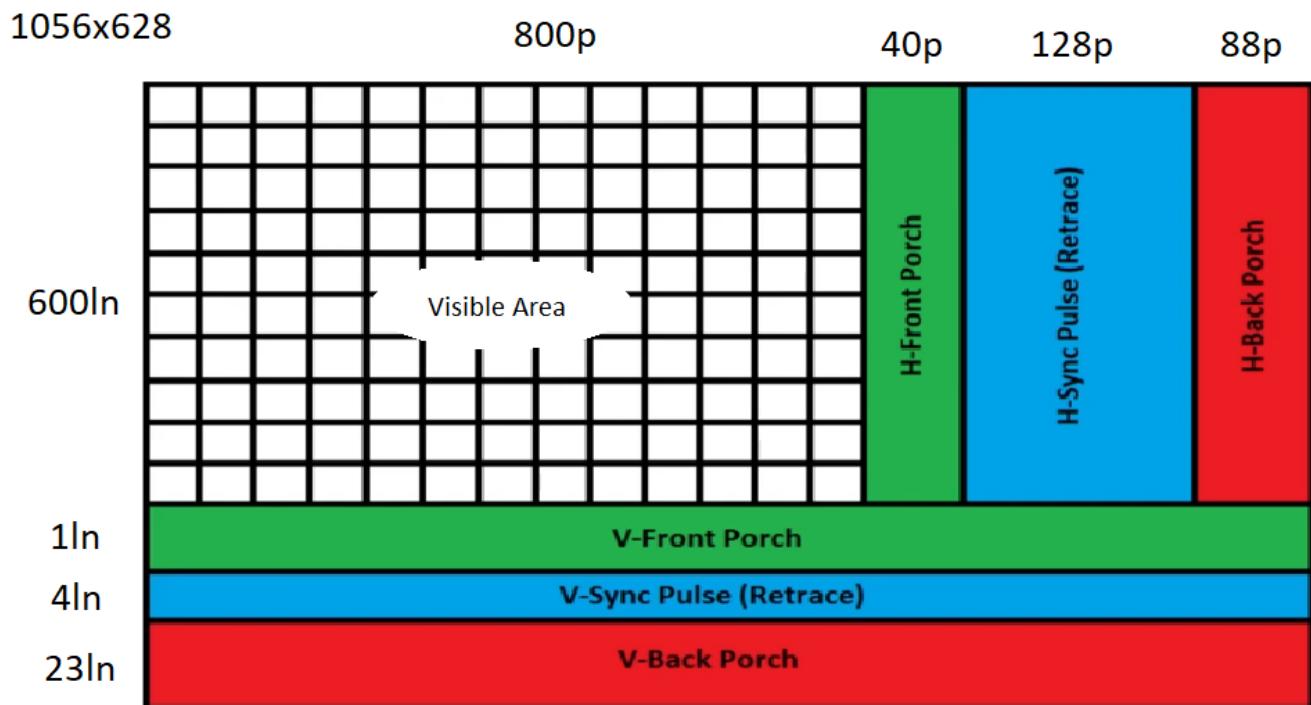


Figure 2: Illustration de l'intervalle de synchronisation

La génération de la synchronisation, ainsi que la remise à zéro du compteur d'adresse, se fait à l'aide de trois parties principales :

- 1) Deux compteurs de 12 bits, un qui sert à déterminer quel pixel le circuit envoie présentement au moniteur, et un qui sert à déterminer à quelle ligne horizontale ce pixel appartient.
- 2) Deux PALLV22V10, qui servent à la remise à zéro et contient la logique combinatoire de l'intervalle de synchronisation
- 3) Deux 74LVC109, qui produisent les signaux Hsync et Vsync.

Le premier compteur 12 bits est attribué à la synchronisation horizontale et est composé de trois 74LVC163 montés en cascade. Puisqu'il incrémente à chaque coup d'horloge, il a donc essentiellement la même fréquence que le compteur d'adresse. Les sorties des 74LVC163 sont reliées aux entrées d'un PALLV22V10, qui a été programmé pour générer plusieurs signaux, incluant le signal de remise à zéro des 74LVC163 du compteur horizontal, le signal de fin de ligne horizontale, ainsi que d'autres, reliés à deux bascules JK à front montant 74LVC109. Les bascules sont nécessaires afin que les signaux soient le plus possible synchronisés au coup d'horloge exact lors duquel ils sont requis. Cela signifie cependant que la logique combinatoire dans le PALLV22V10 doit être décalée d'un compte d'horloge à l'avance, puisque la bascule ne sera déclenchée qu'au front montant suivant. La première bascule JK pilotera principalement, par le biais d'une porte NOR, l'entrée !BLANK du ADV7125, ce qui permet de générer automatiquement le niveau de suppression sur les sorties analogiques. La raison pour laquelle une porte NOR est utilisée est simple : Puisque la synchronisation verticale nécessite un intervalle de suppression qui dure plusieurs lignes, et donc largement plus longtemps que l'intervalle de suppression horizontal, la porte logique permet au module vertical d'avoir priorité sur le module horizontal, activant la porte logique peu importe le niveau de l'autre entrée. La seconde bascule JK, quant à elle, générera la pulsation Hsync reliée directement au moniteur.

Le deuxième compteur est lui aussi composé de trois 74LVC163 mais n'utilise que dix bits, puisqu'il n'a besoin de compter seulement jusqu'à 628, soit le nombre total de lignes horizontales, et pour ce faire, ce compteur est incrémenté par le signal de fin de ligne mentionné plus haut. Similaire au module de synchronisation horizontale, il est lui aussi accompagné d'un PALLV22V10 et de deux bascules JK. Les deux bascules, identiques en fonctionnement à ceux du module horizontal, servent à l'intervalle de suppression vertical et à la génération de la pulsation Vsync reliée au moniteur. La principale différence est que ce second PAL fait également la remise à zéro du compteur d'adresse, puisque sa logique combinatoire détermine la fin de chaque image.

Section 1.2 – Documentation électrique

1.2.1 Spécifications du circuit imprimé

Dû à sa relative complexité, le circuit a été conçu sur un circuit imprimé de quatre couches. Pour une telle composition, certains standards prévalent. Par exemple, à moins qu'il ne soit absolument nécessaire de faire autrement, les deux couches internes sont réservées pour un plan de masse et d'alimentation couvrant toute la surface du circuit. Dans le cas où deux masses/alimentations seraient présentes, par exemple dans le cas d'une cohabitation numérique/analogique comme c'est notre cas, ces couches internes sont divisées en deux polygones. Ainsi, on retire plusieurs avantages d'une telle configuration :

- 1) La résistance du retour de courant (GND) est minimale
- 2) Cela facilite grandement le routage et le placement des condensateurs de découplage.
- 3) Tous les signaux présents sur les deux couches externes sont désormais munis d'un plan de référence uniforme, soit Vcc ou GND, présentant une tension DC fixe, ce qui contribue à réduire le bruit.

La figure ci-dessous démontre un exemple graphique de la configuration utilisé pour la conception du *DDC-860*:

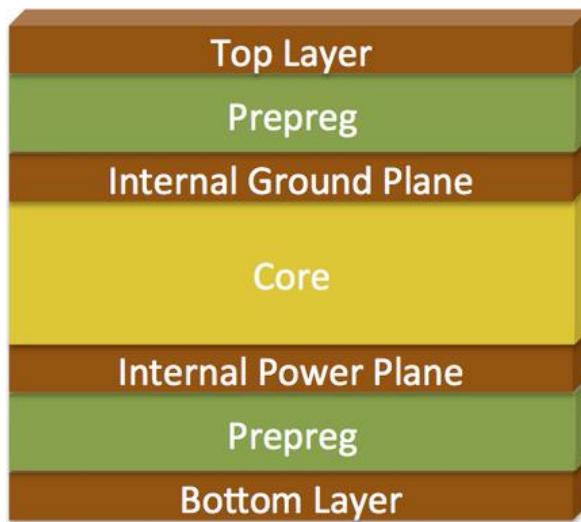


Figure 3: Composition des couches du circuit imprimé

Pour conserver la hauteur standard d'un circuit imprimé de 1.6mm, les recommandations d'empilement (board stackup) du manufacturier [pcbway.com](#) ont été utilisées, soit :

0.035mm pour les couches de cuivres;

0.11mm pour les couches de « prepreg »;

1.13mm pour la couche « core ».

Les dimensions du circuit imprimé sont de 7.3 pouces x 5.4 pouces (185mm x 137mm).

1.2.2 Alimentation du circuit

L'alimentation du *DDC-860* se fait à l'aide du bornier dans le coin supérieur gauche du circuit imprimé. La tension d'alimentation est de $3.3\text{Vcc} \pm 10\%$. La borne pour l'alimentation positive se trouve sur la broche centrale du bornier, identifiée $+3\text{V3}$, qui est reliée au plan d'alimentation du PDN⁴. Les deux autres broches doivent être branchée à la masse. Il est important de brancher les deux bornes, et bien qu'il serait possible de simplement relier les deux ensembles, il est fortement conseillé d'utiliser deux fils séparés, qui ne se rejoindront seulement qu'à la sortie V- du bloc d'alimentation LS25-3.3. En effet, une des deux bornes est destinée au plan de masse analogique du circuit, et doit donc être isolé le plus possible du bruit en provenance de la partie numérique. En plus de cette mesure, une ferrite est placée entre la borne et le plan de masse analogique, réduisant encore plus la propagation de bruit parasite à haute fréquence.

Il est important de prendre note que puisque le LPC1769 est relié au PDN du circuit imprimé, brancher le LPC1769 avec un fil micro-USB à un ordinateur à des fins de programmation aura pour effet d'alimenter le circuit dans son intégralité via le port USB. Il est donc très important **de ne pas brancher le port DEBUG du LPC1769 lorsque le circuit n'est pas alimenté**.

⁴ Power Delivery Network

1.2.3 Délai de propagation et terminaison de signal

Les signaux électromagnétiques voyagent à la même vitesse que la lumière dans le vide (ou l'air), soit :

$$V_e = 3.0 \times 10^8 \text{ m/s} = 11.8 \text{ in/ns} = 29.97 \text{ cm/ns}$$

Cependant, sur un PCB, la constante diélectrique du matériau de fabrication du PCB affecte la vitesse des signaux. Pour une trace d'une couche extérieure, la vitesse est définie comme suit :

$$V_s = \frac{V_e}{\sqrt{\epsilon_{eff}}}$$

Où :

V_e est la vitesse de la lumière dans le vide ou l'air

ϵ_r est la constante diélectrique de la couche isolante sous la trace du signal

ϵ_{eff} est la constante diélectrique pour les signaux sur les couches extérieures du PCB (communément appelées microstrips), soit :

$$\epsilon_{eff} = 0.64 \epsilon_r + 0.36$$

Pour un PCB en matériau de type FR-4, ϵ_r se situe généralement entre 4 et 4.8. Dans notre cas, $\epsilon_r = 4.29^5$ et donc $\epsilon_{eff} \approx 3.11$, ce qui nous permet d'obtenir la vitesse réelle d'un signal sur notre PCB :

$$V_s = \frac{11.8 \text{ in/ns}}{\sqrt{3.11}} = 6.69 \text{ in/ns} = 17.0 \text{ cm/ns}$$

Cette vitesse nous permet de calculer le délai de propagation d'un signal, comme suit :

$$t_{pd} = \frac{1}{V_s} = 149 \text{ ps/in}$$

⁵ Constante diélectrique du manufacturier pcbway.com

Le délai de propagation nous permet de déterminer si les différents signaux utilisés dans notre circuit doivent être considérés comme des lignes de transmissions. En effet, si le temps de front montant/descendant (typiquement considéré comme le délai pour le changement de niveau logique entre 10% et 90% VCC) est inférieur à la moitié du temps de propagation d'un signal, notre signal doit être considéré comme une ligne de transmission et une terminaison appropriée doit être employée. Cependant, dans le bus de minimiser la quantité de composantes physiques dans le circuit, on peut aussi tenir compte du temps maximal que chaque partie du circuit a pour fournir une sortie stable (settling time). En effet, si les réflexions causées par une différence d'impédance s'atténuent et se stabilisent avant l'échantillonnage des données (dans le cas d'un module synchrone où un front montant gère le moment de l'échantillonnage) ou avant le délai maximal de sortie stable, la terminaison de signal peut être omise. Cela veut également dire que dans le cas d'un signal d'horloge où les fronts sont critiques, il est fortement déconseillé de ne pas utiliser de terminaison. Une terminaison est donc théoriquement requise si :

$$t_{rf} \leq 2 \times t_{sp}$$

Où :

t_{rf} représente le temps de front montant/descendant (le plus rapide doit être utilisé)

t_{sp} représente le temps de propagation total d'un signal d'un bout à l'autre de la trace

Dans le tableau ci-dessous, la longueur maximale des principaux bus et signaux de notre circuit est déterminée selon les critères présentés précédemment, avant de nécessiter, théoriquement, une terminaison appropriée.

Tableau 5: Longueur maximale des traces de signaux

Nom du bus/signal	Pilote	délai de front maximal (ps)	Longueur maximale (pouces)
A_IN	74LVC595	500	1.68
PCLK_A	74LVC163	750	2.52
D_IN	74LVC595	500	1.68
RGB_OUT	74LVC245	400	1.34
MEM1_A	74ALVCH16827	400	1.34
MEM2_A	74ALVCH16827	400	1.34
MEM1_D	74LVC245	400	1.34
MEM1_D	CY7C1059	3000	10.07
MEM2_D	74LVC245	400	1.34
MEM2_D	CY7C1059	3000	10.07
CLK_IN	KC2520C	4000	13.42
CCLK	ICS551	1000	3.36

Il existe 4 principales techniques de terminaison : de source, parallèle, Thévenin et AC. Chacune présente ses avantages et ses inconvénients. En effet, aucune n'est universelle, on doit donc tenir compte du contexte pour obtenir le résultat désiré. Les pages suivantes décrivent brièvement les différents types de terminaisons.

Dans le cas d'une terminaison dite « de source », une résistance est placée en série à la sortie du pilote. Cette méthode ne doit être utilisée que lorsque le signal n'a qu'une seule source et une seule destination, le cas échéant, les traces reliant les multiples sources à la destination, ou la source aux multiples destinations, doivent être de distance équivalente. Elles ne doivent surtout pas être reliées une après l'autre (daisy-chained). La raison est que la terminaison de source présente une particularité importante : puisque la résistance agit comme un diviseur de tension entre le signal qui relie la source à la résistance, seulement la moitié de la tension de sortie finale sera présent à la propagation initiale du signal. L'autre moitié proviendra de la réflexion à la fin de la trace, qui reviendra sur son chemin jusqu'à la résistance. Un montage en chaîne introduirait donc un décalage supplémentaire entre chaque destination selon leur placement dans la chaîne. Pour une terminaison de source, la valeur de la résistance est déterminée comme suit :

$$R = Z_{ti} - Z_o$$

Où :

Z_{ti} est l'impédance caractéristique de la trace de cuivre du PCB

Z_o est l'impédance de source du pilote à l'origine du signal

Dans le cas d'une terminaison dite « parallèle », une résistance est placée entre le signal et une tension de référence (GND), après la destination. Cette méthode est préférée lorsque le signal a plus d'une destination, puisqu'on peut placer la résistance à la toute fin de la chaîne sans qu'il y ait de répercussions sur l'un ou l'autre des destinataires. Cependant, c'est la technique de terminaison qui consomme le plus de courant, et de plus, elle affectera l'impédance de sortie du pilote puisque le courant nécessaire pour maintenir le signal à un niveau haut augmentera. La valeur de la résistance est déterminée comme suit :

$$R = Z_{ti}$$

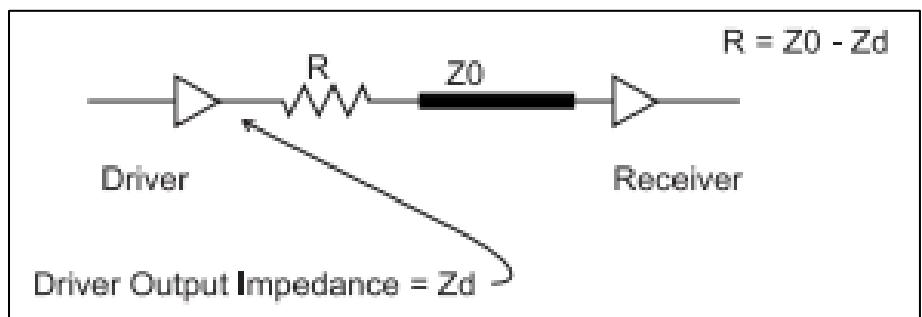


Figure 4: Terminaison de source

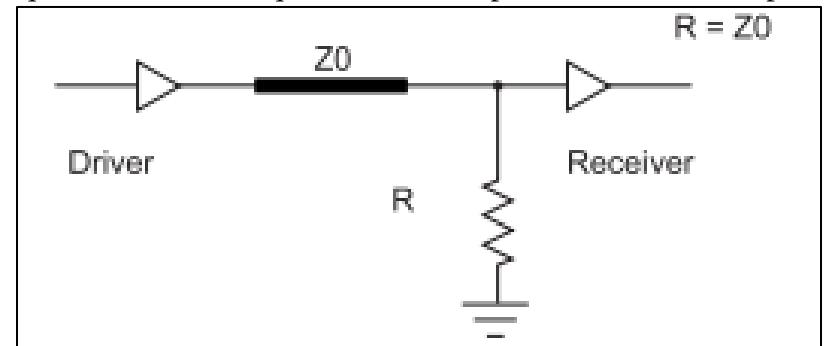


Figure 5: Terminaison parallèle

Pour une terminaison Thévenin, deux résistances sont placées en série entre le Vcc et GND, et le signal à terminer est connecté à leur jonction. Les résistances formant donc un diviseur de tension, il n'y a donc pas de différence d'impédance de sortie pour le pilote entre le niveau haut et le niveau bas puisque la tension au repos du signal sera $\frac{V_{CC}}{2}$. La valeur des résistances est déterminée comme suit :

$$R = Z_{ti}/2$$

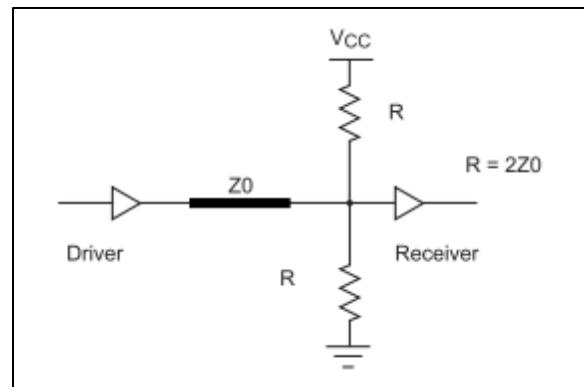


Figure 6: Terminaison Thévenin

Enfin, pour une terminaison appelée « AC », une résistance est placée en série avec un condensateur entre le signal et le GND. Le condensateur agit comme un filtre pour les hautes fréquences tout en ne laissant pas passer la composante DC, ce qui a pour effet de donner une terminaison consommant très peu de courant. Cependant, cette technique ne peut être utilisée pour des signaux transportant des données ou des adresses, puisque pour être efficace, le signal doit garder un niveau DC constant, comme dans le cas d'un signal d'horloge, avec un temps de cycle le plus près possible de 50%. La constante de temps RC du circuit doit être supérieure au temps de propagation aller-retour du signal et la charge que le condensateur peut tenir doit être suffisante pour durer un temps-bit complet, défini comme cinq fois la constante RC. Cela permettra au signal d'être présenté avec une terminaison avec la même impédance que la trace, qui ne laisse passer que les hautes fréquences, tout en gardant la tension moyenne du signal à $\frac{V_{CC}}{2}$, donc l'impédance sera indépendante du niveau logique. La valeur des condensateurs est donc déterminée selon les deux conditions suivantes :

$$C > \frac{2 \times t_{pd}}{R} \text{ et } C > \frac{T}{5 * R}$$

Où :

$$R = Z_{ti} \text{ (impédance caractéristique de la trace du signal)}$$

t_{pd} correspond au temps de propagation du signal de la sortie jusqu'au bout de la trace

T est la période d'un temps-bit du signal

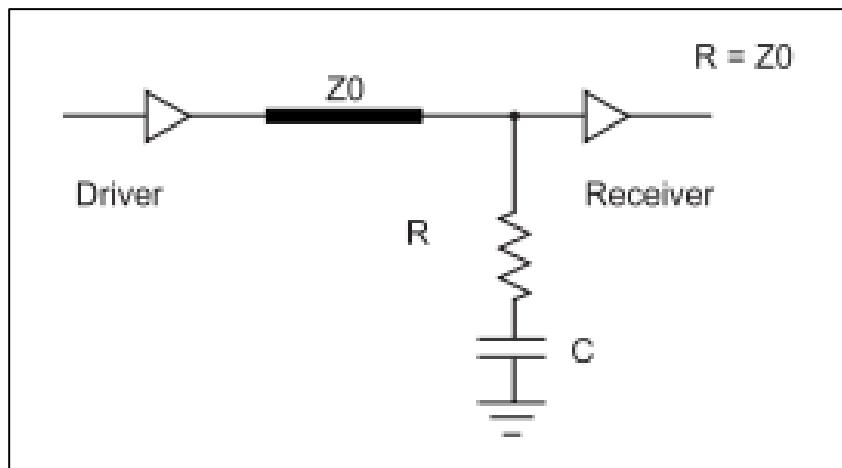


Figure 7: Terminaison AC

1.2.4 Signaux d'horloge

Les signaux d'horloge sont la partie la plus critique au bon fonctionnement du *DDC-860*. En effet, comme mentionné dans la section 1.1, selon les spécifications du standard SVGA, pour une résolution de 800x600 à 60 images par secondes, une horloge de pixel de 40MHz est nécessaire.

Celui-ci est produit par un cristal oscillateur, le KC2520C-40-C2, caractérisé pour générer une onde carrée de $40\text{MHz} \pm 10\text{ ppm}$. Cependant, un tel cristal est susceptible de produire beaucoup de bruit, et il doit donc être accompagné d'un condensateur de découplage et être placé de manière stratégique sur le PCB, particulièrement, ne pas être placé près des composants analogiques (ex. le ADV7125).

Également, le KC2520C a des tolérances et limites électriques spécifiques. Notamment, la trace d'horloge doit être :

- 1) La plus courte possible, afin de minimiser le délai de propagation
- 2) Ne pas changer de plan de référence (donc aucun via)
- 3) Être une ligne continue sans intersection

De plus, la charge maximale pour l'oscillateur est de seulement 15pF . Ne pas respecter ce critère pourrait augmenter de manière significative la marge d'erreur quant à la fréquence du cristal, ce qui est extrêmement peu souhaitable. C'est pour cela que l'on utilise une composante additionnelle : le ICS551. Le ICS551 est un tampon d'horloge à quadruple sortie. Il permet :

- 1) De réduire la longueur totale du signal d'horloge en la séparant
- 2) De fournir plus de puissance que le cristal pour piloter chaque signal d'horloge
- 3) Faciliter le routage sans intersection
- 4) Garantir une fréquence stable

Enfin, un autre signal d'horloge auquel une attention particulière doit être portée est le SCLK, soit le signal d'horloge qui provient du LPC1769, qui communiquera avec le circuit à l'aide du protocole SPI à une fréquence de 24MHz . Les mêmes règles s'appliquent quant au routage de la trace, cependant, nous n'aurons pas besoin d'un tampon d'horloge dans le cas du SCLK, puisqu'il ne se connecte qu'à cinq composantes, comparativement à onze pour le PCLK, et plus particulièrement puisque ces cinq composantes sont beaucoup plus localisées, réduisant ainsi la longueur de la trace dans des limites acceptables.

1.2.5 Découplage des composantes numériques

Un circuit intégré numérique (ex. : pilote de bus, bascule, registre à décalage, etc.), qu'il soit CMOS ou TTL, doit sourcer un courant lorsqu'il sort un niveau haut sur une des sorties de la puce. Ce courant doit provenir de quelque part, soit de la broche Vcc de la composante. Selon la loi d'Ohm, si la résistance (dans ce cas l'impédance caractéristique de la trace ou du plan d'alimentation du PCB) demeure constante et que la charge augmente, le voltage doit augmenter aussi, mais le plan d'alimentation ne peut augmenter son voltage, fixe à 3.3V. Tel que mentionné dans la section 2.2, que le courant a une vitesse de propagation définie, ce qui veut donc dire que pendant un bref délai, une chute de tension sera observée sur la broche Vcc. Bien qu'infime, puisque le courant n'augmente souvent que d'une dizaine de milliampères dans le pire des cas, cela peut causer des problèmes si on considère toutes les composantes dans l'ensemble, dans l'éventualité où plusieurs d'entre elles auraient simultanément un changement d'état qui augmente la charge sur l'alimentation. De plus, dans le cas des sorties qui changent très rapidement d'état, ces variations de courant peuvent introduire du bruit parasite sur le plan d'alimentation, ce qui peut également affecter les traces qui ont comme plan de référence la couche d'alimentation.

C'est pour cela qu'il est nécessaire d'utiliser des condensateurs de découplage afin d'éliminer ces deux problèmes. En effet, en plaçant (dans la plupart des cas) deux condensateurs en parallèle entre le plan d'alimentation et le plan de masse, situés le plus près possible de la broche Vcc de la composante numérique visée, cela remédie à ce problème. En effet, dans le cas de condensateurs de valeurs typiques comme $0.1\mu F$ et $0.01\mu F$, ce dernier agira comme un filtre pour les variations de hautes fréquences, et celui de $0.1\mu F$ agira comme une source locale de courant pour les changements de charge plus importants. Les paramètres qui doivent être pris en compte pour calculer la valeur des condensateurs diffèrent selon leur utilité comme mentionné ci-dessus. Pour la source locale, la valeur minimale est déterminée comme suit :

$$C = I \times \frac{dt}{dV}$$

Où :

dt est le temps de front montant / descendant minimal

dV correspond à la chute de tension maximale tolérée

I correspond à la charge maximale requise par la composante pour piloter toutes ses sorties au niveau haut, déterminée comme suit :

$$I = N_o \times \frac{\Delta V}{Z_o}$$

Où:

N correspond au nombre de sorties du circuit intégré

ΔV correspond à la variation de tension entre le niveau bas et le niveau haut

Z_o est l'impédance de la trace en sortie

Pour le condensateur servant à filtrer les hautes fréquences, le contexte joue un plus grand rôle dans la détermination de sa valeur. En effet, pour un condensateur idéal, l'impédance varie de manière inversement proportionnelle à la fréquence, jusqu'à atteindre 0 Ohm.

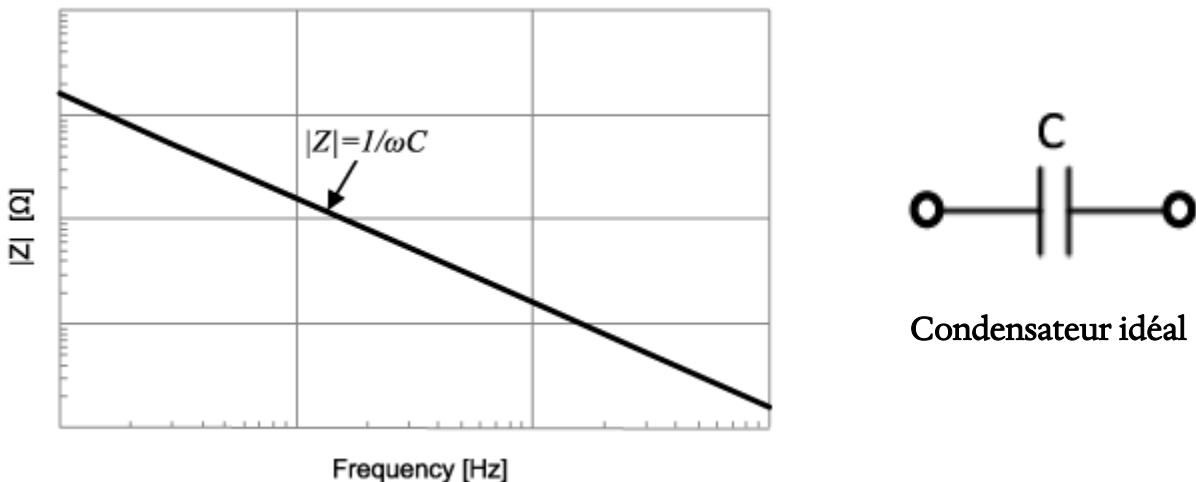


Figure 8: Réponse en fréquence d'un condensateur idéal

Cependant, en réalité, un condensateur possède une résistance (ESR) et une inductance (ESL) parasites, c'est-à-dire que plus la fréquence augmente, plus les propriétés de filtre passe-bas d'une inductance prennent le dessus sur les propriétés de filtre passe-haut d'un condensateur. Le résultat est un circuit équivalent RLC qui possède une fréquence de résonnance, celle-ci dépendant de la valeur du condensateur utilisé. La figure ci-dessous illustre bien cette relation :

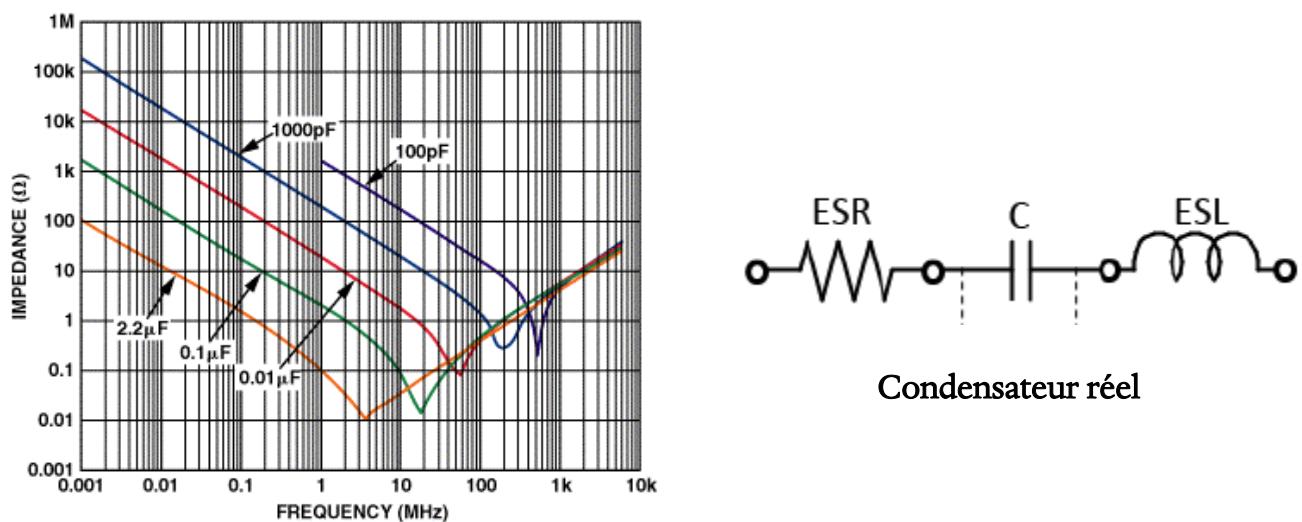


Figure 9: Réponse en fréquence d'un condensateur réel

Comme on peut le constater, pour une fréquence de 40Mhz, le condensateur de $0.1\mu F$ contribue déjà à filtrer le bruit en plus d'agir comme source locale de courant. Un deuxième condensateur de $0.01\mu F$ vient compléter ce filtre en élargissant quelque peu la « bande optimale » d'impédance, en incluant les fréquences jusqu'à 100 MHz avec une impédance < 1 Ohm, ce qui filtrera jusqu'à la 3^e harmonique des signaux les plus rapides. Le tableau ci-dessous démontre la valeur minimale du plus gros condensateur de chaque paire locale pour les composantes numériques :

Tableau 6: Valeurs minimales de condensateur local

ΔV niveau haut à bas (V)	Impédance de sortie (Ω)	Chute de tension maximale (V)	
3,3	37	0,01	
Pilote	Nombre de sorties	Délai de front(ns)	Valeur minimale du condensateur (nF)
74LVC595	8	0,5	35,7
74LVC163	5	0,75	33,4
74LVC245	8	0,4	28,5
74ALVCH16827	20	0,4	71,4
CY7C1059	8	3	214,1
PALLV22V10	10	3	267,6

Un condensateur de $100nF$ sera donc suffisant dans la majorité des cas, sauf pour les puces de mémoires et les PALLV22V10, où nous utiliserons une valeur légèrement supérieure à celle indiquée dans le tableau, soit $330nF$. Des valeurs plus élevées auraient pu être utilisées afin de diminuer davantage la chute de tension permise, mais toutes ces composantes acceptant toute tension entre 3V et 3.6V comme tension d'alimentation, 10mV est suffisant.

Chapitre II – Étalonnage

2.1 Procédure de validation d'intégrité du *DDC-860*

1. Faire un test de continuité entre le bornier et les broches d'alimentation de tous les circuits intégrés à l'aide d'un multimètre. Une fois fait, alimenter le circuit, et vérifier la présence d'une tension de $3.3V \pm 10\%$ sur la broche 24 de IC6 et sur la broche 12 du ADV7125.
2. Vérifier la présence d'une onde carrée d'une fréquence de $40MHz \pm 400Hz$ sur la broche 3 de X1 à l'aide d'un oscilloscope muni d'une sonde de grade 200MHz ou plus. Vérifier que l'amplitude c-à-c. de l'onde est supérieure à $2.7V$.
3. Vérifier la présence d'ondes carrée d'une fréquence de $40MHz \pm 400Hz$ sur les broches 2, 3, 4 et 5 de U26 à l'aide d'un oscilloscope muni d'une sonde de grade 200MHz ou plus. Vérifier que l'amplitude c-à-c. est supérieure à $2.7V$ dans tous les cas.
4. Valider, sur la broche 6 de U29, la présence d'un signal à impulsions positives de $3.3V$ c-à-c. et d'une fréquence de $37.88KHz \pm 40Hz$ à l'aide d'un oscilloscope.
5. Valider, sur la broche 10 de U29, la présence d'un signal à impulsions positives de $3.3V$ c-à-c. et d'une fréquence de $60Hz \pm 0.2Hz$ à l'aide d'un oscilloscope.
6. À l'aide d'un oscilloscope, valider la présence d'une onde carrée positive sur les broches 11, 12, 13 et 14 de U5, U12, U14, U15, U16. Vérifier également que la fréquence est stable dans tous les cas.
7. Vérifier à l'aide d'un oscilloscope muni d'une sonde de grade 200MHz ou plus la présence d'un signal analogique variable d'une amplitude maximale de $1V$ ($700mV$ typ.) sur les broches 28, 32 et 34 du ADV7125. Vérifier que les niveaux de tension demeurent stables pendant $25ns \pm 0.5ns$ à la suite d'un changement.
8. Avec un multimètre ou une sonde logique, mesurer le niveau logique de la broche 5 de U28. Ensuite, à l'aide d'un cavalier, forcer un niveau logique haut ($3.3V \pm 10\%$) sur la broche 14 de l'embase du LPC1769 (à gauche complètement du circuit imprimé). Valider que la broche 5 de U28 change d'état dans un délai maximal de $16.67ms \pm 100\mu s$.

2.2 Mise en fonction des systèmes auxiliaires

Installation initiale : Brancher l'adaptateur AC à une prise de courant 120V ainsi qu'un moniteur au connecteur VGA. Mettre l'interrupteur de l'adaptateur AC à la position ON (le côté avec une ligne doit être enfoncé) Connecter une manette compatible PlayStation2 au connecteur frontal pour le joueur 1 (Connecteur inférieur gauche). Insérer la carte mémoire identifiée *XES Game Card* dans le socle prévu à cet effet, texte vers le haut.

1. Appuyer sur le bouton-poussoir situé sur le panneau frontal du *XES*. S'assurer que le bouton demeure enfoncé et qu'il s'illumine. Vérifier ensuite que le démarrage du système s'est effectué avec succès (Le menu principal devrait s'afficher sur le moniteur).
2. À l'aide de la manette, valider à l'aide des boutons directionnels (situés à gauche) qu'il est possible de naviguer dans le menu principal et donc que la manette est bien connectée au système.
3. Accéder au menu « New Game », à l'aide du bouton « X », puis valider que le jeu s'initialise avec succès.
4. Appuyer sur le bouton « Start » afin de tester la communication avec la carte mémoire. Il devrait être inscrit le nom des sauvegardes, dans le cas d'une carte mémoire vierge, des tirets (---) pour indiquer un emplacement vide. Le cas échéant, un message d'erreur sera affiché. Dans ce cas, tenter de réinsérer la carte mémoire, et s'assurer qu'elle est insérée complètement.
5. Brancher l'interface de programmation du LPC1769, situé sur la face arrière du *XES*, à un ordinateur à l'aide d'un fil USB. Après quelques secondes, un périphérique devrait être disponible dans la liste des périphériques du PC nommé « MBED », indiquant que l'interface DEBUG du LPC1769 s'est connectée avec succès. Si ce n'est pas le cas, tenter de reconnecter le fil USB du côté du PC.

Chapitre III – Guide de dépannage

3.1 Dépannage du *DDC-860*

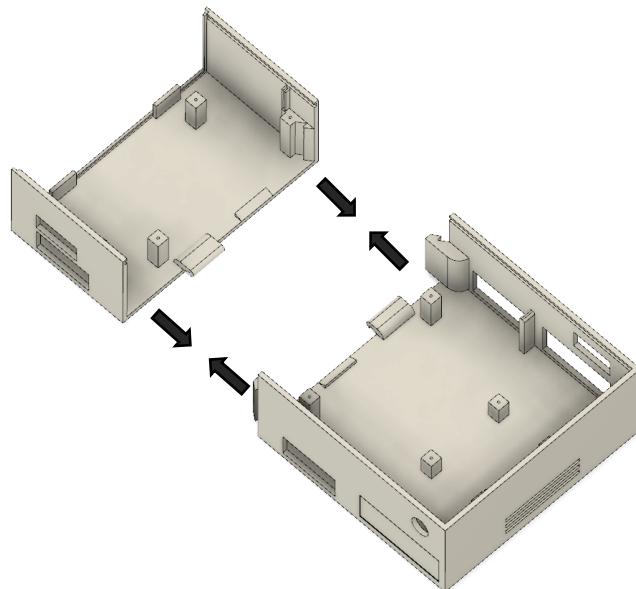
Symptôme	Problème possible	Diagnostic et/ou solutions
Le moniteur indique aucun signal vidéo	Le circuit n'est pas alimenté	Vérifier si la DEL verte près de la borne d'alimentation est allumée; Vérifier si les deux entrées GND et l'entrée +3V3 sont bien branchée
	Le câble VGA est mal branché ou défectueux	Rebrancher le fil VGA au moniteur ainsi qu'au <i>DDC-860</i> . Essayer un autre câble VGA.
	Le circuit de synchronisation est défectueux	Vérifier avec un oscilloscope la présence d'une onde carrée de 40MHz sur la broche 1 de U26 (ICS551). Le cas échéant, remplacer X1 (KC-2520C); Valider ensuite si la même fréquence est présente sur les broches 2 et 5 de U26. Le cas échéant, remplacer U26; Vérifier avec un oscilloscope la présence d'un signal à impulsion à une fréquence de ~37.88KHz sur la broche 20 de IC7 (PALLV22V10), ainsi qu'un signal à impulsion d'une fréquence de 60Hz sur la broche 18 de IC6 (PALLV22V10). Le cas échéant, remplacer le PALLV22V10 défectueux; Valider la présence d'une onde carrée d'une fréquence de 37.88KHz sur la broche 6 de U29 (74LVC109), ainsi que d'une onde carrée d'une fréquence de 60Hz sur la broche 10 de U29. Le cas échéant, remplacer U29.
L'écran est rempli de pixels multicolores	Le microprocesseur est défectueux ou mal connecté	Retirer le LPCXpresso1769 de sur les embases et le réinsérer, puis réinitialiser le système (l'éteindre puis rallumer). Si le problème persiste, remplacer le LPCXpresso1769.
	La bascule d'inversion d'écriture/lecture est défectueuse	À l'aide d'un oscilloscope, vérifier que les broches 5 et 6 de U28 (74LVC74) change d'état à la suite d'un changement d'état sur la broche 2 de U28. Le cas échéant, remplacer U28.
L'affichage saccadé	Un pilote d'entrée de verrouillage d'écriture est défectueux	Retirer le LPCXpresso1769 puis vérifier avec un multimètre la présence d'un niveau haut sur la broche 4 de U27 et U28 (74LVC1G00), qui devrait être de $3.3V \pm 10\%$. Réinsérer le microprocesseur puis vérifier ensuite la présence d'impulsions négatives sur la broche 4 de U27 et U28 avec un oscilloscope. Dans un cas contraire, remplacer la puce.

	Une mémoire est défectueuse	Retirer le LPCXpresso1769 puis vérifier à l'aide d'un multimètre le niveau observé sur la broche 5 de U28 (74LVC74). Si celui-ci est un niveau logique bas (0V), vérifier avec un oscilloscope la présence d'un signal numérique quelconque sur la broche 9 de SRAM1, ou sur SRAM2 dans le cas d'un niveau logique haut (3.3V). Si aucun changement de niveau est observé sur la broche 9, remplacer la mémoire.
L'écran demeure complètement noir	Le circuit d'horloge est défectueux	Vérifier avec un oscilloscope la présence d'une onde carrée de 40MHz sur la broche 1 de U26 (ICS551). Le cas échéant, remplacer X1 (KC-2520C); Valider ensuite si la même fréquence est présente sur les broches 3 et 4 de U26. Le cas échéant, remplacer U26;
	Le convertisseur numérique à analogique est défectueux	Valider la présence d'un signal numérique quelconque avec un oscilloscope sur les broches 3-10, 16-23 et 41-48 du ADV7125 lors de l'initialisation du circuit (lors de l'alimentation). Brancher l'oscilloscope sur la broche 34 puis réinitialiser le circuit. Si aucun changement de tension n'est observé, remplacer le ADV7125.
	Le compteur d'adresse est défectueux	Vérifier à l'aide d'un oscilloscope la présence d'une onde carrée sur les broches 11 à 14 de U5, U12, U14, U15 et U16 (74LVC163). Dans un cas contraire, remplacer la puce.
L'image garde une teinte de couleur en permanence	Le convertisseur numérique à analogique est défectueux	Valider la continuité des soudures sur chaque broche du ADV7125. Remplacer le ADV7125 si aucun problème d'assemblage n'est observé.

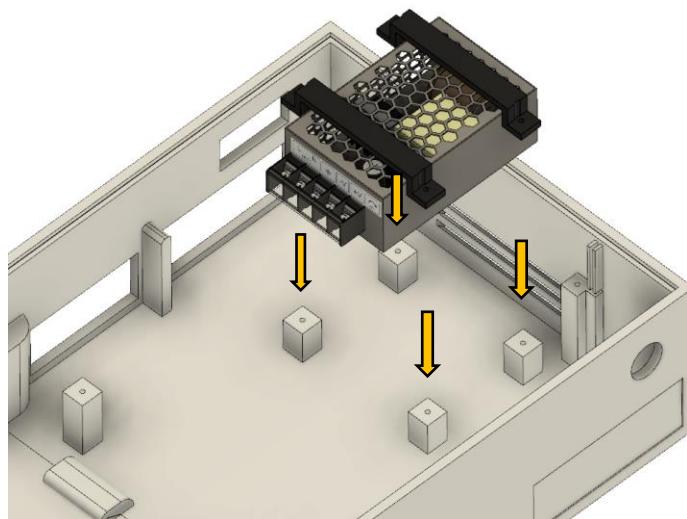
Chapitre IV – Construction

L'assemblage du *Xav Entertainment System*, dont le *DDC-860* fait partie, se fait en une série d'étapes. En effet, le boîtier est construit en plusieurs pièces imprimées en 3D en filament de type PLA (acide polylactique). Les facettes insérables servant à maintenir en place les divers connecteurs du système sont également faites en PLA.

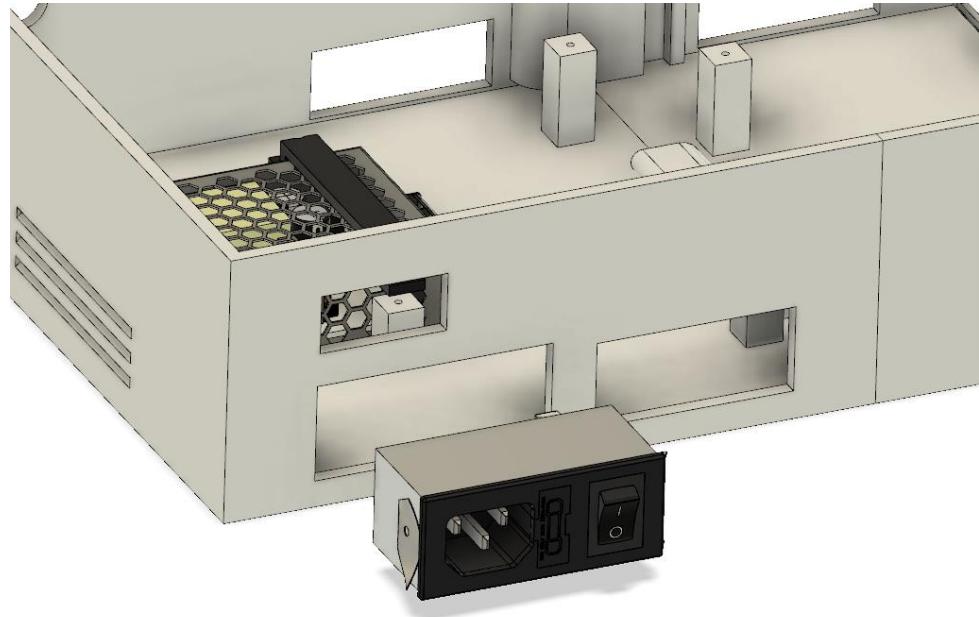
Étape 1 : Joindre les deux parties principales du boîtier ensemble. Celles-ci s'imbriquent ensemble grâce à des encoches situées sur les côtés et le fond des deux pièces. Appliquer un peu de force si nécessaire.



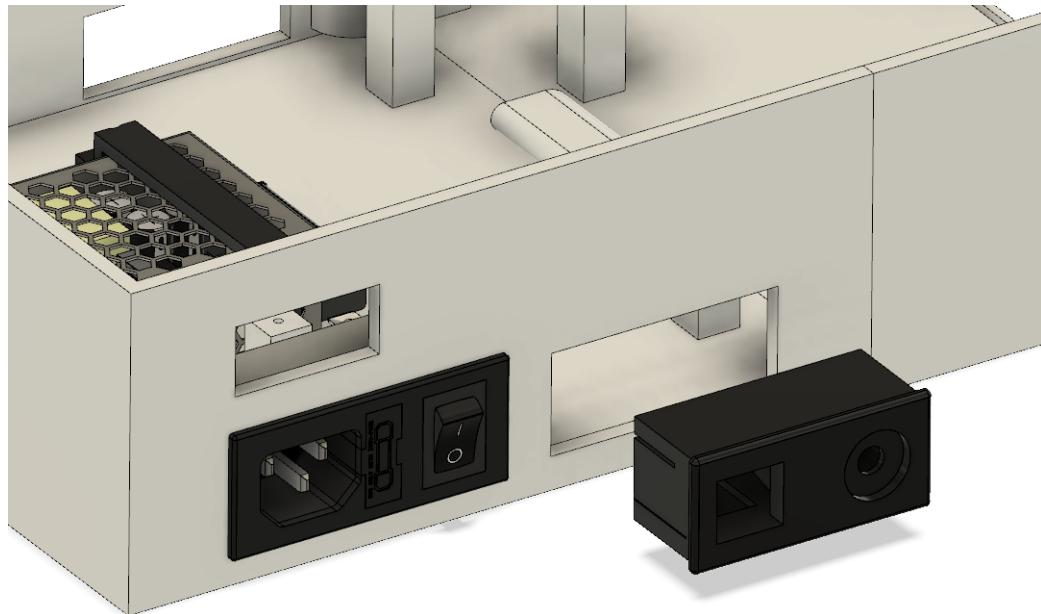
Étape 2 : Placer le bloc d'alimentation au fond du boîtier à l'endroit indiqué ci-dessous. Ensuite, visser les deux pièces de maintien en forme de « U » sur les poutres prévues à cet effet. Ajuster le serrage des vis afin que bloc d'alimentation ne puisse plus bouger.



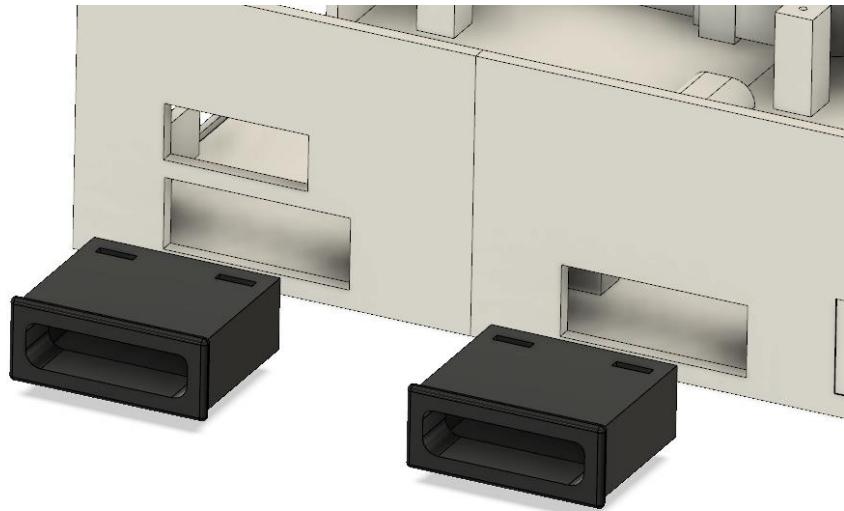
Étape 3: Insérer l'adaptateur AC dans le découpage rectangulaire prévu à cet effet à l'arrière du boîtier. Veiller à l'insérer dans le bon sens, c'est-à-dire avec l'interrupteur à droite, comme indiqué ci-dessous.



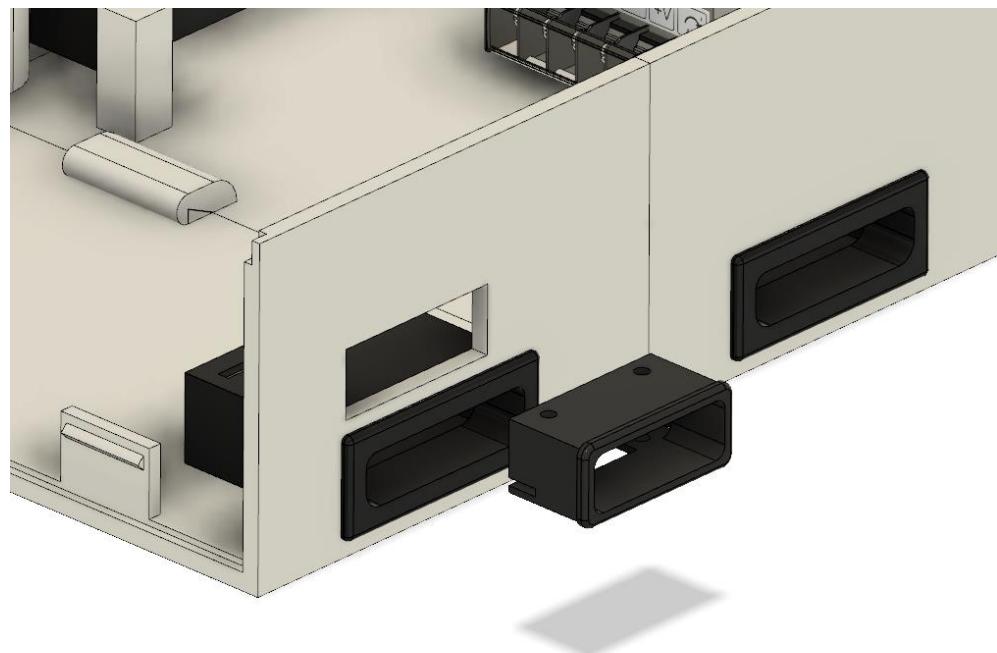
Étape 4 : Insérer le Keystone© USB ainsi que le connecteur mural femelle auxiliaire dans leur socle. Ensuite, insérer ce socle dans le découpage rectangulaire à l'arrière du boîtier tel qu'indiqué ci-dessous. Puis, connecter le fil USB 1 à 2 à l'intérieur, et le fixer au fond du boîtier à l'horizontal à l'aide d'époxy.



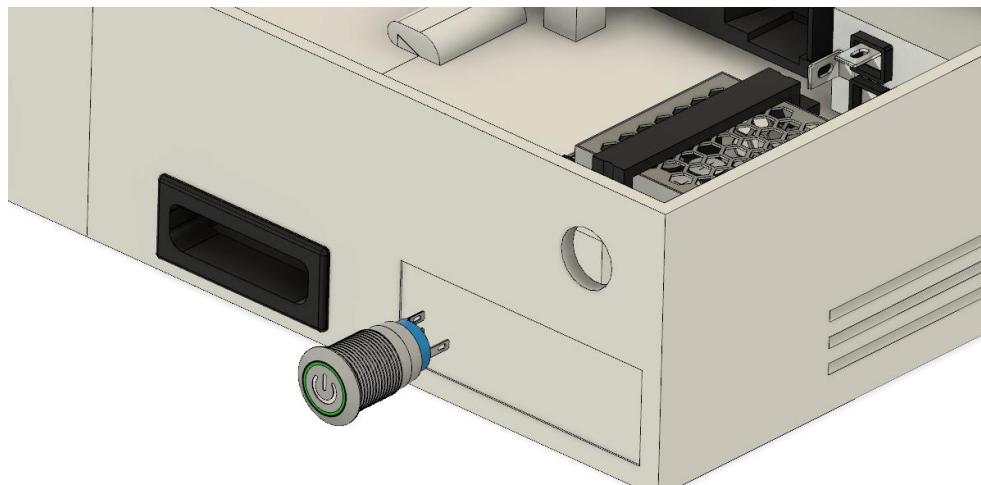
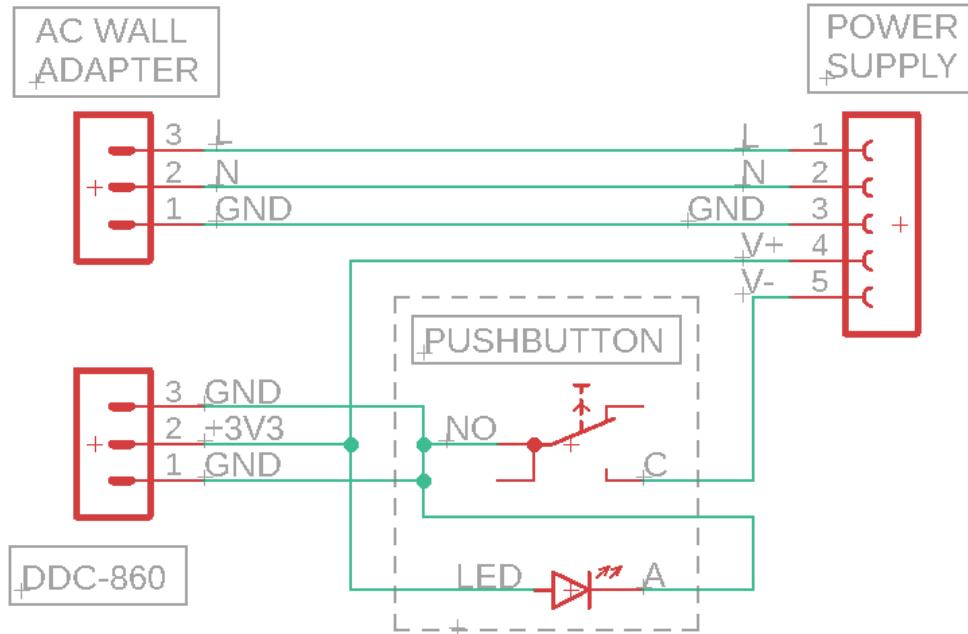
Étape 5 : Assembler chacun des deux connecteurs de manette de PlayStation 2 avec leur socle. Ensuite, insérer le socle dans les découpages rectangulaires prévus à cet effet à l'avant du boîtier.



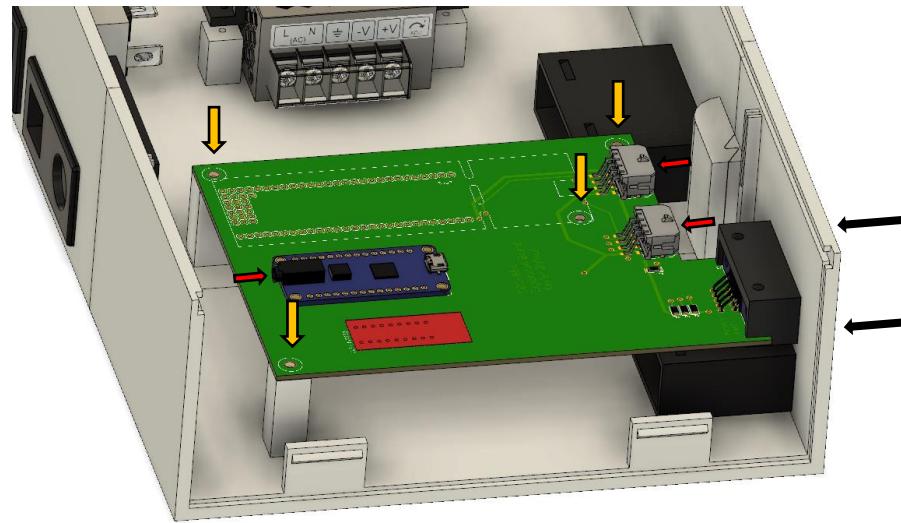
Étape 6 : Insérer le petit socle avec un trou rectangulaire au coins arrondis dans le dernier découpage libre à l'avant du boîtier. Cependant, ne pas l'insérer jusqu'au fond immédiatement.



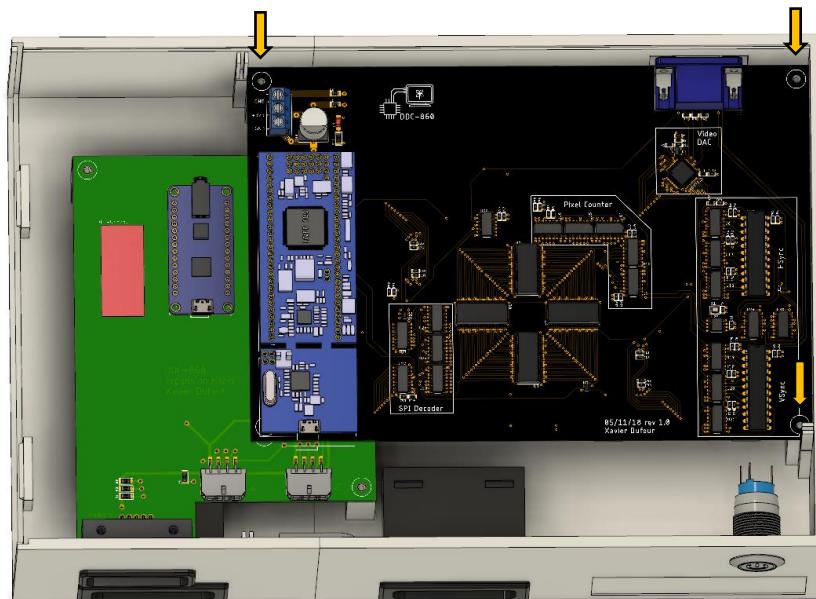
Étape 7 : Retirer le boulon du bouton-interrupteur, puis brancher les fils à celui-ci en suivant le schéma ci-dessous. Ceux-ci peuvent être soudés aux broches du bouton ou des contacts amovibles peuvent être utilisés, au choix. Ensuite, insérer le bouton dans le trou circulaire sur la façade du boîtier, puis utiliser le boulon retiré précédemment pour le maintenir solidement en place. Effectuer également le branchement entre l'adaptateur AC et le bloc d'alimentation, conformément au schéma ci-dessous encore une fois. Prévoir une longueur d'environ 25cm pour les fils destinés à être branché au DDC-860, et les placer de manière qu'ils soient accessibles par la gauche du boîtier, pour une étape future. Finalement, vérifier si le branchement est correct en appuyant sur le bouton : celui-ci devrait s'allumer.



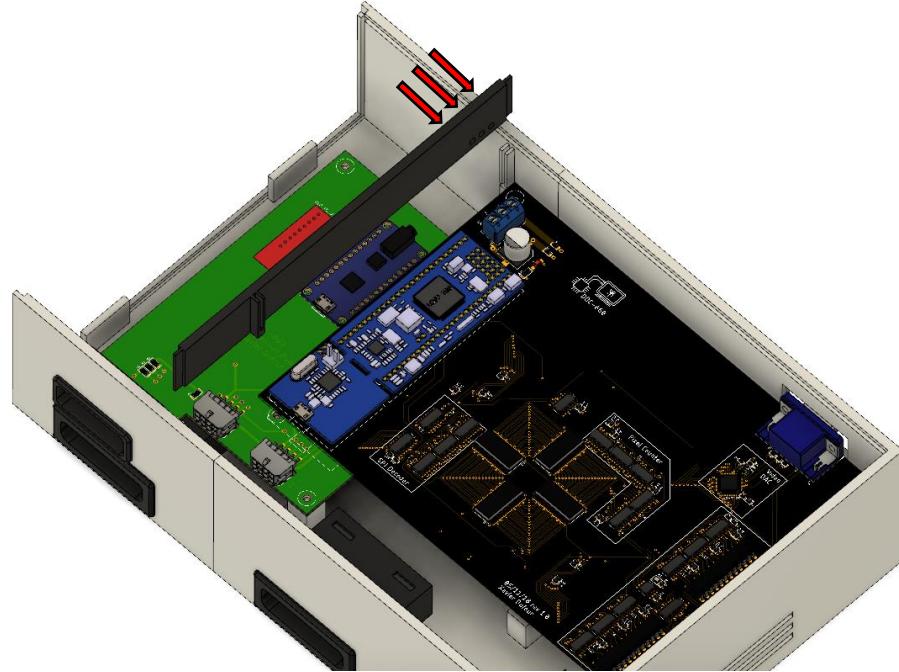
Étape 8 : Insérer le circuit imprimé identifié « DDC-860 Expansion Board » à l'intérieur du boîtier, puis le fixer en place à l'aide de vis courtes dans les trous aux coins du circuit imprimé, ainsi qu'au milieu. Veiller à ce que le connecteur bleu à l'avant du PCB soit bien aligné avec le socle de la carte mémoire, puis pousser le socle jusqu'au fond de son emplacement, tel que montré ci-dessous. Une fois ceci effectué, brancher les connecteurs MOLEX des deux socles de manette aux connecteurs gris prévus à cet effet. Ensuite, brancher le fil audio auxiliaire dans la prise du circuit imprimé bleu identifié « Adafruit AudioFX ».



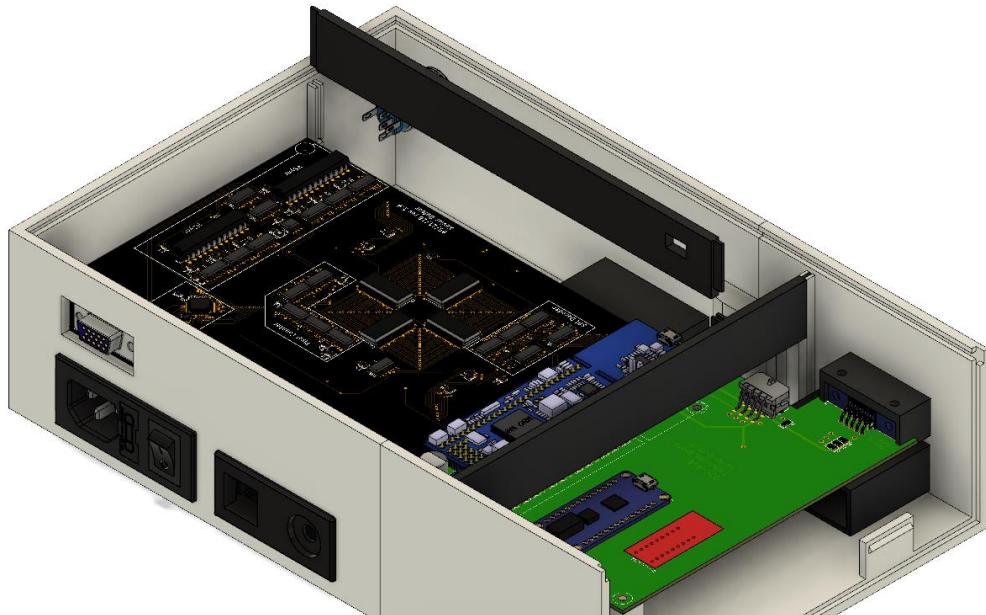
Étape 9 : Insérer le circuit imprimé principal, identifié « DDC-860 » dans le coin supérieur droit du boîtier. Les trous de montages sur celui-ci doivent arriver précisément vis-à-vis ceux des piliers au fond du boîtier. Procéder délicatement, et s'assurer que les embases mâles du « DDC-860 Expansion Board » s'insèrent bien dans les embases femelles sur la face inférieure du *DDC-860*. Une fois le circuit imprimé bien en place, le fixer à l'aide de vis courtes.



Étape 10 : Insérer verticalement le montant noir le plus court dans le boîtier tel que montré ci-dessous. Celui-ci doit s'insérer dans les fentes sur les côtés du boîtier, et le dessus du montant devraient être égal au rebord des fentes. Ensuite, brancher les fils de l'étape 7 laissés à gauche au *DDC-860* à travers les trous dans la partie inférieure du montant.



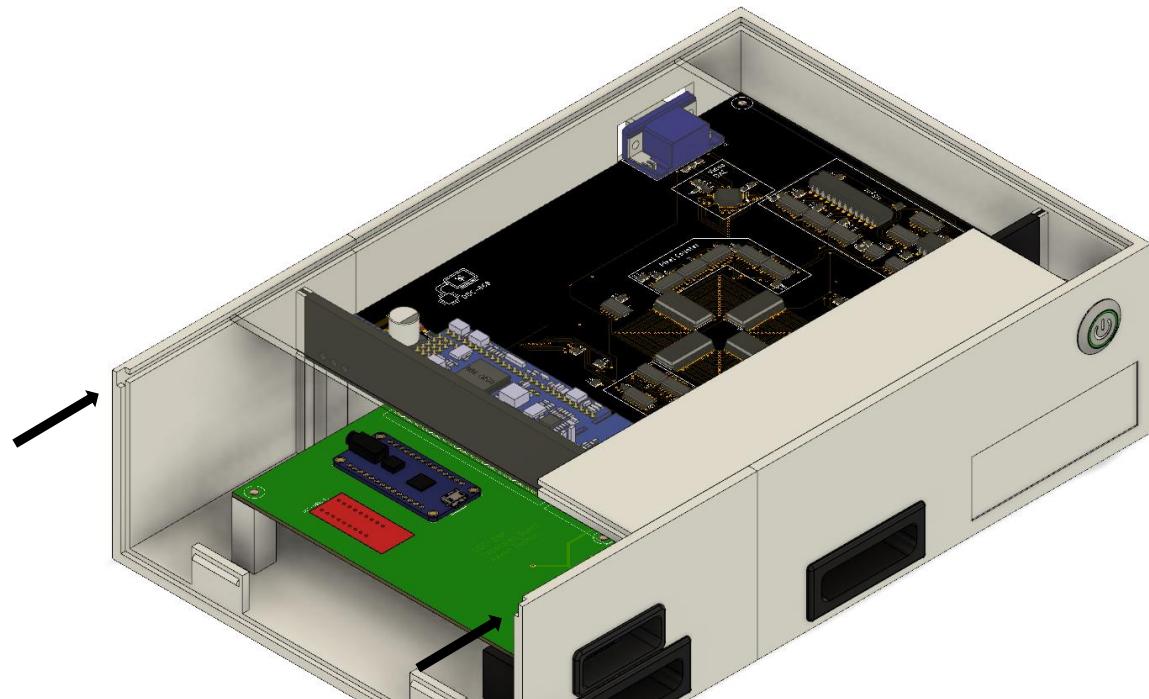
Étape 11 : Insérer le deuxième montant noir, verticalement encore une fois. Celui-ci s'insère dans la fente sur le côté droit du boîtier, ainsi que dans la fente sur le côté du premier montant. Vérifier que le trou rectangulaire est bien vis-à-vis du connecteur micro-USB présent sur le LPCXpresso1769.



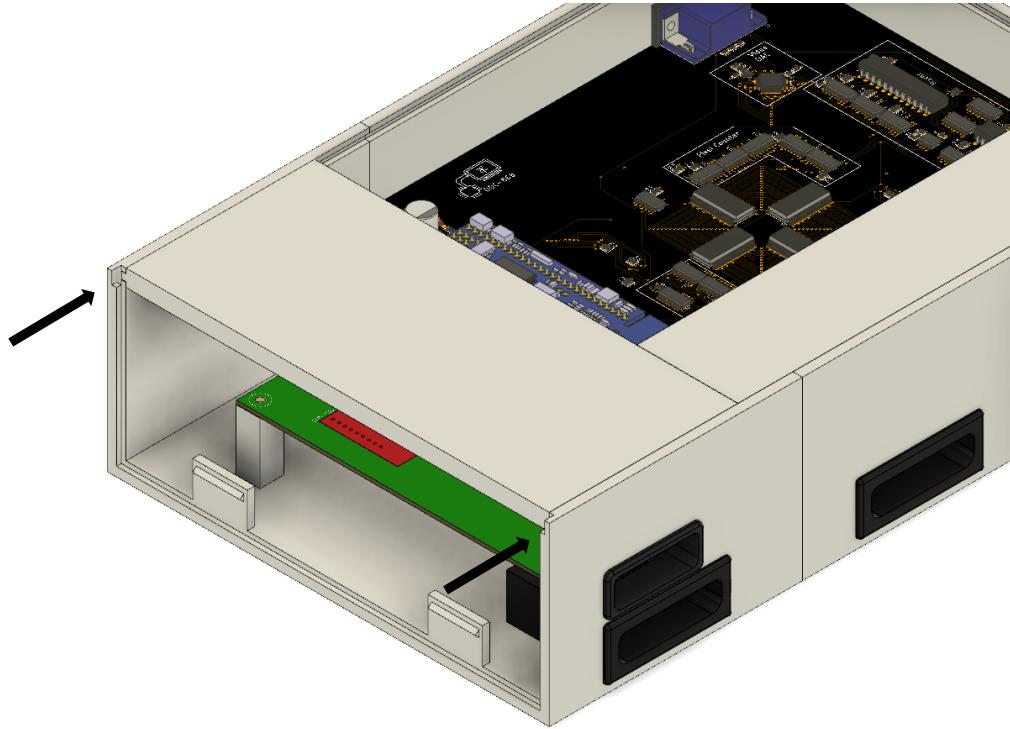
Étape 12 : Insérer le dernier socle rectangulaire autour du connecteur VGA du *DDC-860*, jusqu'au fond du découpage rectangulaire sur la face arrière du boîtier.



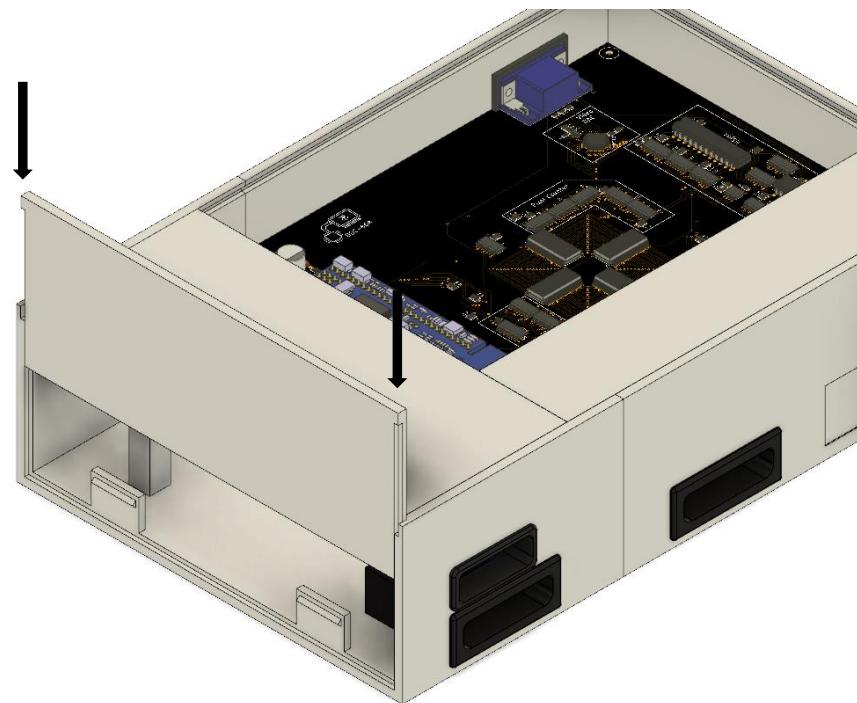
Étape 13 : Insérer la vitre dans l'encoche du panneau blanc le plus long, jusqu'au fond de la fente prévue à cet effet. Ensuite, faire glisser l'assemblage par le côté droit du boîtier dans les fentes situées sur les côtés intérieurs de ce dernier. La vitre et le panneau ne devraient pas dépasser le rebord du premier montant une fois ceux-ci correctement insérés.



Étape 14 : Glisser le panneau blanc le plus épais des deux restants dans les fentes du boîtier. Celui-ci doit s'insérer autour de la vitre et du premier panneau, de manière que le rebord gauche du panneau ne dépasse pas le début de la fente à l'extrême du boîtier, tel que montré ci-dessous.



Étape 15 : Glisser le dernier panneau blanc dans le boîtier. S'assurer que celui-ci s'insère jusqu'au fond, afin que son rebord supérieur soit égal au dessus du reste du boîtier. Au besoin, appliquer de la force dans le bas du panneau en poussant vers l'intérieur pour que le panneau entre dans la glissière du boîtier.



Chapitre V – Conclusion

En conclusion, ce projet m'a permis d'approfondir mes connaissances en conception de circuit imprimé ainsi qu'en réalisation d'un système électronique complexe. En effet, l'intégration d'éléments électronique avec leur interface respective dans un produit fini fut un plus grand défi que je ne l'imaginais à la base. J'ai par exemple dû apprendre à utiliser Fusion360, un logiciel de modélisation 3D, afin de simuler l'assemblage de mon projet et valider de manière concrète les dimensions et connexions entre chaque élément. Des erreurs mineures ont été constaté, tel que des marges de tolérance légèrement insuffisante, ainsi qu'une inexactitude au niveau des dimensions du PCB du *DDC-860*, qui ont nécessités des ajustements au niveau des composantes imprimées en 3D.

Mon projet a atteint l'ensemble des objectifs fixés initialement. En effet, c'était une idée risquée qui aurait pu ne pas fonctionner, mais une rigueur dans la conception du schéma électronique ainsi qu'une planification méticuleuse m'ont permis de mener à bien ce projet. Si le projet était à refaire, je tenterais probablement de remplacer la logique discrète présente dans le circuit par un FPGA, qui permettrait par la suite d'intégrer une troisième mémoire SRAM qui servirait de ROM pour les différents éléments graphique nécessaire à l'application, ce qui augmenterait de manière significative le nombre de pixel modifiables par seconde. Cela permettrait également, entre autres, d'implémenter une palette de couleur dans le DAC, système que les consoles d'antan utilisaient afin de ménager la transmission des mêmes éléments graphiques avec une couleur différente.

Médiagraphie

Documents:

ANALOG DEVICES. Dealing with High-Speed Logic. [PDF] <http://www.analog.com/media/en/training-seminars/tutorials/MT-097.pdf>, 9 octobre 2018.

ANALOG DEVICES. Decoupling Techniques. [PDF] <https://www.analog.com/media/en/training-seminars/tutorials/MT-101.pdf>, 25 octobre 2018.

CHAKRAPANI, Anuj. SRAM Board Design Guidelines. [PDF] <http://www.cypress.com/file/38651/download>, 23 octobre 2018.

KATRAI, Cameron. Clock Termination Techniques. [PDF] <https://www.diodes.com/assets/App-Note-Files/AB023.pdf>, 23 octobre 2018.

MURATA MANUFACTURING CO., LTD. What are impedance/ESR frequency characteristics in capacitors. [En ligne] <https://www.murata.com/products/emiconfun/capacitor/2013/02/14/en-20130214-p1>, 25 octobre 2018.

NEXPERIA. Signal Integrity for Logic Devices. [PDF] <https://assets.nexperia.com/documents/leaflet/75017184.pdf>, 9 octobre 2018.

LANTOSCA, Lucy. Signal Speed and Propagation Delay in a PCB Transmission Line. [En ligne] www.protoexpress.com/blog/signal-speed-propagation-delay-pcb-transmission-line/, 9 octobre 2018.

SECONS, LTD. VGA Signal Timing. [En ligne] <http://tinyvga.com/vga-timing>, 25 octobre 2018.

F. WAKERLY, John. Cntr: Fun with the 74x163 Binary Counter. [PDF] http://wakerly.org/DDPP/DDPP4student/Supplementary_sections/Cntr.pdf, 1er novembre 2018.

Fiches techniques :

74AHC1G02 :

https://assets.nexperia.com/documents/data-sheet/74AHC_AHCT1G02.pdf

74ALVCH16827:

<https://assets.nexperia.com/documents/data-sheet/74ALVCH16827.pdf>

74LVC163:

<https://assets.nexperia.com/documents/data-sheet/74LVC163.pdf>

74LVC245:

https://assets.nexperia.com/documents/data-sheet/74LVC_LVCH245A.pdf

74LVC595:

<https://assets.nexperia.com/documents/data-sheet/74LVC595A.pdf>

74LVC109:

<https://datasheet.octopart.com/74LVC109PW,112-NXP-datasheet-8331644.pdf>

74LVC1G00:

<https://assets.nexperia.com/documents/data-sheet/74LVC1G00.pdf>

CY7C1059DV33:

<https://www.cypress.com/file/42791/download>

74AHC1G02:

https://assets.nexperia.com/documents/data-sheet/74AHC_AHCT1G02.pdf

74LVC1G02:

<https://assets.nexperia.com/documents/data-sheet/74LVC1G02.pdf>

74LVC112:

<http://www.ti.com/lit/ds/symlink/sn74lvc112a.pdf>

74LVC74:

<https://assets.nexperia.com/documents/data-sheet/74LVC74A.pdf>

AD1580:

<https://www.analog.com/media/en/technical-documentation/data-sheets/ad1580.pdf>

ADV7125:

<https://www.analog.com/media/en/technical-documentation/data-sheets/adv7125.pdf>

ICS551:

<https://www.idt.com/document/dst/551-datasheet>

KC2520C40.0000C2YE00:

https://global.kyocera.com/prdct/electro/product/pdf/kc2520c_c2_e.pdf

Table des annexes

Annexe I : Fichiers de conception du *DDC-860*

Annexe II : Fichiers de conception du circuit imprimé d'expansion

Annexe III : Fichiers de conceptions du circuit imprimé de la carte mémoire

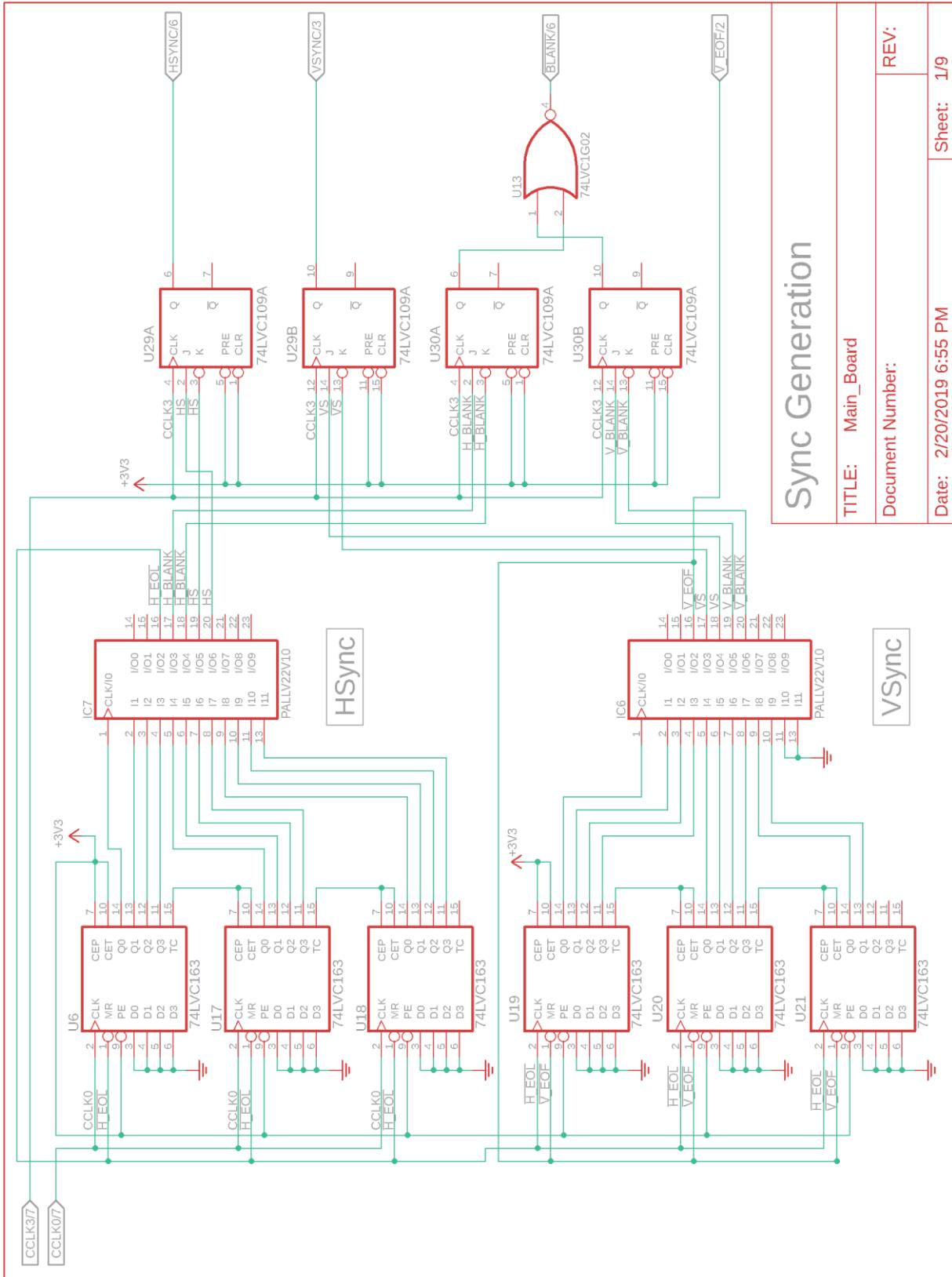
Annexe IV : Schémas de câblage

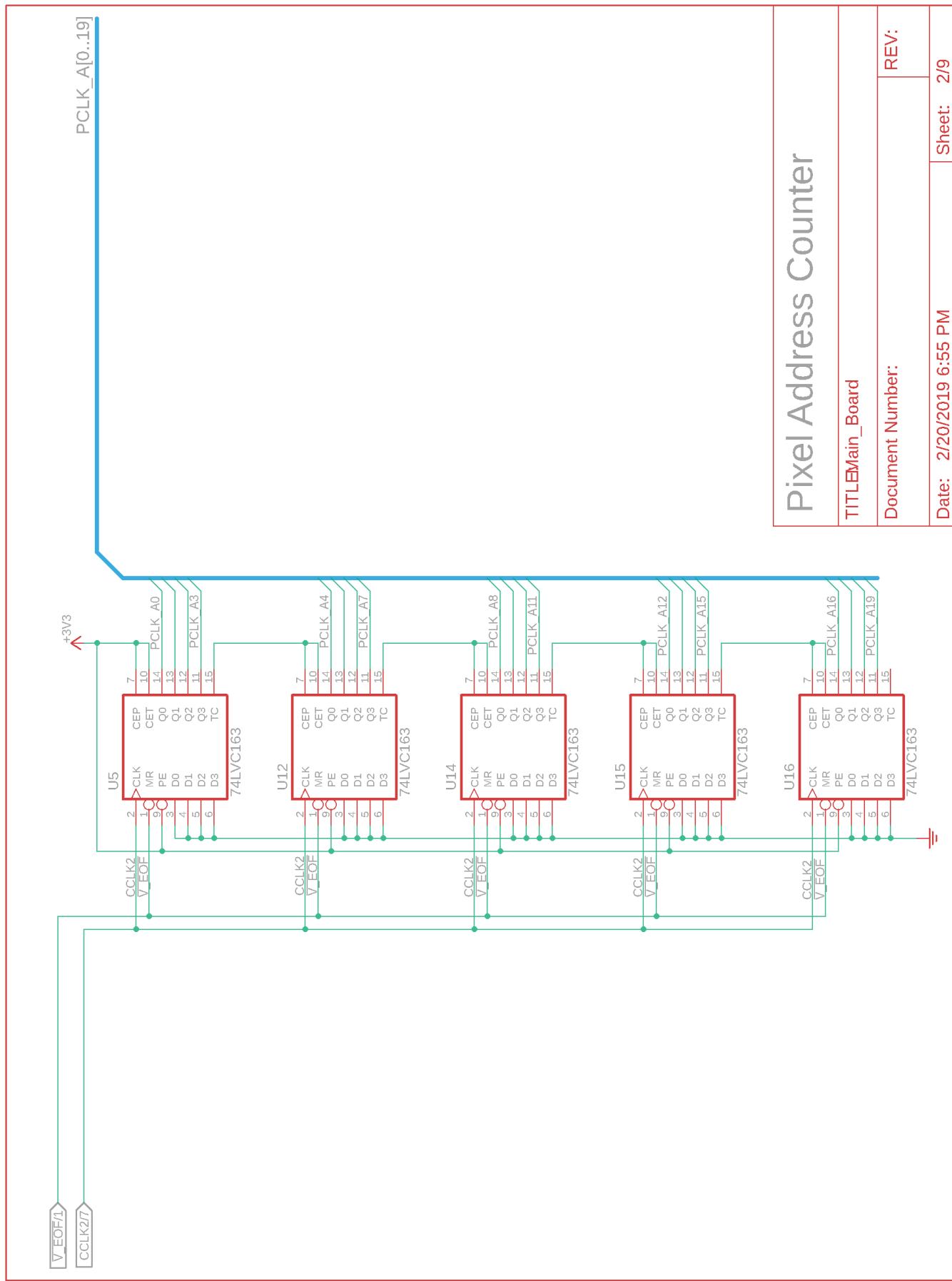
Annexe V : Liste de pièces du *DDC-860*

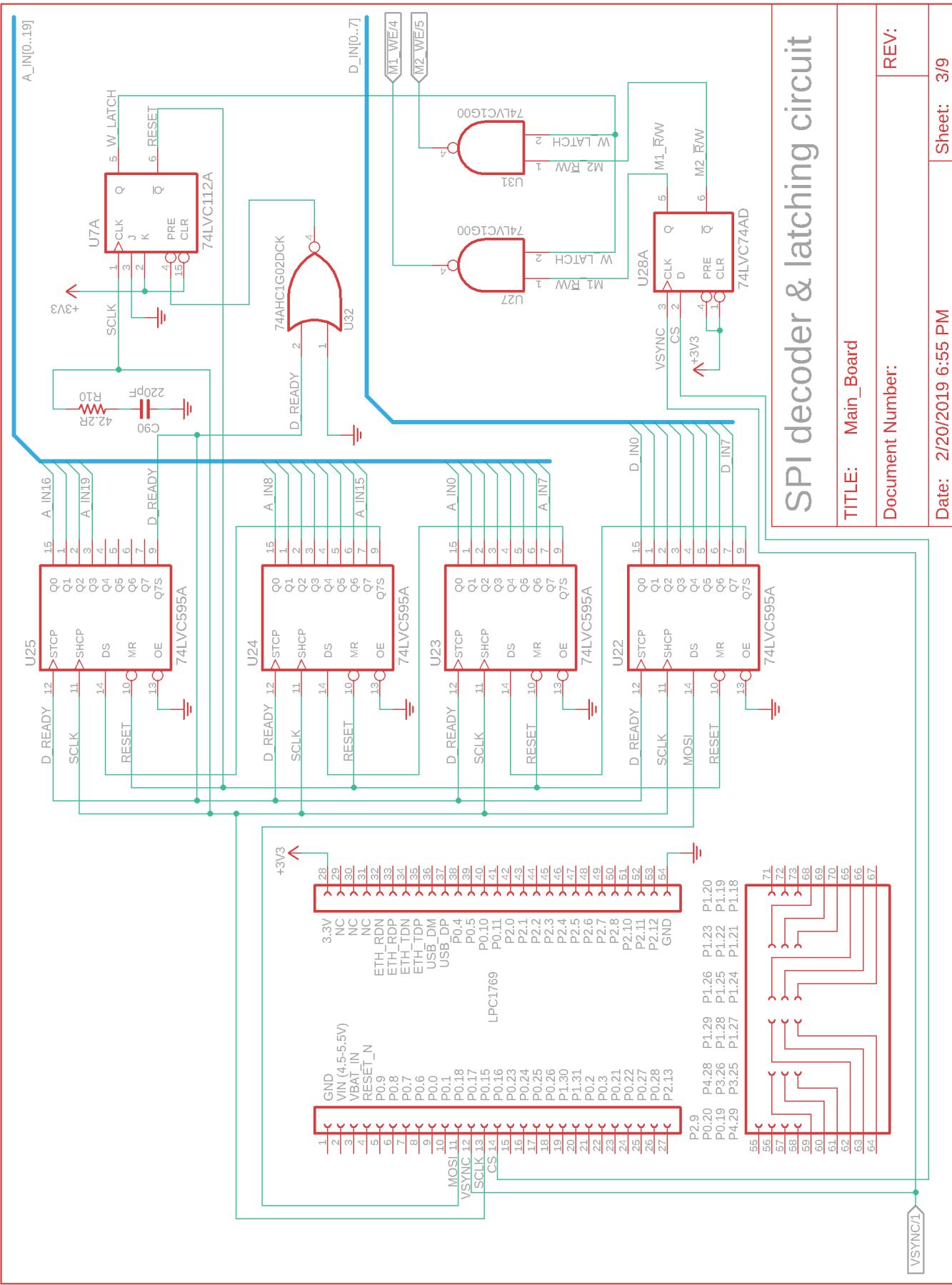
Annexe VI : Code source du programme du *XES*

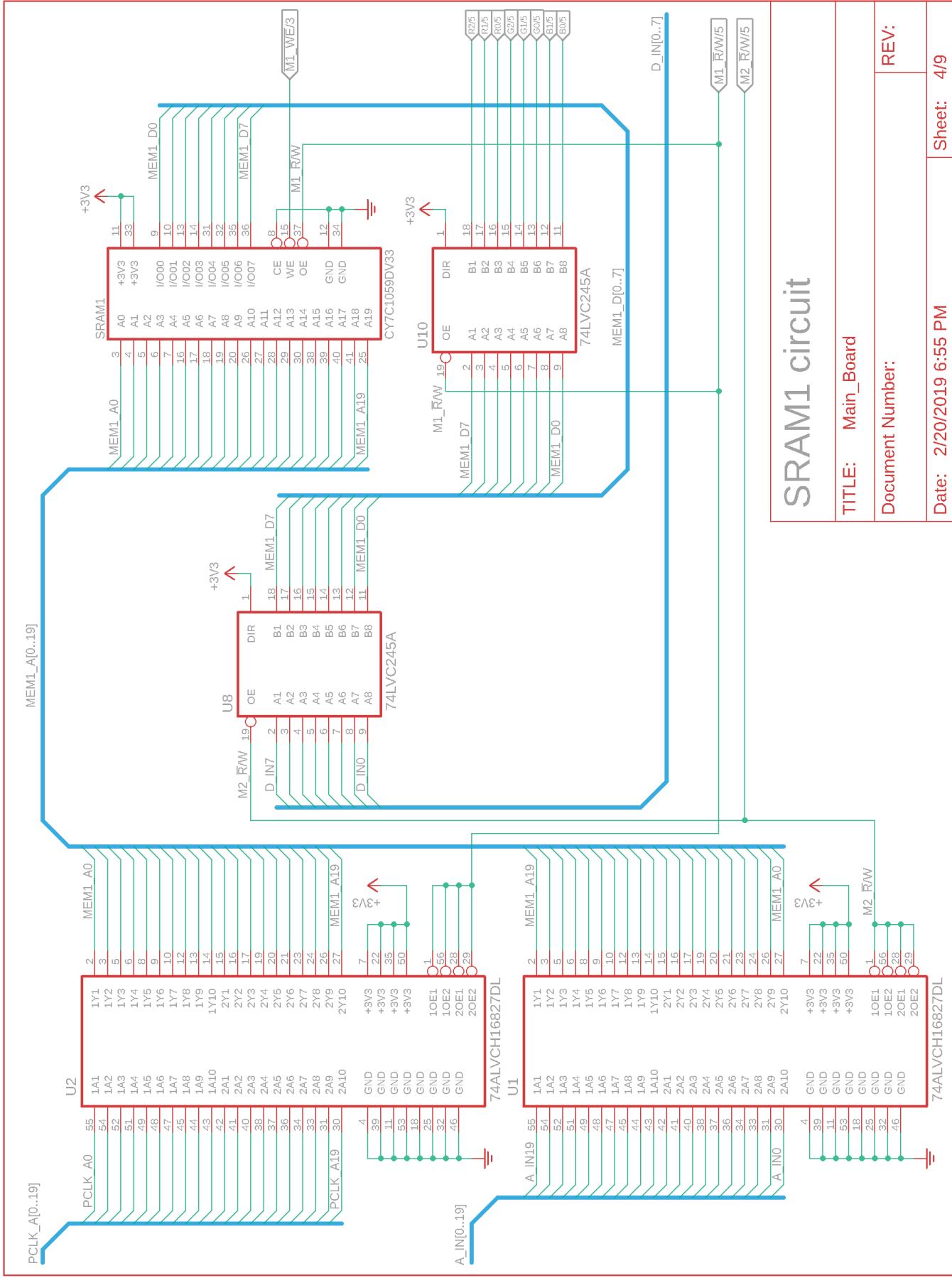
Annexe I – Fichiers de conception du DDC-860

1.1 Schéma électronique

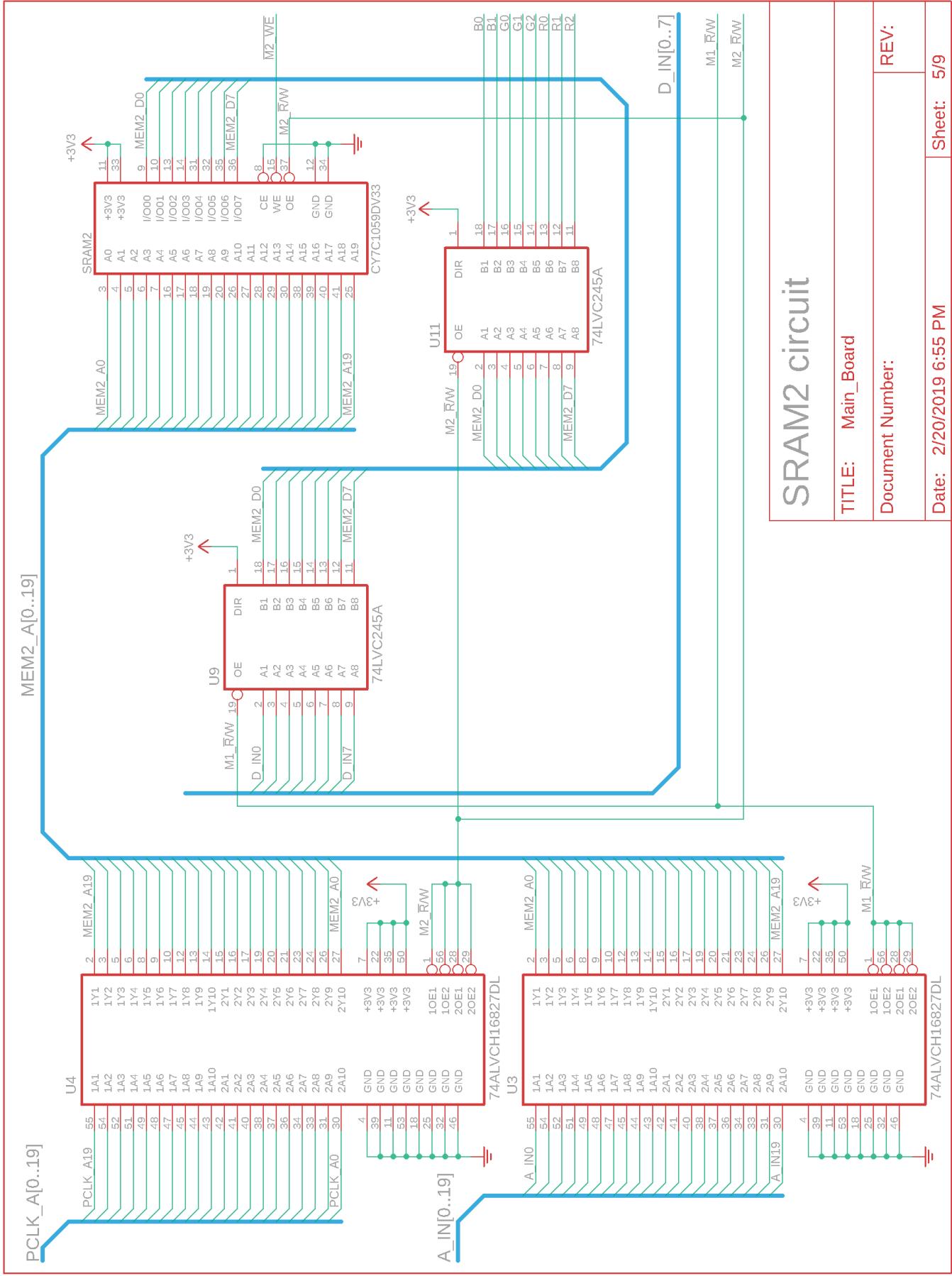


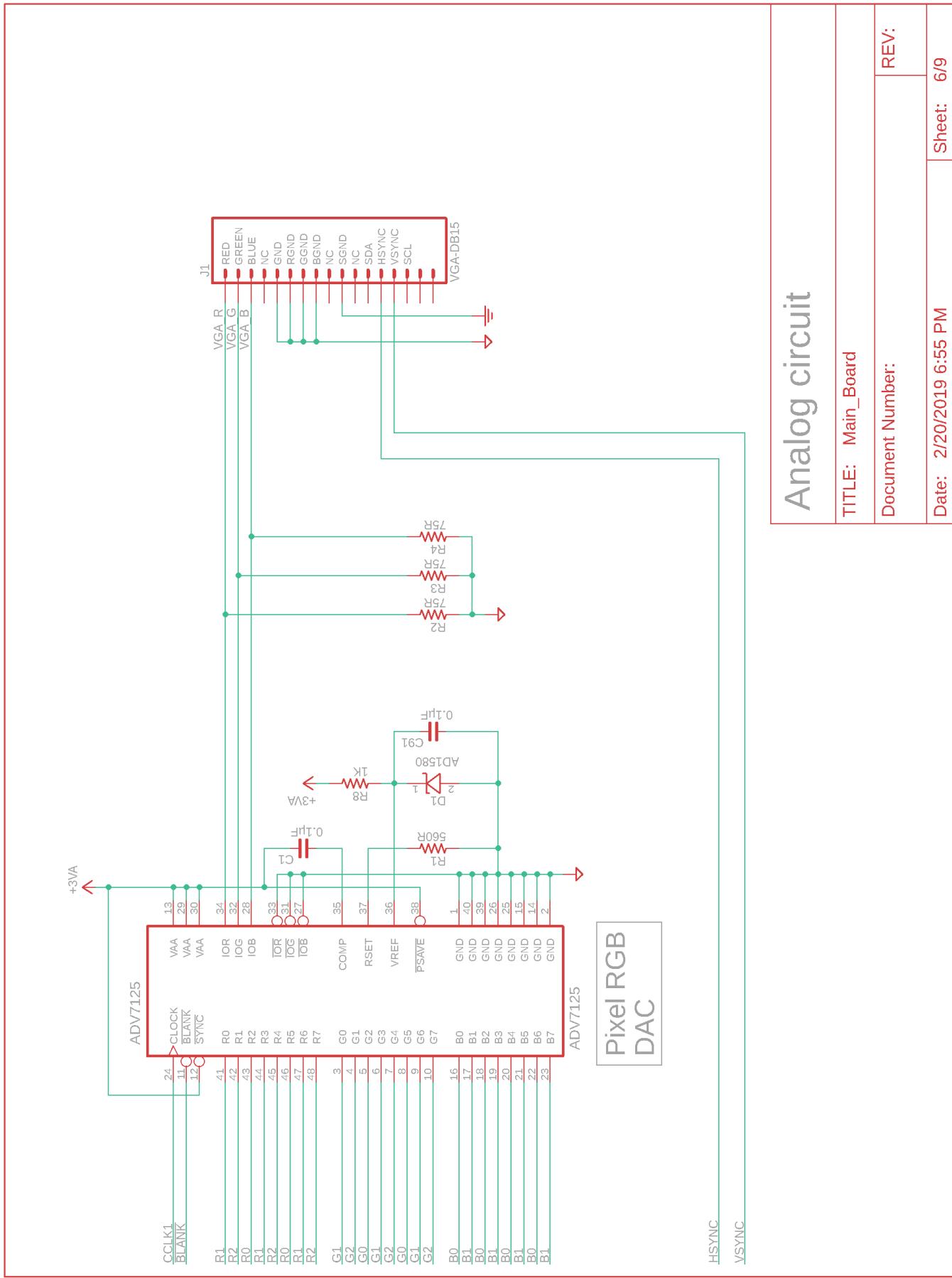




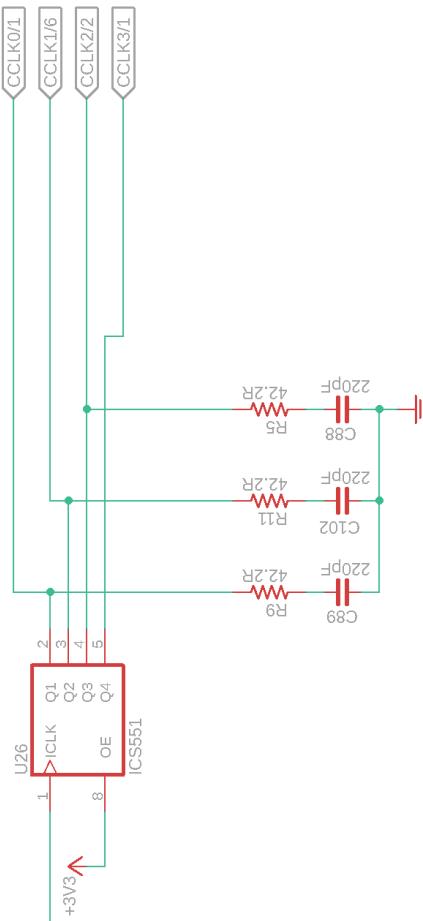
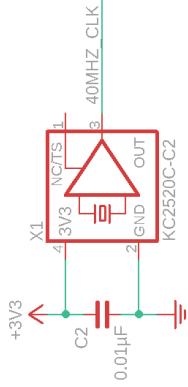


TITLE: Main_Board	Document Number:
REV: 4/9	Date: 2/20/2019 6:55 PM





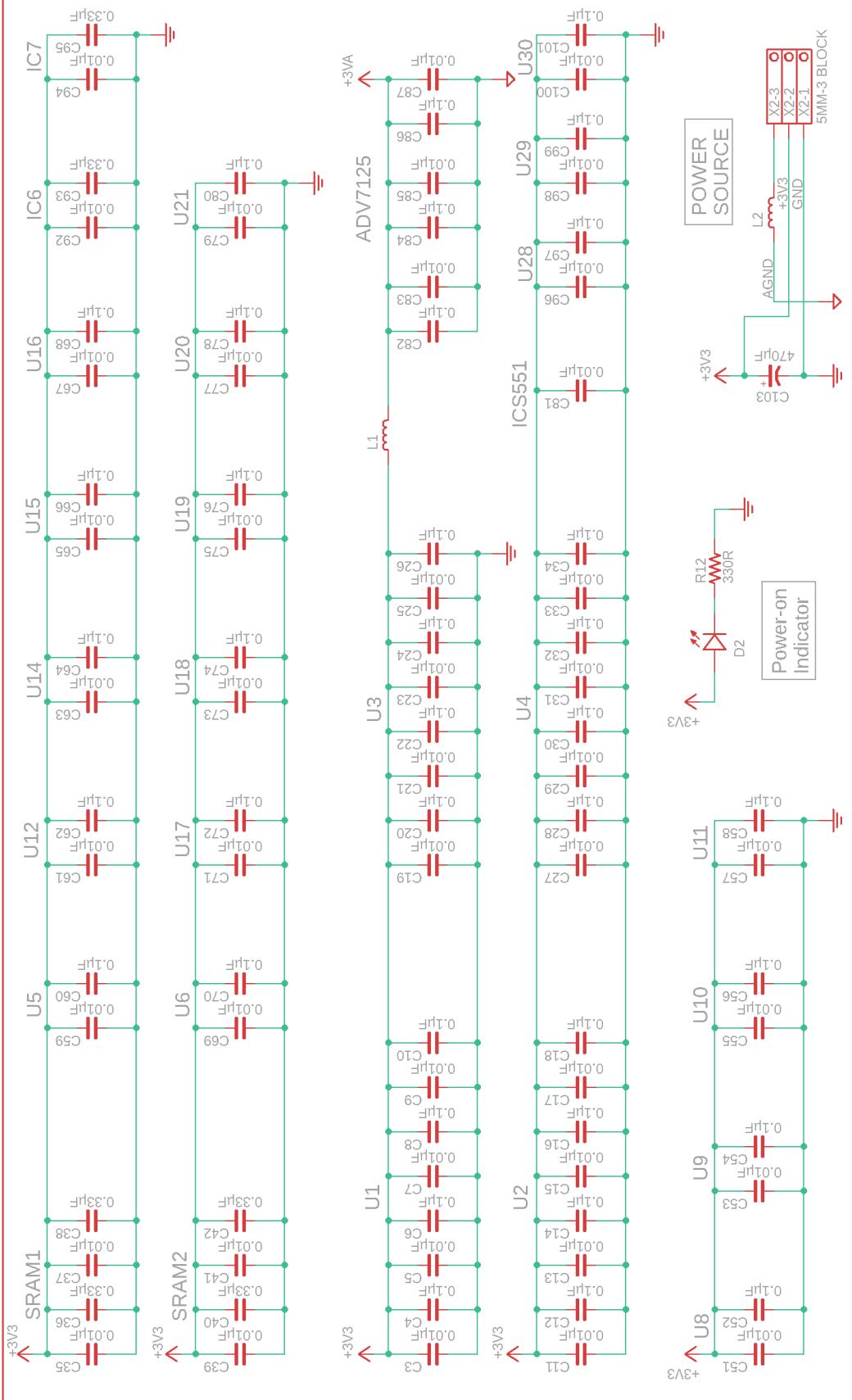
40Mhz Oscillator



AC Terminations

Clock circuit

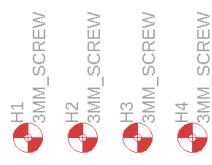
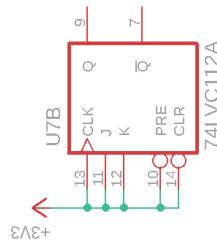
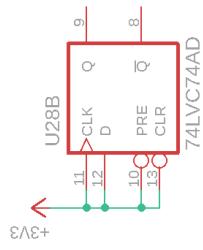
TITLE:	Main_Board	REV:
Document Number:		
Date:	2/20/2019 6:55 PM	Sheet: 7/9



Decoupling capacitors & power

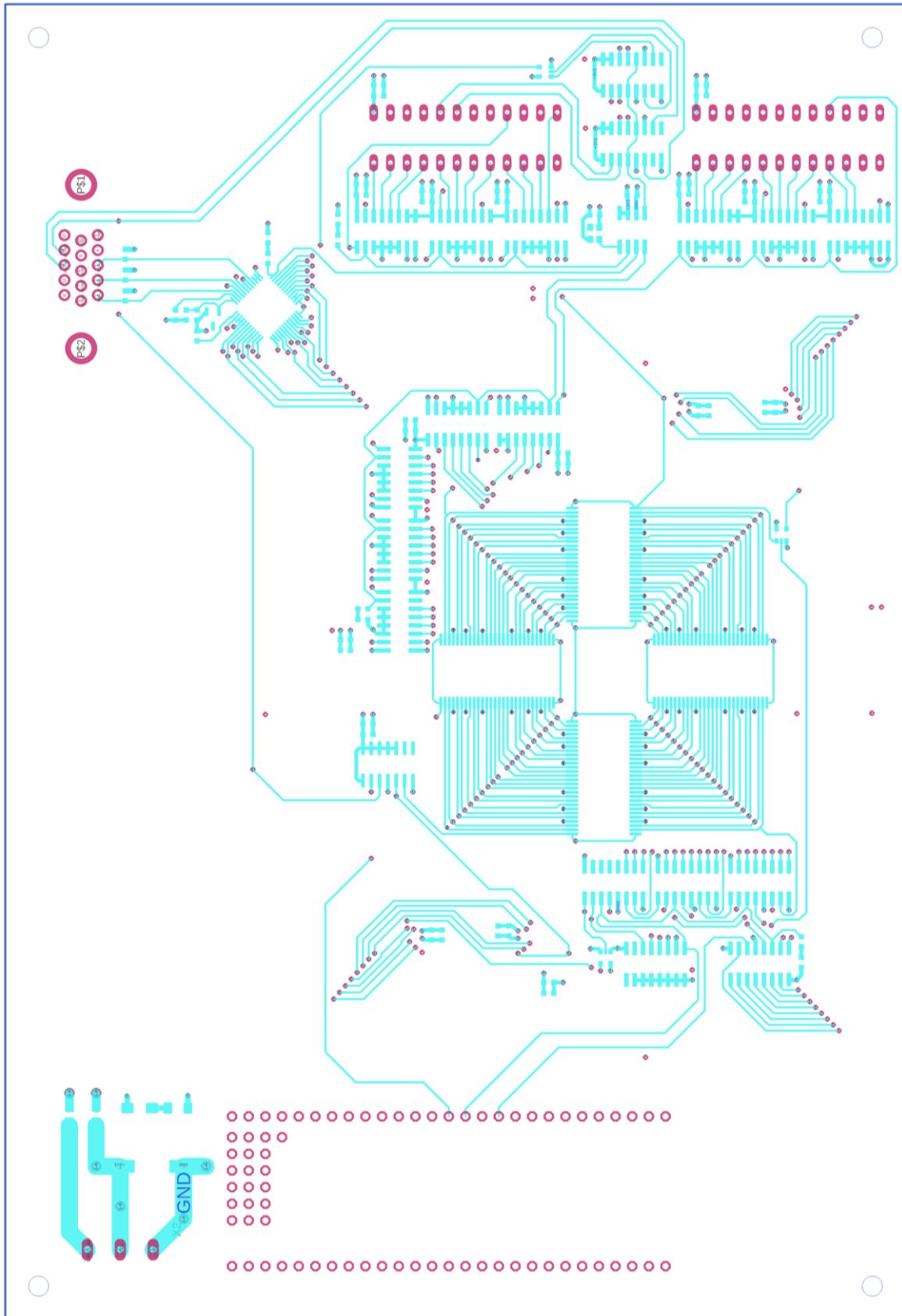
TITLE: Main_Board	REV:
Document Number:	
Date: 2/20/2019 6:55 PM	Sheet: 8/9

Unused Gates

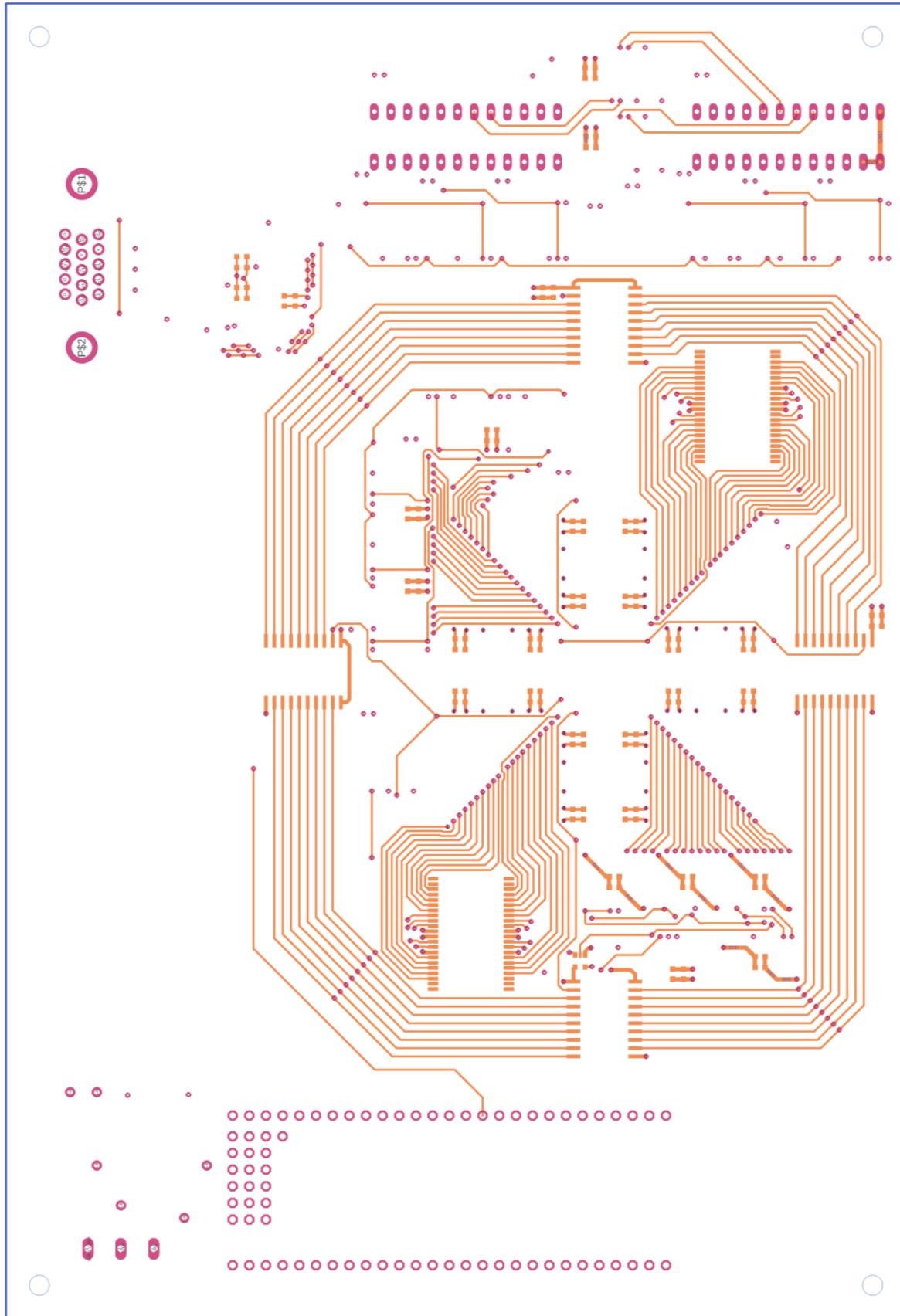


TITLE:	Main_Board
Document Number:	REV:
Date: 2/20/2019 6:55 PM	Sheet: 9/9

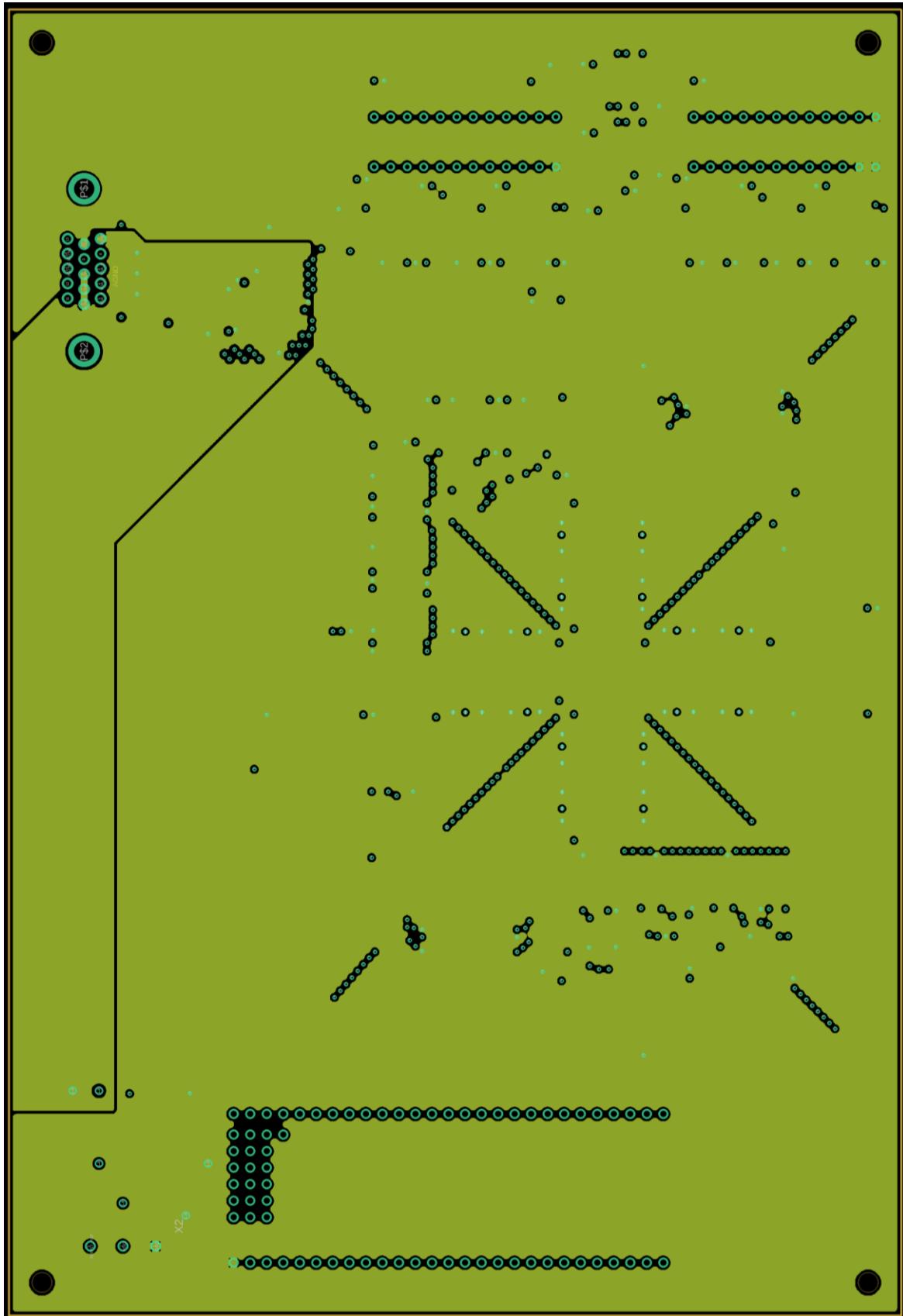
1.2 Traces de cuivre côté composants



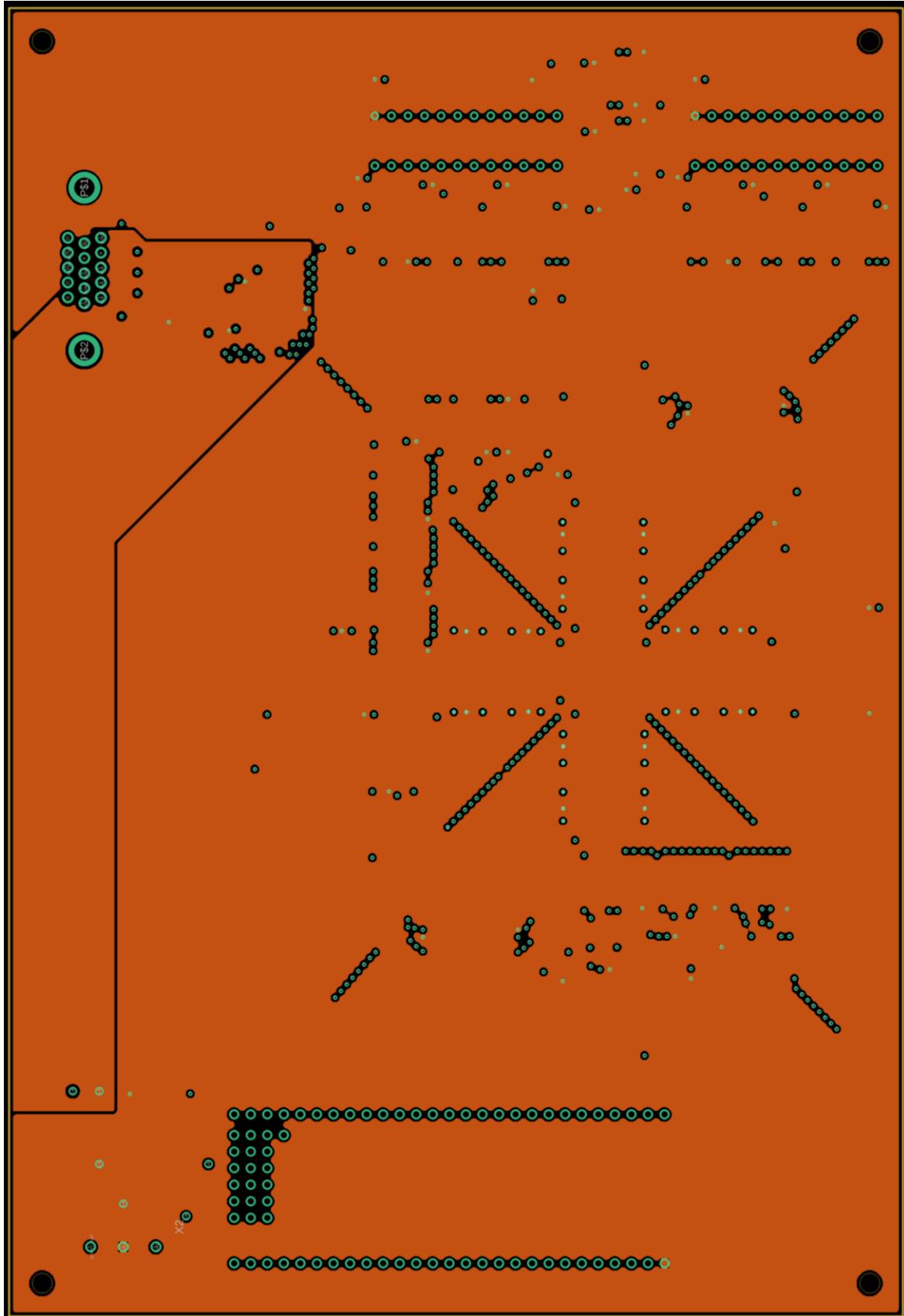
1.3 Traces de cuivre côté soudure



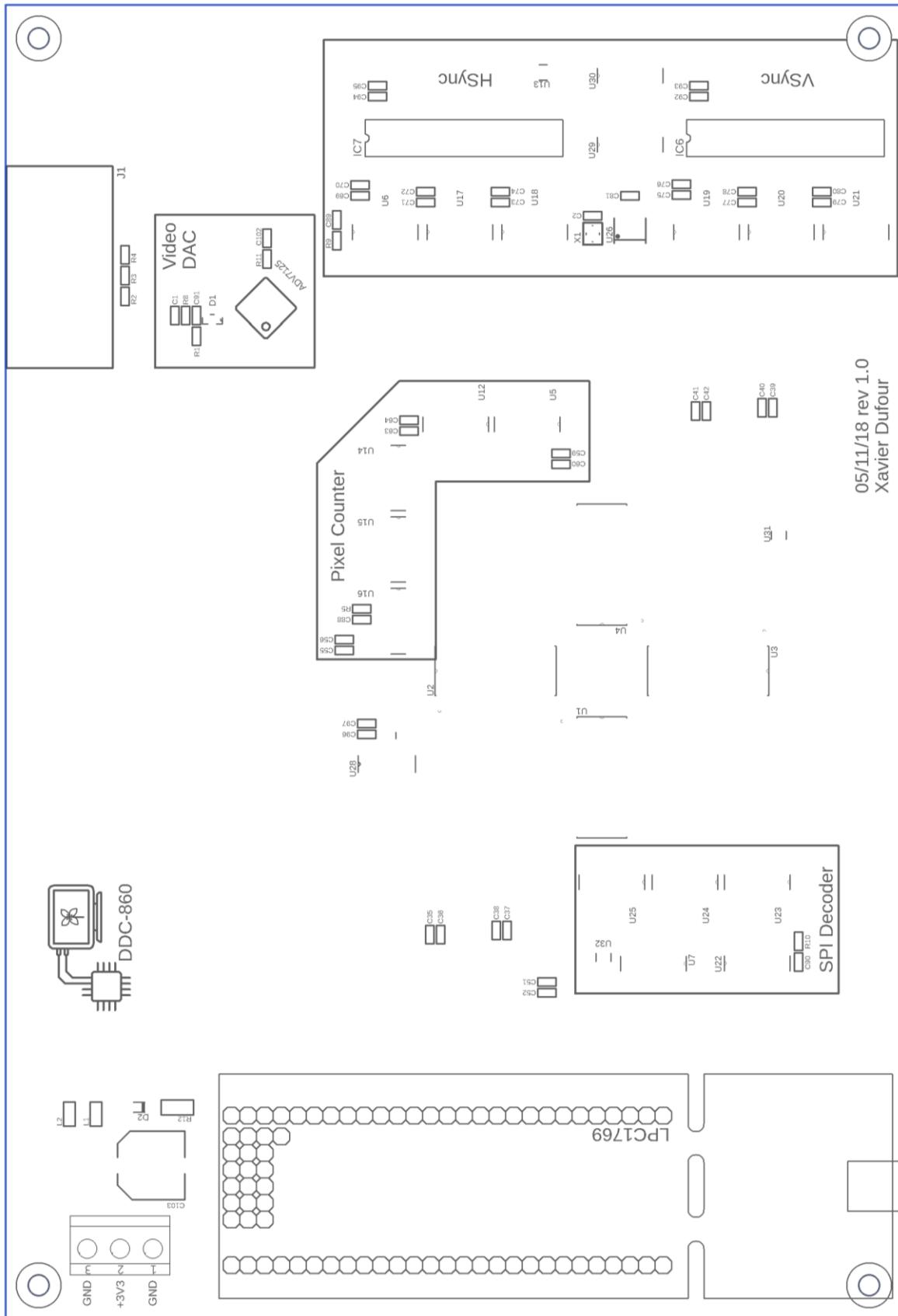
1.4 Plan de masse couche 2



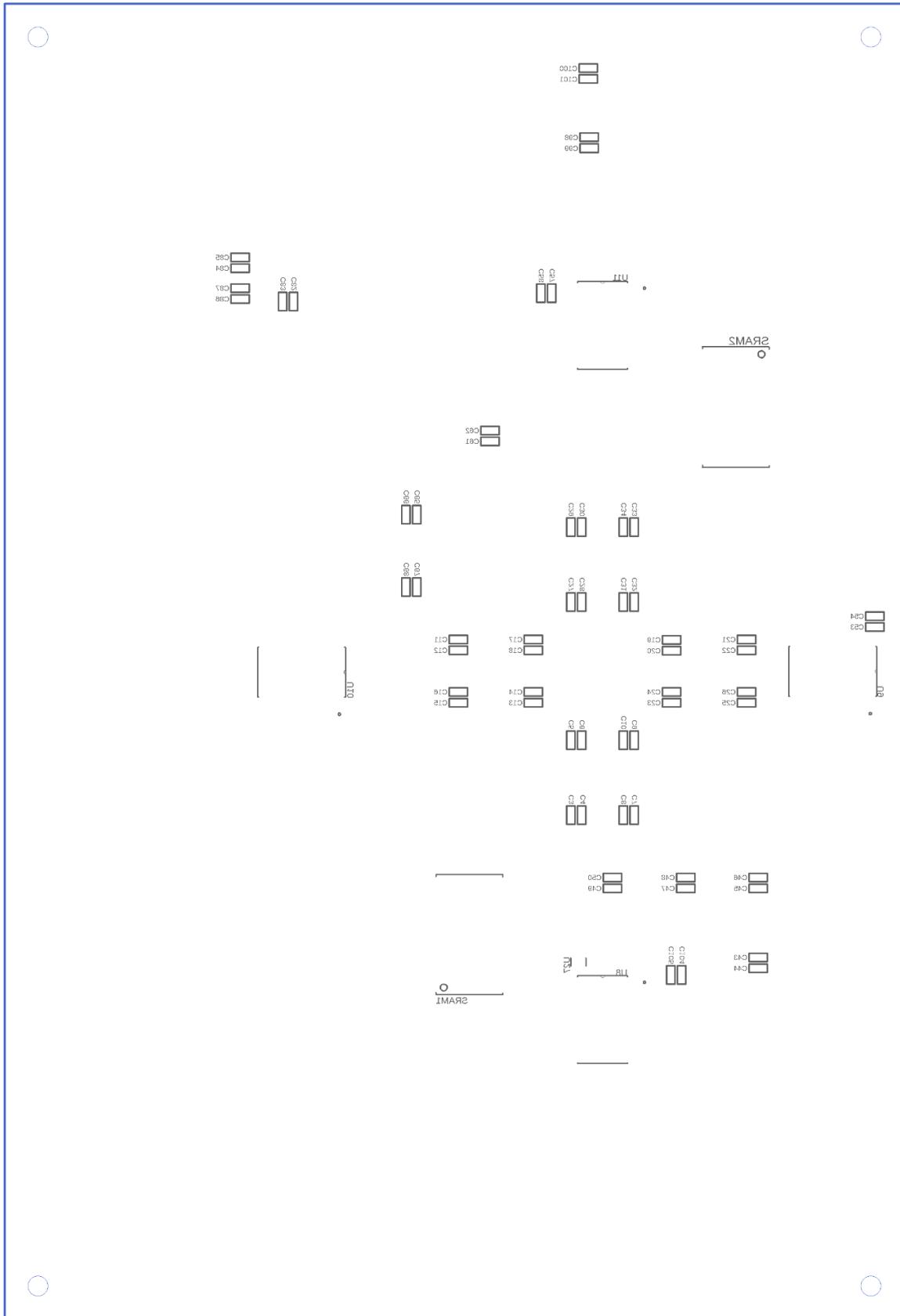
1.5 Plan d'alimentation couche 3



1.6 Dessin de placement côté composants

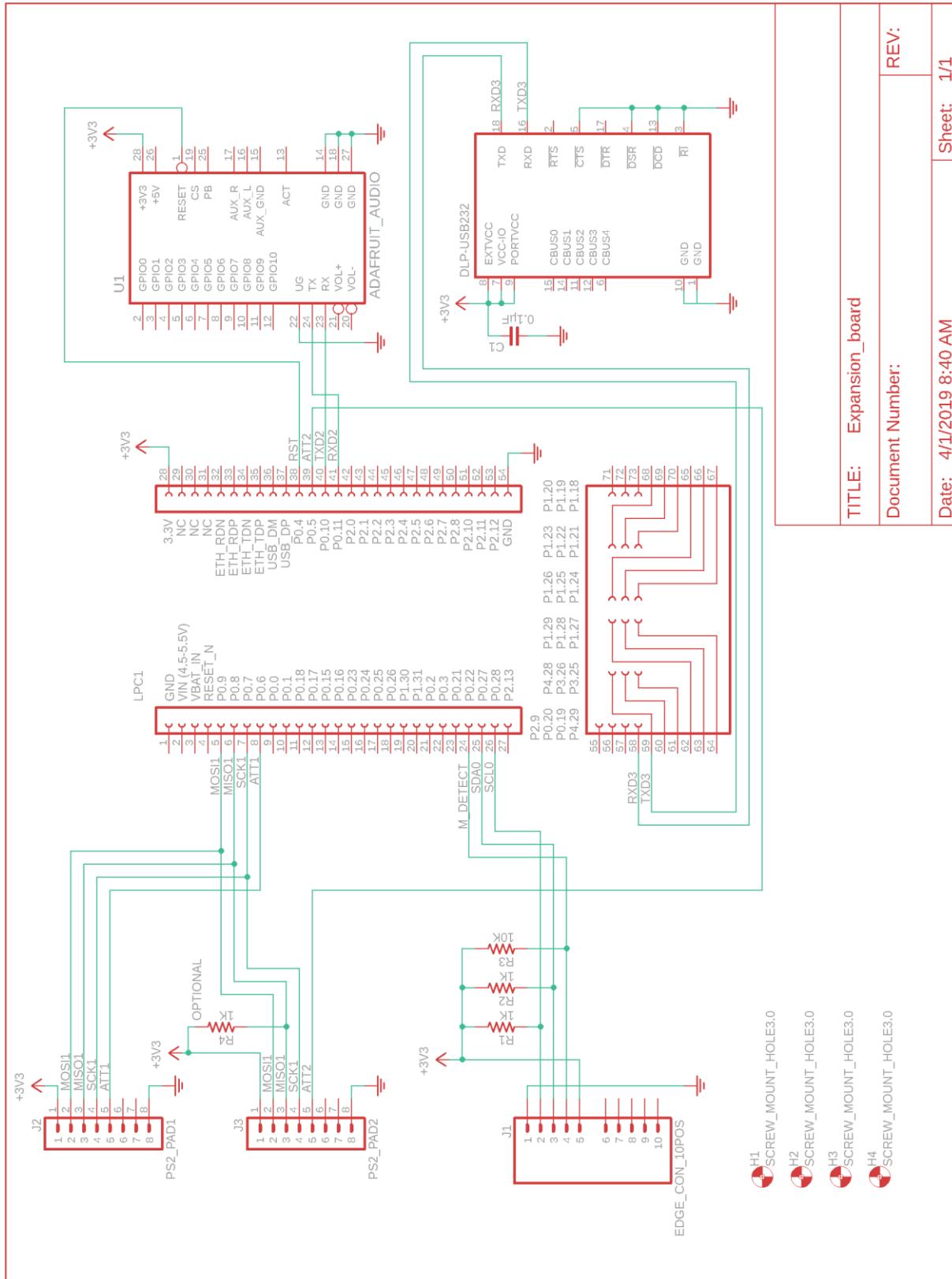


1.7 Dessin de placement côté soudure



Annexe II – Fichiers de conception du PCB d'expansion

2.1 Schéma électronique

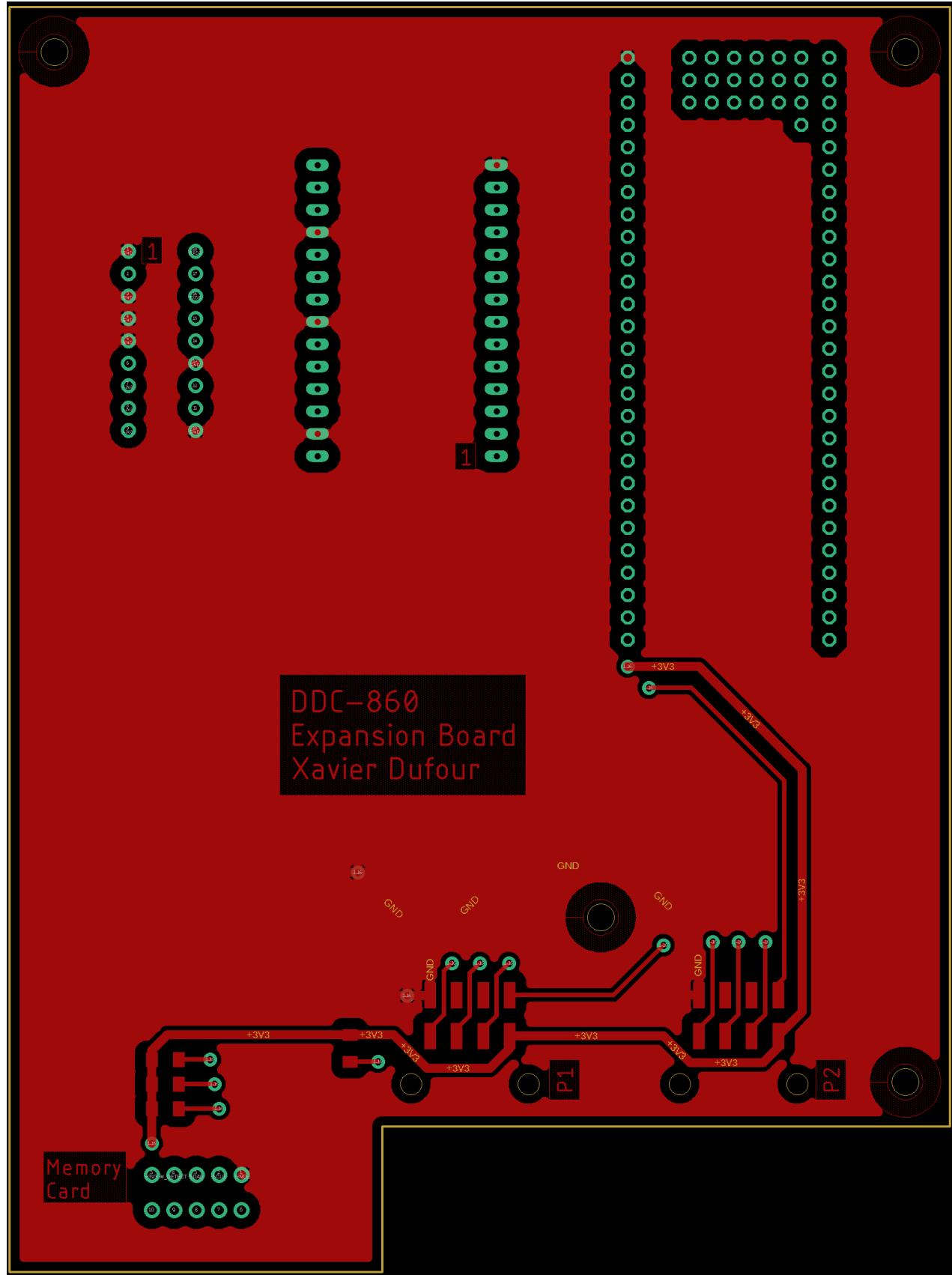


TITLE: Expansion_board

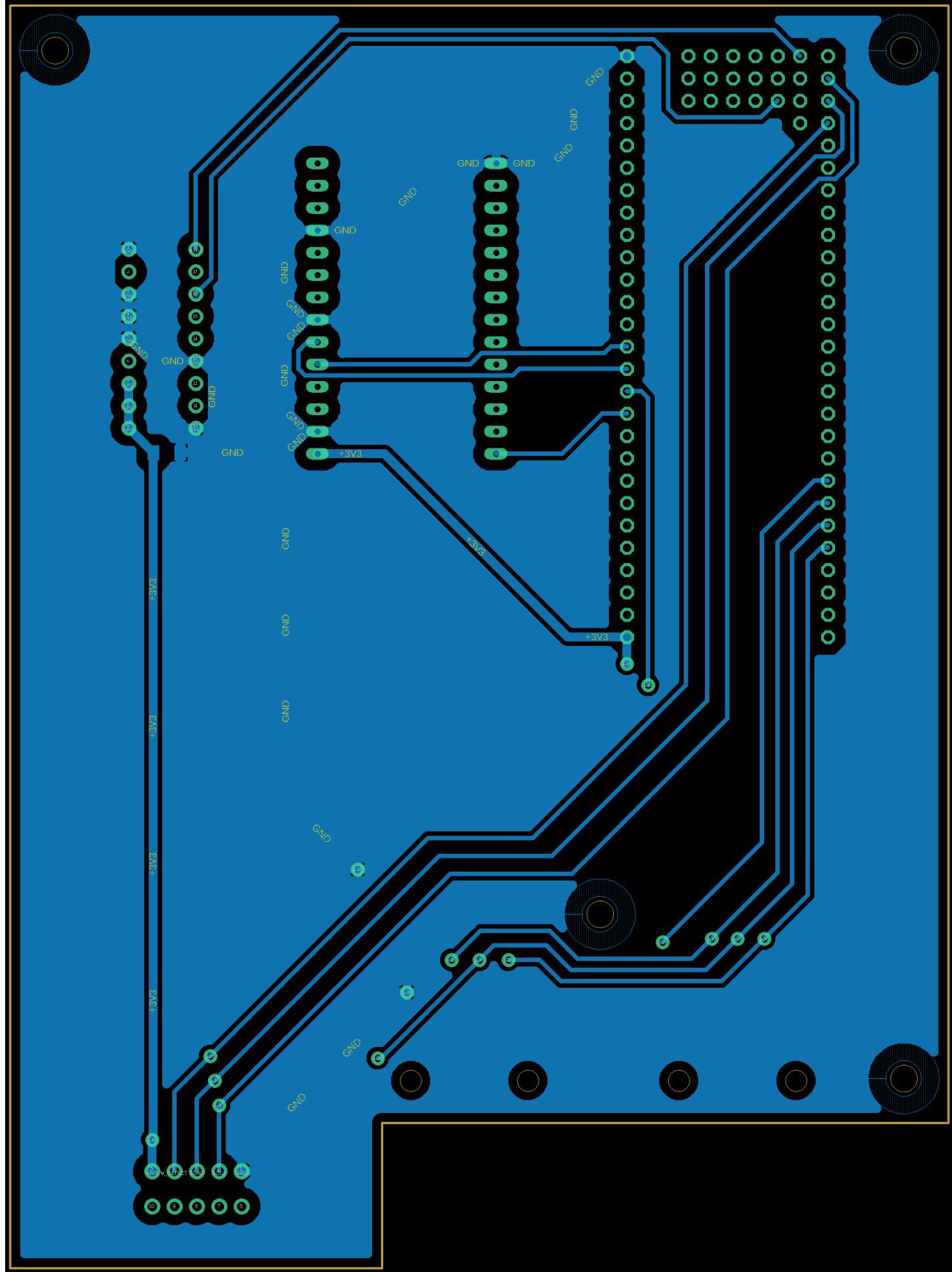
Document Number: REV:

Date: 4/11/2019 8:40 AM Sheet: 1/1

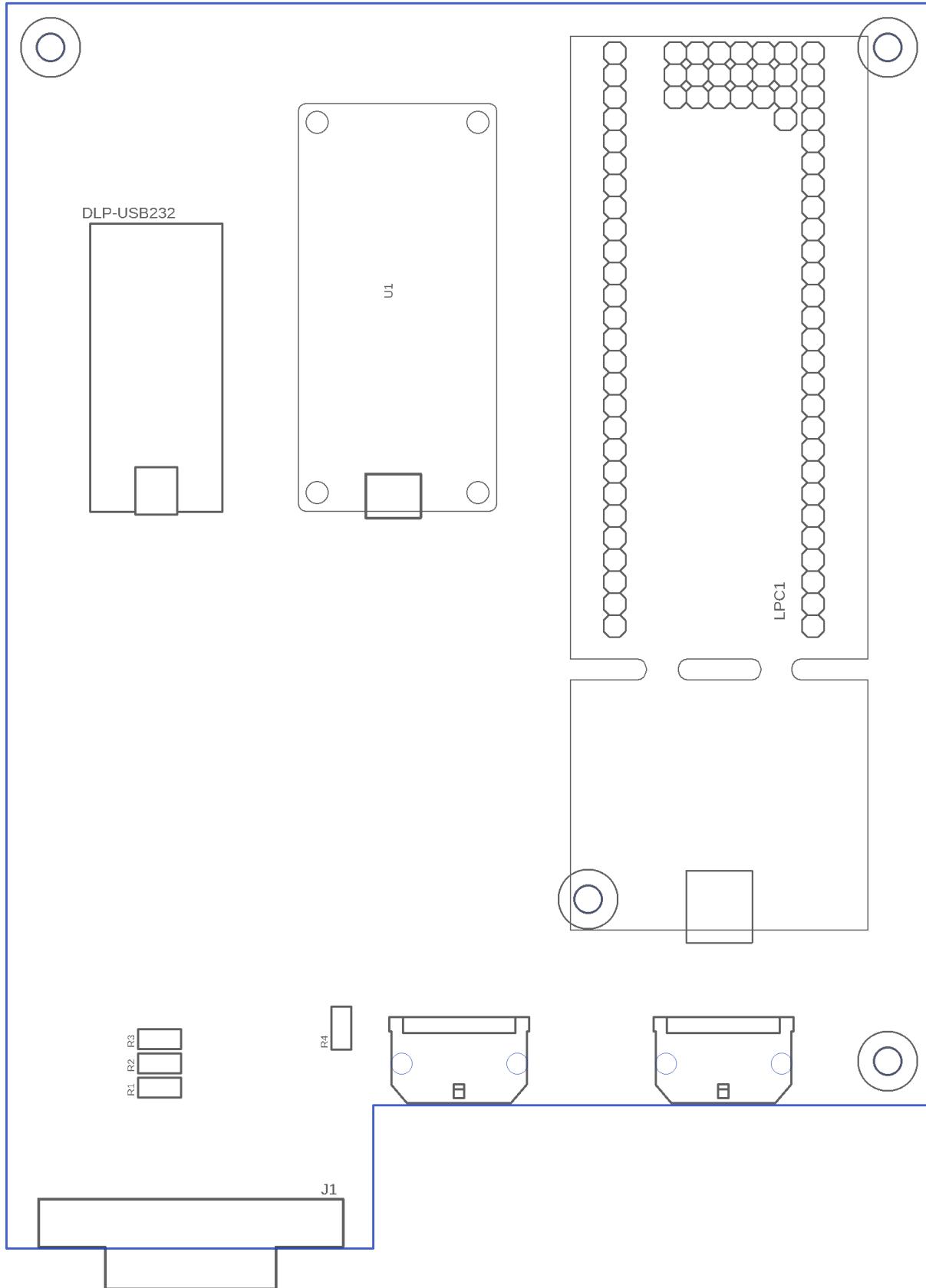
2.2 Traces de cuivre côté composants



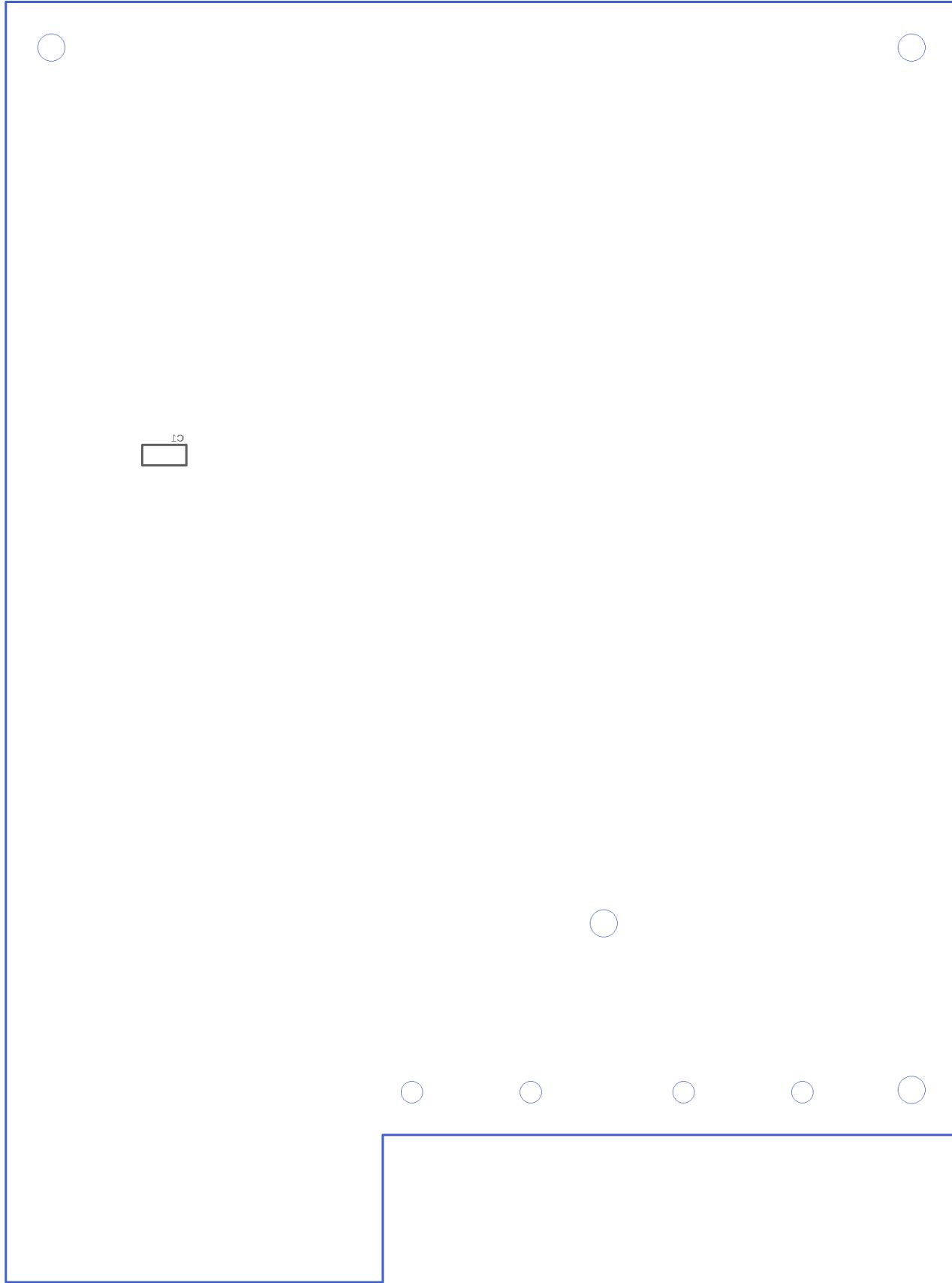
2.3 Traces de cuivre côté soudure



2.4 Dessin de placement côté composants

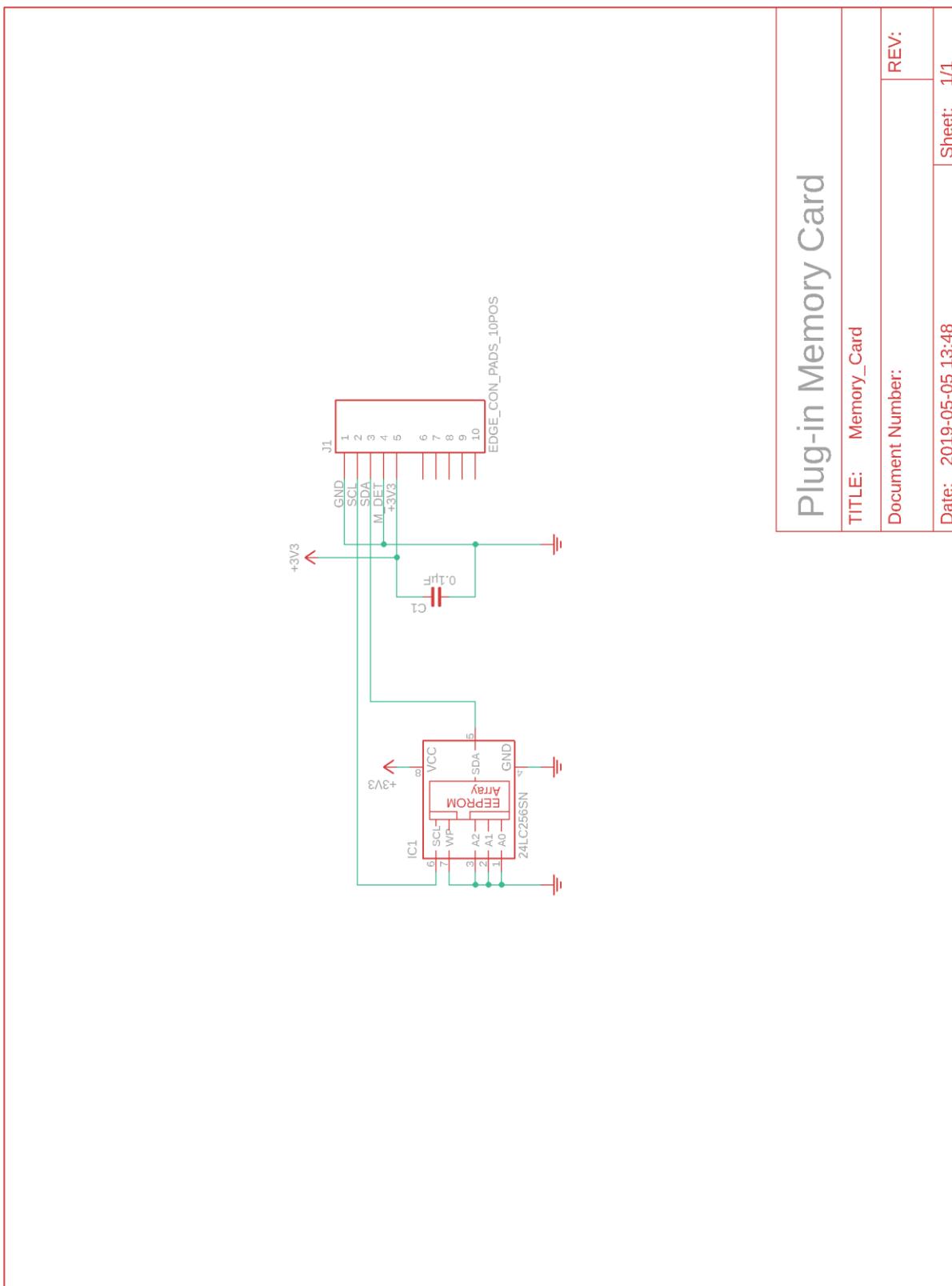


2.5 Dessin de placement côté soudure

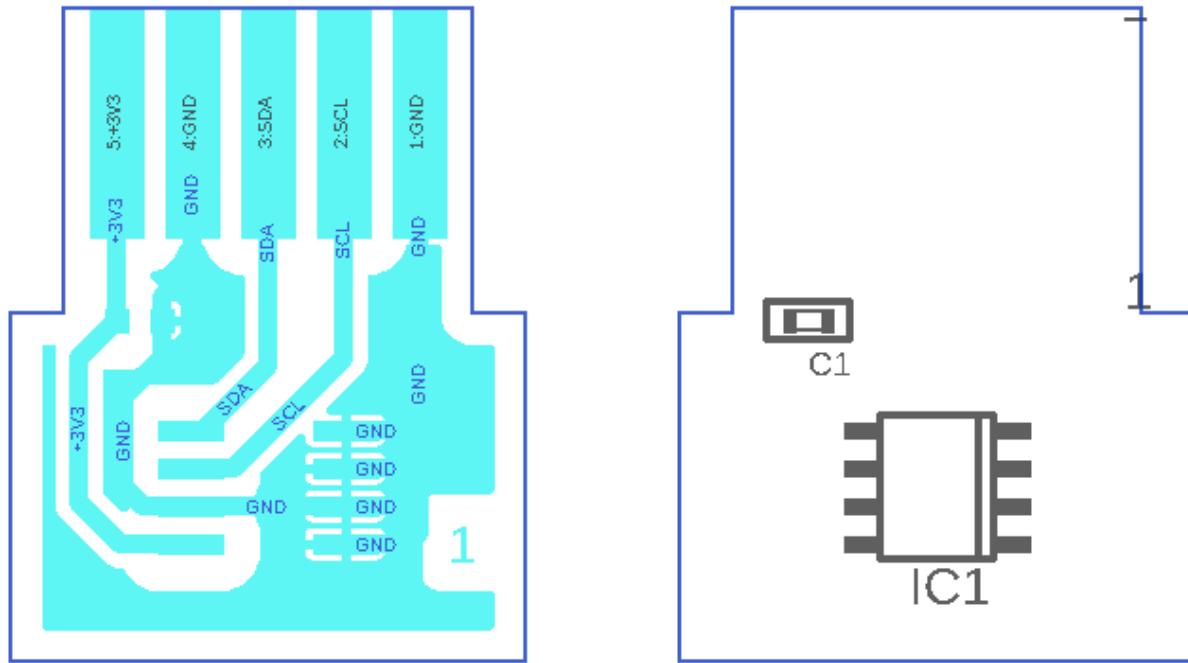


Annexe III – Fichiers de conception de la carte mémoire

3.1 Schéma électrique

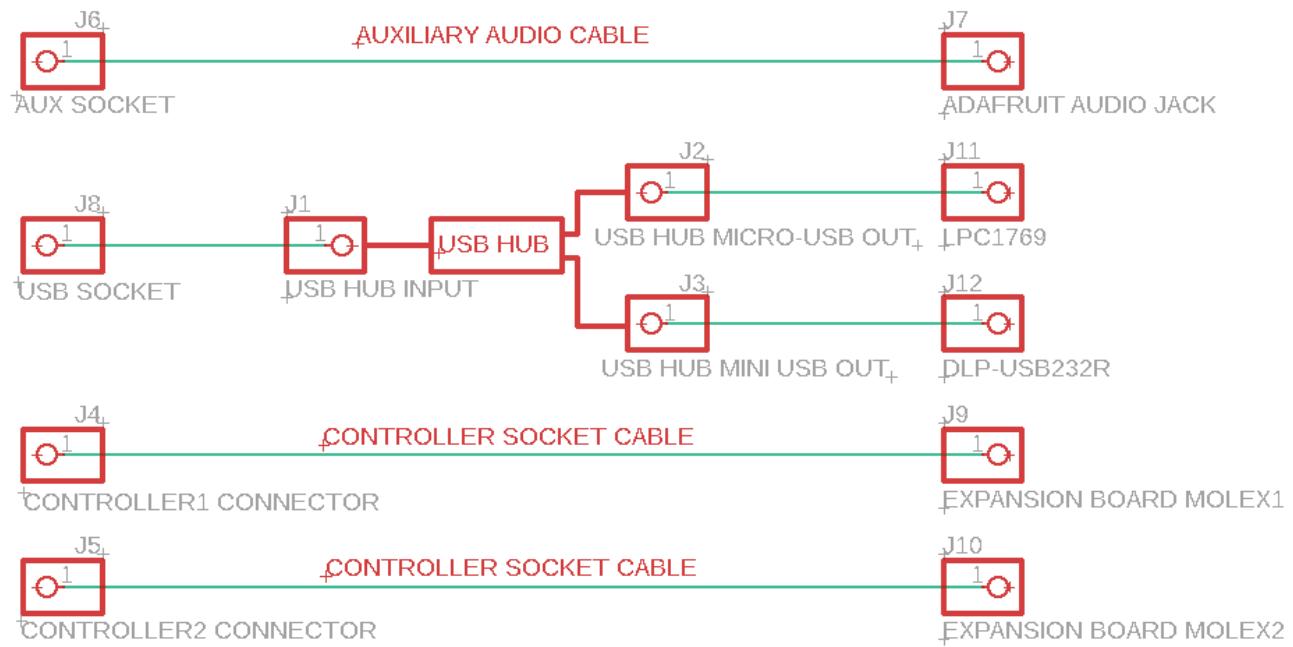


3.2 Traces de cuivre et dessins de placement

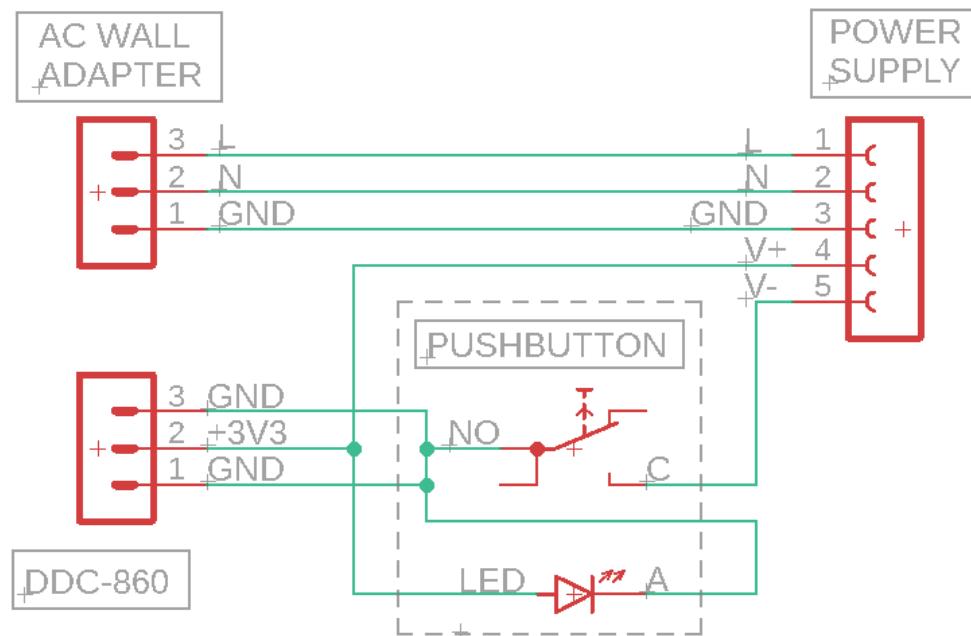


Annexe IV : Schémas de câblage

4.1 Systèmes auxiliaires



4.2 Circuit d'alimentation



Annexe V : Listes de pièces

5.1 DDC-860

Qty	Value	Device	Package	Parts	Description
50	0.01µF	GCM188R72A103KA37J	C0603	C2, C3, C5, C7, C9, C11, C13, C15, C17, C19, C21, C23, C25, C27, C29, C31, C33, C35, C37, C39, C41, C43, C45, C47, C49, C51, C53, C55, C57, C59, C61, C63, C65, C67, C69, C71, C73, C75, C77, C79, C81, C83, C85, C87, C92, C94, C96, C98, C100, C104	SMD Ceramic non-polarized capacitor
44	0.1µF	CC0603KRX7R7BB104	C0603	C1, C4, C6, C8, C10, C12, C14, C16, C18, C20, C22, C24, C26, C28, C30, C32, C34, C44, C46, C48, C50, C52, C54, C56, C58, C60, C62, C64, C66, C68, C70, C72, C74, C76, C78, C80, C82, C84, C86, C91, C97, C99, C101, C105	SMD Ceramic non-polarized capacitor
11		74LVC163D	SO16(SOT109)	U5, U6, U12, U14, U15, U16, U17, U18, U19, U20, U21	4-bit synchronous counter with RCO output
6	0.33µF	GRM188R71C334KA01D	C0603	C36, C38, C40, C42, C93, C95	SMD Non-polarized capacitor
4	42.2R	RP73PF1J42R2BTDF	R0603	R5, R9, R10, R11	SMD Resistor 0.1%
4		74ALVCH16827DL	SSOP56(SOT371)	U1, U2, U3, U4	20-bit buffer/driver with 3-state outputs
4		74LVC245AD	SO20W(SOT163)	U8, U9, U10, U11	Octal bus transceiver with 3-state outputs
4		74LVC595AD	SO16(SOT109)	U22, U23, U24, U25	8-bit serial-in/serial-out or parallel-out shift register with 3-state ouput
3	220pF	C0603C221K2RACTU	C0603	C88, C89, C90, C102	SMD Ceramic non-polarized capacitor
3	75R	RNCP0603FTD75R0	R0603	R2, R3, R4	SMD Resistor 1%
2		74LVC109A	SO16(SOT109)	U29, U30	Dual JK Latch, positive edge triggered
2		74LVC1G00GW	SC70-5(SOT353)	U27, U31	Single NOR gate
2		CY7C1059DV33-10ZSXI	TSOPII-44	SRAM1, SRAM2	1M x 8bit Asynchronous SRAM

2		742792097	L0805	L1, L2	Ferrite bead 1.5KOhm
1	330R	CRCW0805330RFKEAC	R1206	R12	SMD Resistor 1%
1		QBLP615-IG	D1206	D2	Light Emitting Diode
1	1K	RR0816P-102-D	R0603	R8	SMD Resistor
1	470µF	UWT1E471MNL1GS	Radial SMD	10mm C103	SMD Electrolytic polarized capacitor
1	560R	AC0603FR-07560RL	R0603	R1	SMD Resistor
1		74AHC1G02DCKR	SC70-5(SOT353)	IC5	Single NOR gate
1		74LVC112AD	SO16(SOT109)	U7	Dual JK Latch, negative edge triggered
1		74LVC1G02DCKR	SC70-5(SOT353)	U13	Single NOR gate
1		74LVC74AD	SO14(SOT108)	U28	Dual D Latch, positive edge triggered
1		AD1580BRTZ	SOT23	D1	1.2 V Micropower, Precision 1.2 V Micropower, Precision
1		ADV7125JSTZ330	LQFP48	ADV7125	triple 8-bit 3.3V high speed video DAC, 330MHz grade
1		ICS551	SO8(SOT96)	U26	Clock fanout buffer 1 to 4, 160MHz with 3-state outputs
1		KC2520C40.0000C2YE00	2.5X2.0_KXO-V95	X1	SMD crystal oscillator
1		LS25-3.3	LS25-3.3		Power supply 120VAC to 3.3VDC, 6A
1		SCREW_BLOCK	SCREW_BLOCK5-3PIN	J2	Screw terminal block 5mm spacing 3-pins
1		9561525613	DB15-VGA-90DEG	J1	DB-15 connector for VGA, 90 degrees

Coût total: environ 272\$

Annexe VI : Code source du programme

Le code source du programme, incluant toute ses fonctionnalités, peut être trouvé dans le répertoire GitHub à l'adresse suivante :

<https://github.com/Wynaan/XES>