

SISTEMA PARA REDUÇÃO DA SOBREPOSIÇÃO DE SINAIS NO CALORÍMETRO HADRÔNICO DO DETECTOR ATLAS

IGO A. DOS S. LUZ*, EDUARDO F. S. FILHO*, PAULO C. M. A. FARIAS*, MATHEUS BECK*,
LUCIANO M. ANDRADE†, JOÃO PAULO B. S. DUARTE†, JOSÉ M. DE SEIXAS‡

*Programa de Pós Graduação em Engenharia Elétrica, Escola Politécnica
Universidade Federal da Bahia, Salvador, Bahia, Brasil

†Programa de Pós Graduação em Engenharia Elétrica
Universidade Federal de Juiz de Fora, Juiz de Fora, Minas Gerais, Brasil

‡Laboratório de Processamento de Sinais COPPE/POLI
Universidade Federal do Rio de Janeiro, Rio de Janeiro, Rio de Janeiro, Brasil

Emails: igoamauri@gmail.com, eduardosimas@ufba.br, paulo.farias@ufba.br,
matheus.alencarbeck@gmail.com, luciano.andrade@engenharia.ufjf.br,
joao.duarte@engenharia.ufjf.br, seixas@lps.ufrj.br

Abstract— The LHC particle accelerator will soon start an upgrade process in which will be increased parameters such as the collisions energy and the number of particles interactions. This new scenario will produce a direct impact on the detectors instrumentation systems. For ATLAS detector a problem that will occur after this upgrade in its energy measurement subsystem (known as calorimeter) is the superimposition of information from subsequent events. This signal distortion is called pile-up. This work proposes a dedicated signal processing system embedded on a digital high-performance reconfigurable electronic platform for reduction of the pileup in the ATLAS detector hadronic calorimeter. For this, a parallel implementation of digital finite impulse response filters was used. Each filter represents an approximation of the inverse of the measurement channel impulse response, performing signal deconvolution. The obtained results indicate the efficiency of the proposed solution and the compliance to the time latency required for the application.

Keywords— Particle physics, Hadronic Calorimeter, Digital Filter, FPGA, Deconvolution.

Resumo— O acelerador de partículas LHC entrará em breve num processo de atualização no qual serão aumentados parâmetros como a energia das colisões e a quantidade de interações entre partículas. Este novo cenário operacional terá um impacto direto nos sistemas de instrumentação dos detectores. No detector ATLAS, um problema que irá ocorrer após essa atualização do LHC é a sobreposição entre informações provenientes de eventos subsequentes no subsistema de medição de energia (conhecido como calorímetro). Essa distorção do sinal é chamada empilhamento (do inglês pileup). Esse trabalho propõe um circuito eletrônico dedicado implementado em um sistema digital reconfigurável de alto desempenho para redução do empilhamento nos sinais medidos no calorímetro hadrônico do detector ATLAS. Para isso são utilizados filtros digitais de resposta ao impulso finita implementados em paralelo. Cada filtro é uma aproximação da inversa da resposta ao impulso do canal de medição, realizando a desconvolução dos sinais medidos. Os resultados obtidos mostram a eficiência da técnica proposta e a adequação com a resposta temporal necessária para a aplicação.

Palavras-chave— Física de Partículas, Calorímetro Hadrônico, Filtro Digital, FPGA, Deconvolução.

1 Introdução

A Física de Partículas é a área da ciência responsável por estudar a composição da matéria, as partículas subatômicas e suas interações (Fernow, 1986). O Centro Europeu para Pesquisas Nucleares (CERN), um dos centros de pesquisa de referência em Física de Partículas, desenvolveu o LHC (*Large Hadron Collider*) (Evans and Bryant, 2008), sendo este o maior acelerador de partículas em operação. Neste, operam 6 detectores distintos, cada um responsável por identificar características específicas das partículas (Filho, 2010). Entre eles existe o ATLAS (Aad et al., 2008), o maior detector de propósito geral do LHC.

O LHC está em processo de atualização para aumentar o número de interações e a energia das colisões. Essa atualização resultará em uma maior taxa de eventos para serem detectados e proces-

sados pelos sistemas eletrônicos e computacionais (Aad et al., 2008).

Considerando o ambiente de funcionamento do calorímetro, um dos sub-detectores do ATLAS, o aumento da ocorrência de eventos pode provocar a sobreposição da informação de eventos subsequentes, fenômeno conhecido como *pileup*, ou empilhamento. O atual sistema de processamento dos sinais não é capaz de lidar com esse novo requisito de funcionamento, o que afetará o desempenho do sistema de seleção de eventos (*Trigger*) do detector.

Esse trabalho propõe o desenvolvimento de um sistema digital responsável por reduzir os efeitos do empilhamento de eventos no Calorímetro Hadrônico, tendo como objetivo garantir o correto funcionamento do sistema de seleção de eventos de interesse. Devido à restrição de tempo da aplicação, foi necessário desenvolver uma implementação em hardware dedicado (em *Field Pro-*

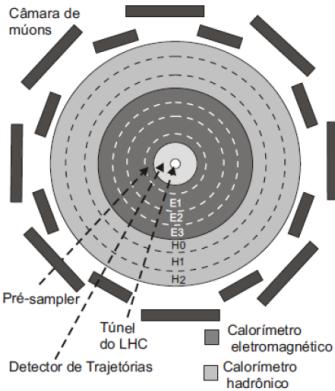


Figura 1: Corte transversal dos calorímetros do ATLAS.

grammable Gate Array - FPGA), para executar o processamento em paralelo do conjunto de dados dos sensores.

No *FPGA* o processamento das amostras é realizado utilizando filtros digitais, projetados através de um conjunto de dados simulados, que consideram o funcionamento atual dos detectores, e capazes de realizar uma filtragem inversa (deconvolução). A arquitetura do filtro desenvolvida foi a Resposta de Impulso Finita (*Finite Impulse Response - FIR*) em sua forma transposta.

Esse artigo é dividido em cinco seções: A Seção 2 descreve as características da atualização do ATLAS e os problemas decorrentes da mesma; a Seção 3 aborda o método proposto para recuperação do sinal; a Seção 4 descreve o sistema em *FPGA*; a Seção 5 apresenta os resultados simulados obtidos com a implementação do sistema proposto; a Seção 6 apresenta a conclusão.

2 ATLAS: Detector do LHC

O ATLAS é um dos detectores de propósito geral do LHC (Aad et al., 2008). Possui 44 metros de comprimento, 25 metros de altura, 7.000 toneladas e tem a capacidade de cobrir um ângulo de sólido próximo a 4π (Filho, 2010). Seu conjunto de calorímetros (medidores de energia altamente segmentados) é dividido em camadas, 4 referentes aos Calorímetros Eletromagnéticos e 3 aos Hadrônicos (Aad et al., 2010). A Figura 1 ilustra um corte transversal nesse conjunto de calorímetros. Os Hadrônicos são constituídos de placas absorvedoras de aço separadas por telhas de material plástico cintilante, também conhecido como calorímetro de telhas (*Tile Calorimeter ou Tilecal*) (Aad et al., 2010; Carrió et al., 2014).

O sistema *online* de seleção de eventos do ATLAS (*Trigger*), tem a função de selecionar os eventos de interesse produzidos pelas colisões do LHC (Aad et al., 2008). Esse sistema é composto de três níveis (Kordas et al., 2007). Cada nível é responsável por descartar assinaturas não relevantes, passando para o próximo nível apenas as de interesse (Filho, 2010).

Com a nova fase de operação do LHC, ocorrerá o aumento das colisões por área do detector. Esse cenário de operação requer alterações nos sistemas eletrônicos do ATLAS (Carrió et al., 2014). A operação do detector com a atual arquitetura provocaria um problema no sistema de seleção de eventos devido ao agravamento do efeito de empilhamento, também conhecido como *pileup*. Com a distorção do padrão dos sinais, a seleção dos eventos de interesse ficaria comprometida.

O problema de *Pileup* ocorre devido ao tempo de resposta dos sensores do *Tilecal*. Como pode ser observado na Figura 2, o pulso típico desses sensores tem duração da ordem de 150ns. A frequência de ocorrência de colisões no LHC é 40MHz, com isso, o intervalo entre duas colisões é de 25ns, sendo assim, um mesmo sensor permanece sensibilizado por até 6 colisões subsequentes. A Figura 3 mostra o efeito do empilhamento em um sensor do *Tilecal*.

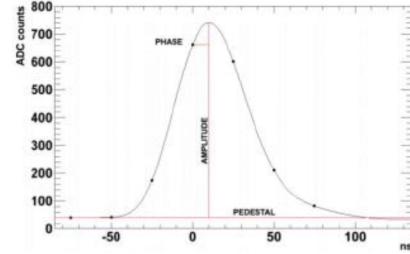


Figura 2: Resposta ao Impulso Típica de um sensor do *TileCal*.

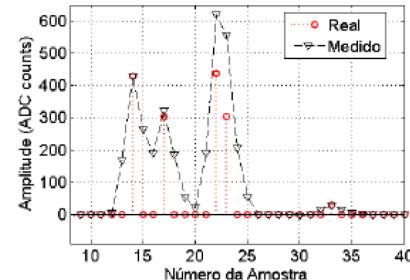


Figura 3: Efeito de empilhamento em um sinal medido.

Na atual configuração do sistema eletrônico, o nível 1 recebe sinais provenientes de somadores analógicos, os quais são alimentados pelos Tubos Fotomultiplicadores (PMTs). A alteração propõe que sejam transmitidos os dados digitais de todos os canais para um sistema eletrônico responsável por realizar o pré-processamento e, então, o envio dos dados para o nível 1 do *Trigger* (Carrió et al., 2014) (Wessels, 2014). A Figura 4 a) ilustra a atual arquitetura do nível L1 e a 4 b) ilustra a arquitetura proposta.

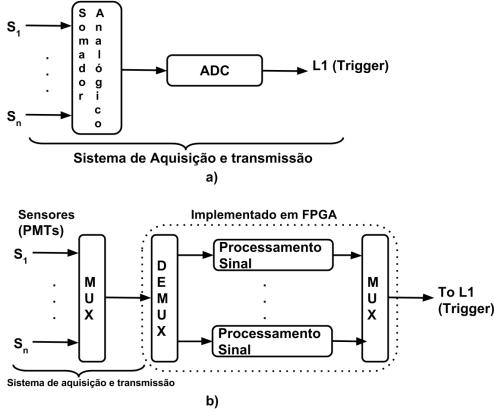


Figura 4: Sistema para o primeiro nível (L1) do *Trigger*: a) Arquitetura proposta b) Arquitetura atual.

Na nova estrutura de operação do sistema eletrônico, torna-se necessário um pré-processamento dos sinais para reduzir o problema de empilhamento.

3 Método Proposto

A técnica atual de estimativa da energia no primeiro nível do *Trigger* baseia-se na aplicação de dois algoritmos: o filtro casado e um detector de pico (Duarte, 2015). Com o aumento da luminosidade e, consequentemente, com a ocorrência do empilhamento dos sinais, essa técnica não funcionará corretamente, pois o filtro casado depende do conhecimento prévio da forma do pulso em meio ao ruído e o *pileup* modifica a forma desse pulso. Uma alternativa é a utilização de técnicas baseadas no princípio da filtragem inversa (ou deconvolução).

A Eq 1, na qual $\mathbf{h}[n]$ e $\mathbf{g}[n]$ são as respostas ao impulso e $\delta[n]$ representa um impulso unitário, apresenta uma relação em que dois sistemas lineares, invariantes no tempo e causais no tempo discreto são inversos.

$$\mathbf{h}[n] * \mathbf{g}[n] = \delta[n] \quad (1)$$

Considerando que um determinado sinal $\mathbf{x}[n]$ que foi transmitido em um canal de transmissão $\mathbf{h}[n]$, nesse caso, $\mathbf{y}[n] = \mathbf{x}[n] * \mathbf{h}[n]$ representará o sinal $\mathbf{x}[n]$ distorcido pelo canal $\mathbf{h}[n]$. Na Figura 5 observa-se o processo de distorção do sinal impulsivo no Calorímetro do Atlas, nesta, $\mathbf{x}[n]$ representa o sinal de energia referente a uma colisão, $\mathbf{h}[n]$ o canal de medição do Calorímetro modelado, $\mathbf{w}[n]$ representa um ruído eletrônico de fundo, e, por fim, $\mathbf{y}[n]$ o sinal com sobreposição.

Para efetuar a recuperação de $\mathbf{x}[n]$, deve-se convoluir $\mathbf{y}[n]$ com $\mathbf{g}[n]$, que representa a resposta ao impulso inversa do canal em questão. Sendo assim, o resultado desse processamento ($\mathbf{v}[n]$) será



Figura 5: Modelo da sobreposição no Calorímetro.

idêntico a entrada $\mathbf{x}[n]$. A Eq. 2 ilustra essas relações.

$$\mathbf{y}[n] = \mathbf{x}[n] * \mathbf{h}[n] \rightarrow \mathbf{v}[n] = \mathbf{y}[n] * \mathbf{g}[n] \simeq \mathbf{x}[n] \quad (2)$$

O sistema inverso pode ser representado no domínio Z , para isso, aplica-se a Transformada Z em ambos os lados da Eq. 1, então, obtém-se o sistema inverso de $\mathbf{H}(z)$ (Eq. 3).

$$\mathbf{G}(z) = \frac{1}{\mathbf{H}(z)} \quad (3)$$

Com o intuito de propor uma solução eficiente de projeto do filtro, estudos foram realizados com diferentes técnicas (Duarte, 2015). De acordo com os resultados satisfatórios das análises (Duarte, 2015), decidiu-se utilizar nesse trabalho o método que utiliza uma abordagem determinística para obter um FIR que deconvolui $\mathbf{y}[n]$ e então recupera o sinal de energia real $\mathbf{x}[n]$.

Na abordagem determinística encontram-se os coeficientes do filtro inverso a partir do pulso característico $\mathbf{h}[n]$ do TileCal. No domínio z , obtém-se o filtro inverso $\mathbf{G}(z)$, consequentemente, os coeficientes utilizados para deconvolver os sinais com sobreposição.

Ao se analisar o espectro do pulso característico do Tilecal no domínio z ($\mathbf{H}(z)$), considerando um sistema causal, o filtro inverso ($\mathbf{G}(z)$) não é realizável, pois possui pólos externos ao círculo unitário. Para se obter uma aproximação de um filtro realizável, adotou-se uma estratégia a partir da separação de $\mathbf{G}(z)$ em dois polinômios $\mathbf{G}_1(z)$ e $\mathbf{G}_2(z)$, no qual, o primeiro é composto pelos pólos internos ao círculo unitário, caracterizando-se como estável, enquanto que o segundo possui pólos externo ao círculo unitário, caracterizando-se como instável. Sendo assim, trata-se $\mathbf{G}_2(z)$ para obter uma aproximação estável e causal do mesmo. A partir da resposta ao impulso obtida de $\mathbf{G}_2(z)$, realiza-se a convolução com a resposta ao impulso do sistema $\mathbf{G}_1(z)$, obtendo, assim, a resposta ao impulso de uma aproximação do sistema inverso $\mathbf{G}(z)$ realizável (Duarte, 2015).

Nesse trabalho optou-se pela aplicação de técnicas de filtros FIR para a implementação do filtro inverso (Duarte, 2015). Estes possuem duração finita, dessa forma, sua resposta ao impulso torna-se nula após um determinado tempo (Lyons, 2011). Esses filtros tem resposta de fase linear, além disso, não possuem realimentação, são sempre estáveis e tem implementação eficiente

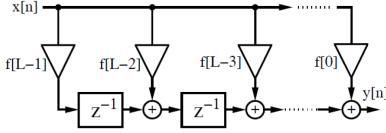


Figura 6: Forma Transposta do Filtro FIR.

(Gnanasekaran and Manikandan, 2013). A saída de um filtro FIR pode ser expressa pela Eq. 4, sendo L a ordem do filtro (Lyons, 2011).

$$y[n] = x[n] * h[n] = \sum_{K=0}^{L-1} h[k]x[n-k] \quad (4)$$

Existem diferentes estruturas de implementação de um filtro FIR, neste trabalho foi utilizada a forma transposta. A Figura 6 mostra a estrutura transposta. Em relação aos benefícios dessa arquitetura, afirma-se que não é necessário registrador de deslocamento extra para o $x[n]$ e também não é necessário estágio extra de *pipeline* para os somadores do produto para que se obtenha alta taxa de processamento dos sinais (*throughput*) (Meyer-Baese, 2007).

4 Sistema Eletrônico Desenvolvido

Cada módulo desse sistema, ilustrado na Figura 7, é responsável por processar os sinais de 12 tubos fotomultiplicadores. A informação de energia é enviada de forma serial para o FPGA e o sistema precisa disponibilizar a informação também de forma serial para o nível 1 do *Trigger*.

Na Figura 7 pode-se identificar a arquitetura do sistema proposto. Os blocos “Conversor Serial/Paralelo” e “Paralelo/Serial” são responsáveis por fazer a conversão do sinal de entrada e do sinal de saída do sistema, respectivamente. O bloco “Configuração Filtro” é responsável por armazenar palavras de configuração que serão utilizadas pelas implementações dos filtros, por exemplo, seus coeficientes. O bloco “Controle” garante que, à medida que os sinais de entrada sejam convertidos, estes sejam enviados para a instância do filtro responsável por executar o processamento das amostras do respectivo canal. O “Banco de Filtros” agrupa os filtros digitais responsáveis pela filtragem dos sinais.

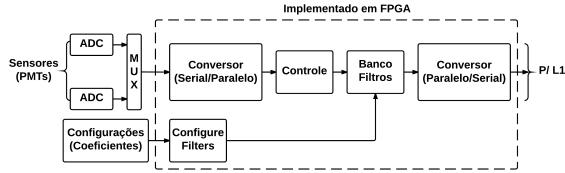


Figura 7: Arquitetura do Sistema Proposto.

Para atender à limitação de tempo de processamento, a arquitetura foi planejada para im-

plementar técnicas de *pipeline* e de diferentes domínios de *clock*. O sistema foi dividido, basicamente, em três estágios: conversão do sinal de entrada; processamento do sinal; conversão do sinal de saída. O primeiro estágio é responsável por converter o sinal de entrada de serial em paralelo, sendo assim, criando a palavra que representa o sinal de energia capturado de uma determinada PMT. Essa informação é processada no segundo estágio, responsável por aplicar o filtro. E, por fim, o terceiro estágio converte o sinal processado em serial para ser disponibilizado ao nível L1 do *Trigger*. Essa técnica garante que os três estágios funcionem de forma paralela, ou seja, enquanto o dado de entrada está sendo convertido, outro dado é processado no segundo estágio, consequentemente, uma outra amostra, que já passou pelo processo de filtragem, pode ser convertida em serial na saída do sistema.

O domínio de *clock* diferente é aplicado no último estágio. A conversão do dado de saída filtrado é realizada usando um *clock* duas vezes mais rápido que o *clock* do restante do sistema. Com isso, garante-se que as amostras de saída não precisarão ser armazenadas em nenhuma estrutura de dados, como uma fila, para esperar este módulo ficar disponível. Utilizando o *clock* desse último estágio mais rápido, garante que quando um sinal de energia filtrado for disponibilizado pelo segundo estágio, o terceiro estará pronto para fazer a conversão do mesmo.

5 Resultados

O sistema eletrônico proposto foi desenvolvido em FPGA utilizando os dispositivos Virtex-7 (XC7VX485T) (Xilinx, 2015) e Kintex-7 (XC7K480T) (Xilinx, 2015), este foi testado com sinais de energia simulados do *Tilecal*. Foi utilizado um modelo em MATLAB® que simula o comportamento dos sensores em cada colisão do LHC, gerando, assim, os sinais de energia referentes a cada evento. O simulador utiliza a resposta ao impulso típica de um canal de medição, obtida experimentalmente.

Para a execução dos testes da implementação em FPGA, os dados de entradas precisam ser representados em ponto fixo. A representação, tanto dos coeficientes como dos sinais de energia, foi definida em complemento de dois. Sendo assim, foram analisados os conjuntos de dados simulados e definida a quantidade de bits para representação das partes inteira e fracionária do valor real. Além disso, para evitar *overflow*, foi utilizada a técnica de saturação (Constantinides et al., 2003).

Para a validação do projeto foram executadas simulações com diferentes cenários, alterando a ordem do filtro e utilizando o mesmo conjunto de sinais simulados dos sensores do *Tilecal*. Como modelo de referência, foi utilizada a função em

MATLAB[®] que implementa o filtro digital FIR. Dessa forma, realizou-se a filtragem utilizando o mesmo conjunto de entradas que foram utilizadas no FPGA.

Nos resultados das simulações em FPGA, os sinais de energia foram representados com 12 bits e os coeficientes com 18 bits, sendo esta resolução definida de acordo com análises preliminares dos valores simulados. A Figura 8 a) e b) ilustra o sinal simulado sem e com empilhamento respectivamente, ambos representados em ponto fixo.

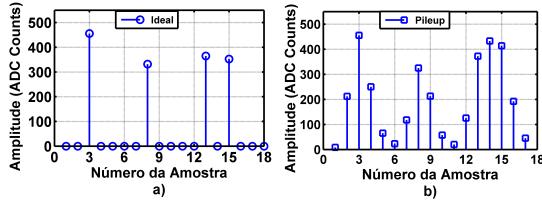


Figura 8: Exemplos de sinais simulados do Tilecal a) sem empilhamento e b) com empilhamento.

Foram realizadas análises referentes ao erro médio e à raiz do erro quadrático médio. Considerou-se os resultados obtidos com as implementações no FPGA e no MATLAB[®]. As Tabelas 1 e 2 mostram os resultados alcançados variando a ordem do filtro entre 5, 10, 15, 20 e 30. De acordo com esses resultados, observa-se que a ordem 20 teve um melhor desempenho.

Tabela 1: Valor médio do erro

Ordem do Filtro	FPGA(ADC counts)	Matlab(ADC counts)
Ordem 5	-0,9727	-1,0981
Ordem 10	0,5128	0,3914
Ordem 15	0,2160	0,0903
Ordem 20	0,0988	-0,0317
Ordem 30	0,3552	0,2176

Tabela 2: Raiz do Erro Quadrático Médio

Ordem do Filtro	FPGA(ADC counts)	Matlab(ADC counts)
Ordem 5	24,95	24,95
Ordem 10	19,86	19,85
Ordem 15	19,33	19,32
Ordem 20	19,21	19,20
Ordem 30	20,30	20,29

A Figura 9 apresenta o resultado da implementação em FPGA utilizando filtros de ordem 20. Esse gráfico foi gerado considerando os sinais resultantes da filtragem em FPGA e também os sinais simulados ideais de energia. Sendo assim, comparando o resultado da reconstrução de cada *Bunch Crossing* com o seu respectivo valor ideal.

Foram desenvolvidas, também, análises gráficas referentes ao erro. A Figura 10 a) ilustra o gráfico de dispersão entre os resultados da simulação da implementação FPGA, utilizando o filtro de ordem 20, e os valores ideais de energia simulados dos sensores. A Figura 10 b) apresenta o gráfico de dispersão construído a partir dos resultados do MATLAB[®] e do FPGA, considerando

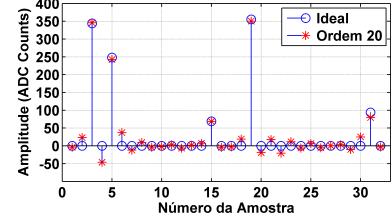


Figura 9: Sinal de saída do filtro de ordem 20 implementado em FPGA comparado ao sinal ideal.

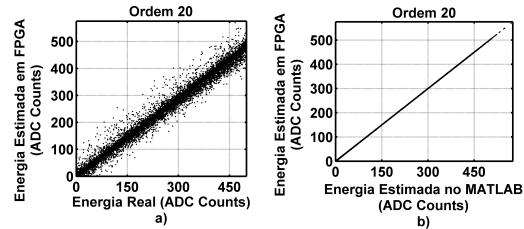


Figura 10: Gráficos de dispersão entre a energia estimada pela implementação em FPGA e a) energia real, b) energia estimada pela implementação em MATLAB

a mesma ordem de filtro. Através desta análise, pode-se observar que o projeto desenvolvido apresentou comportamento bastante semelhante ao do modelo de referência.

Em relação ao comportamento temporal, o sistema foi simulado com uma frequência de clock de 800MHz. Esse sistema utiliza 144 pulsos de *clock* para processar as amostras dos canais referentes a uma colisão, ou seja, são necessários 180ns. Como ocorre uma colisão a cada 25ns, são necessárias aproximadamente 8 colisões para se obter os sinais filtrados.

Em relação à ocupação de recursos dos dispositivos FPGA, a Figura 11 apresenta a utilização da lógica configurável (*Slice Register*), enquanto que a Figura 12 mostra a utilização das estruturas de operações lógicas e aritméticas (*DSP*), em ambas variou-se a ordem do filtro. Essas análises tiveram como alvo ambos os dispositivos definidos pela colaboração do detector. A partir desses gráficos observa-se que a arquitetura proposta nesse trabalho utiliza menos recursos dos dispositivos FPGAs do que uma solução similar, anteriormente proposta (Cavalcanti et al., 2014). Essa outra implementação possui uma estrutura de filtro para cada canal de medição, utilizando, assim, muitas estruturas de *DSP* e lógica reconfigurável, as quais ficam ociosas durante determinados períodos de seu funcionamento. No sistema proposto nesse trabalho, compartilhou-se as estruturas de *DSP* entre os filtros e também otimizou o caminho dos sinais de energia através das técnicas de *pipeline* e múltiplos *clocks*.

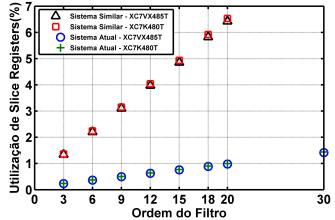


Figura 11: Utilização de *Slice Register*.

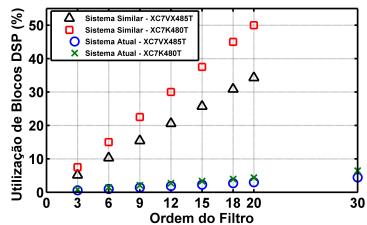


Figura 12: Utilização de blocos de *DSP*.

6 Conclusões

A atualização do LHC causará o efeito de empilhamento no sinal de saída dos sensores do Calorímetro Hadrônico do *ATLAS*. Esse trabalho propõe a reconstrução do sinal através de uma implementação em FPGA de Filtro Digital do tipo FIR projetado de acordo com um método determinístico. Através da análise dos resultados da filtragem do sinal, pode-se observar que o mesmo foi reconstruído de forma satisfatória. Essa análise pode ser confirmada observando os gráficos dos erros, onde constata-se a eficiência e o comportamento esperado do sistema FPGA implementado. A partir dos resultados obtidos, conclui-se que o aumento da ordem do filtro implica em uma maior ocupação do FPGA e aumenta a eficiência na reconstrução do sinal. Como trabalho futuro, propõe-se utilizar outro tipo de projeto de Filtro, dessa vez considerando um método iterativo.

Agradecimentos

Os autores agradecem à FAPESB, FAPERJ, CAPES e CNPq pelo apoio financeiro e à colaboração ATLAS pelas contribuições para o desenvolvimento deste trabalho.

Referências

- Aad, G., Abat, E., Abdallah, J. et al. (2008). The ATLAS experiment at the cern large hadron collider, *Journal of Instrumentation* **3**(8).
- Aad, G., Abbott, B., Abdallah, J. et al. (2010). Readiness of the ATLAS tile calorimeter for LHC collisions, *The European Physical Journal C* **70**(4): 1193–1236.
- Carrió, F., Castillo, V., Ferrer, A. et al. (2014). The SROD module for the ATLAS tile calorimeter upgrade demonstrator, *2014 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, pp. 1–3.
- Cavalcanti, M. M., Filho, E. F. S., Farias, P. C. M. A. et al. (2014). Sistema digital para redução do empilhamento em medições de energia num detector de partículas, *Anais do XX Congresso Brasileiro de Automática* pp. 456–463.
- Constantinides, G. A., Cheung, P. Y. K. and Luk, W. (2003). Synthesis of saturation arithmetic architectures, *ACM Trans. Des. Autom. Electron. Syst.* **8**(3): 334–354.
- Duarte, J. P. B. S. (2015). *Estudo de técnicas de deconvolução para reconstrução de energia online no calorímetro hadrônico do ATLAS*, Master's thesis, Programa de Pós Graduação em Engenharia Elétrica / UFJF.
- Evans, L. and Bryant, P. (2008). LHC machine, *Journal of Instrumentation* **3**(08): S08001.
- Fernow, R. C. (1986). *Introduction to Experimental Particle Physics*, Cambridge University Press, New York, USA.
- Filho, E. F. S. (2010). *Análise não-linear de componentes independentes para uma filtragem online baseada em calorimetria de alta energia e com fina segmentação*, PhD thesis, Electrical Engineering Program / COPPE / UFRJ, Rio de Janeiro, BR.
- Gnanasekaran, M. and Manikandan, M. (2013). High throughput pipelined implementation of reconfigurable FIR filter for sdr, *Current Trends in Engineering and Technology (ICTET), 2013 International Conference on*, IEEE, pp. 362–364.
- Kordas, K., Abolins, M., Alexandrov, I. et al. (2007). The ATLAS data acquisition and trigger: concept, design and status, *Nuclear Physics B-Proceedings Supplements* **172**: 178–182.
- Lyons, R. G. (2011). *Understanding Digital Signal Processing*, third edn, Prentice Hall, Boston, MA, USA.
- Meyer-Baese, U. (2007). *Digital Signal Processing with Field Programmable Gate Arrays*, third edn, Springer, Tallahassee, Florida, USA.
- Wessels, M. (2014). Upgrade of the ATLAS level-1 calorimeter trigger, *Real Time Conference (RT), 2014 19th IEEE-NPSS*, pp. 1–7.
- Xilinx (2015). *7 Series FPGAs Overview*. v1.17.