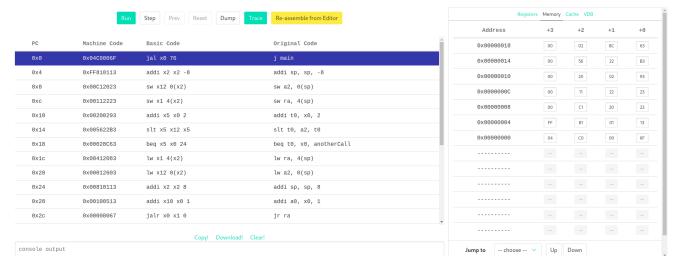
# Roteiro 9 - Laboratório de Organização e Arquitetura de Computadores

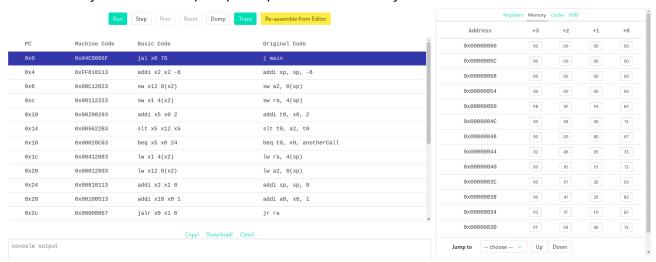
Aluno: Tarso Jabbes Lima de Oliveira

## **PROBLEMA 1**

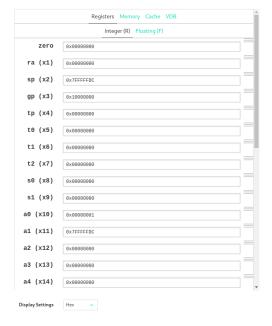
3.a O endereço que memória que aponta para a primeira instrução é 0x00000000



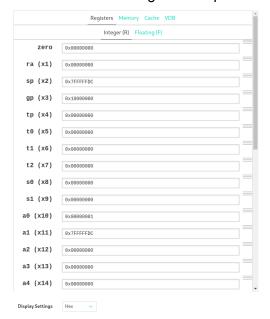
3.b O endereço de memória que aponta para a última instrução é 0x00000050



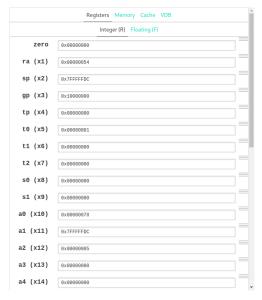
- 3.c No total, são ocupados 21 bytes de memória.
- 4.a O conteúdo do registrador que armazena o valor de n (a2) é 0x00000000



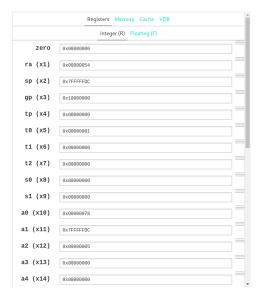
4.b O conteúdo do registrador que armazena o valor do fatorial (a0) é 0x00000001



5.a O conteúdo do registrador que armazena o valor de n (a2) é 0x00000005

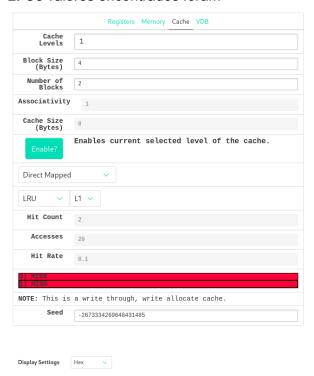


5.b O conteúdo do registrador que armazena o valor do fatorial (a0) é 0x00000078



### **PROBLEMA 2**

### 2. Os valores encontrados foram

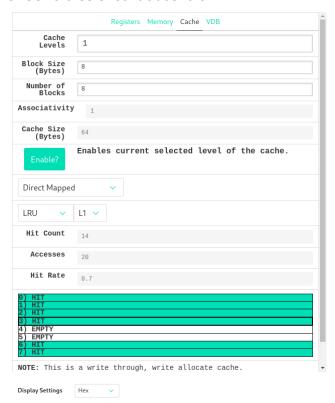


#### 5. Os valores encontrados foram



Com base nos resultados, podemos observar que houve um aumento no "Hit count" e o "Hit rate". Com o mesmo número de acessos à memória cache, conseguimos aumentar a taxa de acerto para a metade ao aumentar o tamanho dos blocos.

#### 8. Os valores encontrados foram



Quando aumentamos tanto o tamanho dos blocos quando sua quantidade, temos um aumento expressivo na taxa de acerto na memória cache. A princípio, quanto tinhamos somente dois blocos de 2 bytes, a taxa de acerto era de apenas 0.1. Isso significa que 90% dos acessos à memória cache precisavam acessar a memória principal para buscar as informações. Agora, com 8 blocos de 8 bytes cada, a taxa de acerto subiu para 0.7. Com isso, somente foi preciso acessar a memória principal 30% das vezes.