

Práctica 6. ASM con memoria

Esta práctica tiene dos objetivos. Por un lado, asentar los conocimientos sobre diseño de sistemas algorítmicos adquiridos en la práctica anterior y, por otro lado, aprender a manejar diseños que incluyan memorias.

6.1 Algoritmo de ordenación de burbuja

6.1.1 Especificaciones

En la primera parte de la práctica vamos a diseñar, simular y sintetizar un sistema algorítmico que dados 32 números de 4 bits en binario puro almacenados en una memoria SRAM los ordene de mayor a menor según el algoritmo de ordenamiento de burbuja.

- Spec 1. El diseño se implementará como un sistema algorítmico que debe implementará el siguiente algoritmo:

```
i ← 0, Fin ← 0;
while i < n do
    j ← 0;
    while j < n − 2 do
        if M(j) ≤ M(j + 1) then
            M(j) ← M(j + 1);
            M(j + 1) ← M(j);
        end
        j ← j + 1;
    end
    i ← i + 1;
end
Fin ← 1;
```

Algorithm 2: Algoritmo de ordenamiento de burbuja. *M*(*j*) indica el contenido de la posición de memoria *j*.

- Spec 2. Su funcionamiento será síncrono y todos los registros serán activos por flanco de subida.
- Spec 3. La señal de reloj será *clk*.
- Spec 4. La señal de reset, *rst_n*, estará activa a nivel bajo.
- Spec 5. El diseño tiene dos puertos de entrada: *ini* (1 bit) y *dir* (número entero de 5 bits en binario puro).
- Spec 6. El diseño tiene dos puertos de salida: *fin* (1 bit) y *debug* (4 bits).
- Spec 7. La entidad *sort* viene definida por el siguiente código VHDL:

```
entity sort is
  port (clk      : in  std_logic;
        rst_n    : in  std_logic;
        ini      : in  std_logic;
        fin      : out std_logic;
        dir      : in  std_logic_vector(4 downto 0);
        debug    : out std_logic_vector(3 downto 0);
  );
end sort;
```

- Spec 8. Los puertos `dir` y `debug` son puertos de depuración.
- Spec 9. El sistema comenzará a funcionar cuando se active la señal `ini` y una vez ordenados los 32 números se volverá al estado inicial y se activará la señal de salida `fin`. La señal `fin` permanecerá en alta hasta que la señal `ini` tome el valor 1.
- Spec 10. Mientras la señal `fin` sea '1', es decir mientras el sistema se encuentre en el estado inicial, la salida `debug` mostrará los valores de memoria direccionados desde el puerto `dir`. Es decir `debug <= mem(dir)`. El resto del tiempo `debug <= "0000"`.
- Spec 11. En la ruta de datos solo puede usarse una memoria SRAM de 32 palabras de 4 bits, comparadores del ancho necesario, contadores ascendentes/descendentes⁽²⁾, registros, multiplexores y sumadores.

6.1.2 Diseño