

آزمایش اول: VHDL مقدماتی

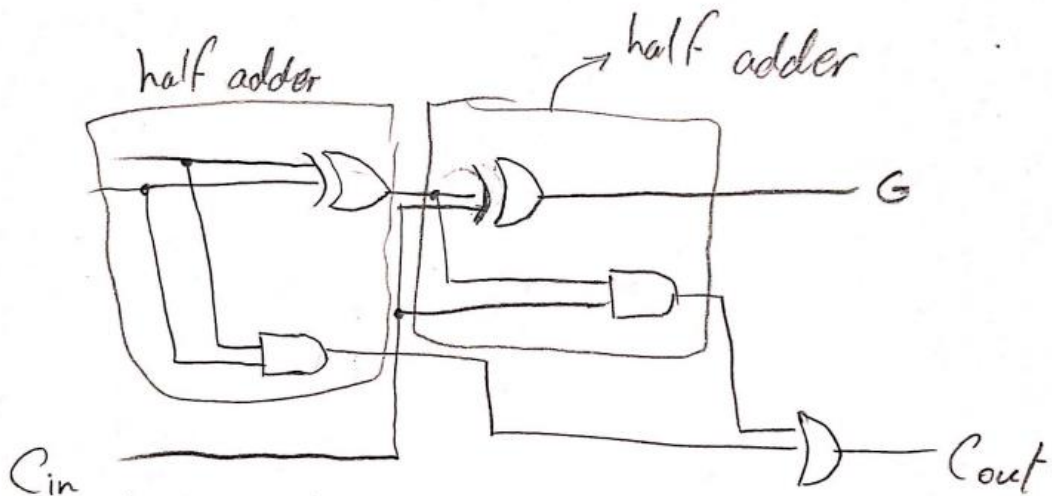
نام و نام خانوادگی: کیمیا منتظری و آرین قزوینی

شماره دانشجویی: ۹۹۳۱۰۷۸ و ۹۹۳۱۰۴۵

نام استاد: فاطمه خجسته دانا

هدف آزمایش: آشنایی با نحوه مدل کردن مدارهای پایه آزمایشها در زبان VHDL و معرفی ساختارهای همروند

در این آزمایش با توجه به کدهای VHDL موجود در دستور کار توانستیم برای یک full adder تست بنچ طراحی کنیم. Full adder یا جمع کننده، سه ورودی $i0$, $i1$, Cin را دریافت و sum (حاصل جمع) و $Cout$ (رقم نقلی) را تولید می کند که طراحی مدار آن به شرح زیر است:



در نهایت، تست پنج خواسته شده را طراحی کردیم که نتیجه شبیه‌سازی آن در شکل زیر نشان داده شده است؛ که همانطور که مشاهده می‌شود، خروجی شبیه‌سازی درست بوده و همان عملکرد جمع‌کننده را دارد.

