

آزمایش ۶: تاخیر در مدارات دیجیتال

نام و نام خانوادگی: کیمیا منتظری و آرین قزوینی

شماره دانشجویی: ۹۹۳۱۰۷۸ و ۹۹۳۱۰۴۵

نام استاد: فاطمه خجسته دانا

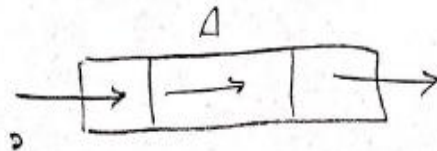
هدف آزمایش: آشنایی با چگونگی ایجاد تاخیر در مدارهای دیجیتال و بررسی آن بر روی برد

پیاده‌سازی شیفت رجیستر

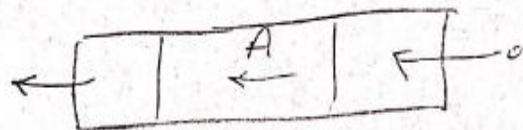
انواع شیفت‌ها

SHR (شیفت رات منطقی)

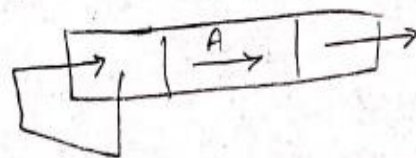
کم از ۳۲ بیت (رات ۳۲ بیت) بیرون می‌آورد و سایر بیت‌ها به رات می‌روند.
 دسی که همراه است می‌دارد می‌شود. در این شیفت برای اعداد مکمل ۲ استفاده می‌شود
 زیرا علامت آن‌ها را بهم می‌زنند. بیشتر برای اعداد بی علامت استفاده می‌شود و عمل تقسیم بر ۲ است



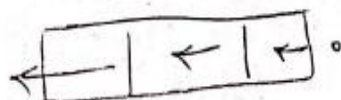
SHL (شیفت چپ منطقی) - عمل ضرب بر ۲ است - در از ۳۲ بیت بیرون می‌آورد
 در نتیجه اگر در دسی با علامت به هم می‌زنند، علامت ما محفوظ می‌شود.



SAR (شیفت رات صاف) مانند شیفت رات منطقی با این تفاوت که بیت ۳۲ بیت
 تکرار می‌شود در نتیجه در دسی مکمل ۲ علامت عدد قابل نفوذ می‌شود

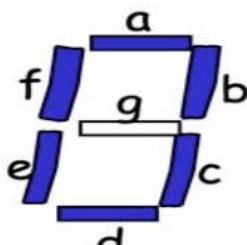


SAL (شیفت چپ صاف) هم از شیفت چپ منطقی - در دسی با علامت‌ها، علامت
 عدد مکمل است بهم می‌زنند



پیاده‌سازی 7-segment برای نمایش خروجی

برای نمایش دادن خروجی نهایی، از یک 7-segment استفاده می‌کنیم. این مدار اعداد ۴ بیتی را به شکل bcd دریافت و تعدادی از اعداد abcdefg را بر اساس عدد ورودی، روشن می‌کند.



digit	ABCD	abcdefg
0	0000	1111110
1	0001	0110000
2	0010	1101101
3	0011	1111001
4	0100	0110011
5	0101	1011011
6	0110	X011111
7	0111	11100X0
8	1000	1111111
9	1001	111X011
A	1010	1110111
B	1011	0011111
C	1100	1001110
D	1101	0111101
E	1110	1001111
F	1111	1000111