

**А. А. ТОРБА**

**Компьютерная  
схемотехника**



Харьков  
Компания СМИТ  
2007

УДК 681.3-621.375

ББК 32.85

T59

*Рекомендовано кафедрой ЭВМ  
Харьковского национального университета радиоэлектроники  
(Протокол № 4 от 23.11.2006 г.)*

**Рецензент**

*B. H. Королев, кандидат технических наук, доцент кафедры «Сети и связи»  
Харьковского национального университета радиоэлектроники*

**Торба А. А. Компьютерная схемотехника: Учебное пособие /**  
T59    Под редакцией автора. — Харьков: ООО «Компания СМИТ», 2007. —  
288 с.  
ISBN 966-8530-91-8

В учебном пособии рассмотрены принципы построения и проектирования функциональных узлов и устройств ЭВМ и цифровой автоматики, а также их практические реализации. В издание включены примеры решения типовых задач, а также задания для самостоятельной работы студентов.

Изучение основных материалов учебника дополняется исследованием практических схем на лабораторных работах. Применение электронного симулятора Electronics Workbench позволяет проводить разнообразные лабораторные исследования без дополнительных материальных затрат на изготовление и техническое обслуживание лабораторных макетов (это особенно важно для самостоятельного изучения в рамках заочной формы обучения). В пособие включены подробные методические указания по проведению лабораторных работ на электронном симуляторе Electronics Workbench или на лабораторном макете УМ-11 на кафедре ЭВМ в ХНУРЭ.

Для студентов специальностей «Программное обеспечение АС» и «Компьютеризированные технологии и системы издательско-полиграфических производств».

ББК 32.85

УДК 681.3-621.375

ISBN 966-8530-91-8

© Торба А. А., 2007

© ООО «Компания СМИТ», 2007

## **ВВЕДЕНИЕ**

Информатизация общества — важнейшая задача, стоящая перед нашей страной и требующая интенсивного развития вычислительной техники и других средств обработки информации.

Все разнообразные средства цифровой техники: ЭВМ, микропроцессорные системы измерений и автоматизации технологических процессов, цифровая связь и телевидение и т. д. строятся на единой элементной базе, в состав которой входят чрезвычайно разные по сложности микросхемы — от логических элементов, выполняющих простейшие операции, до сложнейших программируемых кристаллов, содержащих миллионы логических элементов.

Создание современной элементной базы средств вычислительной техники — научно-техническая задача, решение которой по силам только наиболее развитым и экономически сильным странам. В Украине и странах СНГ развитие микроэлектроники в настоящее время находится в кризисном состоянии. Отставание от передовых стран (США, Японии) наметилось уже в СССР, когда переход на производство субмикронных интегральных схем не был освоен, что привело к нарастающему отставанию от уровня мировой техники.

Переход к рыночной экономике, разрыв экономических связей между странами бывшего СССР, вызвавшие развал в экономике страны, привели к потере электронной промышленностью около 4/5 имевшихся мощностей. Перспективы отечественной микроэлектроники предсказать сложно, поскольку вывод ее на современный уровень требует вложения огромных средств. Государственная поддержка на требуемом уровне пока не реальна (даже крупнейшие мировые фирмы вынуждены объединяться в альянсы для аккумулирования средств, необходимых для создания новых микросхем памяти, микропроцессоров и др.).

Следует заметить, что для системотехников отсутствие отечественных микросхем современного уровня компенсируется сейчас доступностью зарубежной элементной базы, поэтому изучение цифровых узлов и устройств во всем их разнообразии имеет практическое значение.

В данном учебном пособии рассмотрены принципы построения и проектирования функциональных узлов и устройств ЭВМ и цифровой автоматики, а также их практические реализации. Освоение материала учебного пособия требует лишь знакомства с логическими операциями, двоичной системой счисления и основами электроники.

Пособие написано на основе конспекта лекций, читаемого автором для студентов специальностей 8.080403 – Программное обеспечение АС и 7.092704 – Компьютеризованные технологии и системы издательско-полиграфических производств в Харьковском национальном университете радиоэлектроники (ХНУРЭ).

В издание включены примеры решения типовых задач, а также задания для самостоятельной работы студентов. После изучения каждой темы студентам предлагаются вопросы для самоконтроля.

Изучение основных материалов пособия дополняется исследованием практических схем на лабораторных работах. Применение электронного симулятора Electronics Workbench позволяет проводить разнообразные лабораторные исследования без дополнительных материальных затрат на изготовление и техническое обслуживание лабораторных макетов (это особенно важно для самостоятельного изучения в рамках заочной формы обучения). В пособие включены подробные методические указания по проведению лабораторных работ на электронном симуляторе Electronics Workbench или на лабораторном макете УМ-11 на кафедре ЭВМ в ХНУРЭ.

Рекомендованная литература позволяет более глубоко изучить многие материалы курса, т. к. ограниченный объем пособия не позволяет подробно описывать некоторые важные особенности цифровых и аналоговых микросхем.

Это учебное пособие и методические указания к лабораторным работам реализованы в электронном виде и поэтому постоянно дополняются и перерабатываются. Можно рассматривать этот материал как очередную версию (например, V 4.3), которая обязательно устареет к моменту выхода печатной копии.

Автор будет признателен за любые критические замечания и пожелания, направленные на улучшение изложения материала в пособии или его дополнение. Электронный адрес автора:

E-mail: [august@kture.kharkov.ua](mailto:august@kture.kharkov.ua)

## ПЕРЕЧЕНЬ СОКРАЩЕНИЙ И УСЛОВНЫХ ОБОЗНАЧЕНИЙ

н-МОП	– Полевой транзистор (или логический элемент) с каналом н-типа со структурой Металл-Окисел-Полупроводник
АИС	– Аналоговая Интегральная Схема
АЦП	– Аналого-Цифровой Преобразователь
БИС	– Большие Интегральные Схемы
ВАХ	– Вольт-Амперная Характеристика
ГЛИН	– Генератор Линейно Изменяющегося Напряжения
ИБП	– Источник Бесперебойного Питания
ИВЭП	– Источник Вторичного ЭлектроПитания
ИС	– Интегральная Схема
КМОП	– Логические элементы на Комплементарных (дополнительных) полевых транзисторах со структурой Металл-Окисел-Полупроводник
ЛКС	– Логическая Комбинационная Схема
ЛРР	– Линейный Рекуррентный Регистр
МИС	– Малые Интегральные Схемы
МОП	– Структура полевых транзисторов Металл-Окисел-Полупроводник
МЭТ	– МногоЭмиттерный Транзистор
ОЗУ	– Оперативное Запоминающее Устройство
ООС	– Отрицательная Обратная Связь
ОС	– Обратная Связь
ОУ	– Операционный Усилитель
ПЗУ	– Постоянное Запоминающее Устройство
ПЛИС	– Программируемая Логическая Интегральная Схема
ПЛМ	– Программируемая Логическая Матрица
ПОС	– Положительная Обратная Связь
ПСП	– ПсевдоСлучайные Последовательности
СБИС	– СверхБольшие Интегральные Схемы
СВЗ	– Схема Выборки-Запоминания
СИС	– Средние Интегральные Схемы
СУ	– Схема Управления
ТТЛ	– Транзисторно-Транзисторная Логика
ТТЛШ	– Транзисторно-транзисторная логика с диодами Шотки
ТШ	– Триггер Шmittта
УГО	– Условное Графическое Обозначение
ФНЧ	– Фильтр Низких Частот
ЦАП	– Цифро-Аналоговый Преобразователь
ЦИС	– Цифровая Интегральная Схема
ШИМ	– Широтно-Импульсная Модуляция
ЭВМ	– Электронная Вычислительная Машина
ЭДС	– Электродвижущая Сила
ЭСЛ	– Микросхемы со структурой Эмиттерно-Связанной Логики

## **ТЕМА 1 ОСНОВЫ ТЕОРИИ ИНФОРМАЦИИ И ПЕРЕДАЧИ СИГНАЛОВ**

Научно-технический прогресс сопровождается интенсивным ростом объемов информации, необходимой для управления промышленностью, аграрным сектором, транспортом и другими отраслями экономики.

Из всего многообразия современных технических систем можно выделить особую группу так называемых **ИНФОРМАЦИОННЫХ СИСТЕМ**, предназначенных для передачи, преобразования и хранения информации. К этой группе можно отнести: связные, телемеханические, навигационные, телевизионные системы, электронно-вычислительную и информационно-измерительную технику, автоматизированные системы управления и контроля.

**ТЕОРИЕЙ ИНФОРМАЦИИ** называется раздел кибернетики, в котором математическими методами изучаются способы измерения количества информации, содержащейся в каких-либо сообщениях, и способы ее передачи.

Под **ИНФОРМАЦИЕЙ** понимают «совокупность сведений о каких-либо событиях, процессах, объектах управления и т.п., рассматриваемых в аспекте их передачи в пространстве и во времени». В более общем смысле «**ИНФОРМАЦИЯ** – это содержание связи между материальными объектами, проявляющееся в изменении состояний этих объектов». Или еще одно определение: «**ИНФОРМАЦИЯ** выступает как свойство объектов порождать многообразие состояний, которые посредством отражения передаются от одного объекта к другому».

При всех различиях в трактовке понятия **ИНФОРМАЦИЯ**, бесспорно то, что проявляется информация всегда в материально-энергетической форме в виде **СИГНАЛОВ**.

Возможно и взаимосвязанное определение **СИГНАЛА** как материального носителя информации. Материальную основу **СИГНАЛА** составляет какой-либо физический объект или процесс, называемый носителем (или переносчиком) информации (сообщения).

В качестве **НОСИТЕЛЕЙ ИНФОРМАЦИИ** используются колебания различной природы, чаще всего гармонические, включая частный случай – постоянное состояние ( $f = 0$ ).

В технических информационных системах наиболее широкое распространение получили носители в виде электрического напряжения или тока.

Рассмотрим структурную схему системы передачи информации (рис. 1.1).

В Передающем устройстве какой-либо параметр Сигнала (носителя информации) изменяется по закону изменения Сообщения. Этот процесс называется модуляцией. Выходной сигнал Передающего устройства

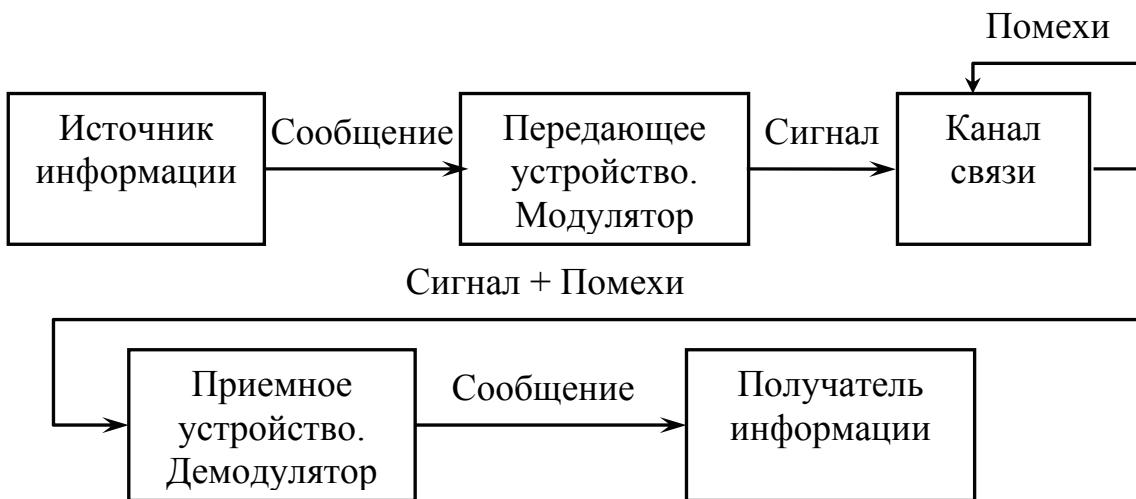


Рис. 1.1 – Структурная схема системы передачи информации

передается через Канал Связи, где Сигнал искажается Помехами. Задача Демодулятора в Приемном устройстве – восстановить с максимальной достоверностью переданное Сообщение.

Под Каналом Связи понимают любой способ передачи сигналов во **ВРЕМЕНИ** или **ПРОСТРАНСТВЕ**:

- возможна передача информации в пространстве с максимальной скоростью (скоростью света) – телевидение, электрические, оптические и другие каналы связи;
- возможна передача информации только во времени – запись и воспроизведение информации на магнитные или оптические диски и другие носители;
- возможна передача информации во времени и в пространстве: запись информации на твердый носитель и воспроизведение ее в другом месте.

Если носителем информации (сигналом) в системе является постоянный ток, то он имеет один информационный параметр – уровень (например: телефонный канал для передачи аналоговых и цифровых сигналов).

При использовании электрических сигналов в виде гармонических (синусоидальных) колебаний – информативными могут стать такие параметры, как амплитуда, частота или фаза.

Электрические сигналы принято подразделять на: детерминированные и случайные.

**ДЕТЕРМИНИРОВАННЫМИ** называют сигналы, параметры которых точно определены в любые моменты времени (даже для моментов времени в будущем).

**СЛУЧАЙНЫЕ СИГНАЛЫ** отличаются тем, что значения их некоторых параметров предсказать невозможно. Случайные сигналы разделяются на полезные (информационные), несущие интересующую нас информацию; и на помехи, которые мешают наблюдению интересующих нас полезных сигналов.

**ПОЛЕЗНЫЕ СИГНАЛЫ** являются принципиально случайными колебаниями, т.к. источник сообщений выдает каждое сообщение с некоторой вероятностью, и предсказать точно изменения значений информативного параметра невозможно.

Например: записав на самописец изменения температуры, передаваемые по каналу связи, мы получим одну из реализаций случайного сигнала. Наблюдая на осциллографе передаваемый сигнал речи или музыки, мы также получаем реализации случайного сигнала.

С точки зрения теории информации детерминированный сигнал, т.е. сигнал, у которого известны все параметры, нет смысла передавать.

Тем не менее, детерминированные сигналы необходимо изучать, т.к. результаты анализа детерминированных сигналов являются основой для изучения более сложных случайных сигналов.

Детерминированные сигналы иногда специально создаются и передаются для целей измерения, наладки и регулировки каналов передачи информации, исполняя роль эталонов. Например: тестовые таблицы в телевидении.

## 1.1 ФОРМЫ ПРЕДСТАВЛЕНИЯ ДЕТЕРМИНИРОВАННЫХ СИГНАЛОВ

В зависимости от структуры информационных параметров сигналы подразделяются на: дискретные, непрерывные и дискретно-непрерывные.

Сигнал считают **ДИСКРЕТНЫМ** по данному параметру, если число значений, которое может принимать этот параметр, – конечно.

Если множество возможных значений параметра образует континуум, то сигнал считают **НЕПРЕРЫВНЫМ** по данному параметру.

Сигнал, дискретный по одному параметру и непрерывный по другому, называют **ДИСКРЕТНО-НЕПРЕРЫВНЫМ**.

Существуют следующие разновидности математических моделей детерминированных сигналов:

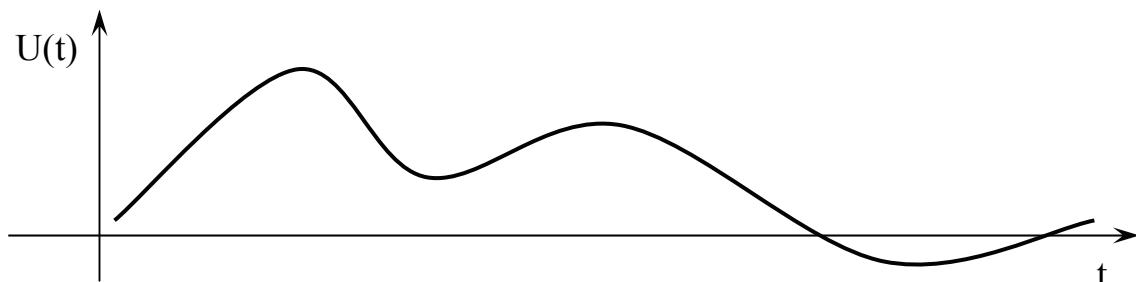


Рис. 1.2.а – Непрерывная функция непрерывного аргумента, например: непрерывная функция времени

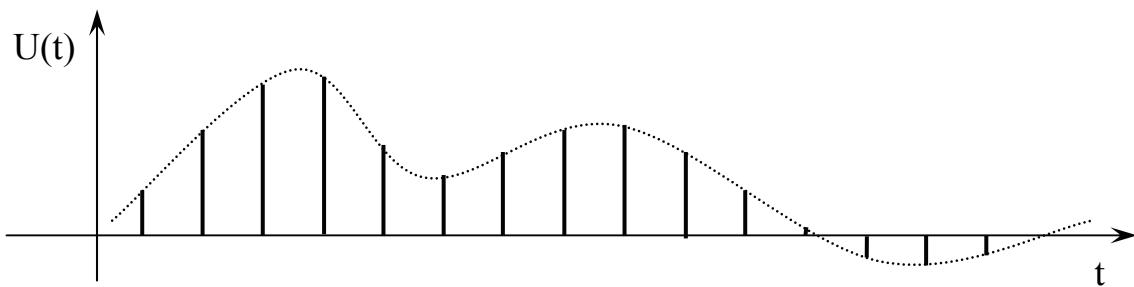


Рис. 1.2.б – Непрерывная функция дискретного аргумента, например функция, значения которой отсчитывают в отдельные (дискретные) моменты времени;

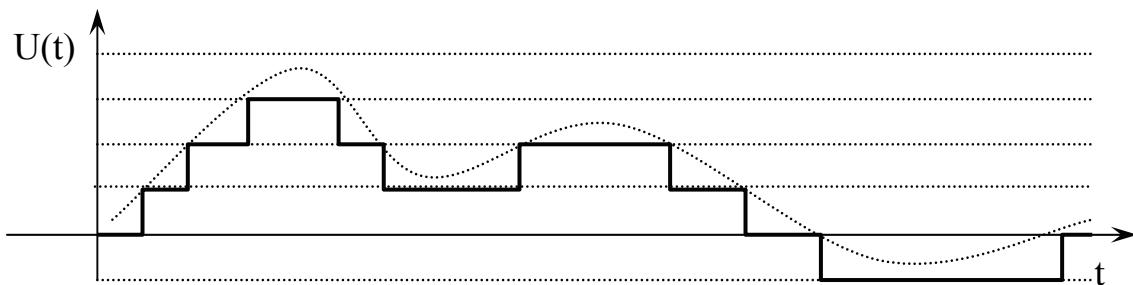


Рис. 1.2.в – Дискретная (квантованная) функция непрерывного аргумента, например: времени

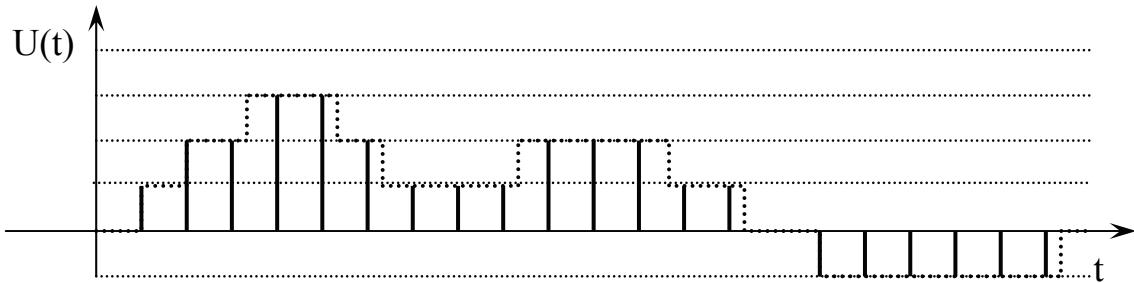


Рис. 1.2.г – Дискретная функция дискретного аргумента

## 1.2 СПЕКТРАЛЬНЫЙ АНАЛИЗ ПЕРИОДИЧЕСКИХ И НЕПЕРИОДИЧЕСКИХ СИГНАЛОВ

Рассмотренные математические модели сигналов отражают изменение их параметра (уровня) во времени. На экране осциллографа можно наблюдать такие изменения уровня сигнала во времени.

Известно, что с помощью математического **ПРЕОБРАЗОВАНИЯ ФУРЬЕ**, каждой временной функции можно поставить в соответствие ее отображение в виде частотного спектра. Существуют приборы – спектроанализаторы, которые позволяют наблюдать спектральные (частотные) характеристики сигналов.

Таким образом, одни и те же сигналы можно наблюдать во временном или спектральном (частотном) базисе. Это два разных способа представления (описания, анализа) сигналов, между которыми существует

однозначное соответствие, т.е. каждому временному представлению сигнала соответствует единственное спектральное (частотное) представление и наоборот.

### 1.2.1 ПРЕОБРАЗОВАНИЕ ФУРЬЕ ДЛЯ ПЕРИОДИЧЕСКИХ СИГНАЛОВ

**ПЕРИОДИЧЕСКИМ СИГНАЛОМ** будем называть сигнал, для которого справедливо равенство:

$$U(t) = U(t + nT), \quad (1.1)$$

где:  $n$  – целые числа от  $-\infty$  до  $+\infty$ ;

$T$  – период функции (расстояние между двумя одинаковыми точками).

Простейший пример периодической функции – меандр:

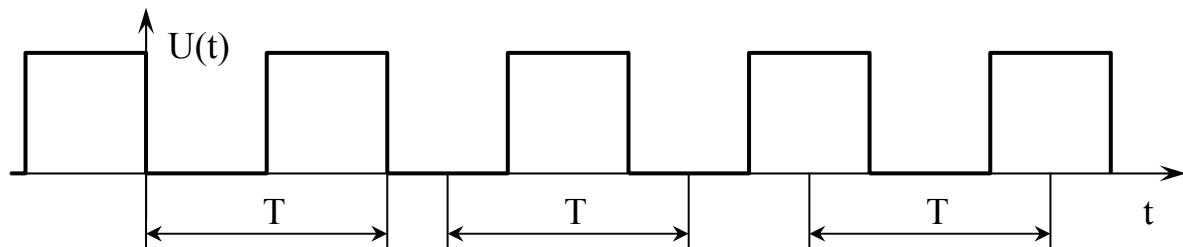


Рис. 1.3.а – Периодическая функция - меандр

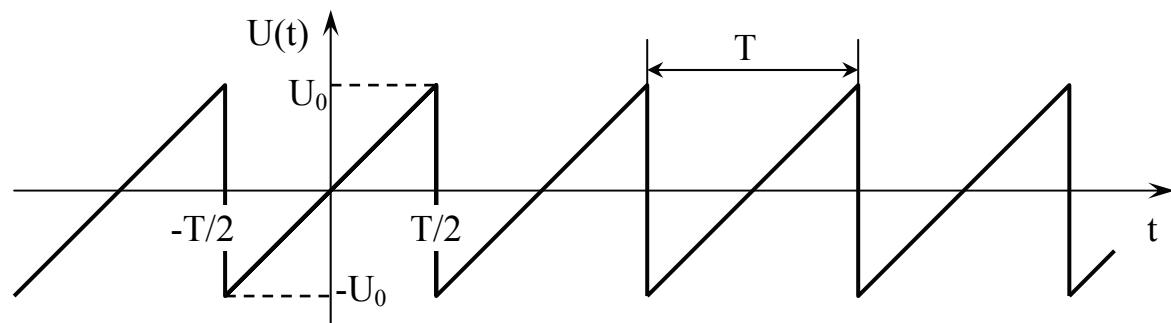


Рис. 1.3.б – Периодическая пилообразная функция

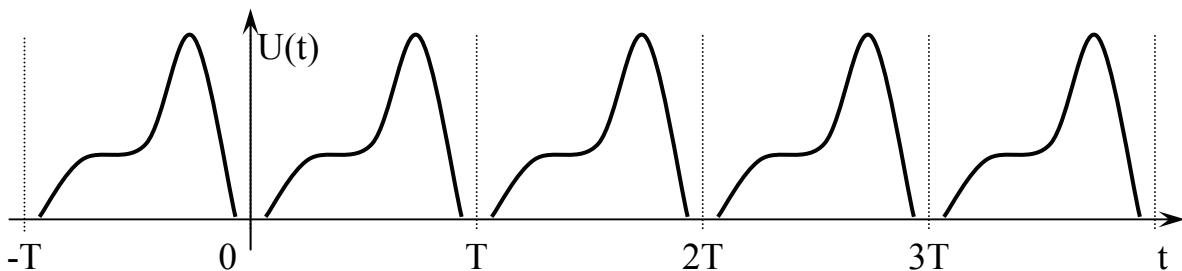


Рис. 1.3.в – Периодическая функция произвольной формы

При спектральном анализе периодических сигналов подразумевается, что сигнал существует во времени от  $-\infty$  до  $+\infty$ .

В пределах одного периода периодические функции могут иметь произвольную форму (см. рис. 1.3.в).

Временную периодическую функцию  $U(t)$  можно представить в виде **ДИСКРЕТНОГО СПЕКТРА**:

$$U(t) = \frac{1}{2} \sum_{k=-\infty}^{\infty} S^*(k\varpi_0) * e^{jk\varpi_0 t}, \quad (1.2)$$

где:

$$S^*(k\varpi_0) = \frac{2}{T} \int_{-T/2}^{T/2} U(t) * e^{-jk\varpi_0 t} dt. \quad (1.3)$$

В этих формулах :  $T$  – период временной функции (см. рис. 1.3);

$k$  – целые числа от  $-\infty$  до  $+\infty$ ;

$$\varpi_0 = 2 \cdot \pi \cdot f = 2 \cdot \pi / T, \quad - \quad (1.4)$$

круговая частота периодического сигнала (она однозначно определяется периодом сигнала  $T$ ).

Преобразование (1.3) называют **ПРЯМЫМ ПРЕОБРАЗОВАНИЕМ ФУРЬЕ** для периодических сигналов. Формула (1.2) – **ОБРАТНОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ**.

Функцию  $S^*(k\varpi_0)$  принято называть **КОМПЛЕКСНЫМ СПЕКТРОМ** периодического сигнала  $U(t)$ . Этот спектр – *дискретный*, т.к. функция  $S^*(k\varpi_0)$  определена на частотной оси только для целых значений  $k$ . Значение функции  $S^*(k\varpi_0)$  при конкретных значениях  $k$  называется **КОМПЛЕКСНОЙ АМПЛИТУДОЙ** спектра.

Комплексные числа (в отличие от обычных, действительных) имеют два параметра. Эти числа можно представить в показательной форме:

$$S^*(k\varpi_0) = S(k\varpi_0) * e^{j\varphi(k\varpi_0)}, \quad (1.5)$$

где :  $S(k\varpi_0)$  – спектр амплитуд (модули комплексных чисел);

$\varphi(k\varpi_0)$  – спектр фаз (фазы комплексных чисел)

(см. рис. 1.4).

Комплексные числа можно представить двумя параметрами и в алгебраической форме:

$$S^*(k\omega_0) = A(k\omega_0) + jB(k\omega_0), \quad (1.6)$$

где:  $A(k\omega_0) = \frac{2}{T} \int_{-T/2}^{T/2} U(t) * \cos(k\omega_0 t) dt,$  (1.7)

$$B(k\omega_0) = \frac{2}{T} \int_{-T/2}^{T/2} U(t) * \sin(k\omega_0 t) dt. \quad (1.8)$$

Формула (1.7) называется **КОСИНУС-ПРЕОБРАЗОВАНИЕ ФУРЬЕ**, а формула (1.8) – **СИНУС-ПРЕОБРАЗОВАНИЕ ФУРЬЕ**.

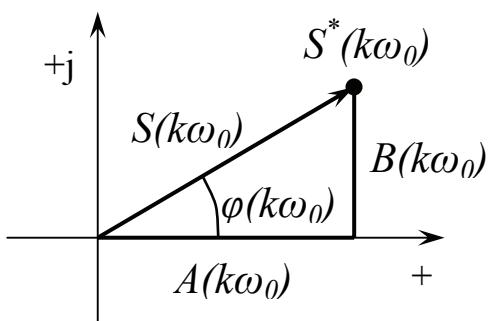


Рис. 1.4 – Геометрическая интерпретация комплексных чисел

Если временное представление сигнала  $U(t)$  является **четной функцией времени**, то синус-преобразование Фурье равно нулю:  $B(k\omega_0)=0.$

Если  $U(t)$  – **нечетная функция времени**, то нулю равно косинус-преобразование Фурье:  $A(k\omega_0)=0.$

Известны формулы перехода от алгебраической формы представления комплексного числа к показательной (см. также рис. 1.4):

$$S(k\omega_0) = \sqrt{A^2(k\omega_0) + B^2(k\omega_0)}, \quad (1.9)$$

$$\varphi(k\omega_0) = \arctg \frac{B(k\omega_0)}{A(k\omega_0)}. \quad (1.10)$$

При  $k = 0$  получаем из формулы (1.3) постоянную составляющую сигнала :

$$S(0) = \frac{2}{T} \int_{-T/2}^{T/2} U(t) dt. \quad (1.11)$$

Напомним, передача информации связана с затратами энергии. Для электрического сигнала, заданного в виде временной функции напряжения  $U(t)$ , можно рассчитать активную мощность, рассеиваемую на резистивной нагрузке:

$$P = U^2(t) / R_h \quad (1.12)$$

Средняя за период мощность сложного периодического сигнала равна сумме средних мощностей каждой гармонической составляющей в отдельности (включая постоянную составляющую).

Учитывая, что спектры периодических сигналов имеют составляющие в диапазоне частот от  $-\infty$  до  $+\infty$  (см. формулу (1.2)), а полоса частот реальных каналов связи ограничена, – при передаче необходимо выбирать сигналы, у которых не менее 80..90% мощности спектральных составляющих попадают в полосу частот канала связи.

Например, у импульсных прямоугольных сигналов около 85% мощности спектральных составляющих сосредоточено в главном лепестке (до первого нуля спектра амплитуд, см. рис. 1.6). Поэтому полоса частот канала связи для таких сигналов должна быть :  $\Delta F \geq 1/\tau$  ( $\tau$  – длительность импульса).

**Задача 1.1** – Рассчитаем спектры амплитуд и фаз периодической последовательности прямоугольных импульсов, длительностью  $\tau$ , амплитудой  $U_0$  и периодом  $T$  (см. рис. 1.5).

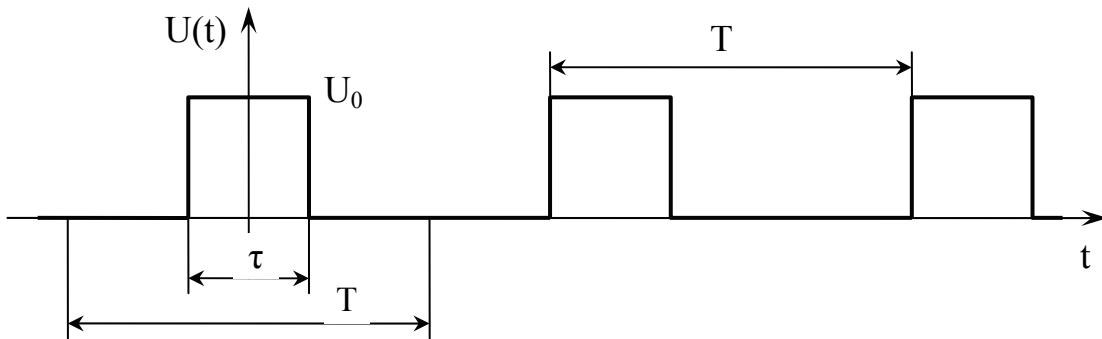


Рис. 1.5 – Периодическая последовательность прямоугольных импульсов

$$S^*(k\varpi_0) = \frac{2}{T} \int_{-\tau/2}^{\tau/2} U_0 * e^{-jk\varpi_0 t} dt = \frac{2U_0}{T * (-jk\omega_0)} * e^{-jk\omega_0 t} \Big|_{-\tau/2}^{\tau/2}.$$

Пределы интегрирования выбраны в диапазоне от  $-\tau/2$  до  $\tau/2$ , потому что в этом интервале функция  $U(t)$  отлична от нуля.

После преобразований по формуле Эйлера:  $e^{j\varphi} = \cos \varphi + j \sin \varphi$  получаем окончательный результат:

$$S^*(k\varpi_0) = 2 \frac{\tau}{T} U_0 \frac{\sin(k\varpi_0 \tau / 2)}{k\varpi_0 \tau / 2} = \frac{2U_0}{Q} * \frac{\sin(k\varpi_0 \tau / 2)}{k\varpi_0 \tau / 2}, \quad (1.13)$$

где :  $Q = T/\tau$  – скважность импульсов (численно равна количеству импульсов, помещающихся в одном периоде).

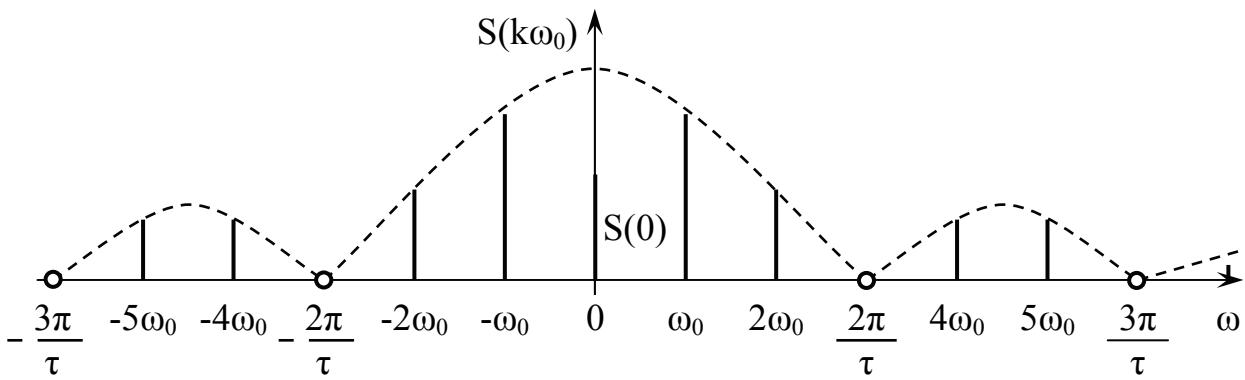


Рис. 1.6.а – Модуль спектра прямоугольного периодического сигнала

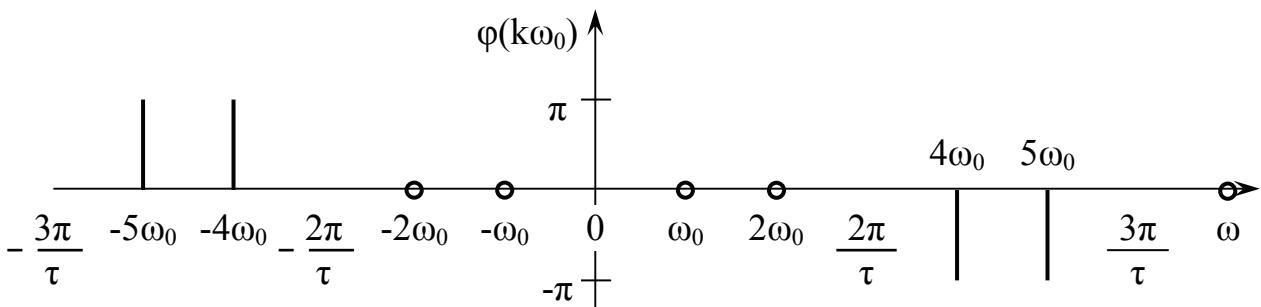


Рис. 1.6.б – Фаза спектра прямоугольного периодического сигнала

Огибающая спектра амплитуд (пунктирная линия на рис. 1.6.а) изменяется по закону  $(\sin x) / x$ . На частотах спектра, кратных

$$\omega = 2\pi / \tau = \omega_0 T / \tau = \omega_0 Q$$

огибающая модуля спектра амплитуд равна нулю. Приведенный на рис. 1.6.а модуль спектра амплитуд соответствует скважности прямоугольных импульсов, равной:  $Q = 3$ . Составляющие спектра (гармоники) с номером, кратным  $Q$ , обращаются в нуль. Если скважность (а также кратные ей числа) выражены дробными числами, то в нуль не обращаются соответствующие составляющие спектра.

Обратите внимание: исходная временная функция (см. рис. 1.5) является четной функцией времени. Поэтому спектр содержит только действительные числа (мнимая составляющая обращается в нуль).

Амплитуды спектра до первого нуля огибающей (рис.1.6.а) имеют фазы, равные нулю (рис. 1.6.б). После каждого перехода огибающей спектра амплитуд через нуль (см. рис. 1.6.а) фазы гармонических составляющих изменяются на  $180^\circ$ .

Постоянная составляющая сигнала –  $S(0)$  (см. рис. 1.6.а) вычисляется по формуле (1.11) и равна средней площади импульса (см. рис. 1.5) в пределах одного периода.

**Задача 1.2** – Построим временную функцию сигнала, спектр которого приведен на рис. 1.7. С учетом вышеизложенного можно утверждать, что временная функция этого сигнала будет иметь вид прямоугольных импульсов со скважностью  $Q=2$ , т.е. длительность импульсов равна расстоянию между импульсами. Постоянная составляющая сигнала равна нулю, т.е. сигнал будет иметь симметричные положительные и отрицательные значения.

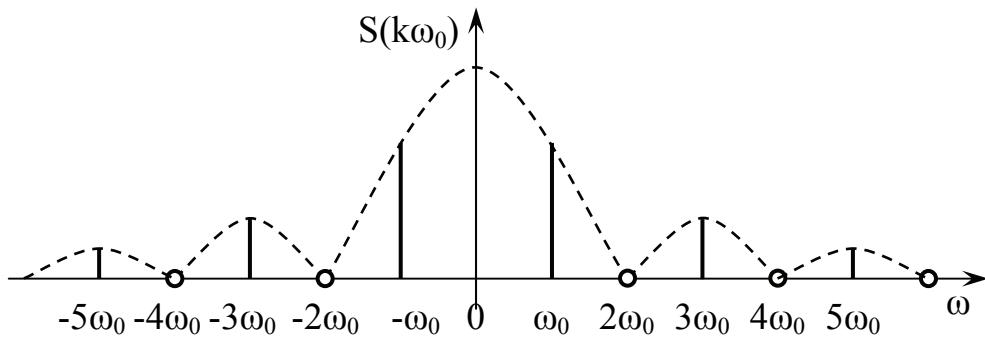


Рис. 1.7.а – Модуль спектра периодического сигнала

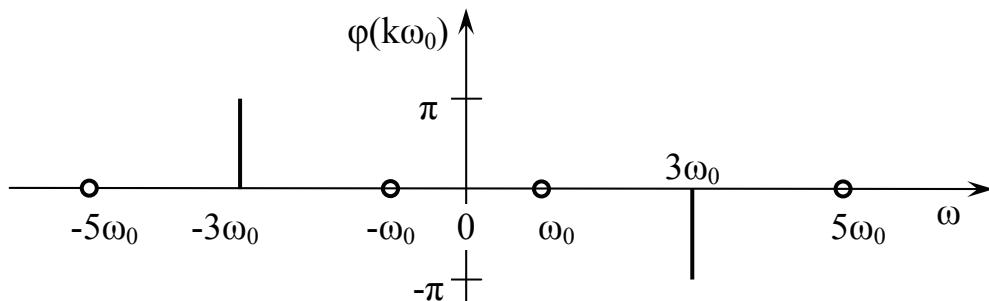


Рис. 1.7.б – Фаза спектра периодического сигнала

Для построения временной функции сигнала применим формулу (1.2):

$$U(t) = \frac{1}{2} \sum_{k=-\infty}^{\infty} S^*(k\omega_0) * e^{jk\omega_0 t} \quad (1.2)$$

Будем последовательно складывать спектральные составляющие для значений коэффициента  $k$   $(+1, -1), (+3, -3), (+5, -5)$  и так далее.

Учтем также, что:  $\sin(-\varphi) = -\sin(\varphi)$ .

Просуммируем спектральные составляющие с коэффициентами  $k = +1$  и  $k = -1$ :

$$\begin{aligned} 1/2 * [S(1) * e^{j\omega_0 t} + S(-1) * e^{-j\omega_0 t}] &= 1/2 * \{S(1) * [\cos(\omega_0 t) + \\ &+ j \sin(\omega_0 t) + \cos(-\omega_0 t) + j \sin(-\omega_0 t)]\} = S(1) * \cos(\omega_0 t) \end{aligned}$$

Суммарная функция  $S(1)+S(-1)$  приведена на рис. 1.8.а. Аналогично построены временные функции для коэффициентов  $k = +3, k = -3$  (см. рис. 1.8.б) и для коэффициентов  $k = +5, k = -5$  (см. рис. 1.8.в)

На рис. 1.8.г просуммированы первая и третья спектральные составляющие (т.е. сумма графиков на рис. 1.8.а и на рис. 1.8.б).

На рис. 1.8.д приведена сумма первой, третьей и пятой спектральной составляющей (т.е. к графику на рис. 1.8.г добавлен график на рис. 1.8.в).

Форма суммарного графика постепенно приближается к прямоугольным импульсам со скважностью  $Q = 2$ . Длительность импульса равна промежутку между импульсами.

Добавляя спектральные составляющие с коэффициентами  $k = (+7, -7), (+9, -9), (+11, -11)$ , можно убедиться, что форма импульсов все более приближается к прямоугольной.

Временная функция сигнала (см. рис. 1.8.д) расположена симметрично относительно горизонтальной оси, т.е. имеет одинаковые положительные и отрицательные значения. Это объясняется отсутствием постоянной составляющей в спектре сигнала (см. рис. 1.7)

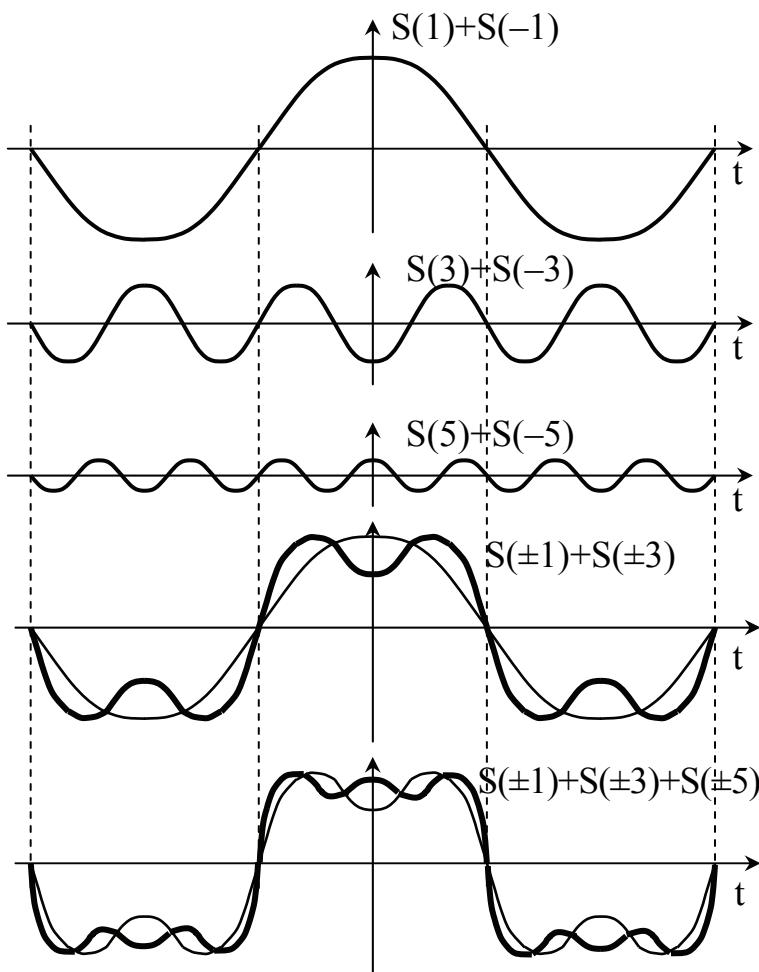


Рис. 1.8.а

Рис. 1.8.б

Рис. 1.8.в

Рис. 1.8.г

Рис. 1.8.д

**Задача 1.3 – Для пилообразного сигнала (рис. 1.3.б), заданного симметричной нечетной временной функцией в пределах одного периода:**

$$U(t) = U_0 \frac{t}{T/2}, \quad \text{при } -T/2 < t < T/2 \quad (1.14)$$

комплексный дискретный спектр имеет только **мнимые составляющие**:

$$S^*(k\omega_0) = \frac{2}{T} \int_{T/2}^{T/2} U_0 \frac{t}{T/2} * e^{-jk\omega_0 t} dt = j \frac{2}{\pi} U_0 \frac{\cos(k\pi)}{k} \quad (1.15)$$

Огибающая спектра амплитуд изменяется по закону гиперболы (см. рис. 1.9.а), а фаза каждой спектральной составляющей изменяется на  $180^\circ$  (рис. 1.9.б).

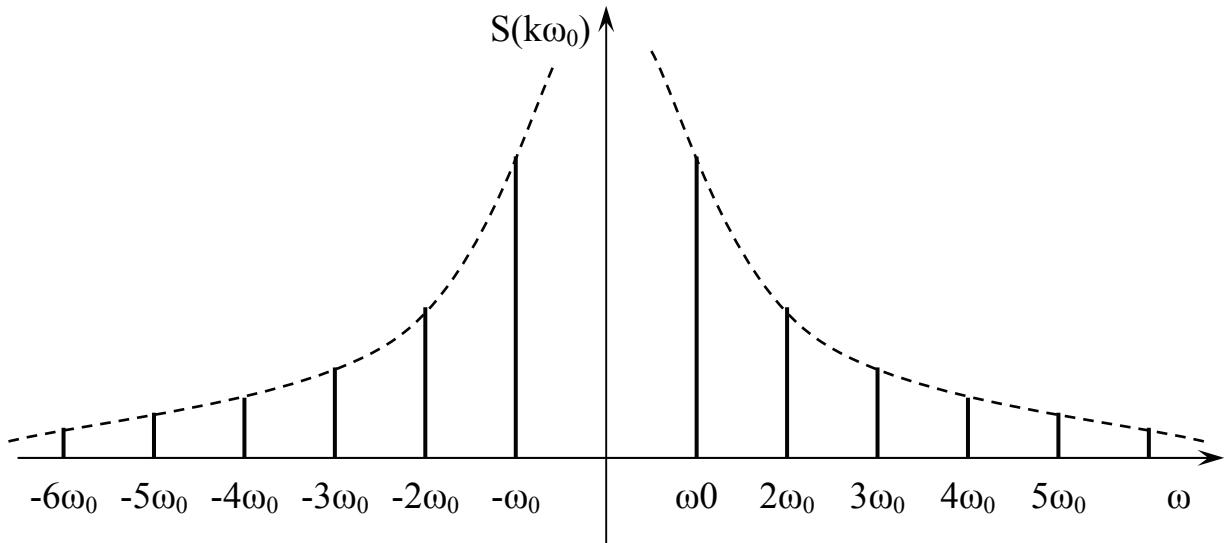


Рис. 1.9.а – Модуль спектра периодического пилообразного сигнала

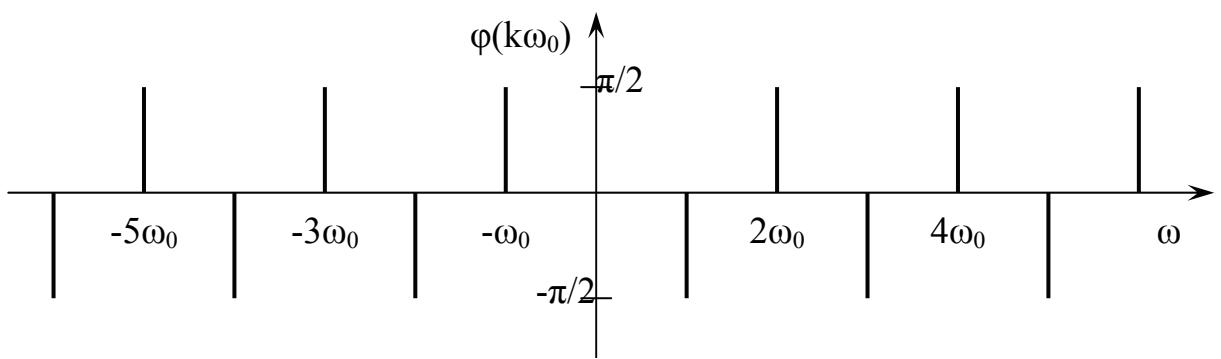


Рис. 1.9.б – Фаза спектра периодического пилообразного сигнала

**Задача 1.4** – Для этого же сигнала вычислим обратное преобразование Фурье, применив формулу (1.2), т.е. построим временную функцию сигнала, спектр которого приведен на рис. 1.9.

Будем последовательно складывать спектральные составляющие для значений коэффициента  $k$   $(+1, -1), (+2, -2), (+3, -3)$  и так далее.

В вычислениях учтем, что:  $e^{j\pi/2} = j$ ;  $e^{-j\pi/2} = -j$ ;  $j^2 = -1$ .

$$\begin{aligned} 1/2 * [S(1) * e^{-j\pi/2} * e^{j\omega_0 t} + S(-1) * e^{j\pi/2} * e^{-j\omega_0 t}] = & 1/2 * \{S(1) * [-j * \\ * \cos(\omega_0 t) - j^2 \sin(\omega_0 t)] + S(-1) * [j * \cos(-\omega_0 t) + j^2 \sin(-\omega_0 t)]\} = S(1) * \sin(\omega_0 t) \end{aligned}$$

Суммарная функция  $S(1)+S(-1)$  приведена на рис. 1.10.а. Аналогично построены временные функции для коэффициентов  $k = +2, k = -2$  (см. рис. 1.10.б) и для коэффициентов  $k = +3, k = -3$  (см. рис. 1.10.в).

На рис. 1.10.г просуммированы первая и вторая спектральные составляющие (т.е. сумма графиков на рис. 1.10.а и на рис. 1.10.б).

На рис. 1.10.д приведена сумма первой, второй и третьей спектральной составляющей (т.е. к графику на рис. 1.10.г добавлен график на рис. 1.10.в).

Суммируя последовательно спектральные составляющие с коэффициентами  $k$  ( $+4, -4$ ), ( $+5, -5$ ), ( $+6, -6$ ), можно убедиться, что форма сигнала все более приближается к пилообразной (сравните с рис. 1.3.б).

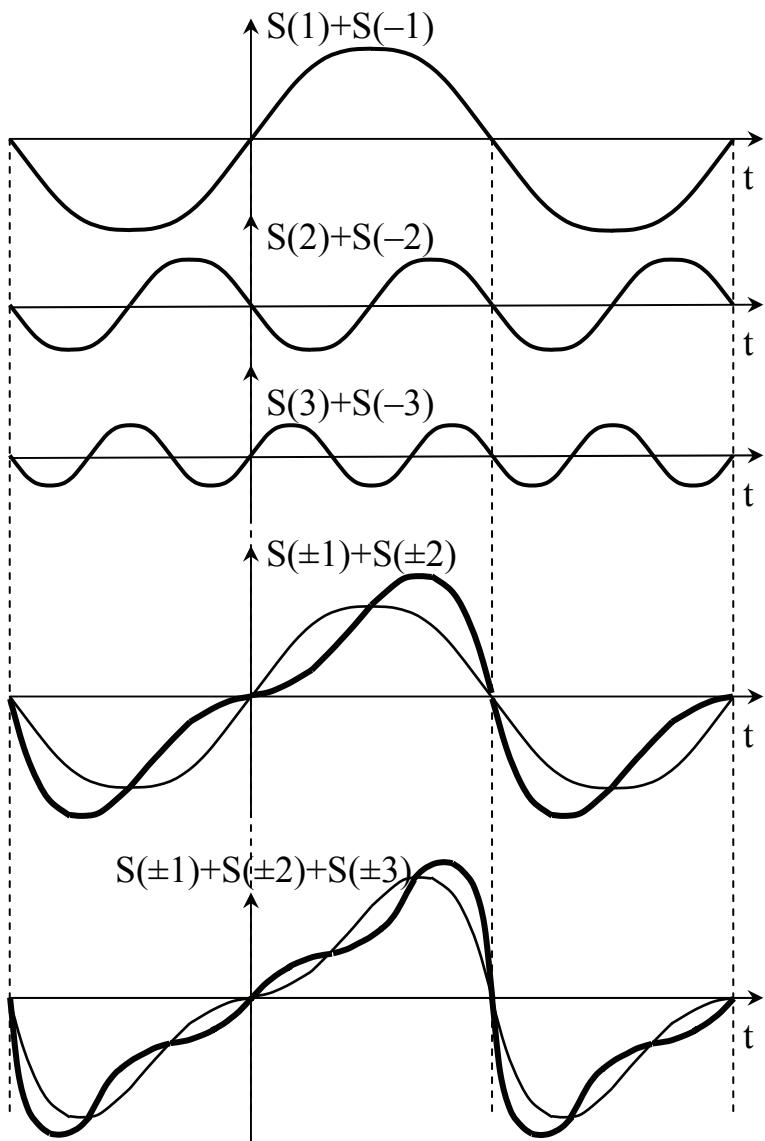


Рис. 1.10.а

Рис. 1.10.б

Рис. 1.10.в

Рис. 1.10.г

Рис. 1.10.д

## 1.2.2 ГАРМОНИЧЕСКИЙ АНАЛИЗ НЕПЕРИОДИЧЕСКИХ СИГНАЛОВ

Реальные сигналы конечны во времени, и поэтому не могут считаться периодическими. Даже те сигналы, которые мы называем периодическими, имеют начало и конец во времени; и, строго говоря, периодическими не являются.

Распространим гармонический (спектральный) анализ на непериодические сигналы.

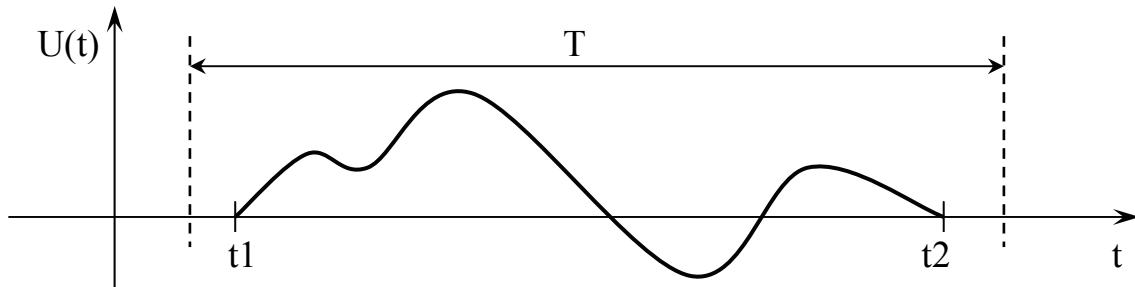


Рис. 1.11 – Временное представление непериодического сигнала

Выделим произвольный отрезок времени  $T$ , включающий в себя интервал  $t1 \dots t2$ , на котором сигнал отличен от нуля (см. рис. 1.11). Для этого интервала можно рассчитать дискретный спектр по известной формуле (1.3):

$$S^*(k\omega_0) = \frac{2}{T} \int_{t1}^{t2} U(t) * e^{-jk\omega_0 t} dt. \quad (1.3')$$

Однако, полученный дискретный спектр (рис. 1.12) соответствует периодическому сигналу с периодом  $T$  (см. рис. 1.11).

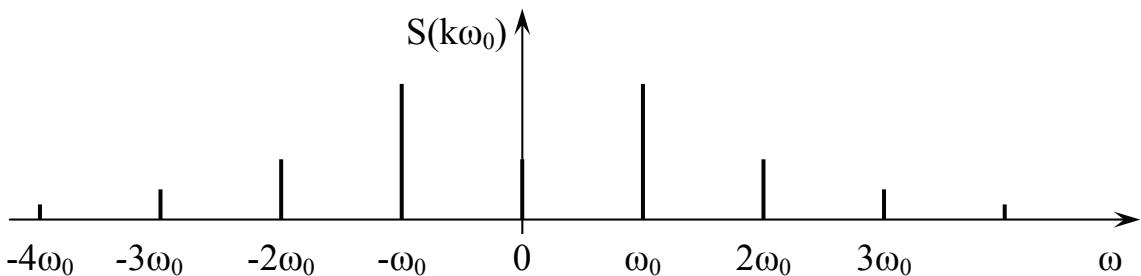


Рис. 1.12 – Спектр периодического сигнала

Для того, чтобы выбранная модель сигнала соответствовала реальному непериодическому сигналу, необходимо увеличить  $T$  от  $-\infty$  до  $+\infty$ . При этом расстояние между дискретными спектральными составляющими будет уменьшаться до нуля (см. формулу (1.4)), т.е. получаем сплошной

(а не дискретный, линейчатый) спектр. Но и амплитуда каждой гармонической (спектральной) составляющей (согласно формуле (1.3')) стремится к нулю.

Расстояние между спектральными составляющими:  $\omega_0 = 2\pi/T$  превращается в бесконечно малую величину, и ее представляют в виде « $d\omega$ ». Последовательность спектральных составляющих с частотами  $k\omega_0$  становится сплошной (континуумом) с текущим параметром « $\omega$ ».

Поскольку спектральные составляющие  $S^*(k\omega_0)$  и расстояние между ними  $d\omega_0 = 2\pi/T$  превращаются в бесконечно малые, и оперировать ими при работе с реальными сигналами неудобно, вводят новое понятие - **СПЕКТРАЛЬНАЯ ПЛОТНОСТЬ** или **СПЕКТРАЛЬНАЯ ХАРАКТЕРИСТИКА**:

$$S^*(\varpi) = \frac{S^*(k\varpi)}{d\varpi} = \int_{-\infty}^{\infty} U(t) * e^{-j\varpi t} dt. \quad (1.16)$$

Хотя интервал интегрирования задан в бесконечных пределах, но реально сигнал  $U(t)$  отличен от нуля только в интервале  $t1..t2$  (см. рис. 1.11), и интегрирование необходимо проводить только в этом интервале.

Аналогично, как и с периодическими сигналами, обратное преобразование Фурье для непериодических сигналов имеет вид:

$$U(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} S^*(\varpi) * e^{j\varpi t} d\varpi. \quad (1.17)$$

Сравнение формул для огибающей дискретного линейчатого спектра периодического сигнала (1.3) и сплошной спектральной характеристики непериодического сигнала (1.16) указывает на отличие только в постоянном множителе.

Аналогично с периодическими сигналами можно представить комплексную функцию  $S^*(\omega)$  в показательном или алгебраическом виде:

$$S^*(\varpi) = S(\varpi) * e^{j\varphi(\varpi)} = A(\varpi) + jB(\varpi), \quad (1.18)$$

где:

$$A(\varpi) = \int_{-\infty}^{\infty} U(t) * \cos(\varpi t) \cdot dt, \quad (1.19)$$

$$B(\varpi) = \int_{-\infty}^{\infty} U(t) * \sin(\varpi t) \cdot dt. \quad (1.20)$$

Справедливы также формулы (1.9), (1.10) перехода от алгебраической формы представления комплексных чисел – в показательную:

$$S(\varpi) = \sqrt{A^2(\varpi) + B^2(\varpi)}, \quad (1.21)$$

$$\varphi(\varpi) = \operatorname{arctg} \frac{B(\varpi)}{A(\varpi)}. \quad (1.22)$$

**Задача 1.5** – Определим спектральную плотность одиночного прямоугольного импульса (рис.1.13):

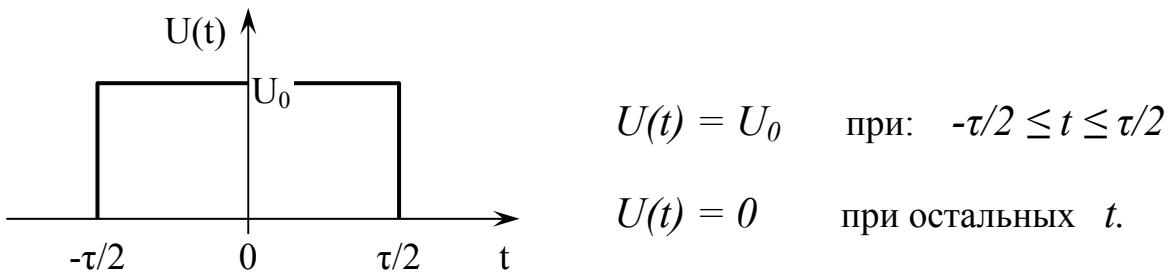


Рис. 1.13 – Одиночный прямоугольный импульс

$$S^*(\varpi) = \int_{-\tau/2}^{\tau/2} U_0 * e^{-j\varpi t} dt = U_0 * \tau \frac{\sin(\varpi\tau/2)}{\varpi\tau/2}. \quad (1.23)$$

График модуля спектральной плотности одиночного прямоугольного импульса (см. рис. 1.14.а) совпадает с огибающей спектра периодического сигнала (см. рис. 1.6).

Из формулы (1.23) можно сделать вывод о том, что с уменьшением длительности одиночного импульса « $\tau$ » расширяется главный лепесток спектральной характеристики и, наоборот: при увеличении длительности импульса ширина спектральной характеристики сужается.

Отметим интересную особенность прямого (1.16) и обратного преобразования Фурье (1.17). Их формулы отличаются постоянным множителем и знаком фазы. Поэтому можно говорить о симметрии прямого и обратного преобразования Фурье.

Так, сигналу с модулем спектральной характеристики  $S(\omega)$  в виде прямоугольника будет соответствовать одиночный импульс во временном базисе в виде графика  $\sin(x)/x$ .

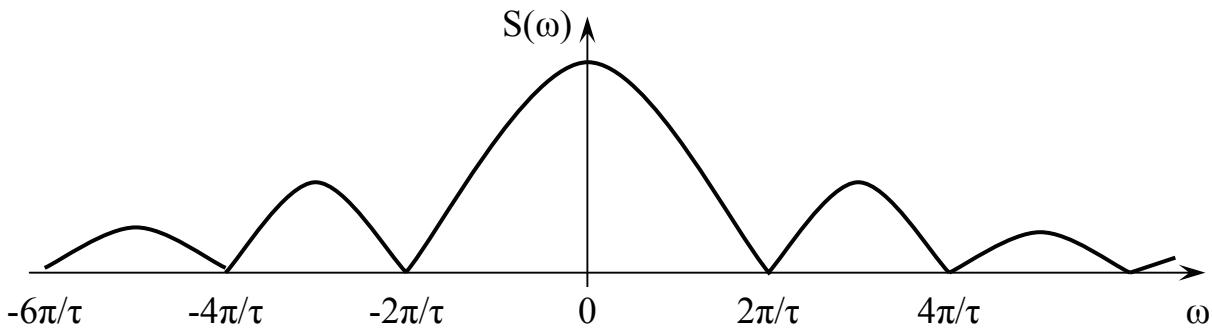


Рис. 1.14.а – Модуль спектральной плотности прямоугольного импульса

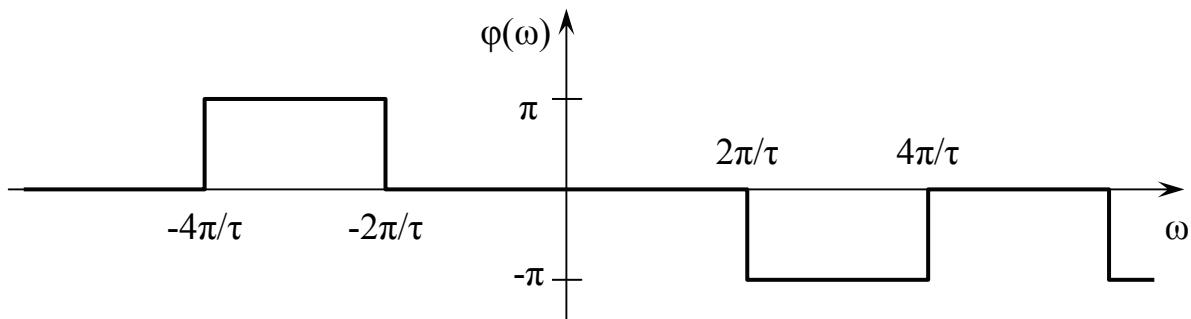


Рис. 1.14.б – Фаза спектральной плотности прямоугольного импульса

Используя математические преобразования, можно показать, что импульсу в виде экспоненциального колокольчика соответствует спектральная характеристика в форме экспоненциального колокольчика. Чем короче длительность импульса, тем шире спектр, и наоборот.

Для преобразования Лапласа, как и для преобразования Фурье (которое является частным случаем преобразования Лапласа) справедливы следующие соотношения:

- т.к. преобразования Лапласа и Фурье являются линейными, то алгебраической сумме исходных функций соответствует алгебраическая сумма преобразованных функций;
- если продифференцировать исходную функцию, то это соответствует умножению ее преобразованной функции на оператор (для преобразования Лапласа – « $p$ », для преобразования Фурье – « $j\omega$ »);
- аналогично: интегрированию исходной функции соответствует деление преобразованной (отображенной) функции на оператор (для преобразования Фурье – на « $j\omega$ »);
- сдвиг во времени исходной функции на « $t_0$ » приводит только к изменению фазовой характеристики спектра на величину « $\omega t_0$ » :

$$S^*(\omega) = S_1^*(\omega) * e^{-j\omega t_0}, \quad (1.24)$$

или для периодического сигнала:  $S^*(k\varpi_0) = S_1^*(k\varpi_0) * e^{-jk\varpi_0 t_0}$ .

**Задача 1.6** – Применим эти соотношения для расчета спектральной характеристики треугольного импульса (см. рис. 1.15):

Можно вычислить спектральную характеристику по известным формулам (1.16), но использование свойств преобразования Фурье упрощает вычисления.

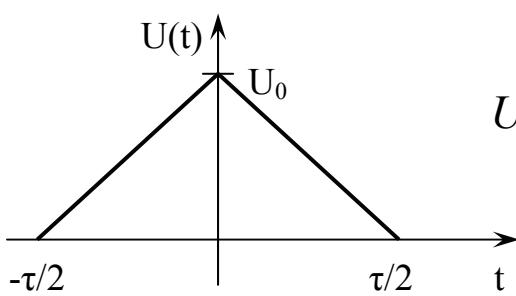


Рис. 1.15 – Треугольный импульс

$$U(t) = \begin{cases} U_0 \left( \frac{t}{\tau/2} + 1 \right); & \text{при } -\tau/2 \leq t \leq 0 \\ U_0 \left( 1 - \frac{t}{\tau/2} \right); & \text{при } 0 \leq t \leq \tau/2 \end{cases}$$

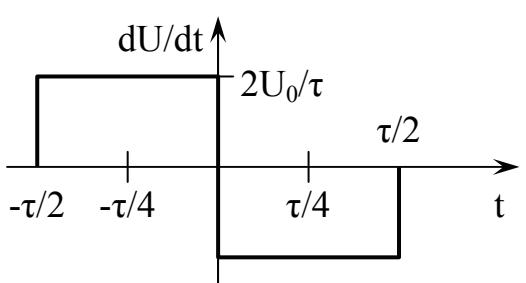


Рис. 1.16 – Производная треугольного импульса

Рассчитаем спектральную характеристику для производной треугольного импульса (рис. 1.16), состоящей из двух прямоугольных импульсов.

Спектральная характеристика для положительного импульса (см. рис. 1.16), с учетом формул (1.23), (1.24), имеет вид:

$$S1(\varpi) = \frac{U_0}{\tau/2} * \frac{\tau}{2} * \frac{\sin(\varpi\tau/4)}{\varpi\tau/4} * e^{j\varpi\tau/4}.$$

Аналогично для отрицательного импульса спектральная характеристика имеет вид:

$$S2(\varpi) = -U_0 * \frac{\sin(\varpi\tau/4)}{\varpi\tau/4} * e^{-j\varpi\tau/4}.$$

Суммарная спектральная характеристика двух импульсов:

$$\begin{aligned} S1(\varpi) + S2(\varpi) &= U_0 \frac{\sin(\varpi\tau/4)}{\varpi\tau/4} * (e^{j\varpi\tau/4} - e^{-j\varpi\tau/4}) = \\ &= j2U_0 \frac{\sin^2(\varpi\tau/4)}{\varpi\tau/4}. \end{aligned}$$

Обратите внимание: спектральная характеристика для нечетной функции (см. рис. 1.16) имеет только мнимые составляющие.

Спектральная плотность  $S_3$  треугольного импульса (см. рис. 1.15), являющегося интегралом от рассматриваемых прямоугольных импульсов (см. рис. 1.16), получается делением рассчитанной суммарной спектральной характеристики на  $\langle j\omega \rangle$  (результатирующая спектральная плотность для четной функции на рис. 1.15 имеет только действительные составляющие):

$$S_3(\omega) = \frac{2U_0}{\omega} * \frac{\sin^2(\omega\tau/4)}{\omega\tau/4} = \frac{U_0\tau}{2} \left( \frac{\sin(\omega\tau/4)}{\omega\tau/4} \right)^2.$$

Необходимо отметить, что уровень боковых лепестков спектра треугольного импульса  $S_3$  убывает быстрее, пропорционально  $1/\omega^2$  (сплошная линия на рис. 1.17), а не  $1/\omega$ , как в случае с прямоугольным импульсом (пунктирная линия на рис. 1.17).

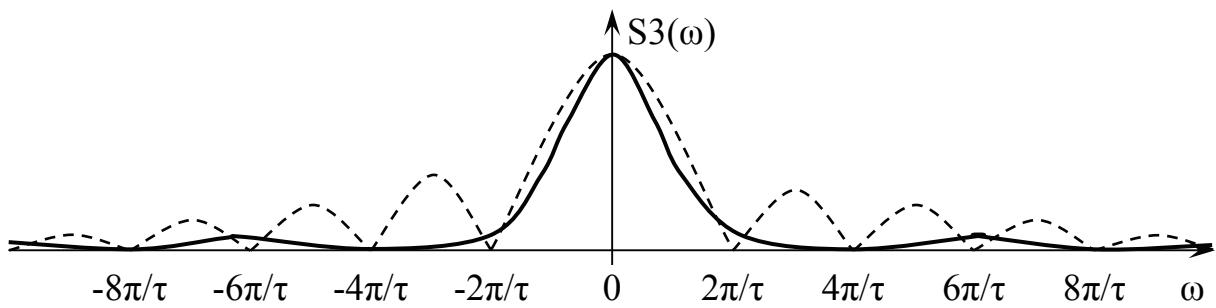


Рис. 1.17 – Спектральная характеристика треугольного импульса

Для неискаженной передачи (сигнала) необходимо согласование характеристик канала связи и параметров сигнала, т.е. «ОБЪЕМ СИГНАЛА»  $V_c$  должен быть не более «ОБЪЕМА КАНАЛА»  $V_k$  (пропускной способности канала передачи информации) (рис.1.18):

$$V_k = F_k * D_k * T_k \geq V_c = F_c * D_c * T_c, \quad (1.25)$$

где:  $F_k$  – полоса частот канала связи;  
 $F_c$  – полоса частот сигнала;  
 $D_k$  – динамический диапазон канала связи;  
 $D_c$  – динамический диапазон сигнала;  
 $T_k$  – время работы канала связи;  
 $T_c$  – длительность сигнала.

Условие (1.25) является необходимым, но не достаточным условием согласования сигнала с каналом. Достаточное условие:

$$T_k \geq T_c; \quad F_k \geq F_c; \quad D_k \geq D_c. \quad (1.26)$$

Если одно из этих условий (1.26) не выполняется, но выполняется основное условие (1.25), возможна передача информации с преобразованием сигнала.

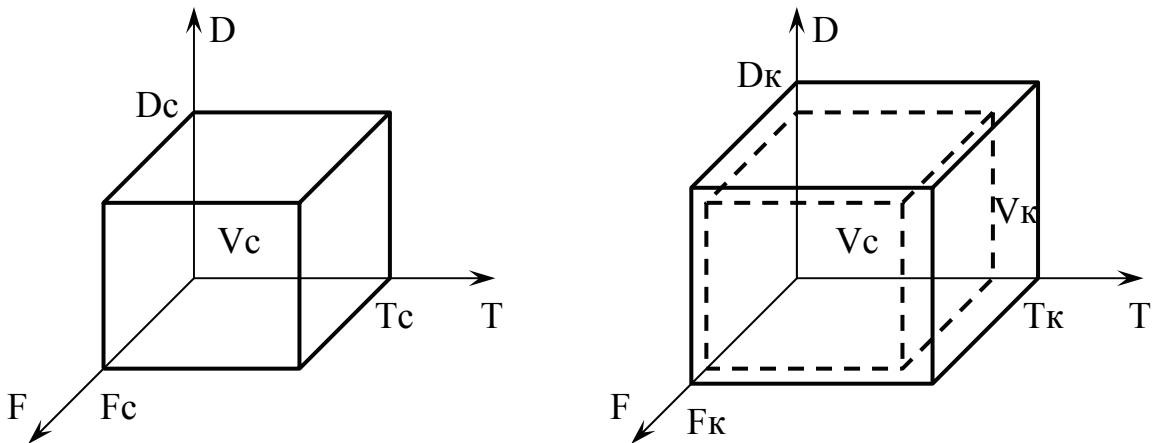


Рис. 1.18 – Объем сигнала  $V_c$  и объем канала  $V_k$

Например, если полоса сигнала  $F_c$  больше полосы канала связи  $F_k$ , возможна предварительная запись сигнала на магнитофон, а при передаче – воспроизведение этого сигнала с меньшей скоростью. При этом полоса частот сигнала пропорционально уменьшается, но увеличивается время передачи сигнала  $T_c$ .

Известны случаи, когда при передаче сигнала по телефонной линии скорость работы модема приходится уменьшать с ростом помех в канале (т.е. при уменьшении динамического диапазона канала  $D_k$ ). Вследствие этого возрастает время передачи сигнала.

### 1.3 ПРАКТИЧЕСКИЕ ЗАДАНИЯ ПО СПЕКТРАЛЬНОМУ АНАЛИЗУ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ

1.3.1 Рассчитать спектр периодического сигнала  $U(t)$  (с периодом  $T$ ), заданного на интервале  $T/2 < t < T/2$  выражением:

$$U(t) = U_o \sin(\pi t / T).$$

Построить график временного представления сигнала  $U(t)$ .

1.3.2 Рассчитать спектр периодического сигнала  $U(t)$  (с периодом  $T$ ), заданного на интервале  $T/2 < t < T/2$  выражением:

$$U(t) = U_o \cos(\pi t / T).$$

Построить график временного представления сигнала  $U(t)$ .

В этих заданиях для вычисления интегралов использовать подстановки:

$$\sin(x) = \frac{e^{jx} - e^{-jx}}{2j} ; \quad \cos(x) = \frac{e^{jx} + e^{-jx}}{2} .$$

- 1.3.4 Рассчитать спектр периодического сигнала  $U(t)$  (с периодом  $T$ ), заданного на интервале  $0 < t < T$  выражением:  $U(t) = U_0 e^{-\alpha t}$ . Построить график временного представления сигнала  $U(t)$ .

- 1.3.5 Рассчитать спектр периодического сигнала  $U(t)$  (с периодом  $T$ ), заданного на интервале  $0 < t < \tau$  выражением:

$$U(t) = U_0 t / \tau, \quad (\text{параметр } \tau < T)$$

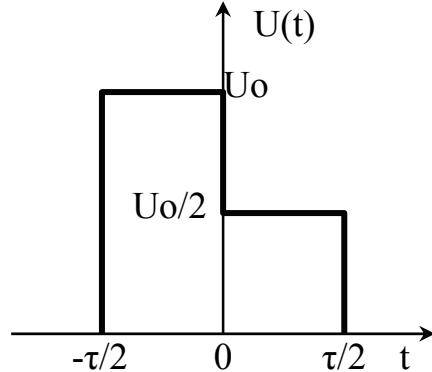
Построить график временного представления сигнала  $U(t)$ .

- 1.3.6 Рассчитать спектральную характеристику одиночного импульса:

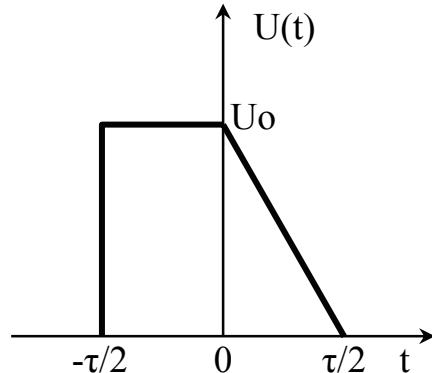
$$U(t) = U_0 * e^{-\beta t}$$

Построить график временного представления сигнала  $U(t)$ .

- 1.3.7 Рассчитать спектральную характеристику одиночного импульса. Записать функцию временного представления сигнала.



- 1.3.8 Рассчитать спектральную характеристику одиночного импульса. Записать функцию временного представления сигнала.



## 1.4 ПРЕОБРАЗОВАНИЕ НЕПРЕРЫВНЫХ СИГНАЛОВ В ДИСКРЕТНЫЕ

В любую систему информация поступает в виде сигналов. Различные параметры физических процессов с помощью датчиков преобразуются в электрические сигналы. Как правило, ими являются непрерывно изменяющиеся ток или напряжение (рис. 1.19).

Хотя поступающую информацию можно хранить, передавать и обрабатывать как в виде непрерывных, так и в виде дискретных сигналов, на современном этапе развития информационной техники предпочтение отдается дискретным сигналам; поэтому сигналы, как правило, преобразуются в дискретные.

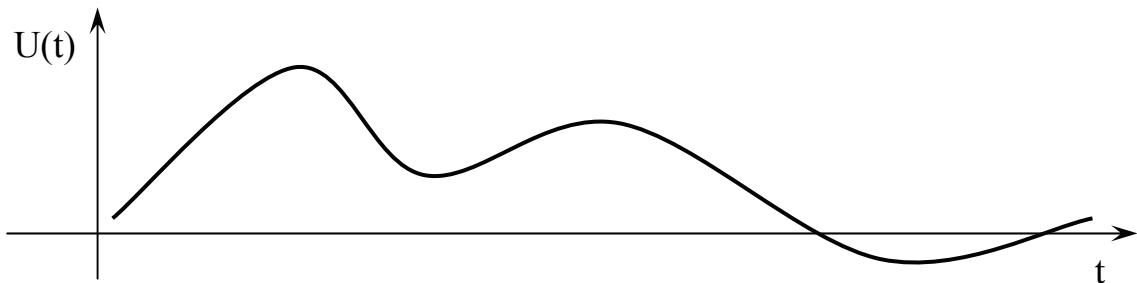


Рис. 1.19 – Непрерывный сигнал

В технической литературе используются два близких понятия: квантование и дискретизация (квантование по времени и по уровню, дискретизация по времени и по уровню). Эти термины употребляются как синонимы. Однако для однозначности терминологии разделим эти понятия.

Под **ДИСКРЕТИЗАЦИЕЙ** будем понимать *преобразование* функции непрерывного времени в функцию дискретного времени, представляющую совокупность величин, называемых координатами (или дискретными отсчетами), по значениям которых исходная непрерывная функция может быть восстановлена с заданной точностью. Роль координат часто выполняют мгновенные значения функции, отсчитанные в определенные (дискретные) моменты времени (рис. 1.20).

Возможность передачи по каналу связи вместо непрерывной функции ее дискретных координат позволяет передавать по одному каналу большое количество разных сигналов в промежутках между координатами.

**Дискретизация сигналов** позволяет также обрабатывать эти сигналы **В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ**, т.е. в промежутках между приемом очередных дискретных координат производить в компьютере обработку ранее принятых дискретных значений сигнала.

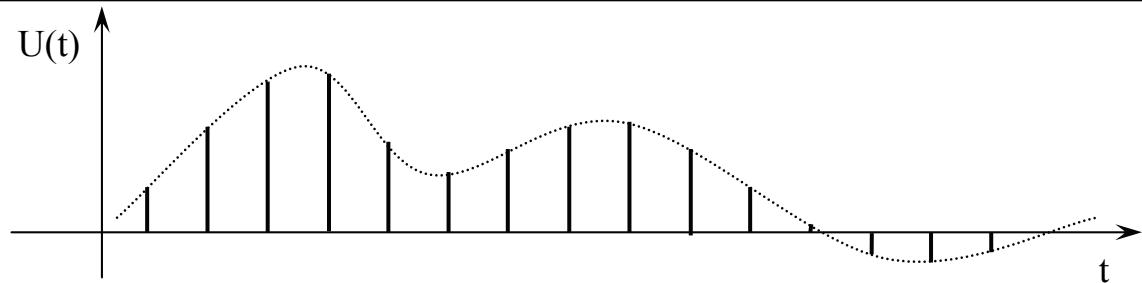


Рис. 1.20 – Дискретный сигнал

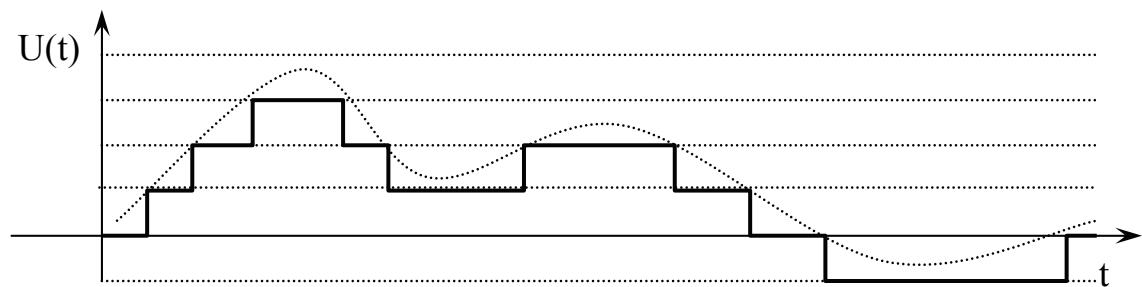


Рис. 1.21 – Квантованный сигнал

Под **КВАНТОВАНИЕМ** будем понимать *преобразование* некоторой величины с непрерывной шкалой значений в величину, имеющую дискретную шкалу значений. Это преобразование сводится к замене любого мгновенного значения сигнала одним из конечного множества разрешенных значений, называемых уровнями квантования (рис. 1.21).

Причины перехода к дискретному и квантованному выражению сигналов заключаются в следующем.

Для конкретных задач управления или измерения интересующего нас параметра обычно требуется значительно меньше информации, чем ее поступает с датчиков в виде непрерывных сигналов времени.

Например, передача информации о температуре воздуха возможна с дискретностью от 20 минут до 2 часов без заметных потерь информации.

Сами значения температуры можно передавать не в виде непрерывных величин, а – квантованных через  $1^{\circ}\text{C}$ .

Однако, если контролировать температуру больного, то может потребоваться передача информации с дискретностью 5...10 минут и уровнем квантования  $0,1^{\circ}\text{C}$ .

Во многих случаях информация извлекается и передается с целью дальнейшей обработки на ЭВМ. Рациональное выполнение операций дискретизации и квантования влияет на достоверность передачи и обработки информации.

### 1.4.1 ПОСТАНОВКА ЗАДАЧИ ДИСКРЕТИЗАЦИИ

Непрерывная функция времени  $U(t)$  заменяется дискретными отсчетами (координатами) –  $U(kT_d)$  – через равные промежутки времени –  $T_d$  (рис. 1.22).

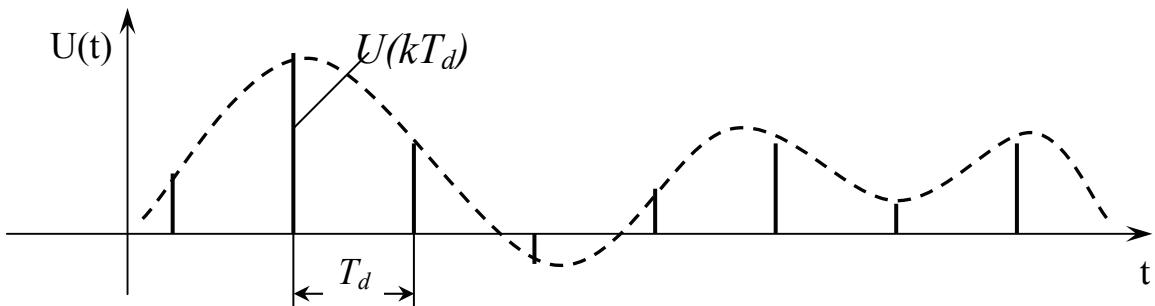


Рис. 1.22 – Дискретный сигнал

$T_d$  – период дискретизации. Обратная величина  $F_d = 1/T_d$  – частота дискретизации ( $\omega_d = 2\pi F_d = 2\pi/T_d$ ). По формуле (1.16) можно рассчитать спектральную плотность исходного непрерывного сигнала (см. рис. 1.23).

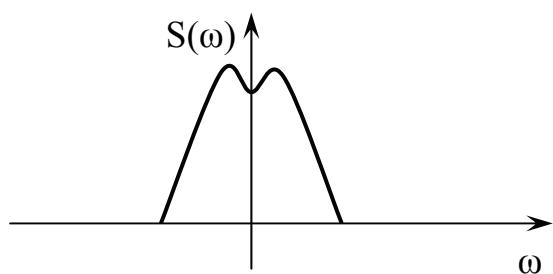


Рис. 1.23 – Спектральная плотность непрерывного сигнала

По формуле (1.16) можно также рассчитать спектральную плотность дискретного сигнала. Учитывая полную симметричность прямого (1.16) и обратного (1.17) преобразования Фурье (которые отличаются только знаком фазы), можно утверждать, что дискретизация сигнала по времени приведет к образованию периодической функции спек-

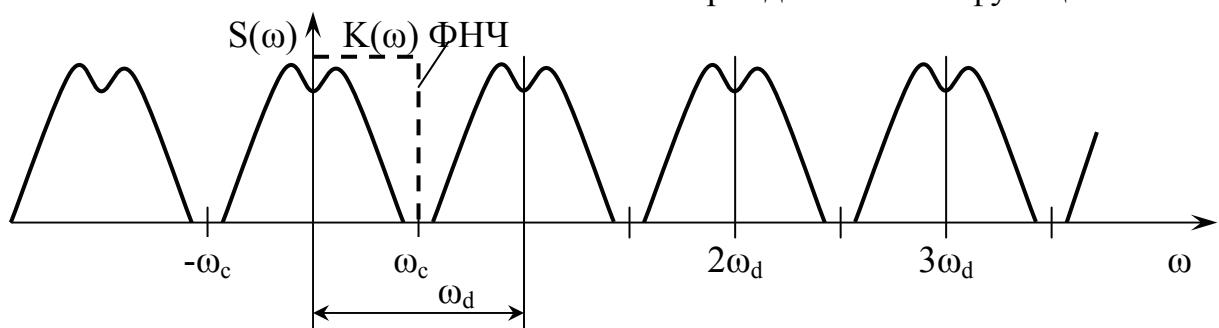


Рис. 1.24 – Спектральная плотность дискретного сигнала

тральной плотности (рис. 1.24). (Аналогично: периодический по времени сигнал имеет дискретный спектр).

Чем меньше период дискретизации  $T_d$ , тем больше  $\omega_d = 2\pi/T_d$ , т.е. тем шире раздвигаются периодические компоненты в спектре. Предельный случай при  $T_d = 0$  ( $\omega_d = \infty$ ) соответствует спектральной плотности непрерывного (недискретизированного) непериодического сигнала (см. рис. 1.23).

Передавая дискретный сигнал по каналу связи, на приемном конце его необходимо восстановить до первоначального непрерывного сигнала. Очевидно, это можно сделать с помощью фильтра низких частот (ФНЧ) с прямоугольной частотной характеристикой и полосой от нуля до  $\omega_d/2$  (см. рис. 1.24).

При увеличении времени дискретизации  $T_d$  - периодические компоненты в спектре будут сближаться и возможно их частичное перекрытие (см. рис. 1.25).

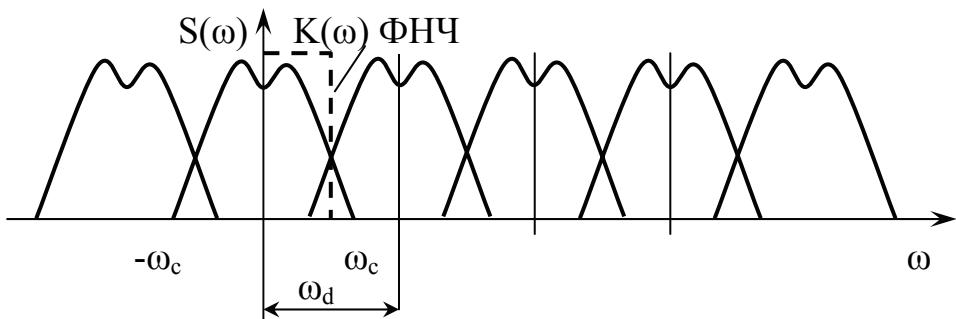


Рис. 1.25 – Спектральная плотность сигнала с увеличенным временем дискретизации

Сигнал с таким спектром невозможно восстановить на приемном конце без потерь. Поэтому условием достоверного восстановления непрерывного сигнала из дискретных отсчетов является:

$$\begin{aligned} \omega_c &\leq \omega_d/2; & F_c &\leq F_d/2; \\ F_d &\leq 2 F_c; & T_d &\leq 1/(2 F_c), \end{aligned} \quad (1.27)$$

где:  $F_c$ ,  $\omega_c$  - максимальная частота спектра непрерывного сигнала.

Все эти формулы называются – условием **КОТЕЛЬНИКОВА-НАЙКВИСТА**.

Если период дискретизации  $T_d$  удовлетворяет этим условиям, то из дискретных отсчетов  $U(kT_d)$  можно восстановить непрерывный сигнал  $U(t)$  с помощью идеального фильтра низких частот (ФНЧ) с прямоугольной частотной характеристикой (см. рис. 1.24):

$$U(t) = \sum_k U(kT_d) * \frac{\sin[\varpi_d(t - kT_d)]}{\varpi_d(t - kT_d)}. \quad (1.28)$$

Соотношение (1.28) является аналитическим выражением теоремы **КОТЕЛЬНИКОВА-НАЙКВИСТА**.

Множитель:

$$\frac{\sin[\varpi_d(t - kT_d)]}{\varpi_d(t - kT_d)} \quad (1.29)$$

можно представить в виде временной функции типа  $\sin(x)/x$  со сдвигом во времени на  $kT_d$ .

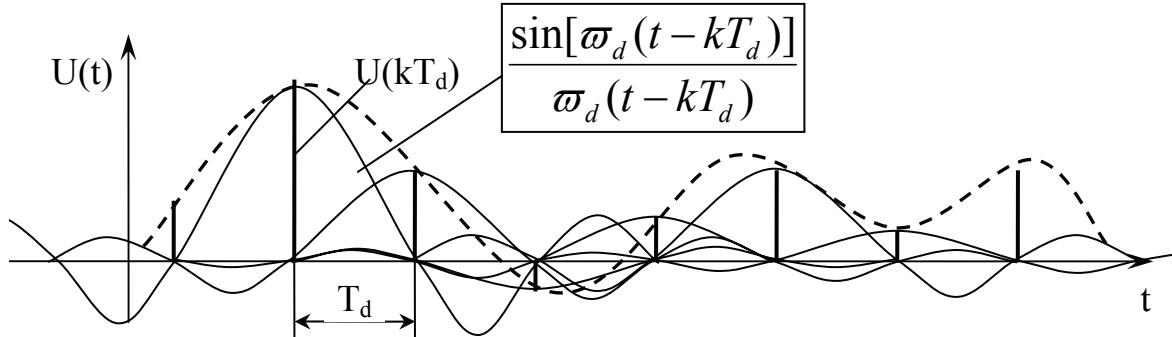


Рис. 1.26 – Восстановление непрерывного сигнала по дискретным отсчетам

Умножая в соответствии с теоремой Котельникова-Найквиста каждый дискретный отсчет  $U(kT_d)$  на множители (1.29), можно полностью восстановить непрерывный сигнал (рис. 1.26).

Учитывая симметричность прямого и обратного преобразования Фурье, можно утверждать, что множитель (1.29) – это отображение во временном базисе идеального ФНЧ с прямоугольной частотной характеристикой. Т.е. это – временной отклик идеального ФНЧ на ДЕЛЬТА-функцию, которой моделируются дискретные отсчеты.

Практическая реализация идеального прямоугольного ФНЧ представляет значительные трудности. Поэтому на практике восстановление непрерывного сигнала из дискретного можно осуществить более простыми, но менее точными методами:

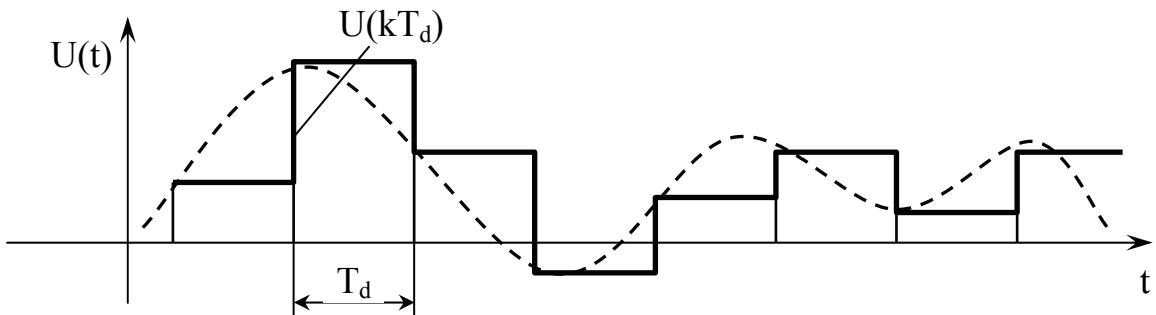


Рис. 1.27 – Аппроксимация полиномом нулевого порядка

- Запоминание дискретных отсчетов (аппроксимация полиномом нулевого порядка) – реализуется на элементах «выборки-запоминания».

- Кусочно-линейная аппроксимация полиномом первого порядка. Значение аппроксимирующей функции  $U^1(t)$  в произвольный момент времени  $t$  определяется по формуле:

$$U^1(t) = U(kT_d) + a(t - kT_d), \quad (1.30)$$

где:

$$a_i = \frac{U((k+1)T_d) - U(kT_d)}{T_d}.$$

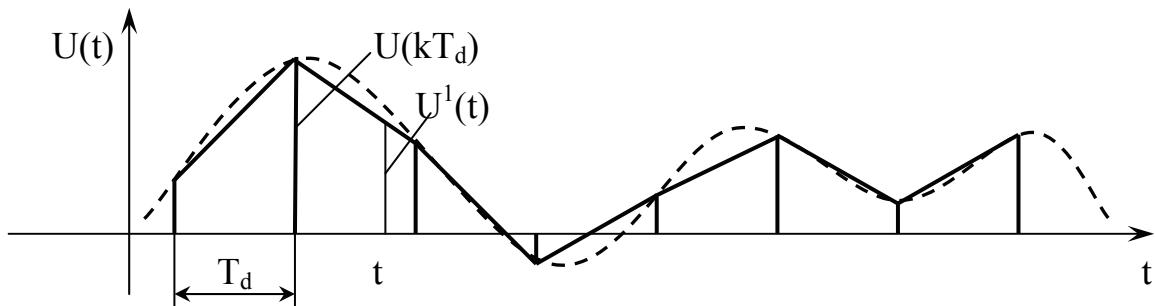


Рис. 1.28 – Аппроксимация полиномом первой степени

- Более высокую точность обеспечивает аппроксимация полиномом, имеющим порядок выше первого. Кривая такой аппроксимирующей функции может состоять из отрезков дуг окружностей, отрезков парабол и т.п.

#### 1.4.2 КВАНТОВАНИЕ НЕПРЕРЫВНЫХ СИГНАЛОВ ПО УРОВНЮ

При квантовании по уровню непрерывное множество значений функции  $U(t)$  заменяется множеством дискретных значений. Для этого в диапазоне непрерывных значений функции  $U(t)$  выбирается конечное число дискретных значений этой функции (дискретных уровней) и в процессе квантования значение функции  $U(t)$  в каждый момент времени заменяется ближайшим дискретным значением. В результате квантования образуется ступенчатая функция  $U_k(t)$ .

Квантование по уровню практически может осуществляться двумя способами. При первом способе мгновенное значение функции  $U(t)$  заменяется ближайшим *меньшим* дискретным значением (отбрасывается дробная часть – см. рис. 1.29).

Расстояние между соседними дискретными уровнями называется интервалом (или шагом) квантования  $A_k$ .

Различают равномерное квантование по уровню, при котором шаг квантования  $A_k$  постоянен, и неравномерное квантование по уровню, когда шаг квантования непостоянен. На практике преимущественно применяется равномерное квантование в связи с простотой технической реализации.

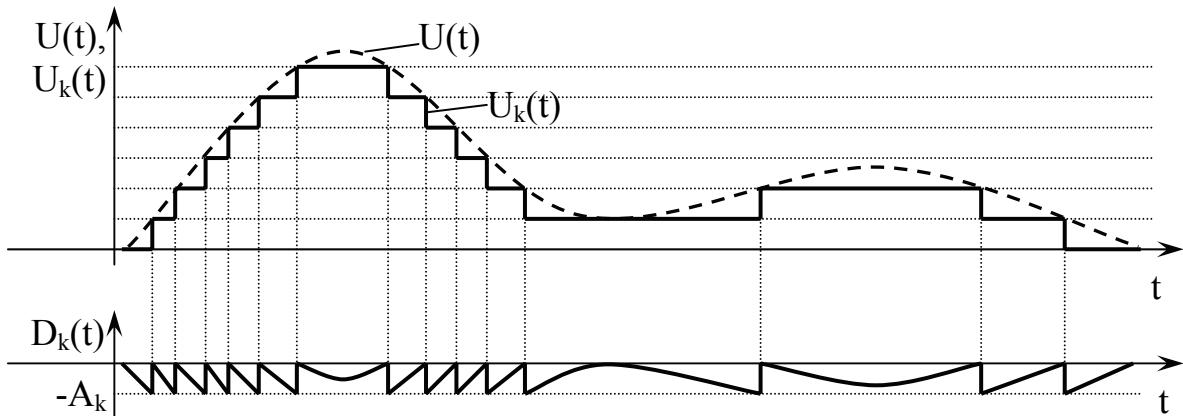


Рис.1.29 – Квантование непрерывного сигнала с отбрасыванием дробной части

Вследствие квантования функции по уровню появляются методические погрешности, т.к. действительное мгновенное значение функции  $U(t)$  заменяется дискретным значением  $U_k(t)$ . Эта погрешность  $D_k(t)$  (см. рис. 1.29) называется погрешностью квантования (или шумом квантования) и имеет случайный характер

$$D_k(t) = U_k(t) - U(t). \quad (1.31)$$

При втором способе квантования мгновенное значение функции заменяется ближайшим меньшим или большим дискретным значением, т.е. округляется до ближайшего целого значения.

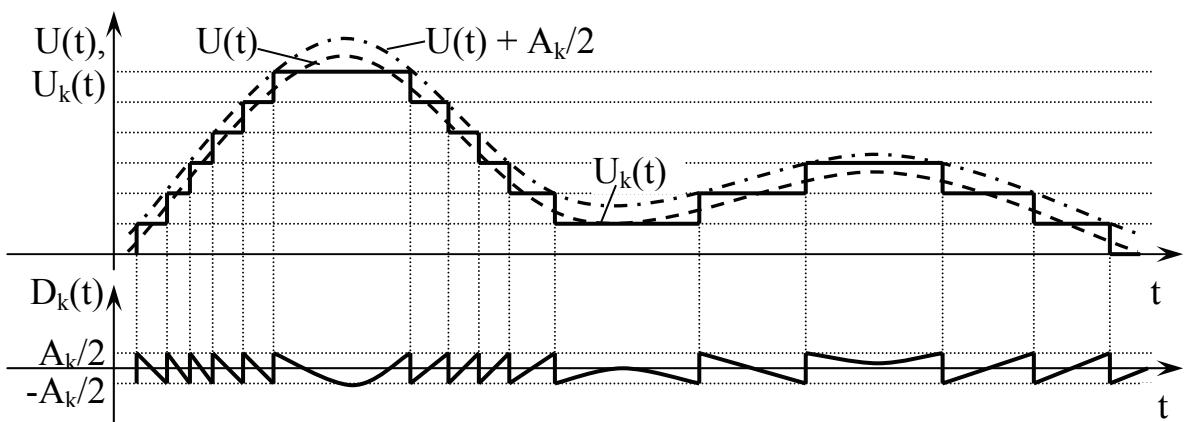


Рис.1.30 – Квантование непрерывного сигнала с округлением

Алгоритм квантования с округлением аналогичен алгоритму округления чисел в компьютерах: функция  $U(t)$  увеличивается на половину шага квантования  $0,5A_k$  и к ней применяется процедура квантования с отбрасыванием дробной части (рис. 1.30).

При втором способе квантования абсолютное значение погрешности квантования  $D_k(t)$  в два раза меньше, чем при первом, но амплитуда шума квантования  $D_k(\max) - D_k(\min)$  в обоих случаях квантования одинаковая и равна шагу квантования  $A_k$ .

#### 1.4.3 ВЫБОР ВЕЛИЧИНЫ ШАГА КВАНТОВАНИЯ

Выбор шага квантования определяется необходимой информативностью передаваемых сигналов. Так для передачи по каналу связи информации о температуре воздуха достаточно выбрать шаг квантования  $A_k = 1^{\circ}\text{C}$ . Для передачи информации о температуре большого -  $A_k = 0,1^{\circ}\text{C}$ .

Проведение процедуры квантования приводит к появлению погрешности квантования. Эта погрешность вызывает искажения передаваемых сигналов. Абсолютная погрешность квантования не превышает шага квантования  $A_k$  и имеет размерность передаваемого сигнала.

Относительная погрешность квантования:

$$\xi = \frac{D_k(t)}{U(\max) - U(\min)}, \quad (1.32)$$

не превышая величины:  $\frac{A_k}{U(\max) - U(\min)}$ ,

является безразмерной величиной и измеряется в «разах».

Например, относительная погрешность квантования информации (сообщений) о температуре воздуха составляет:

$$\xi = \frac{1^{\circ}\text{C}}{+50^{\circ}\text{C} - (-50^{\circ}\text{C})} = 0,01(\text{раз}).$$

Относительные величины принято выражать в децибелах:

$$\xi(\text{dB}) = 10 * \lg(\xi), \quad (1.33)$$

или Неперах:

$$\xi(\text{Hen}) = \ln(\xi). \quad (1.34)$$

При этом относительная погрешность квантования сообщений о температуре воздуха составляет:

$$\xi = -20(\text{dB}) \quad \text{или} \quad \xi = -4,6(\text{Нен}).$$

Величина, обратная относительной погрешности, называется динамическим диапазоном передаваемых сообщений:

$$d = \frac{1}{\xi} = \frac{U(\max) - U(\min)}{A_k}. \quad (1.35)$$

Динамический диапазон также можно выразить в дециБелах или Неперах:

$$d(\text{dB}) = -\xi(\text{dB}).$$

Динамический диапазон непрерывных сообщений (сигналов) определяется отношением максимального сигнала к уровню шумов в непрерывном сигнале.

Например, когда мы говорим о динамическом диапазоне акустических сигналов, за уровень шума (или минимального акустического сигнала) принимается уровень шума в лесу в безветренную погоду. При этом мощность акустического сигнала при спокойном разговоре нескольких человек в 1000 раз больше или составляет 30дБ. Уровень шума на проезжей части улицы в час пик оценивается в 1000000 раз больше мощности шума в безветренном лесу или 60дБ. Шум моторов реактивного самолета по мощности в  $10^{12}$  раз больше минимального шума леса или 120дБ. Обычно этот уровень называют порогом болевых ощущений для акустического аппарата человека (уха).

Таким образом, говоря об уровне акустического сигнала в  $\text{dB}$ , мы сравниваем этот сигнал с минимальным шумом. Максимальный динамический диапазон акустических сигналов, воспринимаемых человеческим ухом – 120дБ. Акустический сигнал с таким диапазоном можно преобразовать в аналоговый электрический сигнал (например, в напряжение) с помощью микрофона.

Однако, передача такого сигнала через реальные каналы связи: проводной (телефонный), радиоканал, запись и воспроизведение на магнитофон или другие носители информации – происходит с потерей динамического диапазона.

Динамический диапазон аналоговых каналов связи составляет от 20дБ до 60дБ. Это объясняется наличием шумов в каналах связи.

Квантование аналоговых сигналов на передающем конце и передача цифровых сигналов по каналам связи позволяют передавать сигналы с динамическим диапазоном 90дБ и более. Например, запись музыкальных программ на лазерные компакт-диски (CD).

## 1.5 КОЛИЧЕСТВЕННАЯ ОЦЕНКА ИНФОРМАЦИИ

Всякая информация получается потребителем после принятия сообщения, т.е. в результате опыта. Сообщение, получаемое на приемной стороне, несет полезную информацию лишь в том случае, если имеется неопределенность относительно состояния источника сообщений.

Если опыт имеет лишь один исход и не содержит никакой неопределенности, то наблюдатель заранее будет знать исход этого опыта. В результате осуществления такого опыта наблюдатель не получит никакой информации.

Пусть опыт имеет два исхода  $X_1$  и  $X_2$  с вероятностями  $P(X_1)$  и  $P(X_2)$ . Например, результат контроля должен указать, что проверяемый параметр находится в пределах нормы или за ее пределами. Передаваемое сообщение может принимать два значения и содержит определенную информацию.

Если контролируемая в опыте величина (напряжение, температура, вес и т.п.) может принимать с определенными вероятностями, например 10 различных значений, то предварительная неопределенность относительно исхода опыта будет больше, а поступившее сообщение о конкретном исходе опыта дает более уточненную характеристику состояния источника (т.е. больше информации).

В общем случае источник может передавать "n" независимых и несовместимых сообщений  $X_1, X_2, \dots, X_n$ , с вероятностями  $P(X_1), P(X_2), \dots, P(X_n)$  соответственно.

Естественно, чем меньше априорная вероятность события, тем больше неопределенность о возможности наступления этого события.

Поэтому хотелось бы принять в качестве меры неопределенности отдельного сообщения, а также передаваемой им информации, величину, обратную его априорной вероятности:  $1 / P(x_i)$ .

Однако, такая мера неудобна тем, что в случае, когда опыт имеет только один исход, т.е. вероятность такого события равна единице, – количество информации, согласно принятой мере, равно единице. В действительности результат такого опыта не дает никакой информации.

Более удобной является логарифмическая мера КОЛИЧЕСТВА ИНФОРМАЦИИ:

$$I(X_i) = \log_a (1 / P(X_i)). \quad (1.36)$$

Это выражение характеризует количество информации в сообщении  $X_i$ . Оно характеризует также априорную неопределенность этого сообщения:

$$H(X_i) = \log_a (1 / P(X_i)) \quad (1.37)$$

Эту величину, характеризующую неопределенность одного  $i$ -того сообщения, принято называть ЧАСТНОЙ ЭНТРОПИЕЙ.

Количество информации и неопределенность для всей совокупности случайных сообщений можно получить усреднением по всем событиям:

$$I(X) = \sum_{i=1}^n P(X_i) * \log_a \left( \frac{1}{P(X_i)} \right) = -\sum_{i=1}^n P(X_i) * \log_a(P(X_i)). \quad (1.38)$$

$$H(X) = -\sum_{i=1}^n P(X_i) * \log_a(P(X_i)). \quad (1.39)$$

Эти зависимости выражают среднее на одно событие (сообщение) КОЛИЧЕСТВО ИНФОРМАЦИИ и ЭНТРОПИЮ. Термин "энтропия" заимствован из термодинамики, где аналогичное выражение характеризует среднюю неопределенность состояния системы молекул вещества.

Несмотря на совпадение зависимостей (1.38) и (1.39), энтропия и количество информации принципиально различны. ЭНТРОПИЯ  $H(X)$ , выражающая среднюю неопределенность состояния источника сообщений, является объективной характеристикой источника сообщений и может быть вычислена априорно (до получения сообщения).

КОЛИЧЕСТВО ИНФОРМАЦИИ  $I(X)$  определяется апостериорно (после получения сообщения).  $H(X)$  – энтропия – это мера недостатка информации о состоянии системы. С поступлением информации о состоянии системы энтропия (т.е. неопределенность) уменьшается.

Количество получаемой информации  $I(X)$  равно численно энтропии  $H(X)$ , которая имела место относительно источника сообщения до передачи информации.

КОЛИЧЕСТВО ИНФОРМАЦИИ рассматривается как мера уничтожения, снятия неопределенности.

При передаче сообщения за счет действия помех возможно получение искаженного сигнала. Это приводит к неполному снятию неопределенности (а иногда и к увеличению неопределенности). Поэтому количество информации  $I(X)$  численно может не совпадать с априорной неопределенностью  $H(X)$ .

Единицы измерения КОЛИЧЕСТВА ИНФОРМАЦИИ и ЭНТРОПИИ зависят от выбора основания логарифма. При использовании десятичных логарифмов количество информации и энтропия определяются в десятичных единицах – ДИТАх.

При анализе информационных процессов в ЭВМ, функционирующих на основе двоичной системы счисления, удобно использовать двоичное основание логарифма, а количество информации и энтропия измеряются в двоичных единицах – БИТАх.

При использовании натуральных логарифмов единицей измерения является – НИТ.

В случае равной вероятности сообщений количество передаваемой информации определяется по формуле:

$$I(X) = H(X) = -\log P(X_i) = \log n, \quad (1.40)$$

где:  $n = 1 / P(X_i)$  - количество передаваемых сообщений.

### 1.5.1 СВОЙСТВА ЭНТРОПИИ ДИСКРЕТНЫХ СООБЩЕНИЙ

- Энтропия есть величина вещественная, неотрицательная и ограниченная (если учесть, что:  $0 \leq P(X) \leq 1$  ).
- Энтропия детерминированных сообщений равна нулю. Если заранее известно, что вероятность события  $P(X_1) = 1$ , а вероятности остальных событий  $P(X_i) = 0$ , то  $\log(1) = 0$ , а остальные слагаемые равны нулю, поскольку предел  $\lim(x * \log x)$  при  $x \rightarrow 0$  также равен нулю.
- Энтропия максимальна, если все события равновероятны. Рассмотрим на примере.

Бросание игральной кости с 6-ю гранями может привести к 6-ти исходам. Если все варианты равновероятны, то:

$$H(X) = \log_2(6) = 2,585 \text{ (бит).}$$

Допустим, за счет смещения центра тяжести игральной кости вероятности выпадения сторон изменились и стали равны:

$$P(1) = 0,5; \quad P(2) = P(3) = P(4) = P(5) = 0,11; \quad P(6) = 0,06.$$

Средняя энтропия всех исходов равна:

$$H(X) = -[0,5 * \log 0,5 + 4 * (0,11 * \log 0,11) + 0,06 * \log 0,06].$$

$$H(X) = 2,344 \text{ (бит).}$$

- Энтропия равновероятных событий возрастает с увеличением количества событий, что следует из формулы (1.40).
- Энтропия двух альтернативных событий может изменяться в пределах от 0 (вероятность одного из событий равна  $P(X_i) = 1$ ) до 1 (бит) - при равновероятных событиях.

**Задача 1.7:** Определить минимальное количество взвешиваний, которое необходимо произвести на уравновешивающих весах (аптечных), чтобы среди 27 внешне неотличимых монет найти одну фальшивую, более легкую.

При случайном поиске монеты общая неопределенность одного опыта:

$$H(X) = \log 27 = \log 3^3 = 3 * \log 3.$$

Одно взвешивание имеет 3 исхода: левая чаша легче, правая чаша легче, весы находятся в равновесии. Поэтому после одного взвешивания равномерного количества монет неопределенность уменьшится на величину:

$$H(X^1) = \log 3.$$

Из этих равенств следует, что для снятия полной неопределенности потребуется 3 взвешивания.

### 1.5.2 ЭНТРОПИЯ СЛОЖНЫХ СООБЩЕНИЙ

Реально наблюдаемые случайные процессы могут быть НЕЗАВИСИМЫМИ или ВЗАИМОСВЯЗАННЫМИ.

Например, бросание игральной кости в нескольких опытах – это независимые процессы – в каждом опыте вероятность выпадения цифры "4" не зависит от того, какая цифра выпала в предыдущем опыте.

Пример зависимых событий: при передаче телеграмм после согласной буквы более вероятно появление гласной буквы, чем второй согласной.

Классический пример с непрозрачным кувшином, из которого вынимаются белые или черные шары. Если количество белых и черных шаров одинаково (например, по четыре), то вероятности вытянуть из кувшина в первом опыте черный или белый шар равны  $P(\bar{b}) = P(b) = 0,5$ . Положив вытянутый шар в кувшин, во втором опыте мы также будем иметь равные вероятности, т.е. эти два опыта являются независимыми событиями.

Если вытянутый в первом опыте шар не возвращать в кувшин, то вероятность второго опыта зависит от исхода первого опыта, а именно: если в первом опыте вытянули белый шар, то во втором опыте вероятность достать белый шар равна  $P(\bar{b}) = 3/7$ , а черный шар –  $P(b) = 4/7$ . Такие события называются зависимыми

Следующий пример зависимых событий: на трамвайной остановке возле нашего дома останавливаются трамваи трех маршрутов. Условно назовем их «маршрут 1», «маршрут 2» и «маршрут 3». В результате многократных наблюдений мы установили: при ожидании трамвая вероятность прихода первым «маршрута 1» –  $P(V1) = 0,15$ , вероятность прихода первым «маршрута 2» –  $P(V2) = 0,3$ , а – «маршрута 3» –  $P(V3) = 0,55$ . Сумма всех вероятностей равна 1, потому что какой-нибудь маршрут придет (независимо от времени ожидания).

Матрица вероятностей первого опыта имеет вид:

$$P(V) = \begin{vmatrix} 0,15 & 0,3 & 0,55 \end{vmatrix}$$

Допустим, при подходе к остановке отошел трамвай «маршрута 2». Вероятность того, что следующим подойдет трамвай этого маршрута  $P(U_2/V_2)$ , – очень мала; а вероятности прихода трамваев других маршрутов увеличиваются.

Из наших рассуждений можно составить матрицу условных вероятностей прихода во втором опыте (событие U) трамваев каждого маршрута, если известно, какой трамвай приходил в первом опыте (обозначим первый опыт – событие V):

$$P(U/V) = \begin{vmatrix} P(U_1/V_1) & P(U_2/V_1) & P(U_3/V_1) \\ P(U_1/V_2) & P(U_2/V_2) & P(U_3/V_2) \\ P(U_1/V_3) & P(U_2/V_3) & P(U_3/V_3) \end{vmatrix}. \quad (1.41)$$

Сумма вероятностей каждой строки матрицы (1.41) равна 1, потому что независимо от исхода первого опыта, во втором опыте какой-нибудь маршрут обязательно приедет.

$$P(U/V) = \begin{vmatrix} 0.05 & 0.3 & 0.65 \\ 0.2 & 0.15 & 0.65 \\ 0.2 & 0.3 & 0.5 \end{vmatrix}.$$

Кроме условных вероятностей можно составить матрицу вероятностей совместного появления двух событий:

$$P(U,V) = \begin{vmatrix} P(U_1,V_1) & P(U_2,V_1) & P(U_3,V_1) \\ P(U_1,V_2) & P(U_2,V_2) & P(U_3,V_2) \\ P(U_1,V_3) & P(U_2,V_3) & P(U_3,V_3) \end{vmatrix}, \quad (1.42)$$

где:  $P(U_2,V_1)$  – вероятность того, что в первом опыте приедет трамвай «маршрута 1», а во втором опыте – трамвай «маршрута 2».

Вероятность совместного появления двух событий равна произведению условной вероятности на безусловную вероятность события в первом опыте:

$$P(U_2,V_1) = P(V_1) * P(U_2/V_1). \quad (1.43)$$

Поэтому матрицу совместного появления двух событий можно представить в таком виде:

$$P(U, V) = \begin{vmatrix} P(V1) * P(U1/V1) & P(V1) * P(U2/V1) & P(V1) * P(U3/V1) \\ P(V2) * P(U1/V2) & P(V2) * P(U2/V1) & P(V2) * P(U3/V2) \\ P(V3) * P(U1/V3) & P(V3) * P(U2/V3) & P(V3) * P(U3/V3) \end{vmatrix} \quad (1.44)$$

Из этого следует, что сумма всех элементов матрицы (1.44) равна 1. Энтропия (неопределенность) появления в первом опыте события  $V$ , а во втором, связанном с ним опыте, события  $U$ , равна:

$$\begin{aligned} H(U, V) &= -\sum_{i=1}^n \sum_{j=1}^m P(V_i) * P(U_j / V_i) * \log[P(V_i) * P(U_j / V_i)] = \\ &= H(V) + H(U/V), \end{aligned} \quad (1.45)$$

где:  $H(V)$  – энтропия первого события;

$H(U/V)$  – условная энтропия (условную энтропию нельзя вычислять по элементам матрицы (1.41), потому, что сумма всех элементов этой матрицы больше 1).

Основной смысл условной энтропии  $H(U/V)$  состоит в том, что она показывает, на сколько увеличивается энтропия второго события  $U$ , когда уже известна энтропия первого события  $V$ .

### 1.5.3 СВОЙСТВА ЭНТРОПИИ СЛОЖНЫХ СООБЩЕНИЙ

- При статистически независимых сообщениях  $U$  и  $V$  совместная энтропия равна сумме энтропии сообщений:

$$H(U, V) = H(U) + H(V). \quad (1.46)$$

ПРИМЕР: при двукратном бросании кости выпадение в первом опыте «3», а во втором - «5» – является статистическим независимым:

$$H(U/V) = \log(6^2) = 2 * \log 6 = \log 6 + \log 6.$$

- При полной статистической зависимости сообщений  $U$  и  $V$  совместная энтропия равна безусловной энтропии одного из сообщений:

$$H(U/V) = 0; \quad H(U, V) = H(U) = H(V). \quad (1.47)$$

- Следствием первых двух свойств является то, что условная энтропия ограничена пределами:

$$0 \leq H(U/V) \leq H(U). \quad (1.48)$$

- Для совместной энтропии справедливо соотношение (следствие предыдущих свойств):

$$H(U,V) \leq H(U) + H(V). \quad (1.49)$$

**Задача 1.8** : для двух событий  $X$  и  $Y$  приведены вероятности совместных событий  $P(X,Y)$ :

	$X1$	$X2$	$X3$
$Y1$	0.1	0.2	0.3
$Y2$	0.25	0	0.15

Определить: энтропию сообщений  $H(X)$  и  $H(Y)$ ;  
энтропию совместного события  $H(X,Y)$ ;  
условные энтропии  $H(X/Y)$ ,  $H(Y/X)$ .

Решение:  $P(X1) = 0,1 + 0,25 = 0,35$ ;  
 $P(X2) = 0,2$ ;  
 $P(X3) = 0,3 + 0,15 = 0,45$ ;  
 $P(Y1) = 0,1 + 0,2 + 0,3 = 0,6$ ;  
 $P(Y2) = 0,25 + 0,15 = 0,4$ .

Энтропии отдельных событий:

$$H(X) = -\sum_{i=1}^3 P(X_i) * \log P(X_i) = 1,512 \text{ (бит);}$$

$$H(Y) = -\sum_{i=1}^2 P(Y_i) * \log P(Y_i) = 0,917 \text{ (бит).}$$

Энтропия совместного события:

$$H(X,Y) = -\sum_{i=1}^3 \sum_{j=1}^2 P(X_i, Y_j) * \log P(X_i, Y_j) = 2,228 \text{ (бит).}$$

Условные энтропии:

$$H(Y/X) = H(X,Y) - H(X) = 2,228 - 1,512 = 0,716 \text{ (бит);}$$

$$H(X/Y) = H(X,Y) - H(Y) = 2,228 - 0,917 = 1,257 \text{ (бит).}$$

## 1.6 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Дать определение сигнала. Какие вы знаете способы передачи сигнала?
2. Чем отличаются детерминированные сигналы от случайных?
3. Чем отличаются спектры периодических сигналов от спектров непериодических сигналов?
4. Какой параметр периодического сигнала во временном базисе определяет расстояние между дискретными спектральными составляющими?
5. Для каких сигналов обращаются в нуль мнимые составляющие спектра? Для каких сигналов обращаются в нуль действительные составляющие спектра?
6. Назовите основные соотношения между временными функциями сигналов и их отображением в спектральном базисе.
7. Необходимое и достаточное условие согласования сигнала и канала связи. Привести примеры преобразования сигналов для выполнения условий согласования.
8. Зачем применяется преобразование непрерывных сигналов в дискретные?
9. Назовите основные соотношения Котельникова-Найквиста при дискретизации сигнала.
10. Назовите точный метод восстановления непрерывного сигнала из дискретного. Привести практические примеры восстановления непрерывных сигналов из дискретных с меньшей точностью.
11. Чем определяется выбор величины шага квантования непрерывных сигналов?
12. В чем отличие абсолютной погрешности квантования от относительной погрешности? Величины измерения относительной погрешности.
13. Чем определяется динамический диапазон непрерывных и квантованных сигналов?
14. В чем различие и сходство терминов КОЛИЧЕСТВО ИНФОРМАЦИИ и ЭНТРОПИЯ?
15. Единицы измерения количества информации и энтропии.
16. Свойства энтропии дискретных сообщений.
17. Назовите примеры зависимых и независимых событий.
18. Дайте определение условной энтропии.
19. Свойства энтропии зависимых событий.

## **ТЕМА 2 ОСНОВЫ ИНТЕГРАЛЬНОЙ СХЕМОТЕХНИКИ ЭВМ**

### **2.1 ЭЛЕКТРОННЫЙ КЛЮЧ НА БИПОЛЯРНОМ ТРАНЗИСТОРЕ**

Основным элементом вычислительных машин является электронный ключ, имеющий два устойчивых состояния: «включен» - «выключен»; или «высокий уровень» - «низкий уровень». Условимся называть «низкий уровень» – ЛОГИЧЕСКИМ НУЛЕМ, а «высокий уровень» – ЛОГИЧЕСКОЙ ЕДИНИЦЕЙ.

Электронный ключ может быть реализован на активных элементах: биполярных или полевых транзисторах, на туннельных диодах, на тиристорах и др. В интегральной схемотехнике широко используется электронный ключ на биполярном транзисторе (рис. 2.1).

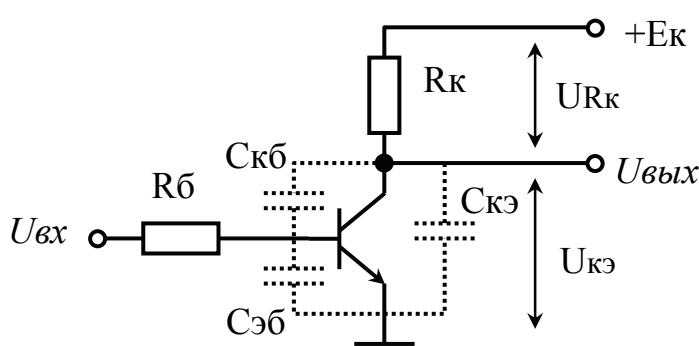


Рис. 2.1 – Насыщенный электронный ключ

дe конденсаторов  $C_{бэ}$ ,  $C_{бк}$ ,  $C_{кэ}$ . Емкость нагрузки ( $C_н$ ), а также паразитная емкость монтажа ( $C_m$ ) объединены в конденсаторе  $C_{кэ}$ .

Транзисторный ключ (рис. 2.1) может находиться в одном из трех режимах:

- **РЕЖИМ ОТСЕЧКИ** – оба перехода транзистора (база-эмиттер и база-коллектор) находятся в закрытом (не токопроводящем) состоянии,
- **АКТИВНЫЙ РЕЖИМ** – переход база-эмиттер открыт, а переход база-коллектор – закрыт,
- **РЕЖИМ НАСЫЩЕНИЯ** – оба перехода открыты.

Очень редко в некоторых схемах используется **ИНВЕРСНЫЙ РЕЖИМ**, при котором переход база-эмиттер закрыт, а переход база-коллектор открыт.

На входной Вольт-Амперной характеристике (ВАХ) кремниевого биполярного транзистора (рис. 2.2) выделим три области:

- левее точки А – **область отсечки**; через переход база-эмиттер протекает очень маленький (доли микроАмпер) тепловой ток неосновных носителей  $I_{кб0}$ ;
- нелинейный участок между точками А и В - квадратичный участок (в некоторых книгах он называется – экспоненциальный участок);

Входной прямой импульс  $U_{bx}$  положительной полярности подается на базу транзистора через токоограничивающий резистор  $R_b$ . Выходное напряжение в виде отрицательного импульса  $U_{вых}$  снимается с коллекторной нагрузки  $R_k$ . Междуполюлярные емкости транзистора показаны в виде конденсаторов  $C_{бэ}$ ,  $C_{бк}$ ,  $C_{кэ}$ . Емкость нагрузки ( $C_n$ ), а также паразитная емкость монтажа ( $C_m$ ) объединены в конденсаторе  $C_{кэ}$ .

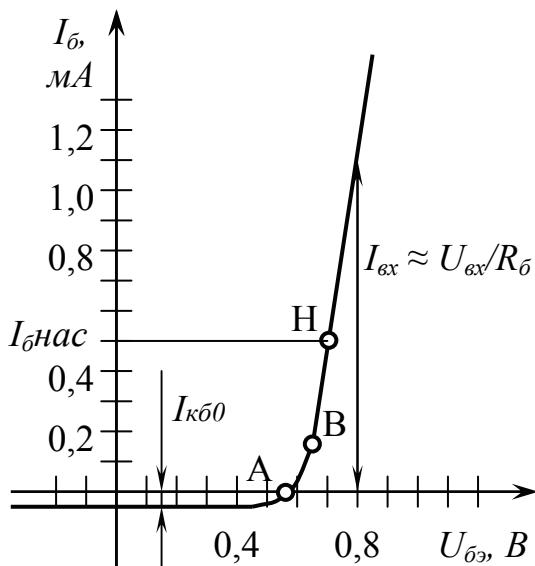


Рис. 2.2 – Входная Вольт-Амперная характеристика транзистора

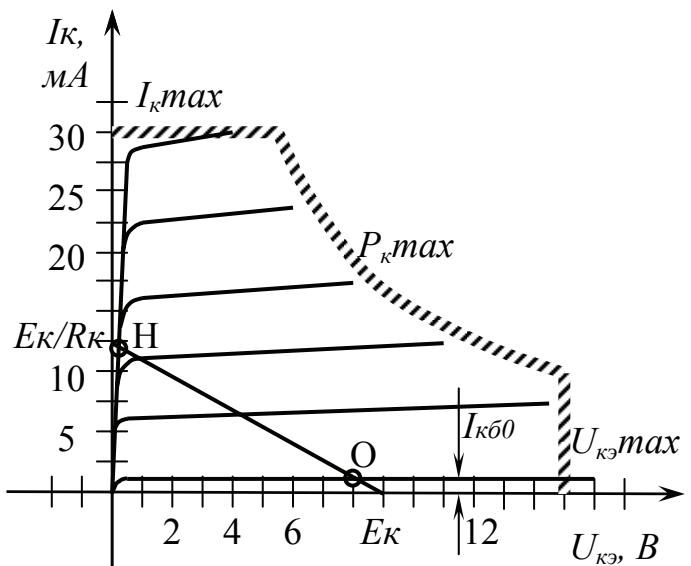


Рис. 2.3 – Выходная Вольт-Амперная характеристика транзистора

- относительно линейный участок (выше точки В), на котором ток базы резко возрастает при увеличении напряжения \$U\_{бэ}\$.

На выходной ВАХ транзистора (рис. 2.3) выделим **РАБОЧУЮ ОБЛАСТЬ**, ограниченную:

- сверху — максимальным током коллектора (\$I\_{k\max}\$);
- справа — максимально допустимым напряжением коллектор-эмиттер (\$U\_{кэ\max}\$);
- а также ограниченную гиперболой максимально допустимой мощности рассеивания (\$P\_{k\max}\$).

В пределах рабочей области строим нагрузочную прямую, проходящую через две точки (рис. 2.3):

- на горизонтальной оси через точку \$U\_{кэ} = E\_k\$;
- на вертикальной оси через точку \$I\_k = E\_k / R\_k\$.

На этой прямой выделим точку **режима отсечки «О»** и точку **режима насыщения «Н»**.

$$I_{kH} \approx E_k / R_k \quad (2.1)$$

Отрезок нагрузочной прямой между точками «О» и «Н» соответствует **активному режиму** работы транзистора.

На входной ВАХ транзистора (рис. 2.2) **режиму насыщения** соответствует участок выше точки «Н», в этой точке ток базы равен :

$$I_{bH} = I_{kH} / h21, \quad (2.2)$$

где : \$h21\$ — коэффициент усиления по току транзистора.

Между точками «А» и «Н» (см. рис. 2.2) находится участок **активного режима** работы транзистора.

Рассмотрим работу электронного ключа с режима отсечки (до момента времени  $t0$  на рис. 2.4). На входе схемы напряжение равно нулю (рис. 2.4.а). На переходе база-эмиттер напряжение также равно нулю (см. рис. 2.4.б); Ток базы  $I_b$  (рис. 2.4.в) и ток коллектора  $I_k$  (рис. 2.4.г) близки к нулю (если не считать маленький тепловой ток  $I_{k0}$ ).

В момент  $t0$  появилось входное напряжение (рис. 2.4.а). Однако, напряжение на переходе база-эмиттер (рис. 2.4.б) будет плавно нарастать до момента времени  $t1$  по экспоненте за счет заряда конденсаторов Сбэ и Сбк через резистор Rб.

В момент времени  $t1$  напряжение на переходе база-эмиттер достигло 0,5 Вольт – пороговое напряжение отпирания кремниевого  $p-n$  перехода (рис. 2.4.б). При дальнейшем увеличении напряжения база-эмиттер до величины примерно 0,7В (рис. 2.4.б) появляется ток базы (рис. 2.4.в) и ток коллектора (рис. 2.4.г). От момента времени  $t1$  до  $t2$  транзистор работает в активном режиме. Конденсатор Сбк включен в цепь отрицательной обратной связи (см. рис. 2.1). Такая схема называется «интегратор Миллера». Ток базы и ток коллектора линейно возрастают до режима насыщения. Напряжение  $U_{kэ}$  (рис. 2.4.д) уменьшается от максимального значения в момент времени  $t1$  (чуть меньшего напряжения источника питания Ек) до минимального значения ( $U_{kэ\ нас} \approx 0,2...0,4$ В) в момент времени  $t2$ .

В дальнейшем (до момента  $t3$ ) ток коллектора  $I_k$  и напряжение  $U_{kэ}$  не изменяются, а ток базы возрастает до максимального значения:

$$I_{b\ вх} = U_{вх} / R_b \quad (2.3)$$

$$\text{Отношение : } K_{нас} = I_{b\ вх} / I_{b\ нас} \quad (2.4)$$

называется КОЭФФИЦИЕНТ НАСЫЩЕНИЯ. Это отношение показывает во сколько раз реальный входной ток базы ( $I_{b\ вх}$ ) больше необходимого для насыщения тока базы  $I_{b\ нас}$  (см. формулу (2.2)).

В момент времени  $t3$  заканчивается переходной процесс и электронный ключ находится во втором (насыщенном) состоянии. В режиме насыщения напряжение на базе:  $U_{бэ} = 0,7...0,9$  В, а напряжение на коллекторе:  $U_{kэ} = 0,1...0,3$  В.

В момент времени  $t4$  заканчивается входной импульс. Однако накопившиеся в конденсаторе Сбэ заряды будут постепенно разряжаться через переход база-эмиттер с уменьшением тока базы до величины  $I_{b\ нас}$  (см. рис. 2.4.б и рис. 2.4.в). При этом ток коллектора  $I_k$  и напряжение  $U_{kэ}$  (см. рис. 2.4.г и рис. 2.4.д) не изменяются, т.е. транзистор продолжает оставаться в режиме насыщения. Интервал времени между  $t4$  и  $t5$  называется **ВРЕМЕНЕМ РАССАСЫВАНИЯ**. Это время будет тем больше, чем

больше коэффициент насыщения (см. формулу (2.4)).

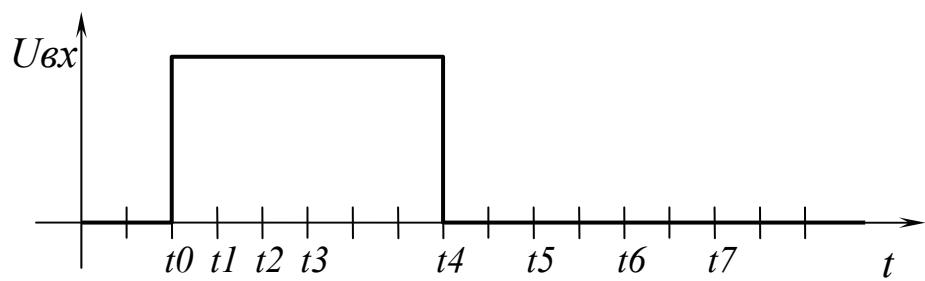


Рис. 2.4.а

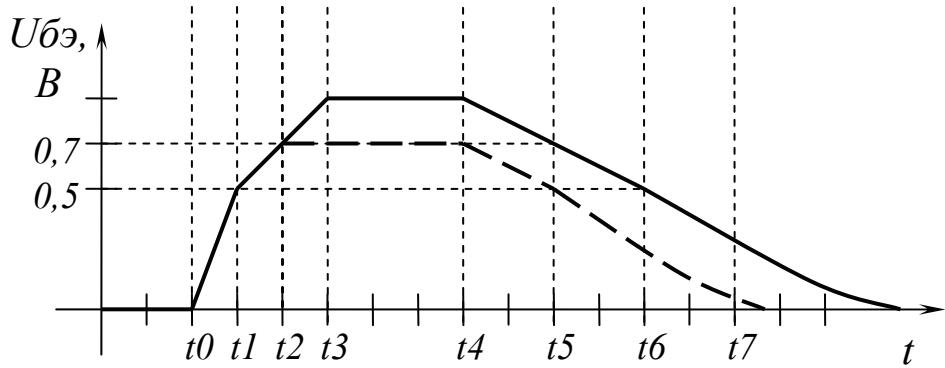


Рис. 2.4.б

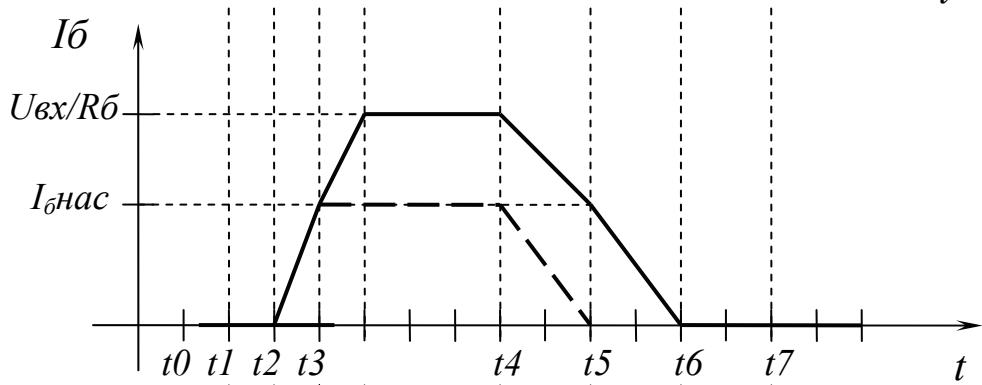


Рис. 2.4.в

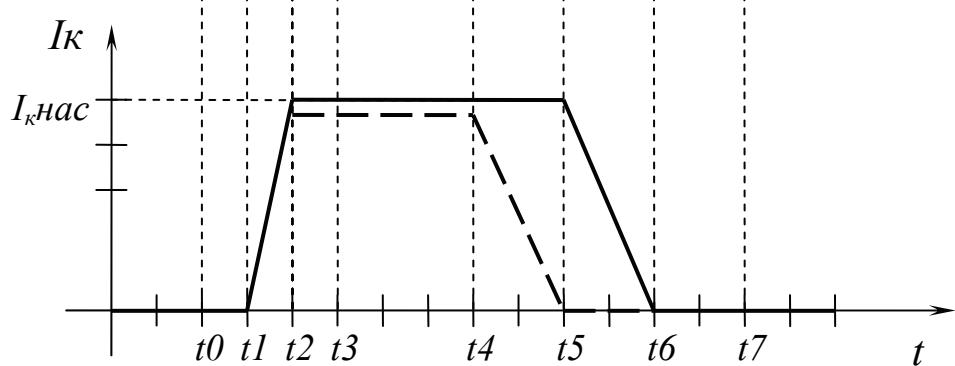


Рис. 2.4.г

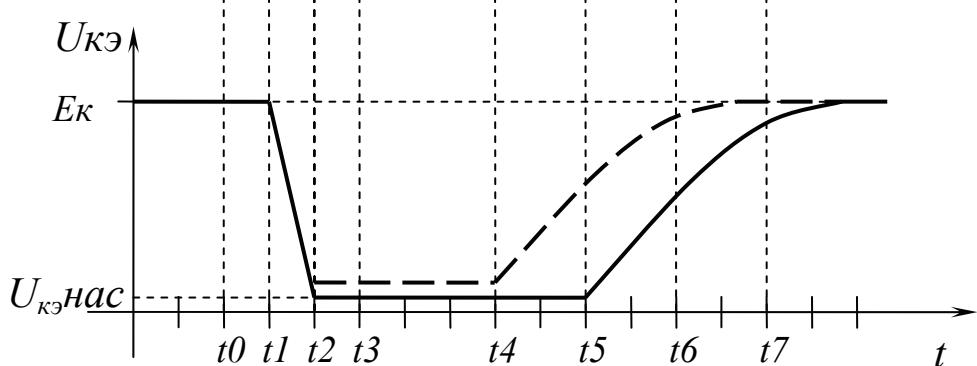


Рис. 2.4.д

Рис.2.4 – Переходные процессы в транзисторном ключе

С момента времени  $t_5$  до момента времени  $t_6$  транзистор находится в активном режиме с постепенным уменьшением тока базы (рис. 2.4.в) и тока коллектора (рис. 2.4.г).

При закрывании транзистора (с момента времени  $t_5$  до  $t_7$ ) возрастание напряжения  $U_{КЭ}$  замедляется за счет заряда конденсаторов  $C_{кэ}$  и  $C_n$  (см. рис. 2.1) от источника питания  $+E_k$  через резистор  $R_k$ .

В момент времени  $t_7$  можно считать переходной процесс завершенным, электронный ключ возвращается в исходное состояние. Обычно время закрывания электронного ключа (от момента  $t_4$  до  $t_7$ ) значительно больше времени открывания электронного ключа (от  $t_0$  до  $t_3$ ).

При выборе элементов электронного ключа необходимо учитывать, что амплитуда напряжения входного импульса равна амплитуде напряжения выходного импульса (т.е. почти равна напряжению источника питания  $+E_k$ ).

С учетом формул (2.1) - (2.4) можно записать:

$$R_k / R_B \leq h_{21} \text{ мин}; \quad (2.5)$$

$$K_{нас} \geq h_{21} / h_{21} \text{ мин}. \quad (2.6)$$

Коэффициент усиления по току  $h_{21}$  у транзисторов даже из одной пачки может изменяться в несколько раз (например, от 40 до 120). Поэтому коэффициент насыщения электронного ключа ( $K_{нас}$ ), зависящий от параметров применяемого транзистора, может изменяться в широких пределах. С ростом коэффициента насыщения увеличивается время рассасывания электронного ключа. Следовательно, быстродействие ключевых схем сильно зависит от параметров применяемых транзисторов.

Методы повышения быстродействия ключевых схем:

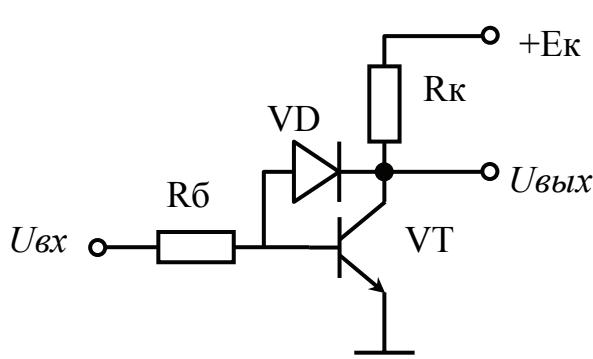


Рис. 2.5 – Ненасыщенный электронный ключ с диодом Шотки

**1 – Желательно не доводить транзистор до насыщения**, при этом время рассасывания будет равно нулю. На рис. 2.5 приведена схема ненасыщенного электронного ключа с диодом Шотки (VD) в цепи обратной связи.

ДИОД ШОТКИ реализован на переходе металл-полупроводник ( $p$ -типа или  $n$ -типа). Такой диод открывается при напряжении 0,1...0,2 В.

Работа ненасыщенного ключа до момента времени  $t_2$  аналогична работе насыщенного ключа (см. рис. 2.4). Однако, в режим насыщения такой

ключ (рис. 2.5) не войдет, потому что при напряжении  $U_{бэ}=0,6\ldots0,7$  В транзистор находится еще в активном режиме, напряжение на переходе коллектор-база составляет:  $U_{кб}=0,2\ldots0,3$  В – поэтому открывается диод Шотки VD и дальнейшее увеличение тока базы  $I_b$  невозможно (работе ключа с диодом Шотки соответствуют пунктирные линии на графиках), т.к. весь избыточный ток от источника  $U_{вх}$  через резистор  $R_b$  и диод VD проходит через транзистор VT (от коллектора к эмиттеру). Поэтому транзистор находится в активном режиме и, по окончании входного импульса  $U_{вх}$ , сразу переходит к этапу закрывания транзистора, минуя стадию рассасывания (см. пунктирную линию на рис. 2.4.д).

Необходимо отметить, что напряжение  $U_{кэ}$  открытого ненасыщенного ключа (рис. 2.5) больше, чем у насыщенного ключа (см. рис. 2.1), и составляет 0,4…0,7 В.

**2 – Повышение быстродействия** ключевых схем достигается также **уменьшением времени перезаряда конденсаторов**  $C_{бэ}$ ,  $C_{бк}$ ,  $C_{кэ}$  и  $C_n$  (см. рис. 2.1) за счет увеличения токов в схеме, т.е. за счет уменьшения номиналов резисторов  $R_k$  и  $R_b$ . Такое увеличение быстродействия ключевых схем сопровождается пропорциональным увеличением потребляемой мощности.

**3 – В современных цифровых схемах значительно уменьшены номиналы конденсаторов**  $C_{бэ}$ ,  $C_{бк}$ ,  $C_{кэ}$  и  $C_n$  за счет уменьшения размеров интегральных транзисторов, что также позволяет повысить быстродействие интегральных схем.

**4 – Максимальное быстродействие**, т.е. минимальное расстояние между соседними импульсами определяется длительностью фронта нарастания импульса и длительностью фронта спада импульса. Поэтому одним из путей повышения быстродействия является **уменьшение амплитуды импульсов**, т.е. уменьшение перепада напряжения между высоким логическим уровнем и низким логическим уровнем. Учитывая линейность нарастания и спада напряжения на фронтах импульсов, можно утверждать, что уменьшение расстояния между логическими уровнями приводит к уменьшению длительности фронтов импульсов (рис. 2.6), т.е. к повышению быстродействия.

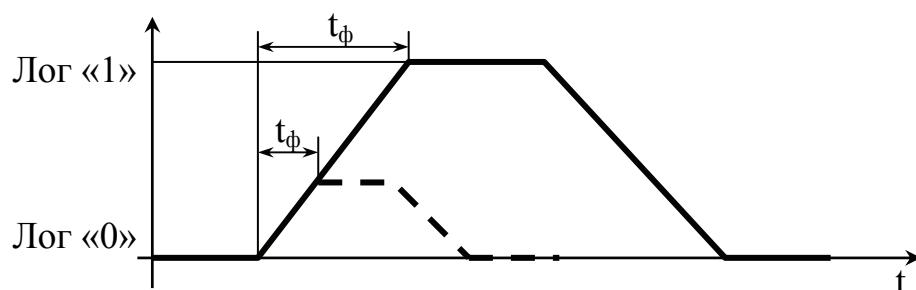


Рис. 2.6 – Зависимость длительности фронтов импульсов от расстояния между логическими уровнями

## 2.2 ОБЩИЕ СВЕДЕНИЯ О ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

В зависимости от технологии изготовления интегральные схемы (ИС) могут быть: полупроводниковыми, пленочными или гибридными.

В **ПОЛУПРОВОДНИКОВОЙ ИС** все элементы и межэлементные соединения выполнены в объеме и на поверхности полупроводника.

В **ПЛЕНОЧНОЙ ИС** все элементы и межэлементные соединения выполнены только в виде пленок проводящих и диэлектрических материалов. Различают тонкопленочные и толстопленочные ИС.

К **ТОНКОПЛЕНОЧНЫМ** условно относят ИС с толщиной пленок до 1 мкм, а **ТОЛСТОПЛЕНОЧНЫМ** – ИС с толщиной пленок свыше 1 мкм. Качественные различия определяются технологией изготовления пленок.

Элементы тонкопленочных ИС наносятся на подложку, как правило, с помощью термовакуумного осаждения или катодного распыления; а элементы толстопленочных ИС изготавливаются преимущественно методом шелкографии с последующим вжиганием.

**ГИБРИДНЫЕ** микросхемы содержат на подложке кроме пленочных элементов простые и сложные компоненты (например, кристаллы полупроводниковых ИС). Частным случаем гибридной ИС является многокристальная ИС (совокупность нескольких бескорпусных ИС на одной подложке).

Преимущества ПОЛУПРОВОДНИКОВЫХ ИС перед ГИБРИДНЫМИ таковы :

- более высокая надежность вследствие меньшего числа контактных соединений;
- большая механическая прочность, благодаря меньшим (примерно на порядок) размерам элементов;
- меньшая себестоимость изготовления полупроводниковых ИС вследствие более эффективного использования преимуществ групповой технологии.

В зависимости от функционального назначения ИС делятся на две основные категории – аналоговые и цифровые.

**АНАЛОГОВЫЕ ИС** (АИС) предназначены для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции.

**ЦИФРОВЫЕ ИС** (ЦИС) преобразовывают и обрабатывают сигналы, выраженные в двоичном или другом коде. Вариантом определения ЦИС является термин **ЛОГИЧЕСКАЯ ИС** (ЛИС).

В полупроводниковых ИС в качестве активных элементов могут использоваться биполярные и полевые транзисторы. Полупроводниковые ИС (особенно цифровые) с биполярными транзисторами отличаются высоким быстродействием. Полупроводниковые ЦИС на полевых транзисторах со структурой n-MOP отличаются самой высокой плотностью упаковки и

наименьшей стоимостью изготовления. ЦИС со структурой КМОП очень экономичны и обладают высоким быстродействием.

### **2.2.1 МАТЕРИАЛЫ ДЛЯ ИЗГОТОВЛЕНИЯ ПОЛУПРОВОДНИКОВЫХ ИС**

Для изготовления полупроводниковых ИС используются в большинстве случаев пластины монокристаллического кремния *p*-типа или *n*-типа проводимости. В качестве легирующих примесей, с помощью которых изменяют проводимость исходного материала пластины, применяют соединения бора, сурьмы, фосфора, алюминия, галия, индия, мышьяка, золота и др.

Для создания межсоединений и контактных площадок используют алюминий, медь и золото. Весьма перспективен как материал проводников - кристаллический поликремний (который не обладает полупроводниковыми свойствами).

Как материал диэлектрических покрытий и изоляции элементов используют двуокись кремния или нитрид кремния.

Применяемые материалы должны обладать очень высокой чистотой: содержание молекул примесей в большинстве материалов, используемых при изготовлении полупроводниковых микросхем, не должно превышать  $1^{-5}...1^{-9}$  от количества молекул основного материала.

### **2.2.2 ОСНОВНЫЕ ТЕХНОЛОГИЧЕСКИЕ ОПЕРАЦИИ ИЗГОТОВЛЕНИЯ ПОЛУПРОВОДНИКОВЫХ ИС**

**Механическая обработка кремния.** От цилиндрического слитка монокристаллического кремния (диаметром от 150 до 300 мм) отрезаются круглые пластины толщиной 250...600 мкм. (На одной такой пластине будут формироваться в едином технологическом процессе десятки или сотни полупроводниковых микросхем). Поверхность пластин шлифуется (толщина слоя шероховатости уменьшается до 0,5..2 мкм). Для окончательной доводки поверхности пластин применяется химическое травление.

**Эпитаксиальное наращивание.** Термин "эпитаксия" обозначает процесс ориентированного наращивания монокристаллической решетки кремния пластины за счет осаждения слоев. При введении дополнительных примесей получают эпитаксиальные слои с заданным типом проводимости. (Например, на пластине кремния с проводимостью *p*-типа можно получить эпитаксиальную пленку с проводимостью *n*-типа). Эпитаксиальный слой, представляющий собой монокристаллическое продолжение основного материала, не имеет механических дефектов и напряжений. Эпитаксиальное наращивание производят в специальных печах при температуре около 1200°C. Скорость увеличения толщины пленки – несколько микрометров в час.

Наиболее широко используются эпитаксиальные пленки толщиной

1...10 мкм. У быстродействующих ЦИС толщина пленки должна быть не более 1 мкм.

**Окисление поверхности пластины.** Для защиты и маскирования поверхности кремния при операциях диффузии применяется окисление пластин в атмосфере кислорода или паров воды при температуре 1000...1300°С. Толщина наращиваемого окисла – около 1 мкм.

**Фотолитография.** Комплекс фотолитографических процессов повторяется в технологическом процессе изготовления полупроводниковых ИС неоднократно (от 3 до 14 раз и более). Каждый раз на окисленную пластину кремния наносится тонкий слой (толщиной около 1 мкм) светочувствительной эмульсии – органического фоторезиста, который засвечивается через фотошаблон от источника ультрафиолетового излучения. После проявления фоторезиста слабым раствором щелочи можно «вскрыть» необходимые «окна» на поверхности окисла кремния. В этих окнах смесью фотористого аммония и плавиковой кислоты двуокись кремния стравливается и тем самым селективно (выборочно) открывается поверхность кремния для диффузии.

**Диффузию примеси в кремний** проводят в диффузионных печах при температуре примерно 1200°С. Для получения проводимости *n*-типа применяют диффузанты: фосфор, сурьму, мышьяк; для получения проводимости *p*-типа – бор, галлий, индий.

**Создание межсоединений.** Для создания «монтажа» между элементами полупроводниковой ИС пластина кремния со сформированными элементами (транзисторами, диодами, резисторами и др.) покрывается слоем осажденного алюминия (или меди) толщиной 0,5...2 мкм, который затем в ненужных местах стравливается через соответствующие окна фоторезиста (после заключительной операции фотолитографии). При этом на поверхности полупроводника остается рисунок соединительных алюминиевых (или медных) проводников, имеющих ширину 1-10 мкм, а также контактных площадок.

Электрические параметры ИС измеряются еще на неразрезанной пластине с помощью контактных зондов. Неработающие ИС отмечаются краской.

Пластина разделяется на отдельные кристаллы. Отмаркованные неработающие ИС бракуют сразу, остальные кристаллы осматривают под микроскопом.

Монтаж кристаллов на металлические основания корпусов осуществляется пайкой с образованием золотой эвтектики. В стеклянных или пластмассовых корпусах, в которых отсутствуют металлические пластины в основаниях корпусов, кристаллы прикрепляются к несущей рамке легко-плавким стеклом в атмосфере инертного газа при температуре не более 525°С. Затем производят монтаж выходных контактных площадок на внутренние выводы корпуса.

Для надежной защиты от воздействия внешней среды при эксплуатации кристаллы упаковывают в герметичные корпуса. Пластмассовый кор-

пус (наиболее дешевый) имеет пластмассовое тело, полученное путем опрессовки кристалла и рамки выводов.

### 2.2.3 ТЕХНОЛОГИИ ТИПОВЫХ ИНТЕГРАЛЬНЫХ СТРУКТУР

При создании полупроводниковых ИС наиболее широко применяется **ПЛАНАРНО-ЭПИТАКСИАЛЬНАЯ** технология (она же используется для изготовления современных дискретных транзисторов). Изоляция элементов, расположенных на одном кристалле (транзисторы, диоды, резисторы и др.), осуществляется при помощи обратносмещенных *p-n*-переходов.

Недостатками такого метода изоляции структур считаются:

- увеличенные паразитные емкости и токи утечки между отдельными элементами;
- большая площадь элементов (с учетом площади изолирующих областей);
- относительно невысокие пробивные напряжения и низкая радиационная стойкость.

Однако структуры с *p-n*-изоляцией наиболее просты в изготовлении и, как следствие, самые дешевые.

В **ИЗОПЛАНАРНОЙ** технологии изоляция элементов (транзисторов, диодов и др.) осуществляется травлением канавок между элементами с последующим термическим окислением поверхности этих канавок. Слой двуокиси кремния (является хорошим изолятором) образует как стенки, так и дно каждого интегрального элемента, создавая диэлектрический карман (отсюда малые электрические утечки). Такая технология позволяет получать более высоковольтные интегральные элементы при меньших размерах.

Дальнейшим развитием изопланарной технологии является **ПОЛИПЛАНАРНЫЙ** процесс, позволяющий значительно уменьшить размеры элементов.

Еще большую плотность размещения элементов позволяет получить технология с использованием анизотропного травления канавок (травление вдоль кристаллографических осей).

Интегральные диоды обычно создаются из транзисторных структур. В качестве диодов могут быть использованы переходы база-эмиттер или база-коллектор. В некоторых случаях переход база-эмиттер используется как стабилитрон (диод Зенера).

Омические резисторы создаются в объеме полупроводника или напыляются на поверхность кристалла в виде тонких пленок. Температурный коэффициент сопротивления объемных полупроводниковых резисторов очень велик и имеет положительный знак. Сопротивление таких резисторов ограничивается только размерами полупроводниковой подложки и может достигать 40 кОм.

В качестве конденсаторов малого номинала можно использовать смещенный в обратном направлении *p-n*-переход. При этом удельная

емкость может достигать 200 нФ/см при пробивном напряжении в несколько сотен вольт. Емкость *p-n*-перехода нелинейно зависит от приложенного напряжения. Такие конденсаторы полярные, т.е. не пригодны для работы в цепях переменного тока.

Большое разнообразие технологических процессов используется при изготовлении полупроводниковых ИС на полевых транзисторах. Эти транзисторы образованы тремя слоями: металл (затвор), окись кремния (изоляция затвора от канала), полупроводник (области истока, канала и стока). Поэтому такие структуры называются МОП ИС.

С целью повышения быстродействия МОП-структур применяется технология с использованием кремниевых затворов. Вместо слоя металла используются области сильнолегированного кремния толщиной около 1 мкм.

Применение в составе МОП ИС полевых транзисторов с разным типом проводимости (*p*-канальных и *n*-канальных) позволяет создавать ЦИС с относительно высоким быстродействием (1 ГГц и более) при очень малой статической потребляемой мощности. Эти структуры называются КМОП (буква К – от слова комплементарный, дополнительный).

В числе перспективных технологических направлений продолжает оставаться технология КМОП ИС, использующая кристаллографическую совместимость монокристалла кремния и сапфира (кремний на сапфире – КНС). Такие ИС имеют высокое быстродействие, но остаются очень дорогими.

Наибольшее быстродействие имеют ИС на основе арсенида галлия. В пятнадцати раз больше подвижность электронов в монокристаллах этого двухэлементного полупроводника (чем в кремнии) позволяет создавать в объеме арсенида галлия структуры с пропорционально более высоким быстродействием. В ЦИС на полевых транзисторах с барьером Шотки и со связью на барьере Шотки достигается быстродействие до 10 ГГц. Основные трудности, связанные с внедрением в производство ИС на основе арсенида галлия, связаны с обеспечением сохранения параметров приборов при их производстве. Разброс параметров получается намного больше, чем при использовании кремния.

Значительно расширяется использование ионной имплантации при изготовлении МОП ИС (легирование каналов, резисторов, истока, стока) и прецизионных биполярных ИС (легирование базы и резисторов). Ионная имплантация имеет ряд преимуществ перед термодиффузионными способами введения легирующих примесей. Благодаря лучевым методам достигается точное дозирование малых количеств легирующих примесей – до отдельных атомов, – не достижимое другими известными методами. При этом примеси вводятся на заданную глубину сквозь слой окисла или полупроводника, а границы легированных областей не расплываются.

В технической литературе часто встречается термин «технология изготовления современных микропроцессоров 0,13 мкм». Например, первый

микропроцессор, выпущенный в 1971 г., имел технологический размер – 10 мкм. Этот параметр указывает не размер транзисторов на кристалле микропроцессора, а расстояние между линиями технологической сетки, вдоль которых проводятся с помощью систем автоматического проектирования (САПР) все линии топологических фотошаблонов.

Сравним технологии современных микросхем с реальными физическими величинами. Например, длины волн видимого диапазона света: 0,7 микрон ( $0,7 * 10^{-6}$  м) – красный свет и 0,4 мкм – синий цвет. Длина волны лазера для рисования топологии фотошаблона должна быть соизмерима с технологическими расстояниями, т.е. при изготовлении современных микросхем с технологическим процессом 0,09 мкм (90 нм) необходимы ультрафиолетовые лазеры с длиной волны не более 0,2 мкм. При этом точность фокусировки луча лазера и точность позиционирования линий должна быть не менее половины технологического размера. Этим определяется высокий технологический уровень производства современных интегральных микросхем.

В 2003 г. фирма INTEL запустила в коммерческую эксплуатацию мощности по производству микросхем с детализацией 90 нм (диаметр пластин кремния – 300 мм). В 2005 г. INTEL начала выпуск пластин с технологией 65 нм. В них размер затвора транзистора составил 30 нм. К 2007 г. предполагается освоить производство транзисторов по технологии 45 нм (затвор – 20 нм). В 2009 г. пойдут на поток заготовки с уровнем детализации 32 нм (затвор – 15 нм). В 2011 г. INTEL перешагнет порог в 22 нм (затвор – 10 нм).

В 2007 г. также ожидается переход на новые материалы. В частности, как диэлектрик будет применяться новое химическое соединение high-k, а в качестве затвора – металл.

Таблица 2.1 – Качественная оценка сложности ИС

Степень интеграции	Вид ИС	Тип Транзисторов	Кол-во элемент. на кристале
Малые интегральные схемы (МИС)	цифровые	бипол., полев.	1...100
	аналоговые	бипол., полев.	1...30
Средние интегральные схемы (СИС)	цифровые	биполярные, полевые	100...500 100...1000
	аналоговые	бипол., полев.	30...100
Большие интегральные схемы (БИС)	цифровые	биполярные, полевые	500...2000 1000...10000
	аналоговые	бипол., полев.	100...300
Сверхбольшие интегральные схемы (СБИС)	цифровые	биполярные, полевые	более 2000 более 10000
	аналоговые	бипол., полев.	более 300

### 2.3 АЛГЕБРА ЛОГИКИ ПРИ АНАЛИЗЕ И СИНТЕЗЕ ЛОГИЧЕСКИХ СХЕМ

Анализ и синтез цифровых и логических цепей производится на основе математического аппарата алгебры логики (или Булевой алгебры). Логические переменные (т.е. входные и выходные сигналы логических схем) могут принимать два значения: «0» и «1». Принято говорить: **НУЛЕВОЙ ЛОГИЧЕСКИЙ УРОВЕНЬ** и **ЕДИНИЧНЫЙ ЛОГИЧЕСКИЙ УРОВЕНЬ** (или: низкий логический уровень и высокий логический уровень).

Над логическими переменными могут производиться три основных действия: логическое отрицание (функция «НЕ»), логическое сложение (функция «ИЛИ»), логическое умножение (функция «И»). Все остальные более сложные логические функции могут быть реализованы как комбинация трех основных функций.

Таблица 2.2 – *Основные законы алгебры логики*

Законы алгебры логики	В базисе «ИЛИ»	В базисе «И»
Переместительный закон	$a \vee b = b \vee a$	$a \& b = b \& a$
Сочетательный закон	$(a \vee b) \vee c = a \vee (b \vee c)$	$(a \& b) \& c = a \& (b \& c)$
Распределительный закон	$a \& (b \vee c) = a \& b \vee a \& c$	$a \vee (b \& c) = (a \vee b) \& (a \vee c)$
Закон поглощения	$a \vee a \& b = a$	$a \& (a \vee b) = a$
Закон склеивания	$(a \& b) \vee (a \& \bar{b}) = a$	$(a \vee b) \& (a \vee \bar{b}) = a$
Закон отрицания (Правило де Моргана)	$\overline{\overline{a} + \overline{b}} = \overline{a} \& \overline{b}$	$\overline{a \& b} = \overline{a} \vee \overline{b}$

Еще один вид записи Закона отрицания:

$$\overline{\overline{a} + \overline{b}} = a \& b ; \quad \overline{\overline{a} \& \overline{b}} = a + b. \quad (2.7)$$

Закон отрицания справедлив для любого числа переменных:

$$\overline{\overline{a} + \overline{b} + \overline{c} + \dots + \overline{z}} = \overline{\overline{a}} \& \overline{\overline{b}} \& \overline{\overline{c}} \& \dots \& \overline{\overline{z}};$$

$$\overline{a \& b \& c \& \dots \& z} = \overline{a} + \overline{b} + \overline{c} + \dots + \overline{z}.$$

Знаком + или  $V$  обозначается операция «дизъюнкции».

## 2.4 ФУНКЦИОНАЛЬНО ПОЛНАЯ СИСТЕМА ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Функционально полная система логических элементов – это такой набор логических элементов, используя который можно реализовать любую (сколь угодно сложную) логическую функцию.

Поскольку любая логическая функция есть комбинация основных простейших функций («НЕ», «ИЛИ», «И»), то набор логических элементов, реализующих эти функции, является функционально полным.

Обозначение этих логических элементов на функциональных схемах приведено на рис. 2.7. Входы элементов располагаются слева, а выходы – справа. Кружочек возле вывода элемента обозначает операцию отрицания (инверсию).

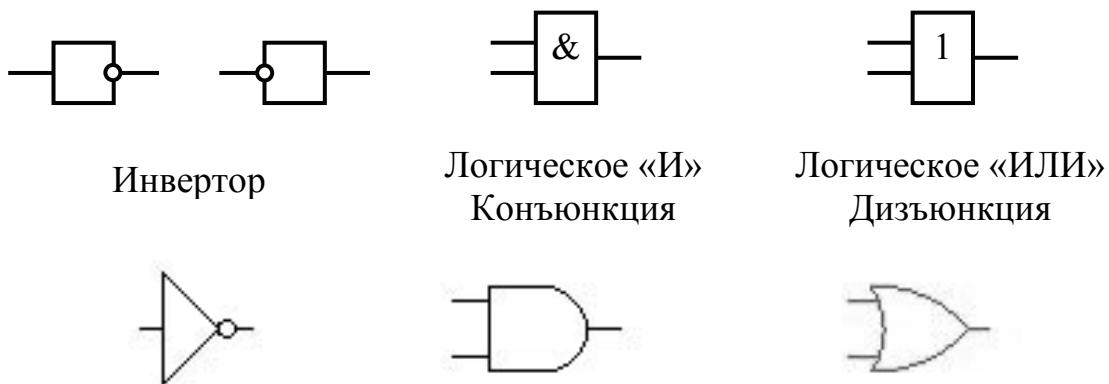


Рис. 2.7 – Обозначение логических элементов:  
вверху – европейский стандарт, внизу – американский стандарт

Например, логическую функцию:

$$F = \bar{a} \& b + a \& \bar{b}$$

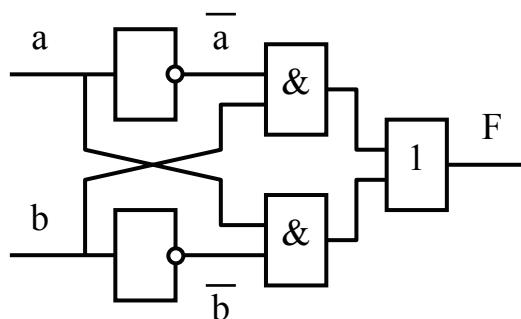


Рис. 2.8 – Реализация логической функции

можно реализовать с помощью двух ячеек «НЕ» (они нужны для того, чтобы получить инверсии входных переменных), двух логических схем «И» (схем конъюнкции) и схемы «ИЛИ» (рис. 2.8).

Функционально полные системы могут состоять и из набора элементов, реализующих функции, отличные от простейших. В частности, функционально полные системы могут состоять из элементов только одного типа, например, реализующих функцию «И-НЕ» либо функцию «ИЛИ-НЕ».

Функция «И-НЕ» (штрих Шеффера) означает следующее преобразование :

$$F = \overline{a \& b \& c \& \dots}$$

может составить функционально полную систему. Для того, чтобы доказать возможность реализации любых логических схем достаточно показать возможность реализации на элементах Шеффера простейших функций «И», «ИЛИ», «НЕ».

Операция инвертирование («НЕ») реализуется при подаче входного сигнала на один из входов элемента Шеффера, а остальные входы постоянно соединены с высоким логическим уровнем (возможна реализация инвертора при объединении всех входов элемента Шеффера).

Функция «И» реализуется последовательным соединением элемента Шеффера («И-НЕ») и инвертора («НЕ»). Операция «ИЛИ» реализуется в соответствии с правилом де Моргана (см. формулу 2.7 и рис. 2.9).

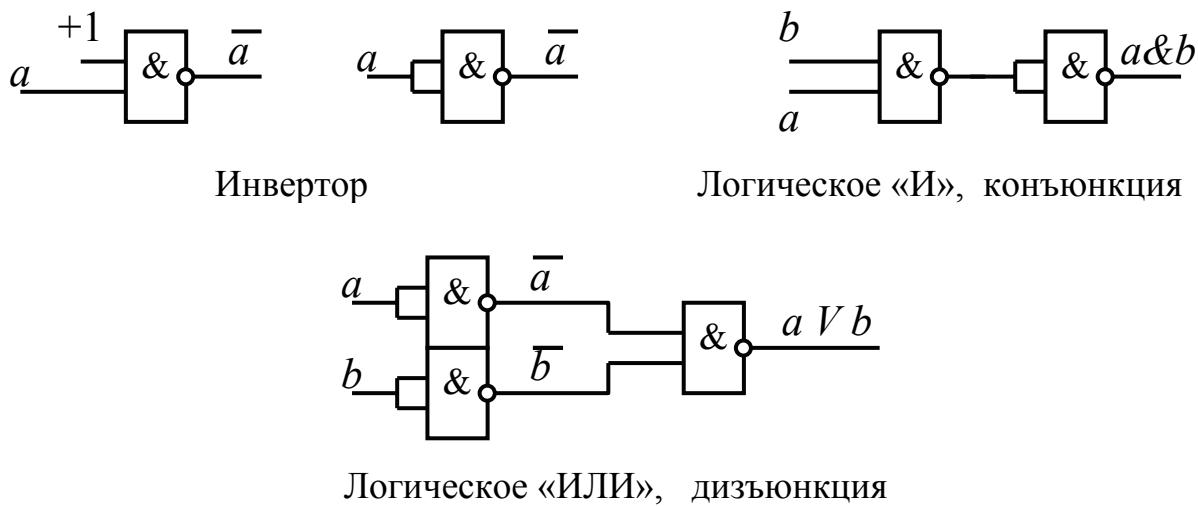


Рис. 2.9 – Реализация логических функций на элементе Шеффера

Функция «ИЛИ-НЕ» (стрелка Пирса) также может составить функционально полную систему.

$$F = \overline{a + b + c + \dots}$$

Для получения инверсии одной переменной достаточно подать сигнал этой переменной на один из входов, а остальные входы соединить с логическим нулем (возможна реализация инвертора при объединении всех входов элемента Пирса).

Функция «ИЛИ» может быть получена инвертированием выходного сигнала элемента Пирса. Операция «И» реализуется в соответствии с правилом де Моргана (см. формулу 2.7 и рис. 2.10).

Возможность реализации всех простейших логических функций сви-

действует о функциональной полноте логических элементов Шеффера или Пирса.

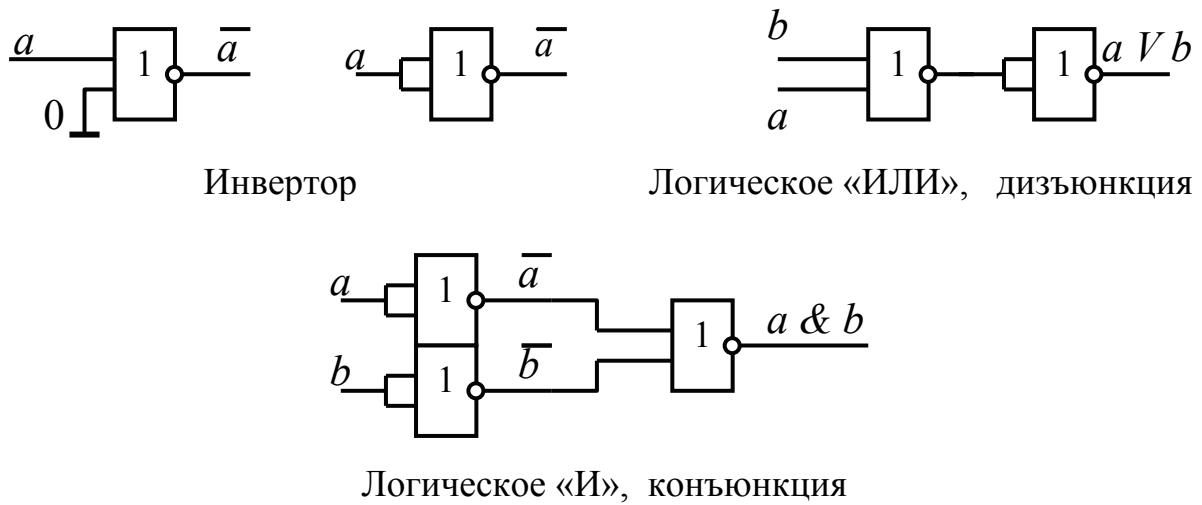


Рис. 2.10 – Реализация логических функций на элементе Пирса

## 2.5 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

- На каких активных элементах могут быть реализованы логические ключи?
- Назовите 4 режима работы биполярного транзистора и состояния переходов в каждом из этих режимов.
- Нарисовать входную и выходную Вольт-Амперные характеристики кремниевого биполярного транзистора и обозначить на них области с разными режимами работы
- Почему работа биполярного транзистора с насыщением приводит к уменьшению быстродействия электронных ключей?
- Назовите методы повышения быстродействия электронных ключей на биполярных транзисторах.
- Назовите основные технологические операции изготовления интегральных микросхем.
- Что означает выражение «микропроцессор выполнен по технологии 0,13 мкм»?
- Назовите основные законы алгебры логики.
- Что такое функционально полная система логических элементов? Приведите примеры функционально полных систем.
- Как реализовать на элементах Шеффера или элементах Пирса основные логические функции?

## ТЕМА 3 СХЕМОТЕХНИКА БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

### 3.1 БАЗОВЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ - ТТЛ

Большинство логических ИС реализовано на элементах, выполняющих функции «И-НЕ» либо «ИЛИ-НЕ». Поэтому логическая ИС содержит обычно схему «И» либо «ИЛИ», выполненную на резисторах, транзисторах или диодах, и транзисторный инвертор.

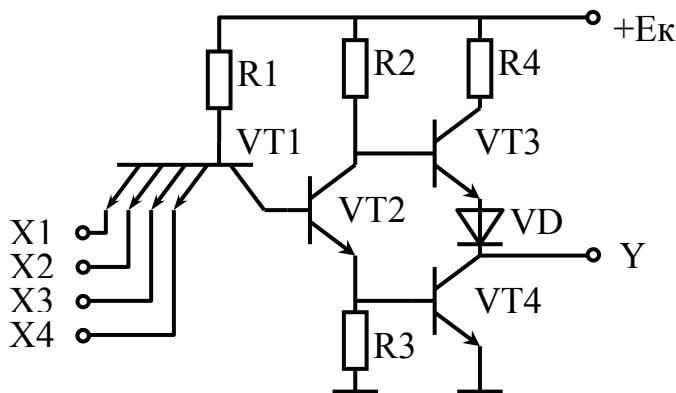


Рис. 3.1 – Базовый логический элемент ТТЛ

вместно с резистором R1 образует логическую схему «И». На трех транзисторах (VT2...VT4) реализован инвертор («НЕ»).

Многоэмиттерный транзистор (МЭТ) VT1 не имеет аналогов в дискретной технике и представляет собой: выполненные на одном кристалле несколько транзисторов с объединенными базами и общим для всех транзисторов коллектором. По логике работы такой МЭТ аналогичен диодной сборке (рис. 3.2). Вообще-то в любом транзисторе можно выделить два *p-n*-перехода, т.е. два диода.

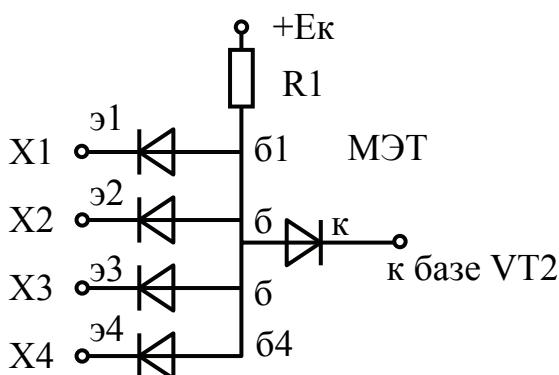


Рис. 3.2 – Логический элемент «И» на входе ТТЛ

низкого логического уровня.

Если на все входы (X1...X4) подать высокий логический уровень (т.е. напряжение, близкое к напряжению источника питания), все переходы эмиттер-база МЭТ закроются, и ток от источника питания через резистор

При соединении хотя бы одного эмиттера VT1 с общим проводом, т.е. при подаче хотя бы на один из входов X1...X4 (см. рис. 3.1 или рис. 3.2) низкого логического уровня, этот переход эмиттер-база откроется, через него и резистор R1 потечет ток от источника питания, напряжение на базе и коллекторе МЭТ будет низким, что соответствует подаче на вход инвертора (транзисторы VT2...VT4)

R1 и переход база-коллектор VT1 потечет ко входу сложного инвертора (на транзисторах VT2...VT4). Это соответствует подаче на вход инвертора высокого логического уровня.

Инвертор (см. рис. 3.1) реализован на составном транзисторе VT2, VT4 (по схеме Дарлингтона). Коллекторной нагрузкой инвертора является резистор R2. Для уменьшения времени перезаряда паразитных конденсаторов нагрузки ( $C_h$ ) через резистор R2 при закрывании составного транзистора VT2 и VT4 введен дополнительный эмиттерный повторитель VT3. Кроме положительного эффекта (увеличение примерно в  $h_{21}$  раз тока перезарядки паразитных конденсаторов нагрузки) введение эмиттерного повторителя породило ряд проблем.

- При открытом транзисторе VT3 должны быть закрыты транзисторы VT2 и VT4. Однако время открывания транзистора VT3 значительно меньше времени закрывания VT2, VT4 (с учетом времени рассасывания носителей в базе). Поэтому при открывании эмиттерного повторителя VT3 транзистор VT4 находится еще в стадии рассасывания. Через два открытых транзистора VT3 и VT4 течет очень большой сквозной ток от источника питания. Для ограничения этого тока введен дополнительный резистор R4. Номинал этого резистора примерно в  $h_{21}$  раз меньше номинала резистора R2. Увеличивать величину резистора R4 нельзя, потому что он ограничивает ток перезаряда паразитных конденсаторов  $C_h$  при закрывании VT2 и VT4 (уменьшая положительный эффект от введения эмиттерного повторителя VT3).
- Дополнительно введен также диод VD (см. рис. 3.1) для надежного запирания эмиттерного повторителя VT3 при открывании транзисторов VT2 и VT4. У транзисторов VT2, VT4, находящихся в режиме насыщения, напряжение  $U_{бэ}$  0,7 В, а напряжение  $U_{кэ}$  0,2 В. При этом напряжение на базе VT3 (относительно общего провода) равно:

$$U_{бэ\ VT4} + U_{кэ\ VT2} = 0,9 \text{ В.}$$

А напряжение на эмиттере VT3 (относительно общего провода при отсутствии диода VD) равно:

$$U_{кэ\ VT4}=0,2 \text{ В.}$$

Из этого следует, что (при отсутствии диода) напряжение между эмиттером и базой VT3 не может быть меньше 0,7 В, т.е. транзистор VT3 невозможно закрыть. При введении дополнительного диода VD это напряжение (0,7 В) разделяется между переходом эмиттер-база VT3 и диодом. Как следует из рис. 2.2 при напряжении 0,35 В переход эмиттер-база и кремниевый диод находятся в предпороговом (нетокопроводящем) состоянии.

При закрывании транзисторов VT2 и VT4 открывается эмиттерный повторитель VT3. Но напряжение на выходе инвертора будет меньше напряжения источника питания (обычно  $E_k = 5$  В) на величину падения напряжения на переходе эмиттер-база VT3 и на диоде VD. Поэтому

высокому (единичному) логическому уровню на выходе инвертора соответствует напряжение:

$$U_{1\text{вых}} = E_k - (I_6 * R2) - (2 * 0,7) \approx 3,5V. \quad (3.1)$$

### 3.2 СТАТИЧЕСКИЕ ПАРАМЕТРЫ БАЗОВОГО ЭЛЕМЕНТА ТТЛ

К основным статическим параметрам относятся:

- напряжение логической единицы \_\_\_\_\_  $U1$ ;
- напряжение логического нуля \_\_\_\_\_  $U0$ ;
- пороговое напряжение элемента (входное напряжение, малые изменения которого приводят к переходу выходного напряжения из одного логического состояния в другое) \_\_\_\_\_  $U_{op}$ ;
- коэффициент усиления по напряжению в режиме аналогового усилителя \_\_\_\_\_  $K_u$ ;
- входной ток логической единицы \_\_\_\_\_  $I_{1\text{вх}}$ ;
- входной ток логического нуля \_\_\_\_\_  $I_{0\text{вх}}$ ;
- выходной ток логической единицы \_\_\_\_\_  $I_{1\text{вых}}$ ;
- выходной ток логического нуля \_\_\_\_\_  $I_{0\text{вых}}$ ;
- мощность потребления в состоянии логического нуля на выходе \_\_\_\_\_  $P0$ ;
- мощность потребления в состоянии логической единицы на выходе \_\_\_\_\_  $P1$ ;
- средняя мощность потребления \_\_\_\_\_  $P_{cp} = (P0 + P1) / 2$ ;
- коэффициент разветвления по выходу (нагрузочная способность) \_\_\_\_\_  $K$  (раз).

Основные статические параметры можно определить при анализе входной (рис. 3.3) и передаточной (рис. 3.4) характеристик базового ТТЛ элемента. Некоторые статические параметры задаются в ТУ заводом-изготовителем.

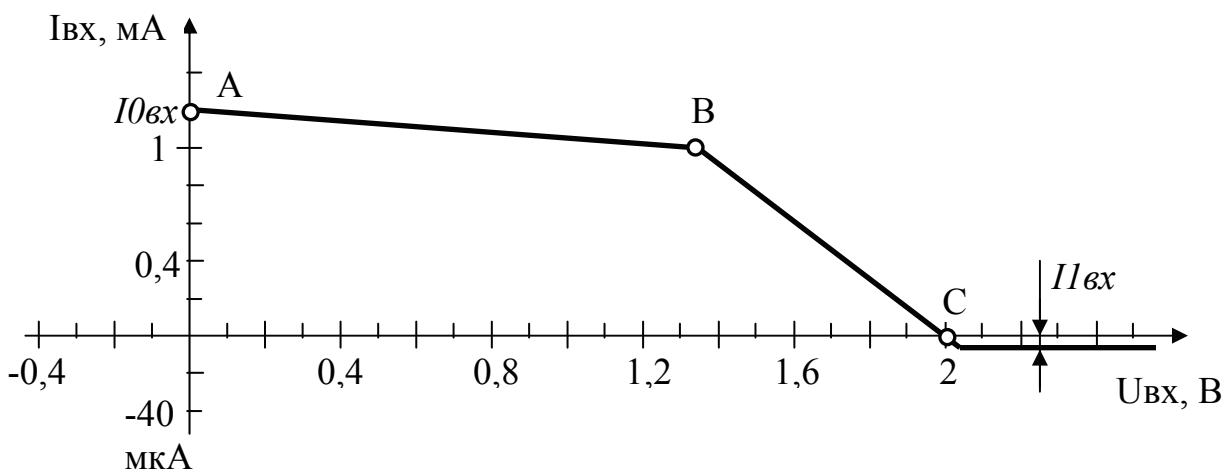


Рис. 3.3 – Входная характеристика элемента ТТЛ серии K155

При нулевом напряжении на входе элемента ТТЛ (точка А на рис. 3.3) протекает входной ток от источника питания  $E_k$  через резистор  $R1$  и

переход база-эмиттер МЭТ (см. рис. 3.1):

$$I_{\text{вх}} = (E_k - U_{\text{бс}} M\epsilon T) / R_1. \quad (3.2)$$

Напряжение на базе МЭТ равно 0,7 В. Это напряжение приложено к переходу база-коллектор МЭТ и к двум переходам база-эмиттер сложного инвертора (VT2, VT4). Поэтому все эти переходы находятся в предпороговом (нетокопроводящем) состоянии.

При увеличении входного напряжения ( $U_{\text{вх}}$ ) входной ток ( $I_{\text{вх}}$ ) уменьшается в соответствии с соотношением:

$$I_{\text{вх}} = (E_k - U_{\text{вх}} - U_{\text{бс}} M\epsilon T) / R_1. \quad (3.3)$$

При входном напряжении 1,1...1,2 В (точка В на рис. 3.3) напряжение на базе МЭТ достигает величины 1,5...1,7 В. Этого напряжения достаточно для перехода в токопроводящее состояние перехода база-коллектор МЭТ и двух переходов база-эмиттер сложного инвертора. Поэтому ток, протекающий от источника питания через резистор  $R_1$ , начинает в базе разделяться между переходом база-эмиттер и переходом база-коллектор МЭТ. Все меньшая его часть продолжает протекать на вход элемента и большая часть протекает ко входу сложного инвертора, постепенно открывая транзисторы VT2 и VT4.

При напряжении на входе элемента, равном напряжению трех открытых  $p-n$ -переходов (база-коллектор МЭТ и двух переходов база-эмиттер сложного инвертора), что соответствует точке С на рис. 3.3, входной ток равен нулю.

Открывание перехода база-коллектор МЭТ при закрытом переходе база-эмиттер переводит этот транзистор в **ИНВЕРСНЫЙ РЕЖИМ**. Дальнейшее увеличение входного напряжение (правее точки С на рис. 3.3) до величины источника питания ( $E_k = 5$  В) соответствует небольшому току транзистора в инверсном включении:  $I_{\text{вх}} = 40$  мкА.

Основной характеристикой базового логического элемента ТТЛ является статическая передаточная характеристика (рис. 3.4).

При нулевом напряжении на входе элемента ТТЛ выходное напряжение соответствует высокому логическому уровню  $U_{\text{вых}}$  (точка А на рис. 3.4), определяемому по формуле (3.1). Увеличение входного напряжения до величины 1,1 В соответствует закрытому состоянию сложного инвертора и практически не изменяет напряжение на выходе элемента.

При напряжении на входе более 1,1 В (точка В на рис. 3.4) начинает открываться транзистор VT2 (см. рис. 3.1), а транзистор VT4 остается закрытым, т.к. его переход база-эмиттер шунтируется резистором  $R_3$ . Увеличение тока через транзистор VT2 вызывает увеличение падения напряжения на резисторах  $R_2$  и  $R_3$ . Выходное напряжение эмиттерного повторителя VT3 (т.е. выходное напряжение ТТЛ-элемента) уменьшается с ростом падения напряжения на  $R_2$  (участок В-С на рис. 3.4).

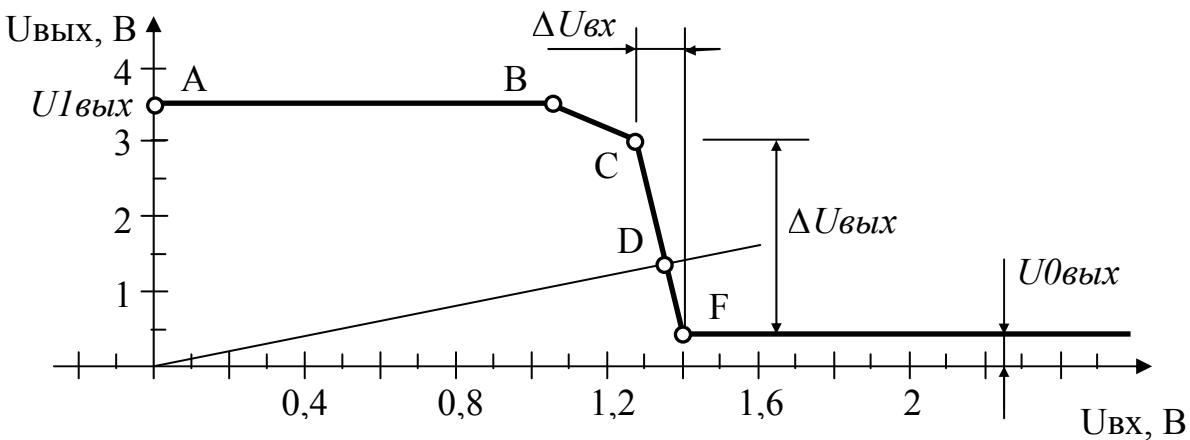


Рис. 3.4 – Передаточная характеристика элемента ТТЛ

Увеличение падения напряжения на R3 до 0,5..0,6 В приводит к открыванию транзистора VT4 (см. точку С на рис. 3.4). Все транзисторы переходят в активный режим. Малые изменения входного напряжения ( $\Delta U_{bx}$ ) вызывают значительное уменьшение выходного напряжения ( $\Delta U_{byx}$ ). На участке С-Е логический элемент работает как аналоговый усилитель с коэффициентом усиления по напряжению:

$$K_u = \Delta U_{byx} / \Delta U_{bx}. \quad (3.4)$$

Большинство реальных ТТЛ-элементов имеют коэффициент усиления  $K_u$  в пределах от 5 до 20.

Правее точки F, когда увеличение входного напряжения приводит к насыщению транзисторов VT2 и VT4, дальнейшее изменение выходного напряжения происходить не может. Этот уровень выходного напряжения называется логическим нулем ТТЛ элементов и составляет:  $U_0 = 0,1...0,4$  В.

Точка D на рис. 3.4, лежащая на пересечении передаточной характеристики с биссектрисой первого квадранта (т.е. с прямой, на которой:  $U_{byx} = U_{bx}$ ), определяет пороговый уровень напряжения  $U_{por}$  (примерно 1,3..1,4 В), разделяющий низкий и высокий логические уровни.

Расстояния между низким логическим уровнем ТТЛ ( $U_0 = 0,4$  В) и пороговым напряжением ( $U_{por} = 1,4$  В), а также между высоким логическим уровнем ТТЛ ( $U_1 > 3$  В) и пороговым напряжением называются **ЗАПАСОМ ПОМЕХОУСТОЙЧИВОСТИ**. Этот запас определяет максимальное напряжение помехи на входе элемента, не изменяющее логическое состояние выхода.

Если на вход ТТЛ элемента не подается напряжение (т.е. вход остается неподключенным и через него не течет входной ток), весь ток от источника питания Ек через резистор R1 течет на вход сложного инвертора и открывает транзисторы VT2, VT4 (см. рис. 3.4). Такой режим соответствует логической «1» на входе. Однако оставлять свободные входы – нежелательно, т.к. напряжение на входе элемента близко к пороговому и неболь-

шая наведенная помеха может переключить инвертор. Поэтому свободные входы желательно подключать к «логической 1» (к шине источника питания +5В).

### 3.3 ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ БАЗОВОГО ЭЛЕМЕНТА ТТЛ

К основным динамическим параметрам относятся:

- время перехода из состояния «1» в «0» (по выходу) \_\_\_\_\_  $t(1-0)$ ;
- время перехода из состояния «0» в «1» (по выходу) \_\_\_\_\_  $t(0-1)$ ;
- время задержки включения \_\_\_\_\_  $t_{зд}(1-0)$ ;
- время задержки выключения \_\_\_\_\_  $t_{зд}(0-1)$ ;
- время задержки распространения при включении \_\_\_\_\_  $t_{зд.p}(1-0)$ ;
- время задержки распространения при выключении \_\_\_\_\_  $t_{зд.p}(0-1)$ ;
- среднее время задержки распространения сигнала \_\_\_\_\_  $t_{зд.p.cр.} = (t_{зд.p}(1-0) + t_{зд.p}(0-1)) / 2$ ;
- максимальная рабочая частота переключения \_\_\_\_\_  $f_{макс}$ , на которой гарантируется в наихудших условиях срабатывание счетного триггера, составленного из логических элементов данной серии.
- динамическая мощность потребления на максимальной рабочей частоте  $P_{дин}$ .

На рис. 3.5 приведены осциллограммы входного и выходного сигнала логического элемента и указаны его основные динамические параметры.

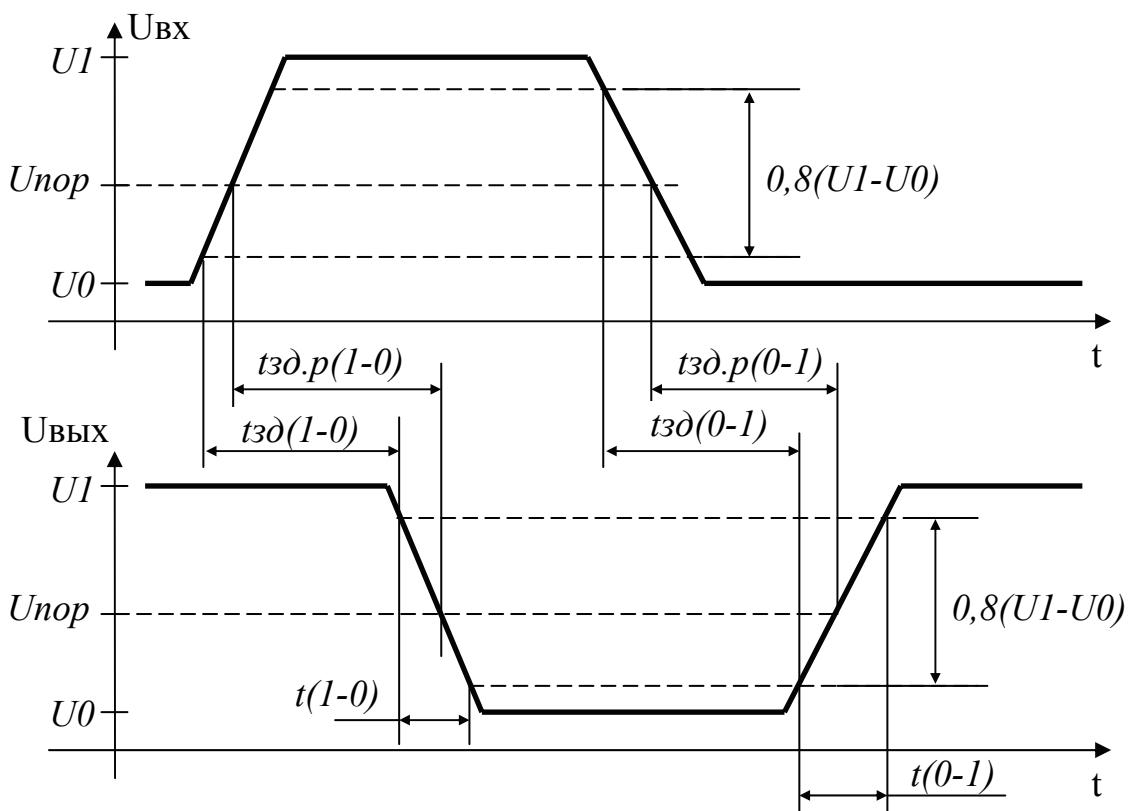


Рис. 3.5 – Динамические параметры логического элемента

Реально измеренные динамические параметры у ТТЛ элементов будут лучше, чем указанные в паспорте, потому что завод-изготовитель гарантирует указанные динамические параметры для всех элементов при самых худших условиях. В пределах одной партии логических ИС динамические параметры могут отличаться в 1,5...2 раза за счет технологических допусков на параметры отдельных интегральных элементов (транзисторов, диодов, резисторов и др.).

С повышением рабочей частоты увеличивается мощность потребления, т.к. большие импульсные токи затрачиваются на перезаряд паразитных конденсаторов, а также при каждом логическом переходе из «0» в «1» протекает короткий импульс сквозного тока через открытые транзисторы VT3 и VT4.

### 3.4 ОСОБЕННОСТИ СХЕМОТЕХНИКИ ЭЛЕМЕНТОВ ТТЛ

На рис. 3.6 приведена схема ТТЛ-элемента с повышенной нагрузочной способностью за счет применения составного эмиттерного повторителя VT3,VT5 и более мощного транзистора VT4.

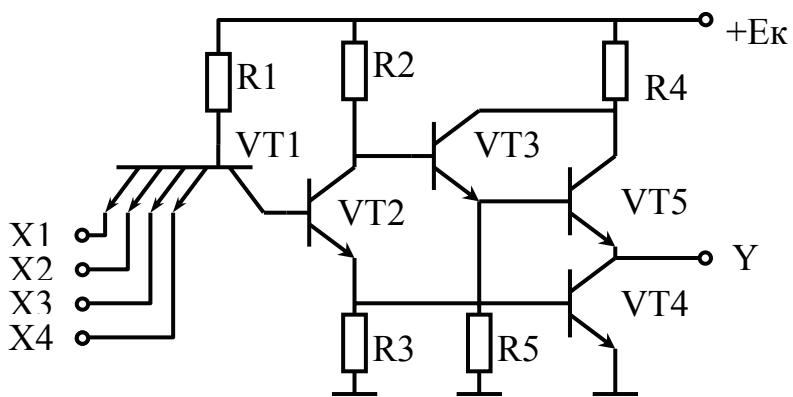


Рис. 3.6 – ТТЛ-элемент с повышенной нагрузочной способностью

Как особенность элемента ТТЛ следует отметить недопустимость соединения выходов нескольких элементов. Если допустить такое соединение, то в состоянии, когда на выходе одного элемента установится логический «0», а на другом – логическая «1», через последовательно соединен-

ные транзистор VT4 одной микросхемы и эмиттерный повторитель VT3 другой микросхемы протекает большой сквозной ток, что может привести к тепловому пробою элементов схемы.

Даже, если теплового пробоя не будет, логический уровень на выходах этих схем будет неопределенным.

На рис. 3.7 приведена схема ТТЛ элемента с «открытым коллектором», предназначенного для подключения элементов индикации (световой диод VDL) или другой нагрузки (например, реле). Причем внешняя нагрузка может быть подключена другим выводом к источнику питания логических схем +5В или к более высокому напряжению (до 12 В).

При использовании схем с «открытым коллектором» в качестве логических элементов необходимо подключить между выходом элемента и проводом питания +5В дополнительный резистор. Выходы логических

элементов с «открытым коллектором» можно объединять между собой для образования логической функции «монтажное ИЛИ».

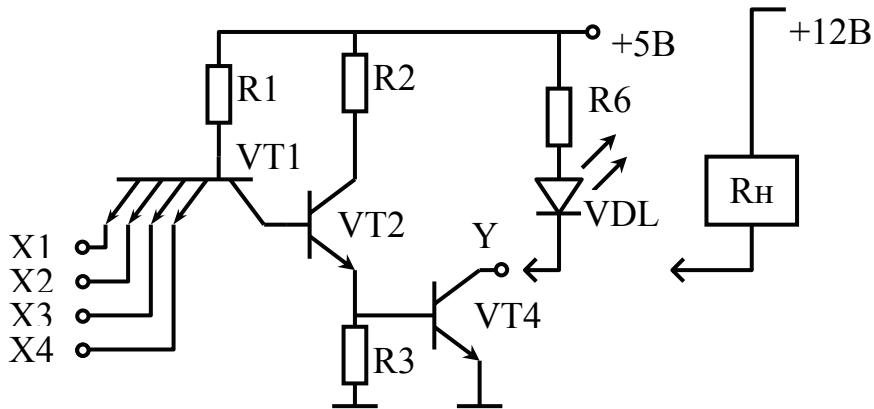


Рис. 3.7 – ТТЛ-элемент с открытым коллектором

Функция «ИЛИ» может быть также реализована внутри ТТЛ-элемента. На рис. 3.8 приведен ТТЛ-элемент, выполняющий логическую функцию:

$$Y = \overline{(x_1 x_2 x_3 x_4)} \vee \overline{(x_5 x_6 x_7 x_8)}$$

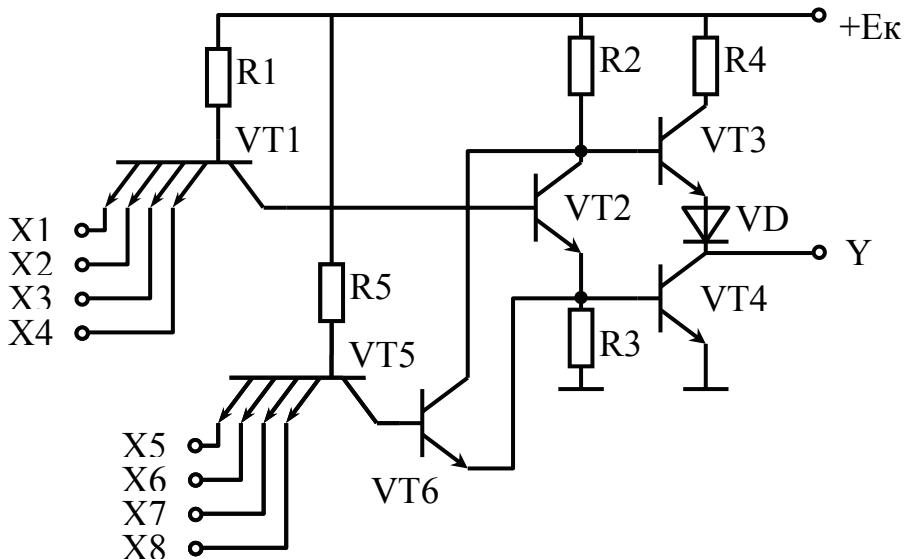


Рис. 3.8 – Логический элемент «И-ИЛИ-НЕ» (4-И, 4-И, 2-ИЛИ-НЕ)

При использовании в качестве VT1 и VT5 обычных (одноэмиттерных) транзисторов схема на рис. 3.8 выполняет функцию «ИЛИ-НЕ» (элемент Пирса).

Для расширения количества входов «ИЛИ» параллельно эмиттеру и коллектору VT2 возможно подключение дополнительных элементов, аналогичных VT5, VT6. В некоторых микросхемах эмиттер и коллектор VT2 соединены с внешними выводами ИС для синтеза сложных функций с объединением по «ИЛИ».

Логическая функция «И» может быть реализована последовательным соединением элемента Шеффера «И-НЕ» и инвертора «НЕ». При этом в два раза возрастает время запаздывания сигнала и увеличивается количество применяемых микросхем. Для устранения этих недостатков в составе ТТЛ микросхем выпускаются логические схемы без инверсии (на рис. 3.9 приведена схема элемента «И»). Время задержки у такого элемента больше, чем у обычного элемента Шеффера, но меньше, чем у последовательного соединения двух инверторов.

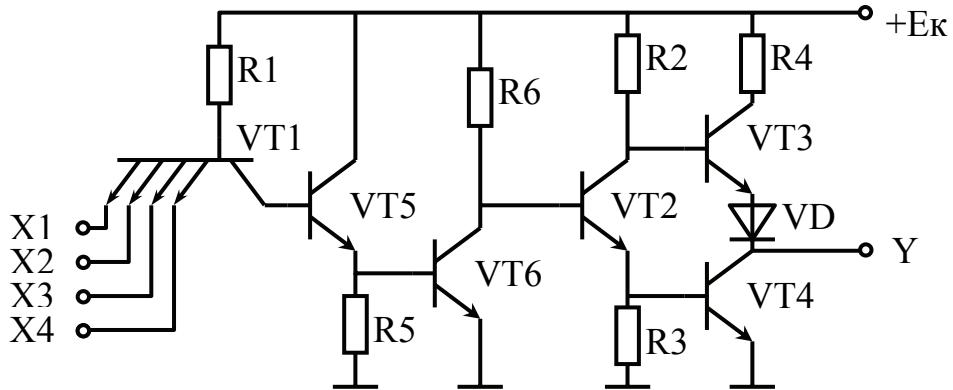


Рис. 3.9 – ТТЛ-элемент «И» без инверсии

Эта схема (рис. 3.9) фактически выполняет функцию «И-НЕ-НЕ» и содержит два инвертора (на транзисторах VT5, VT6 и обычный инвертор на транзисторах VT2, VT3, VT4).

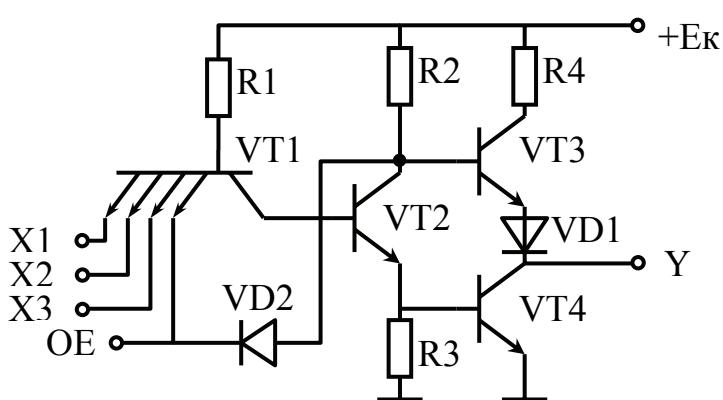


Рис. 3.10 – ТТЛ-элемент с Z-состоянием выхода

*U1*, а третье состояние обеспечивает режим с «бесконечно большим» выходным сопротивлением (сопротивление обозначается латинской буквой *Z*, что объясняет название: *Z*-состояние), в котором элемент полностью отключается от нагрузки (рис. 3.10).

Если на вход *OE* (Out Enable – разрешение выхода) подано высокое напряжение (логическая единица), то схема (на рис. 3.10) работает как

При необходимости объединения нескольких выходов ТТЛ-элементов (например, при формировании двунаправленных шин микропроцессорных систем) используются схемы с *Z*-состоянием выхода (вариант названия: схема с тремя состояниями выхода). Два состояния – это обычные уровни *U0* и

обычный трехходовой (входы X1, X2, X3) ТТЛ-элемент Шеффера. Диод VD2 закрыт и не влияет на работу схемы.

Если на вход ОЕ подано напряжение логического нуля, то, независимо от состояний остальных входов (X1, X2, X3), транзисторы VT2, VT4 будут закрыты а также транзистор VT3 закроется, потому что на его базу через открытый диод VD2 подано запирающее низкое напряжение со входа ОЕ.

В этом режиме возможно объединение нескольких выходов ТТЛ-элементов. Обязательным условием является подача разрешающего напряжения на вход ОЕ только для одного активного элемента. Остальные элементы должны находиться в состоянии с высоким выходным сопротивлением.

### 3.5 ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ ЭЛЕМЕНТОВ ТТЛ

Для повышения быстродействия (относительно средней частоты переключения элементов ТТЛ серии К155 – 10...15 МГц) номиналы всех резисторов базового логического элемента можно уменьшить в 3 раза. При этом время задержки распространения сигнала уменьшится примерно в 3 раза (за счет ускорения перезарядки паразитных конденсаторов большими токами), а максимальная рабочая частота увеличится в 3 раза. Такое повышение быстродействия будет сопровождаться пропорциональным увеличением потребляемой мощности (элементы ТТЛ серии К131).

Для логических элементов, работающих на сравнительно низкой частоте (до 3 МГц) выпускают элементы ТТЛ (серии К134, К158) с увеличенными примерно в 3 раза номиналами резисторов, т.е. с потребляемой мощностью, в 3 раза меньшей.

Значительное повышение быстродействия без увеличения потребляемой мощности достигается заменой обычных транзисторов в базовом логическом элементе ТТЛ на транзисторы с диодами Шотки. Повышение быстродействия достигается за счет работы всех транзисторов сложного инвертора без насыщения. При сопоставимых величинах потребляемой мощности (с элементами ТТЛ серии К155) максимальная рабочая частота элементов ТТЛШ увеличивается примерно в 5 раз (серия ТТЛШ – К531).

При максимальной рабочей частоте 20 МГц элементы ТТЛШ (серии К555, К533) имеют примерно в 5 раз меньшую потребляемую мощность, чем аналогичный по быстродействию базовый элемент ТТЛ серии К155.

К недостаткам элементов ТТЛШ можно отнести повышенное выходное напряжение логического нуля ( $U_{0\text{вых}}=0,4..0,6$  В) и, как следствие, уменьшенный на 0,2 В запас помехоустойчивости.

Совершенствование схемотехники элементов ТТЛШ направлено на повышение быстродействия при минимальной мощности потребления, а также на улучшения ряда статических параметров (например, уменьшение входного тока логического нуля –  $I_{0\text{вх}}$  и др.).

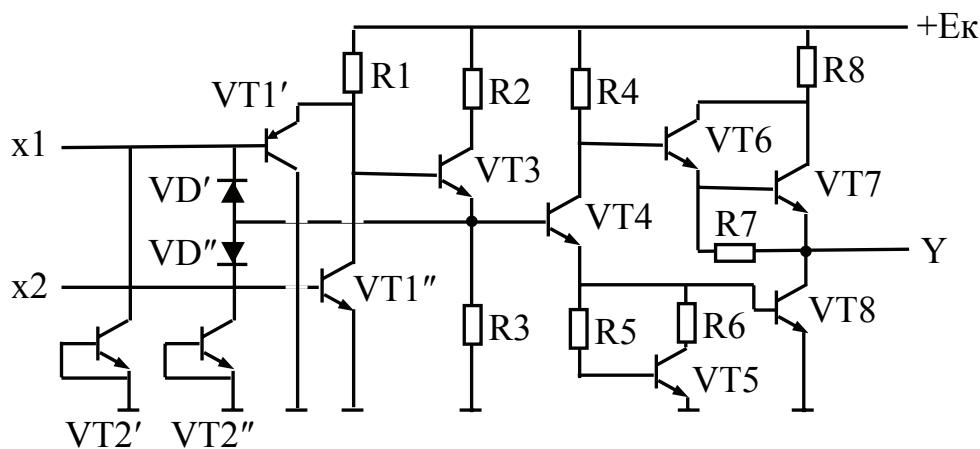


Рис. 3.11 – Быстродействующий элемент ТТЛШ серии К1533

На рис. 3.11 приведена схема базового элемента ТТЛШ серии К1533. Микросхемы изготавливаются по усовершенствованной эпитаксиально-планарной субмикронной (менее 1 мкм) технологии с диодами Шотки и оксидной изоляцией элементов.

Основные особенности схемы:

- все транзисторы и диоды выполнены с барьером Шотки;
- на входе вместо МЭТ применяются эмиттерные повторители на транзисторах  $p-n-p$  (VT1', VT1'') для уменьшения входных токов логического нуля и логической единицы;
- диоды Шотки VD', VD'' введены для уменьшения времени закрывания сложного инвертора VT4...VT8;
- транзисторы VT2', VT2'' в диодном включении защищают входы ИС от выбросов отрицательного напряжения;
- транзистор VT5 и резисторы R5, R6 образуют схему термокомпенсации, стабилизируя параметры ИС в широком диапазоне рабочих температур.

### 3.6 БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ $n$ -МОП И КМОП

В последнее время большое распространение получают логические ИС на полевых транзисторах. Управление полевым транзистором осуществляется не током, как в биполярном транзисторе, а напряжением, т.е. электрическим полем, приложенным между входным электродом – ЗАТВОРОМ – и основной массой полупроводниковой пластины (называемой ПОДЛОЖКОЙ), в которой реализован КАНАЛ прохождения тока от электрода ИСТОК к электроду СТОК (см. рис. 3.12). В большинстве схем подложка электрически соединяется с истоком. Поэтому можно говорить, что входное напряжение подается между затвором и истоком.

Существует некоторая аналогия в работе биполярного и полевого транзистора. Затвор играет роль управляющего электрода (как в биполярном транзисторе – база). Роль истока аналогична эмиттеру, а со стока снимается выходное напряжение (как с коллектора у биполярного транзистора).

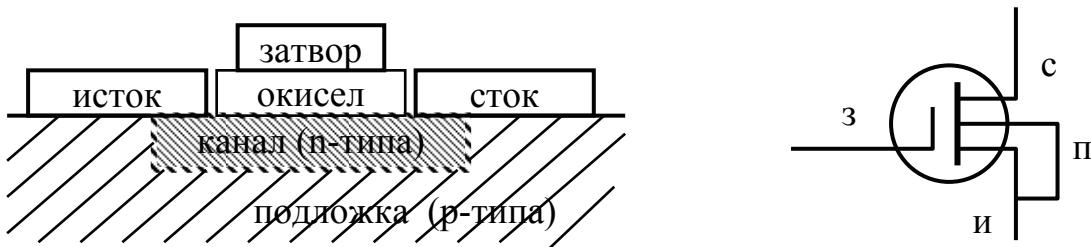


Рис. 3.12 – Структура полевого транзистора с изолированным затвором

На рис. 3.13 приведена схема простейшего электронного ключа на полевом транзисторе с каналом проводимости *n*-типа. Питающее напряжение ( $+E_p$ ) положительной полярности приложено к стоку через резистор нагрузки  $R_c$ .

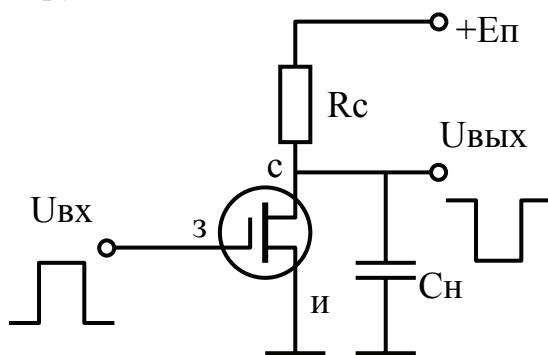
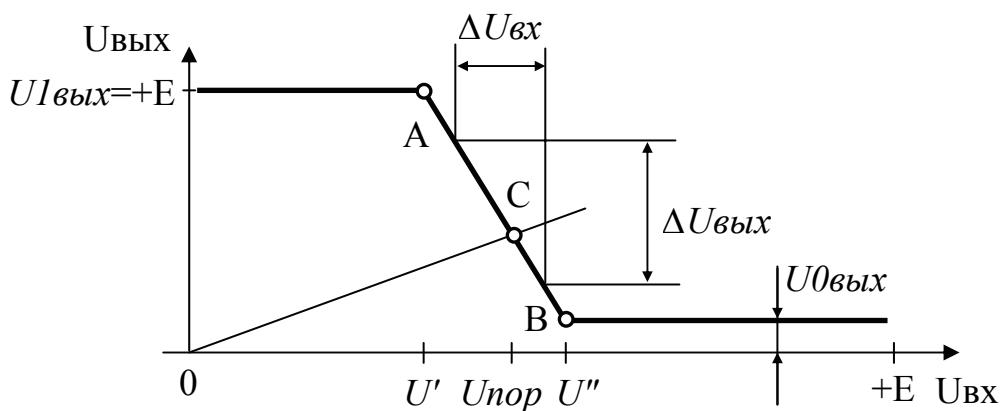


Рис. 3.13 – Электронный ключ на полевом транзисторе

Металлический затвор изолирован от канала тонкой изоляционной пленкой оксики кремния (см. рис. 3.12). Поэтому такие структуры называются *n*-МОП (канал *n*-типа, затвор изготовлен из Металла, изоляционная пленка из Окиси кремния и Полупроводниковый канал прохождения тока). В английской аббревиатуре – *n*-MOS.

Ток во входной цепи не течет. Поэтому основной статической характеристикой такого ключа является передаточная характеристика (рис. 3.14).

Рис. 3.14 – Передаточная характеристика *n*-МОП ключа

При нулевом входном напряжении ( $U_{вх}=0$ ) канал имеет очень большое сопротивление и на выход ключа подается напряжение питания через резистор  $R_c$ . Выходное напряжение логической единицы ( $U_{вых}$ ) равно напряжению питания  $+E_p$ .

При увеличении входного напряжения выше  $U'$  сопротивление канала постепенно уменьшается и на выход подается часть напряжения источника питания с делителя, образованного сопротивлением канала и резистором  $Rc$  (участок А-В на рис. 3.14). Сопротивление канала не может уменьшиться до нуля. При входном напряжении выше  $U''$  сопротивление канала достигает минимальной величины, и дальнейшее увеличение входного напряжения не влияет на сопротивление канала.

При входном напряжении выше  $U''$  выходное напряжение логического нуля ( $U_{0\text{вых}}$ ) определяется соотношением:

$$U_{0\text{вых}} = E * R_{k_{\min}} / (Rc + R_{k_{\min}}),$$

где  $R_{k_{\min}}$  – минимальное сопротивление канала.

Величины  $U'$ ,  $U''$  и  $R_{k_{\min}}$  определяются технологическими параметрами: степенью легирования канала, степенью шероховатости поверхности канала, геометрическими размерами канала; а также напряжением питания электронного ключа.

На участке А-В, т.е. при входном напряжении от  $U'$  до  $U''$  электронный ключ работает как аналоговый усилитель с коэффициентом усиления

$$K_u = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}.$$

Точка пересечения передаточной характеристики с биссектрисой первого квадранта (точка С на рис. 3.14) определяет пороговое напряжение  $U_{\text{пор}}$  электронного ключа.

Передаточная характеристика реальных логических элементов не имеет изломов в точках А и В, т.е. кривая имеет плавные изгибы.

Переходные процессы в электронных ключах на полевых транзисторах определяются временем перезаряда паразитного конденсатора нагрузки  $C_h$  через сопротивление открытого канала  $R_{k_{\min}}$  или через резистор  $Rc$  (который на порядок больше) при закрытом транзисторе.

Поэтому быстродействие таких логических схем относительно невелико при средних уровнях потребляемой мощности на один ключ.

Единственное преимущество логических ключей на  $n$ -МОП структурах – минимальные габариты. При ограниченной площади кремниевой пластины на ее поверхности можно разместить максимальное количество таких логических элементов.

Значительно лучшими параметрами обладают электронные ключи, выполненные на полевых транзисторах со взаимно дополняющей проводимостью  $n$ -типа и  $p$ -типа (рис. 3.15). Этим объясняется название ключей – **КМОП** (Комплементарные, дополнительные транзисторы со структурой Металл-Оксид-Полупроводник).

Электронный ключ на полевом транзисторе с каналом  $n$ -типа VT1 в качестве нагрузки имеет полевой транзистор VT2 с каналом  $p$ -типа.

Поскольку схема симметричная, то можно говорить, что ключ на транзисторе *p*-типа VT2 нагружен на полевой транзистор с каналом *n*-типа VT1.

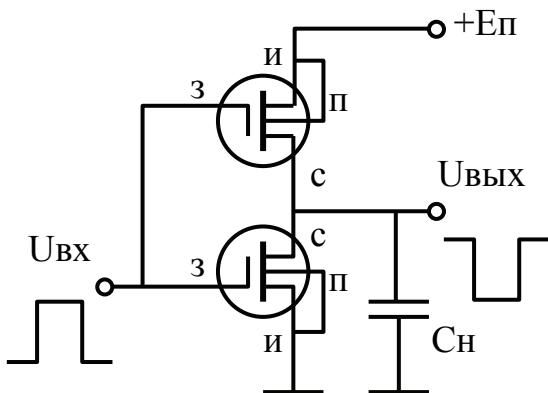


Рис. 3.15 – Электронный ключ КМОП

источника питания – выходное напряжение источника питания  $U_{1вых}=+E$ .

Переходная характеристика КМОП ключа приведена на рис. 3.16. При нулевом входном напряжении транзистор с *n*-каналом VT1 закрыт (сопротивление канала очень велико), а транзистор с *p*-каналом VT2 открыт (сопротивление канала  $-R_{k\min}$ ), так как к его затвору относительно подложки и истока приложено напряжение источника питания (см. рис. 3.15). Поэтому на выходе ключа подается напряжение логической единицы: напряжение логической единицы:

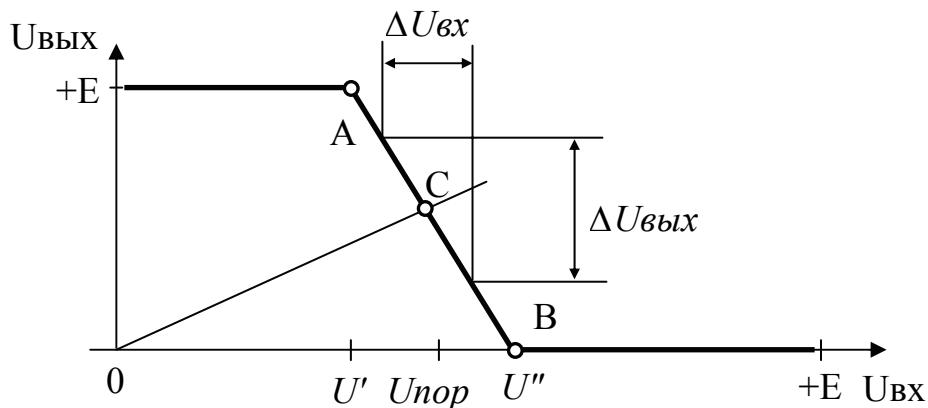


Рис. 3.16 – Передаточная характеристика КМОП ключа

При увеличении входного напряжения выше  $U'$  (точка А на рис. 3.16) начинает уменьшаться сопротивление канала транзистора VT1, а сопротивление канала VT2 – увеличивается. Выходное напряжение постепенно уменьшается и в конце участка А-В практически доходит до нуля ( $U_{1вых}=0$ ) при полном закрывании транзистора VT2 и уменьшении сопротивления канала транзистора VT1 до величины  $R_{k\min}$ . На участке А-В оба транзистора работают в активном режиме усиления аналогового сигнала с коэффициентом усиления по напряжению:

$$K_u = \Delta U_{вых} / \Delta U_{вх}.$$

При этом оба канала имеют конечное сопротивление и через два транзистора течет сквозной ток от источника питания. С увеличением входного напряжения выше  $U''$  канал транзистора VT2 закрывается и ток через КМОП ключ от источника питания не протекает.

Передаточная характеристика реальных логических элементов не имеет изломов в точках А и В, т.е. кривая имеет плавные изгибы.

При входном напряжении ниже  $U'$  а также выше  $U''$  через КМОП ключ ток от источника питания практически не течет. Статическая потребляемая мощность близка к нулю.

Пороговое напряжение  $U_{por}$  определяется как точка пересечения передаточной характеристики с биссектрисой первого квадранта (точка С на рис. 3.16). Пороговое напряжение почти равно половине напряжения источника питания.

Участок с напряжением  $U'-U''$  примерно равен 10..20% от напряжения источника питания, но имеет технологический разброс относительно середины напряжения источника питания. Поэтому входное напряжение низкого логического уровня  $U_{0ex}$  должно быть менее 1/3 напряжения источника питания, а входное напряжение высокого логического уровня  $U_{1ex}$  должно быть более 2/3 напряжения питания.

Абсолютное значение напряжения источника питания +Е может изменяться в широких пределах: от 3 до 15 В. Это позволяет питать КМОП логические схемы от нестабилизированного источника питания, что значительно упрощает и удешевляет источник питания.

Переходные процессы в КМОП ключах определяются временем перезаряда паразитного конденсатора нагрузки Сн (см. рис. 3.15) через сопротивления открытых каналов транзисторов  $R_{k_{min}}$ . Поэтому время запаздывания распространения сигнала КМОП ключей значительно меньше, чем у *n*-МОП логических элементов.

Большим преимуществом КМОП логических элементов является минимальная потребляемая мощность в статическом режиме. Однако, с ростом частоты переключения потребляемая мощность пропорционально увеличивается, потому что при каждой смене логического состояния происходит перезаряд паразитных конденсаторов токами, потребляемыми от источника питания, а также через оба полуоткрытых транзистора протекает короткий импульс сквозного тока.

При максимальной частоте переключения потребляемая мощность КМОП-элементов соизмерима с потребляемой мощностью ТТЛШ микросхем.

Современные КМОП микросхемы могут работать при напряжениях источников питания от 1В и более. При минимальном напряжении источника питания сопротивление открытого канала  $R_{k_{min}}$  большое (единицы или десятки килоом), и с увеличением напряжения питания сопротивление открытого канала уменьшается. Поскольку быстродействие КМОП микросхем зависит от времени перезаряда паразитных емкостей нагрузки Сн (см. рис. 3.15) через сопротивление открытого канала  $R_{k_{min}}$ , то с увеличением напряжения питания максимальное быстродействие возрастает (но и потребляемая мощность от источника питания тоже возрастает).

На рис. 3.17.а приведена схема элемента Шеффера («И-НЕ»), а на рис. 3.17.б – элемента Пирса («ИЛИ-НЕ») на КМОП структурах.

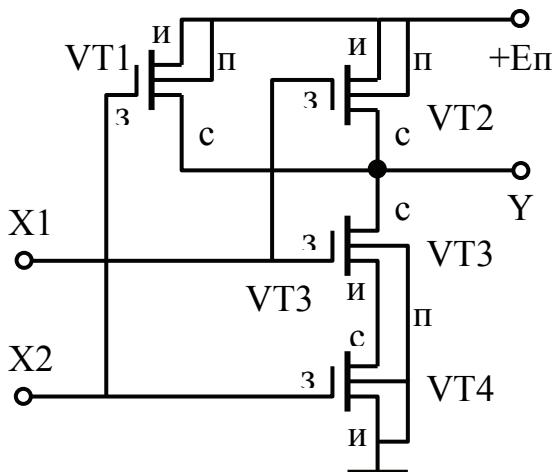


Рис. 3.17.а – Элемент «И-НЕ»

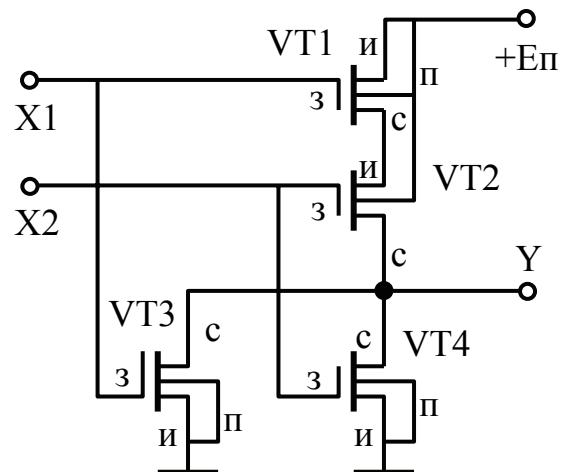


Рис. 3.17.б – Элемент «ИЛИ-НЕ»

У элемента Шеффера (рис. 3.17.а) транзисторы VT1, VT2 с *p*-каналом соединены параллельно, а транзисторы VT3, VT4 с *n*-каналом – последовательно. При подаче высокого логического уровня на оба входа X1, X2 закрываются транзисторы VT1, VT2 и открываются транзисторы VT3, VT4. На выход подается низкий логический уровень  $U_{0\text{ых}}$ . Если на одном из входов присутствует низкий логический уровень (например, на входе X1), то транзистор VT3 будет закрыт, а на выход элемента «И-НЕ» через открытый транзистор VT2 подается высокий логический уровень  $U_{1\text{ых}}$ , равный напряжению источника питания.

Схема элемента Пирса (рис. 3.17.б) симметрична схеме элемента Шеффера (рис. 3.17.а), что наглядно иллюстрирует симметрию правила де-Моргана. У элемента «ИЛИ-НЕ» транзисторы с *p*-каналом VT1, VT2 соединены последовательно, а *n*-канальные транзисторы VT3, VT4 – параллельно.

Все подложки *n*-канальных транзисторов соединены с истоками этих транзисторов и с общим (минусовым) проводом источника питания. Все подложки *p*-канальных транзисторов соединены с истоками этих транзисторов и положительным выводом источника питания +Ep.

В качестве особенности КМОП-элементов отметим недопустимость оставлять свободные входы логических элементов, т.к. их состояние входа будет неопределенным, может легко изменяться под действием наводимых помех, а также может привести к заметному увеличению потребляемого тока от источника питания через два полуоткрытых транзистора.

Недопустимо также объединение выходов нескольких логических элементов. При этом через открытые каналы полевых транзисторов протекают большие сквозные токи, а состояние выходов будет неопределенным.

Любые более сложные логические схемы могут быть синтезированы на основе базовых элементов «И-НЕ» (рис. 3.17.а), «ИЛИ-НЕ» (рис. 3.17.б) и инверторов (рис. 3.15).

Особый интерес представляет схема коммутатора (рис. 3.18). В этой схеме между входом «X» и выходом «Y» включены параллельно два полевых транзистора: VT3 с *p*-каналом и VT4 с *n*-каналом.

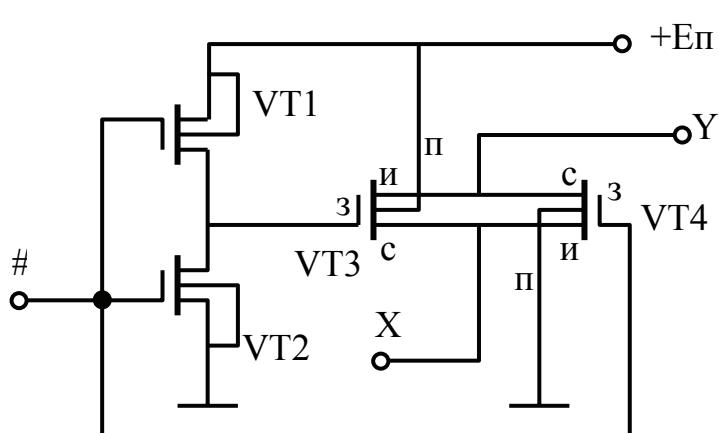


Рис. 3.18 – Коммутатор с КМОП-инвертором

При нулевом напряжении на входе управления «#» оба транзистора VT3, VT4 закрыты (т.е. между входом «X» и выходом «Y» существует очень большое сопротивление). Управляющее напряжение на *p*-канальный транзистор VT3 подается через КМОП инвертор (на транзисторах VT1, VT2).

Если на управляющий вход «#» подано на-

пряжение высокого логического уровня, оба транзистора VT3 и VT4 открываются. При этом вход «X» соединен с выходом «Y» малым сопротивлением открытых каналов полевых транзисторов. Наличие двух транзисторов разной проводимости выравнивает сопротивления для прямого и обратного протекания токов через открытый коммутатор. Понятия вход «X» и выход «Y» чисто условные, т.к. коммутатор полностью симметричен и может быть также использован для коммутации аналоговых сигналов.

Такие коммутаторы могут применяться в схемах мультиплексоров-демультиплексоров, а также могут входить в состав более сложных микросхем, например, для организации логических элементов с третьим «Z-состоянием» выхода.

### 3.7 БАЗОВЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ЭСЛ

Логические элементы на переключателях тока или элементы ЭСЛ (эмиттерно-связанная логика) обладают наивысшим быстродействием среди биполярных логических интегральных схем (ЛИС). Это обеспечивается тремя основными факторами:

- активным режимом работы транзисторов (без насыщения), благодаря чему устраняется этап рассасывания зарядов;
- использование малого расстояния между логическими уровнями для достижения минимальных фронтов переключения;

- использование на выходах логических элементов эмиттерных повторителей, обеспечивающих значительные токи для перезарядки емкостной составляющей нагрузки.

В схеме базового элемента ЭСЛ (рис. 3.19) можно выделить основные части :

- переключатель тока по схеме дифференциального усилителя; одно плечо дифференциального усилителя образовано транзистором VT2, а в другое плечо входят транзисторы с объединенными эмиттерами VT3, VT4, VT5 (что определило название логических элементов - ЭСЛ); эти транзисторы выполняют логическую функцию «ИЛИ» над входными сигналами X1, X2, X3;
- нагрузочные резисторы дифференциального каскада (R4, R8);
- термокомпенсированный источник опорного напряжения на элементах: R1, R2, VD1, VD2, VT1;
- токозадающий резистор R9 в цепи эмиттеров дифференциального каскада;
- выходные эмиттерные повторители VT6, VT7.

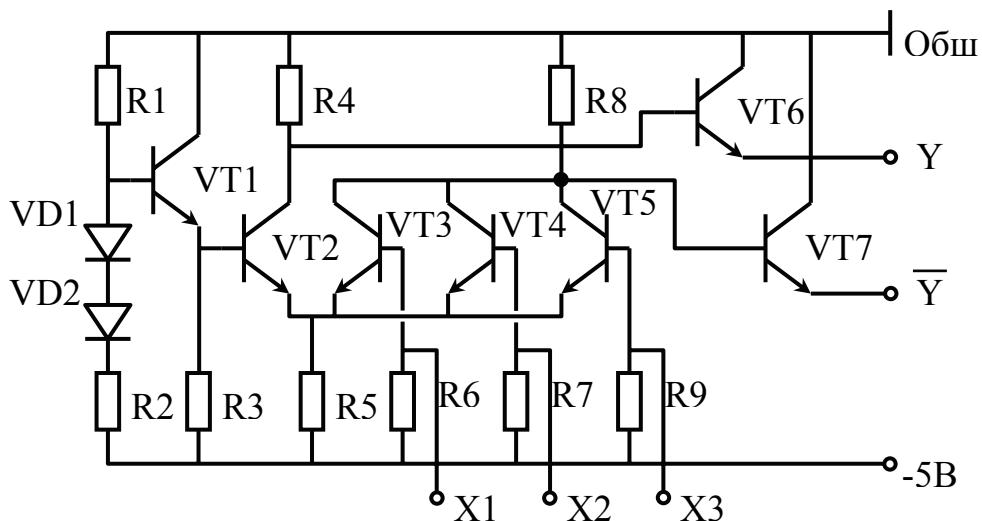


Рис. 3.19 – Базовый логический элемент ЭСЛ

Все входы (X1, X2, X3) через резисторы R5, R6, R7 (сопротивлением около 50кОм) подключены к источнику питания  $-5\text{V}$ . Такое включение позволяет оставлять неиспользуемые в аппаратуре входы свободными (не-подключенными).

Важным достоинством элементов ЭСЛ-типа является наличие прямого и инверсного выходов, что позволяет в одном логическом элементе реализовать функции «ИЛИ» а также «ИЛИ-НЕ». Это упрощает реализацию логических комбинационных схем и повышает их быстродействие.

Для обеспечения еще больших логических возможностей в элементах ЭСЛ-типа легко реализуются схемы «монтажное ИЛИ» (с учетом правила де Моргана это может быть «монтажное И» для инверсных сигналов) простым объединением выходов.

Особенностью схемы является использование отрицательного питающего напряжения -5 В. При этом оба логических уровня:

$$U0 = -1,8 \text{ В} \quad \text{и} \\ U1 = -0,9 \text{ В}$$

по напряжению ниже нуля, что затрудняет стыковку логических уровней ЭСЛ с микросхемами ТТЛШ и КМОП. Поэтому в составе серий ЭСЛ-микросхем имеются *преобразователи уровней логических сигналов* из ЭСЛ в ТТЛ и из ТТЛ в ЭСЛ.

Передаточные характеристики логического элемента ЭСЛ для прямого и инверсного выходов приведены на рис. 3.20.

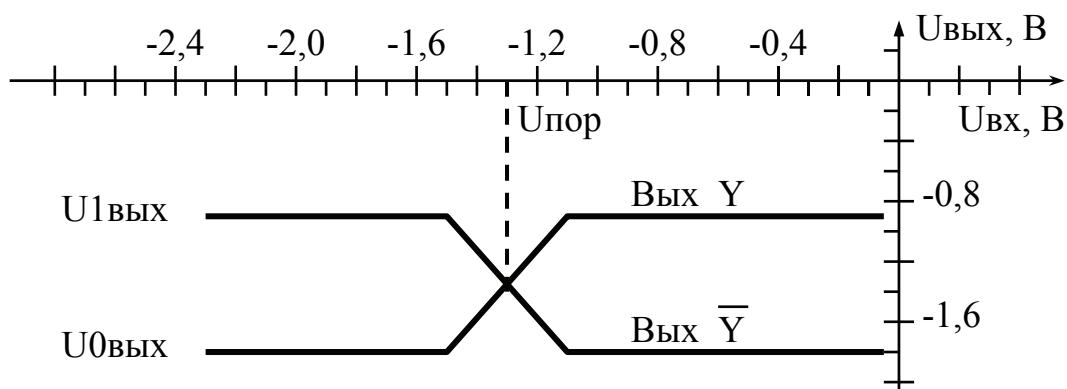


Рис.3.20 – Передаточная характеристика логического элемента ЭСЛ

Перечисленные особенности схемотехники ЭСЛ-элементов позволили увеличить максимальную частоту переключения до нескольких сотен МГц, а время задержки распространения сигнала уменьшено менее 1 нс.

В таблице 3.1 приведены основные характеристики наиболее распространенных серий логических микросхем. Интегральным параметром, определяющим основные характеристики логических элементов, является «Энергия переключения». Этот расчетный параметр равен произведению статической потребляемой мощности на среднее время задержки распространения сигнала в логическом элементе.

Наименьшая «Энергия переключения» у КМОП логических микросхем. У этих микросхем широкий диапазон питающих напряжений и наибольший запас помехоустойчивости, что и определяет самое широкое распространение логических КМОП-элементов в современных вычислительных системах.

Таблица 3.1 – Сравнительные характеристики серий логических ИС

Параметр	Серии логических микросхем						
	K155	K1533	K1531	K1561	K1554	K500	K1500
Технология	ТТЛ	ТТЛШ	ТТЛШ	КМОП	КМОП	ЭСЛ	ЭСЛ
Аналог	74	74ALS	74F	H4000	74HC	МС 10000	MECL 100K
Диапазон напряжений питания, В	5 +-5%	5 +-10%	5 +-10%	3...15	2...6	-5,2 +-5%	-4,5 +-5%
Диапазон рабочих температур, °C	-10.. +70	-10... ...+70	-10... ...+70	-10... ...+70	-40... ...+85	-10.. ..+70	-30... ...+85
U <sub>1vx</sub>	>2	>2	>2	>3,15	>3,15	>-1,1	>-1,1
U <sub>0vx</sub>	<0,8						
	>2,7	>2,7	>2,7	≈Еп	≈Еп	-0,8	-0,9
U <sub>0вых</sub>	<0,3	<0,5	<0,5	0,1	0,1	-1,8	-1,8
I <sub>1vx</sub>	40	20	20	<0,3	<1	300	300
I <sub>0vx</sub>	1200	200	600	<0,3	<1	100	100
I <sub>1вых</sub>	0,4	0,4	0,4	0,5	24	40	55
I <sub>0вых</sub>	10	8,0	20	0,5	24	-	-
Коэффициент разветвления по выходу	8	20	20	40	40	20	20
Запас помехоустойчивости, В	0,6	0,4	0,4	>0,8	>1,25	0,125	0,125
Время задержки распространен., нс	22	5	2	40	4	2	0,75
Макс. Частота переключения, МГц	15	50	>100	8	150	200	400
Статич. мощность потребления, мВт	10	1	4	0,002	0,002	25	40
Энергия переключения, пДж	220	5	8	0,08	0,008	50	30

### 3.8 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Какую логическую функцию выполняет базовый логический элемент ТТЛ?
2. Назначение основных компонентов ТТЛ-элемента.
3. Основные статические параметры ТТЛ-элемента и методы их измерения.
4. Как определить коэффициент усиления ТТЛ-элемента в активном режиме работы?
5. Что такое запас помехоустойчивости?
6. Основные динамические параметры ТТЛ-элемента и методы их измерения.
7. Можно ли объединять выходы нескольких ТТЛ-, КМОП- или ЭСЛ-элементов?
8. Особенности применения ТТЛ-элементов с открытым коллектором или Z-состоянием выхода.
9. Как реализовать логическую функцию «ИЛИ» (элемент Пирса) на основе ТТЛ-элементов?
10. Как реализовать логические функции без инверсии на ТТЛ-элементах?
11. Методы повышения быстродействия ТТЛ-элементов.
12. Основные отличия и сходства биполярных и полевых транзисторов.
13. Основные параметры логических элементов на основе n-MOP структур.
14. Особенности схемотехники логических элементов КМОП.
15. Основные параметры логических КМОП-элементов.
16. Привести схемы элементов Шеффера и Пирса на основе КМОП-структур.
17. Как реализовать на основе КМОП-микросхем элементы с Z-состоянием?
18. Особенности схемотехники базового ЭСЛ-элемента.
19. Основные методы повышения быстродействия ЭСЛ-элементов.
20. Основные статические параметры ЭСЛ-элемента и методы их измерения.
21. Проведите сравнительный анализ базовых логических элементов.
22. Почему в современных ЭВМ наиболее часто используют логические КМОП-элементы?

## ТЕМА 4 СХЕМОТЕХНИКА ЛОГИЧЕСКИХ КОМБИНАЦИОННЫХ СХЕМ

Логические комбинационные схемы (ЛКС) предназначены для преобразования входных логических сигналов в соответствии с заданным алгоритмом. В общем случае ЛКС имеет « $m$ » входов и « $n$ » выходов (см. рис. 4.1).

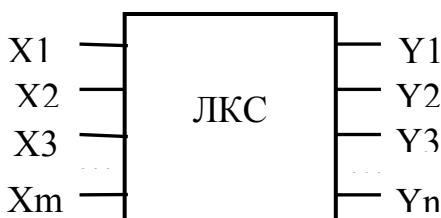


Рис. 4.1 – Логическая комбинационная схема

Входными и выходными сигналами являются логические переменные, т.е. они могут принимать только два значения – «0», «1» или «низкий логический уровень», «высокий логический уровень». Обычно входные и выходные сигналы обозначаются любыми латинскими буквами.

Алгоритм преобразования ЛКС может быть задан тремя способами:

- булевыми выражениями:

$$Y_1 = ABC + A\bar{B}\bar{C} + \bar{A}BC; \quad (4.1)$$

$$Y_2 = \bar{A}BC + \bar{A}\bar{B}C + A\bar{B}C + \bar{A}\bar{B}\bar{C}; \quad (4.2)$$

- таблицей состояний (см. таблицу 4.1), в которой количество строк равно количеству возможных комбинаций входных переменных (для логических переменных с двумя состояниями количество комбинаций –  $2^m$ ); первые два столбца выходных сигналов –  $Y_1$ ,  $Y_2$  – соответствуют логическим функциям (4.1) и (4.2);
- словесным описанием (задание алгоритма на верbalном уровне), например: ЛКС мажоритарного элемента имеет 3 входа и 1 выход; сигнал на выходе равен «1», если не менее двух входных сигналов равны «1».

Таблица 4.1 – Таблица состояний для трех входных переменных

C	B	A	Y1	Y2	Y3
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	0	1	0
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	0	0	1

Между всеми тремя способами существует однозначная взаимосвязь. Так, мажоритарный элемент может быть задан в виде таблицы состояний (см. выходные сигналы для функции  $Y_3$ ), или в виде булевой функции:

$$Y_3 = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC. \quad (4.3)$$

Мажоритарный элемент может быть реализован на элементах любой функционально полной системы логических элементов, например, на элементах "НЕ", "И", "ИЛИ" (рис. 4.2).

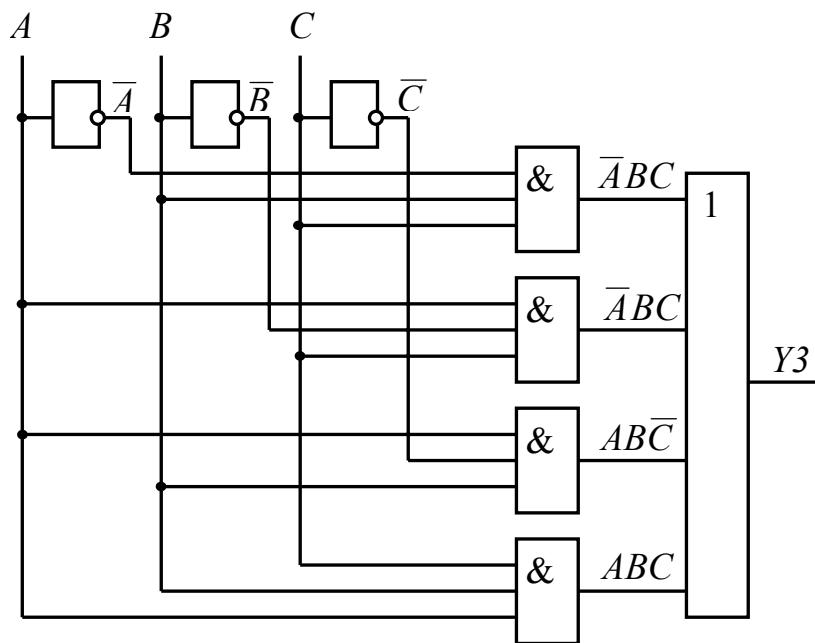


Рис. 4.2 – Схема мажоритарного элемента

Однако, прежде чем создавать принципиальную схему, реализующую логическую функцию, имеет смысл попытаться упростить эту функцию. Минимизация, т.е. отыскание более простого выражения заданной логической функции, может выполняться различными методами. В частности, можно, используя алгебраические преобразования исходного выражения, провести все возможные операции поглощения и склеивания в соответствии с законами алгебры логики (см. таблицу 2.2).

Для функций, содержащих не более четырех переменных, удобно проводить минимизацию, пользуясь диаграммами Вейча (картами Карно). Диаграмма Вейча представляет собой прямоугольную (или квадратную) таблицу, в которой количество клеток равно количеству комбинаций входных переменных, причем соседние клетки (снизу и сверху, слева и справа) нумеруются так, чтобы изменение претерпевала только одна входная переменная. Это же правило должно выполняться и для крайних клеток, потому что диаграмма Вейча (карта Карно) представляет из себя замкнутую поверхность, а на плоскости мы рисуем развертку этой поверхности. На рис. 4.3 приведены диаграммы Вейча (карты Карно) для мажоритарного элемента с тремя входными переменными.

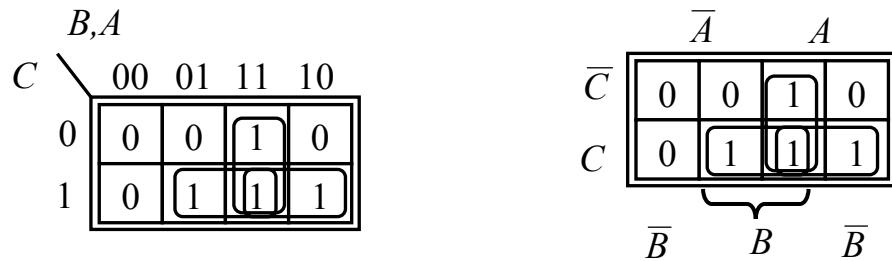


Рис. 4.3 - Методы разметки диаграмм Вейча (карты Карно)

Операциям склеивания соответствуют на карте Карно объединения соседних единиц в прямоугольники (или квадраты) с числом клеток, кратных  $2^k$  (2, 4, 8, 16...). Конечной целью минимизации является: ОБЪЕДИНЕНИЕ ВСЕХ ЕДИНИЦ В ПРЯМОУГОЛЬНИКИ С МАКСИМАЛЬНЫМИ РАЗМЕРАМИ. При этом необходимо учитывать, что в диаграмме Вейча (карте Карно) левые и правые боковые грани соединены (т.е. диаграмма свернута в цилиндр) и возможно склеивание крайних правых клеток с крайними левыми.

Минимизированная функция для мажоритарного элемента с учетом закона склеивания имеет вид:

$$Y_3 = AB + BC + AC. \quad (4.4)$$

Принципиальная схема, реализующая эту функцию, приведена на рис. 4.4 (сравните со схемой на рис. 4.2). Эта же функция может быть реализована и в базисе "И-НЕ" (см. рис. 4.5). Выходной элемент Шеффера выполняет логическую операцию "ИЛИ" над входными инверсными сигналами (в соответствии с правилом де Моргана).

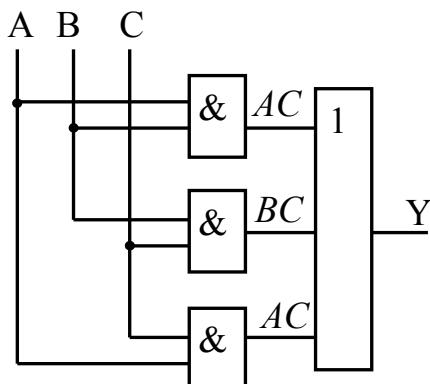


Рис. 4.4

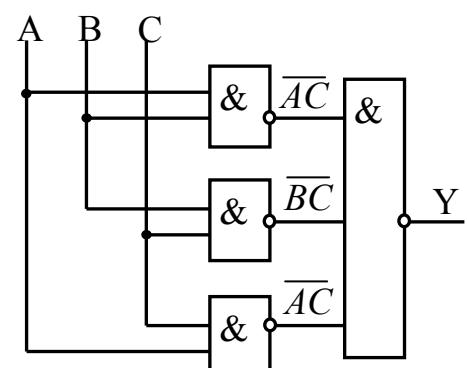


Рис. 4.5

Рассмотрим минимизацию логической функции с четырьмя входными переменными на примере ЛКС, заданной Таблицей 4.2.

На рис. 4.6 приведен один из вариантов разметки карты Карно для этой ЛКС. При склеивании необходимо учитывать, что правая и левая грани объединены, образуя вертикальный цилиндр, а также объединены верх-

няя и нижняя грани. Поэтому карта Карно для функции четырех переменных представляет собой «тор» (бублик), а на рис. 4.6 показана развертка этого «бублика».

После выполнения операций склеивания минимизированная функция преобразуется к виду:

$$F1 = BA + B\bar{D} + \bar{B}DC + A\bar{C}\bar{D}. \quad (4.5)$$

Таблица 4.2.

D	C	B	A	F1
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

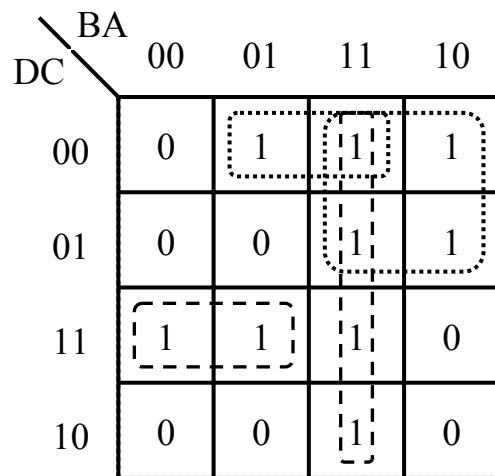


Рис. 4.6 – Карта Карно

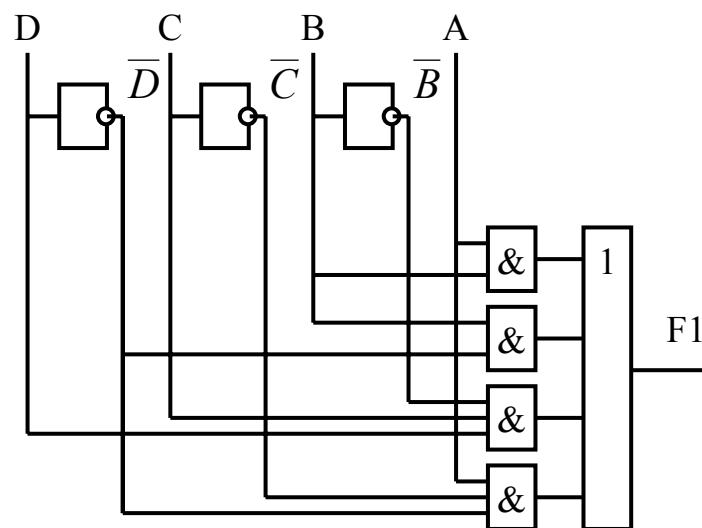


Рис. 4.7 – Принципиальная схема минимизированной логической функции

Принципиальная схема минимизированной функции (4.5) приведена на рис. 4.7.

Если заменить элементы «И» на элементы Шеффера «И-НЕ», то и выходной элемент «ИЛИ» можно реализовать на элементе Шеффера (с учетом правила де Моргана).

При помощи карт Карно (диаграмм Вейча) возможна минимизация логических функций и с пятью входными переменными. Но при этом теряется основное преимущество этого метода – простота и наглядность.

## 4.2 СУММАТОРЫ

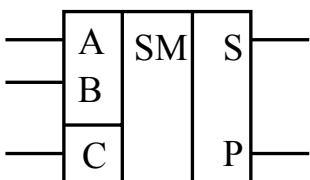


Рис. 4.8 - Одноразрядный сумматор

Таблица 4.3 – Таблица состояний одноразрядного сумматора

C	B	A	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Сумматор – это ЛКС (рис. 4.8), формирующая сигналы суммы (S) и переноса (P) при сложении двух двоичных чисел (A, B) и сигнала переноса соседнего младшего разряда (C) по правилам двоичной арифметики (см. таблицу 4.3).

		$B, A$			
		00	01	11	10
C	0	0	0	1	0
	1	0	1	1	1

P

		$B, A$			
		00	01	11	10
C	0	0	1	0	1
	1	1	0	1	0

S

Рис. 4.9 – Карты Карно для одноразрядного сумматора

Карты Карно для одноразрядного сумматора приведены на рис. 4.9. Логическая функция выходного сигнала переноса (P) совпадает с функцией мажоритарного элемента (4.3). Ее минимизация рассмотрена ранее. Логическая функция суммы (S) не может быть минимизирована, т.к. на карте Карно нет соседних единиц для склеивания.

Принципиальная схема одноразрядного сумматора, реализованная на элементах «И-ИЛИ-НЕ», приведена на рис. 4.10.

Более простая схема сумматора может быть реализована с учетом соотношения: сигнал суммы (S) равен единице, если только один входной сигнал (A, B, C) равен единице и отсутствует перенос (P) или все три входных сигнала равны единице:

$$S = A\bar{P} + B\bar{P} + C\bar{P} + ABC. \quad (4.6)$$

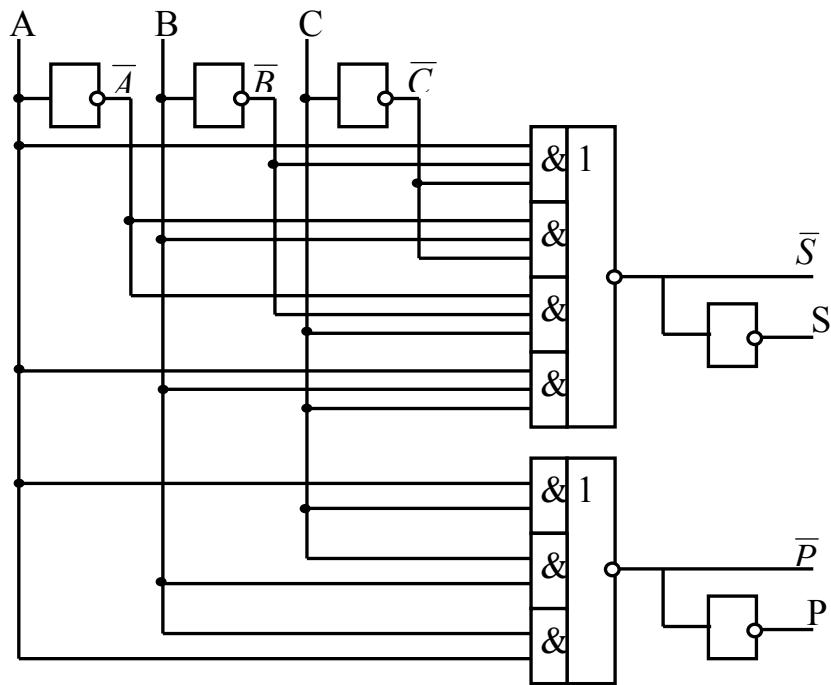


Рис. 4.10 - Одноразрядный сумматор на элементах "И-ИЛИ-НЕ"

Упрощенная схема одноразрядного сумматора, реализующая функцию (4.6), приведена на рис. 4.11. В этой схеме время задержки распространения сигнала суммы (S) больше, чем время задержки сигнала переполнения (P).

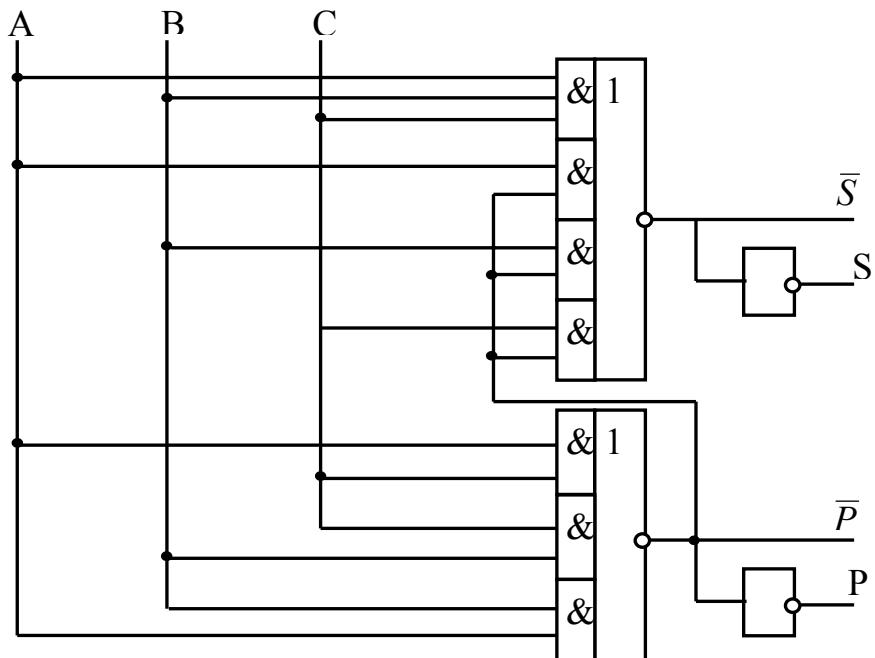


Рис. 4.11 - Минимизированная схема сумматора

Логический элемент «И-ИЛИ-НЕ» имеется в наборе любой серии ТТЛ и ТТЛШ (см. рис. 2.16). Для КМОП-элементов эти схемы сумматоров легко реализуются в базисе «И-НЕ».

На основе одноразрядного сумматора реализуются схемы многоразрядных сумматоров. На рис. 4.12 приведена схема четырехразрядного сумматора (аналогично можно реализовать сумматор на 8 или 16 разрядов). На входы A0..A3 подается первое слагаемое (младший разряд – A0), на входы B0..B3 – второе. Вход переноса (C) младшего разряда подключен к нулевому логическому уровню (к общей шине). Четыре разряда суммы формируются на выходах S0..S3, пятый разряд суммы – на выходе P3.

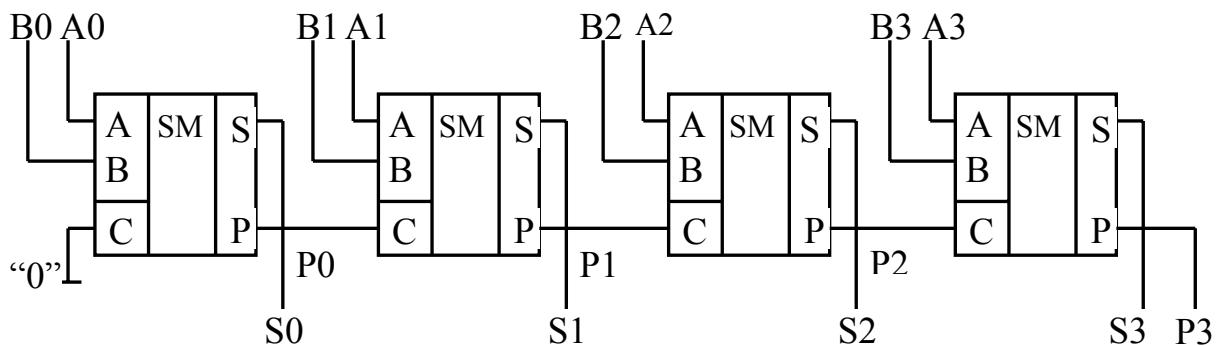


Рис. 4.12 - Четырехразрядный сумматор

В формировании сигналов S3, P3 участвуют все входные переменные A0...A3, B0...B3. Но ко входам последней логической схемы эти сигналы проходят через разное количество логических элементов, что вызывает появление на выходах ложных коротких импульсов, образованных эффектом гонок (состязаний).

### 4.3 СОСТАЗАНИЯ (ГОНКИ) В ЛОГИЧЕСКИХ СХЕМАХ

Реализация ЛКС всегда исходит из Булевой функции или таблицы состояний. На самом деле такое описание схемы является идеализацией, не учитывающей задержки распространения сигналов в реальных логических элементах. Наличие задержек приводит к тому, что в некоторые моменты времени не подтверждаются основные аксиомы алгебры логики:

$$A \& \bar{A} = 0; \quad A \vee \bar{A} = 1 \quad (4.7)$$

Рассмотрим реализацию этих уравнений (аксиом) на элементах «И» (рис. 4.13), а также элементах «ИЛИ» (рис. 4.14).

Наличие задержки распространения сигнала в инверторе (см. эпюры для инверсных сигналов на рис. 4.13 и 4.14) приводит к появлению ложных сигналов на выходах F1 и F2 с длительностью  $t_3$ , определяемой величиной задержки в инверторе.

Ситуации, при которых появляются ложные сигналы малой длительности, называются СОСТАЗАНИЯМИ или ГОНКАМИ. Появление гонок

связано с прохождением нескольких логических сигналов к входу одной схемы через цепи с разным количеством логических элементов.

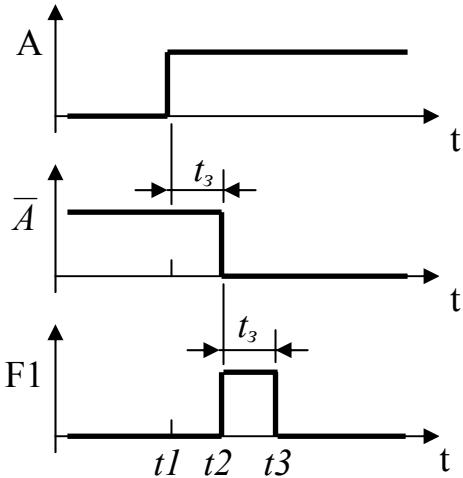
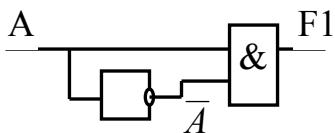


Рис. 4.13 – Возникновение гонок на выходе конъюнктора

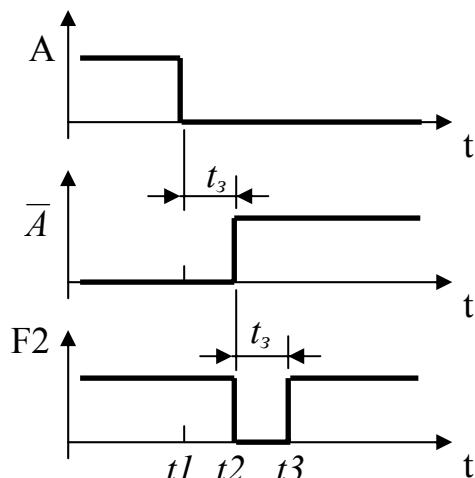
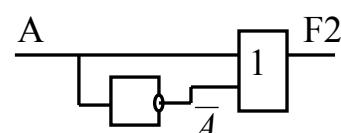


Рис. 4.14 – Возникновение гонок на выходе дизъюнктора

Даже, если количество элементов в этих цепях будет одинаковым, возникновение гонок возможно за счет различий времени задержки распространения сигналов внутри элементов (технологический разброс времени задержки у одинаковых элементов может достигать 1,5...2 раза).

Существует ДВА РАДИКАЛЬНЫХ МЕТОДА БОРЬБЫ С ГОНКАМИ (состязаниями):

- стробирование логических сигналов импульсами, подаваемыми после завершения всех переходных процессов;
- запоминание логических сигналов в регистрах после завершения всех переходных процессов.

#### 4.4 ПРЕОБРАЗОВАТЕЛИ КОДОВ

ПРЕОБРАЗОВАТЕЛИ КОДОВ предназначены для перевода чисел из одной формы представления в другую. Например, при вводе информации в ЭВМ необходимо преобразовать десятичные числа в двоичные, а при выводе информации на индикаторы или печатающее устройство – двоичные или двоично-десятичные коды преобразовываются в коды управления знакогенератором, светодиодными или жидкокристаллическими индикаторами, механизмом печати.

Отправным пунктом для построения ПРЕОБРАЗОВАТЕЛЯ КОДОВ является таблица состояний, в которой записываются полный набор входных и соответствующий набор выходных слов. Синтез ЛКС преобразователей кодов осуществляется известными алгоритмами, например, при помощи карт Карно.

#### 4.5 ДЕШИФРАТОРЫ

Преобразователи двоичного кода в код «1 из n» называются ДЕШИФРАТОРАМИ. Они могут использоваться как самостоятельное устройство при выводе информации из ЭВМ, а также входят в состав микросхем памяти и других микросхем для выборки одной из множества ячеек.

Таблица 4.4 - Таблица состояний дешифратора «1 из 8»

X2	X1	X0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Минимизировать логические функции для каждого выхода  $Y_n$  невозможно, т.к. во всех картах Карно будет только по одной единице.

$$\begin{aligned}
 Y_0 &= \overline{X_0} \overline{X_1} X_2 = \overline{X_0} \vee \overline{X_1} \vee X_2; \\
 Y_1 &= X_0 \overline{X_1} \overline{X_2} = \overline{\overline{X_0}} \vee \overline{X_1} \vee \overline{X_2}; \\
 Y_2 &= \overline{X_0} X_1 \overline{X_2} = X_0 \vee \overline{X_1} \vee X_2... \\
 ... Y_7 &= X_0 X_1 X_2 = \overline{\overline{X_0}} \vee \overline{\overline{X_1}} \vee \overline{\overline{X_2}}.
 \end{aligned} \tag{4.8}$$

Схема дешифратора «1 из 8», реализующая функции (4.8), приведена на рис. 4.15.

Дешифратор «1 из 8» может быть реализован в элементном базисе «И-НЕ» с инверсными выходами. На рис. 4.16 приведена схема дешифратора KP555ИД7 с инверсными выходами и дополнительными входами E1, E2, E3 – разрешения работы. Если на эти входы подать сигналы:

$$E1 = 1; \quad E2 = 0; \quad E3 = 0, \tag{4.9}$$

то схема работает в соответствии с таблицей 4.4 (только все выходные сигналы  $Y_n$  будут инверсными). При любой другой комбинации сигналов на входах разрешения ( $E1..E3$ ) – на всех выходах дешифратора ( $Y_0..Y_7$ ) устанавливаются неактивные сигналы «логической 1».

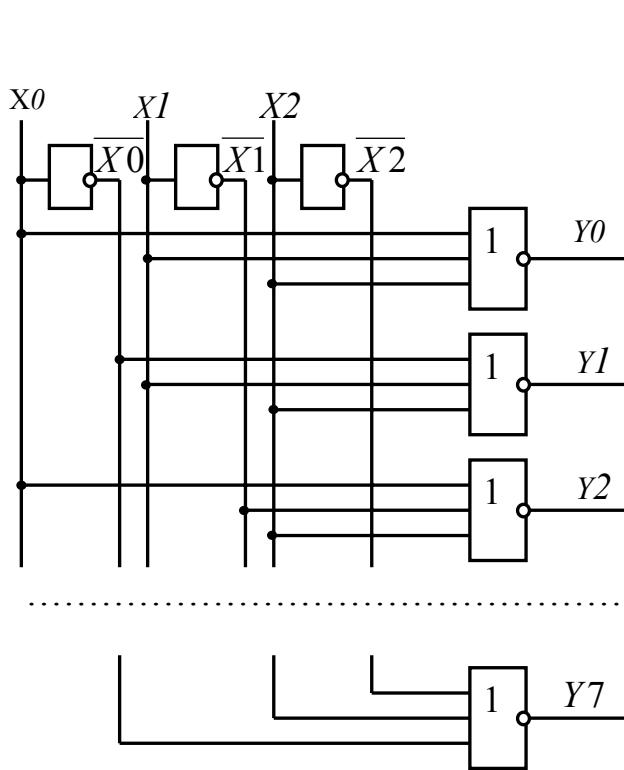


Рис. 4.15 - Дешифратор "1 из 8" с прямыми выходами

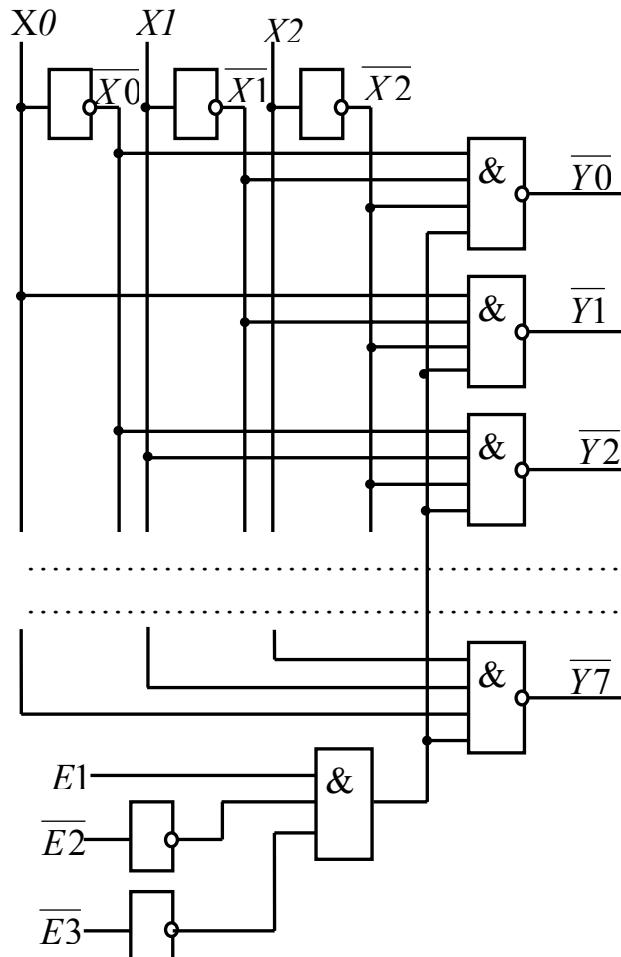


Рис. 4.16 – Дешифратор KP555ИД7 с инверсными выходами

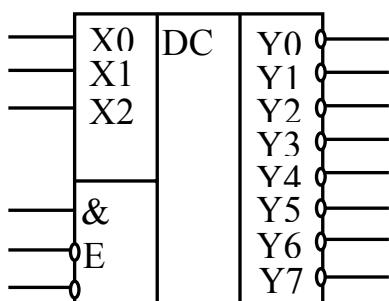


Рис. 4.17 – Дешифратор KP555ИД7

КР555ИД7.

При реализации более сложных дешифраторов, например, «1 из 1000» или «1 из 1000000» используют многоступенчатые схемы дешифраторов. Рассмотрим построение двухступенчатого дешифратора на примере шестивходового дешифратора «1 из 64» (рис. 4.18).

Дополнительные входы разрешения могут быть использованы для подачи сигналов стробирования (с целью подавления нежелательных ложных импульсов за счет «эффекта гонок»).

Входы разрешения можно использовать также при реализации более сложных дешифраторов, например, «1 из 16» или «1 из 32» и т.д.

На рис. 4.17 приведено условное графическое обозначение (УГО) дешифратора

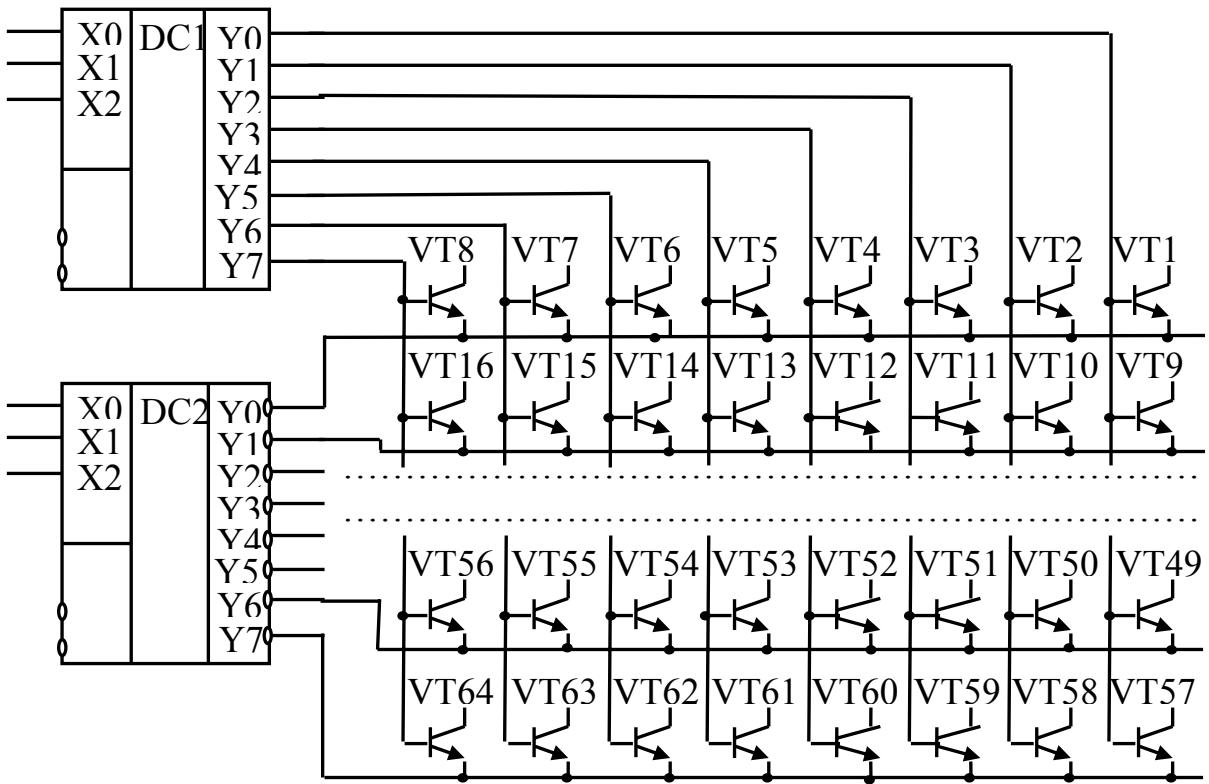


Рис. 4.18 – Двухступенчатый дешифратор «1 из 64»

Первая ступень дешифрации образована двумя дешифраторами – дешифратором столбцов (DC1) и дешифратором строк (DC2). Вторая ступень дешифрации реализована на 64-х транзисторах (VT1...VT64), выполняющих логические функции «И» для прямых сигналов дешифратора столбцов (DC1) и инверсных сигналов дешифратора строк (DC2). Т.е. только один из 64 транзисторов может быть открыт, если на его эмиттер подан низкий логический уровень, а на базу – высокий логический уровень. Через коллекторную цепь единственного открытого транзистора протекает выходной ток, управляющий работой одной из 64 выбранных ячеек. Остальные транзисторы заперты либо высоким напряжением на эмиттере, либо низким напряжением на базе.

#### 4.6 МУЛЬТИПЛЕКСОРЫ И ДЕМУЛЬТИПЛЕКСОРЫ

В цифровых устройствах часто возникает задача передачи цифровой информации от « $m$ » различных устройств к « $n$ » приемникам через канал общего пользования. Для этого на входе канала устанавливается устройство, называемое МУЛЬТИПЛЕКСОРОМ, которое согласно коду адреса  $A_m$  подключает к каналу один из источников информации, а на выходе канала устройство ДЕМУЛЬТИПЛЕКСОР обеспечивает передачу информации к приемнику, имеющему цифровой адрес  $A_n$ .

Мультиплексор и демультиплексор включают в себя дешифратор адреса. Выходные сигналы дешифратора управляют логическими элементами, разрешая передачу информации через один выбранный элемент.

Логика работы мультиплексора для  $m = 4$  описывается таблицей 4.5, в которой  $X_0 \dots X_3$  - сигналы от независимых источников информации. Символ «\*» - обозначает любой логический уровень.

Логика функционирования демультиплексора для случая  $n=4$  иллюстрируется таблицей 4.6, в которой  $Y_0 \dots Y_3$  – выходные сигналы демультиплексора, подаваемые на входы приемников информации.

Таблица 4.5 – Таблица состояний мультиплексора "4 на 1"

Входы				Адрес		Выход
X3	X2	X1	X0	A1	A0	Y
*	*	*	0	0	0	0
*	*	*	1	0	0	1
*	*	0	*	0	1	0
*	*	1	*	0	1	1
*	0	*	*	1	0	0
*	1	*	*	1	0	1
0	*	*	*	1	1	0
1	*	*	*	1	1	1

Таблица 4.6 – Таблица состояний демультиплексора "1 на 4"

Вход	Адрес		Выходы					
	X		A1	A0	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0
0	0	1	0	1	0	0	0	0
1	0	1	0	0	0	1	0	0
0	1	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0
0	1	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0

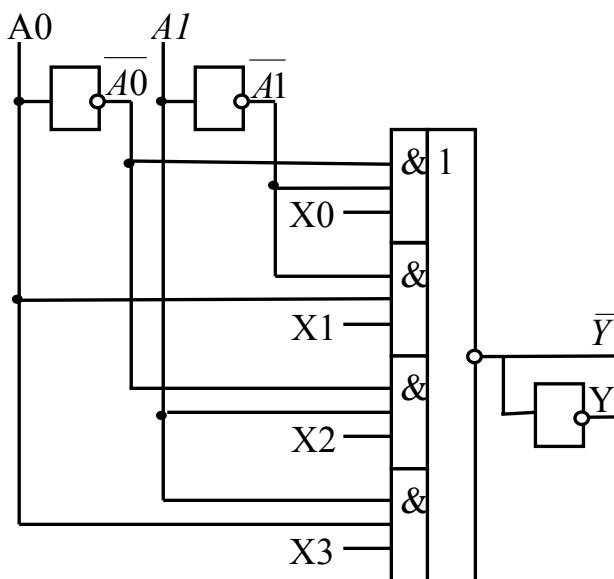


Рис. 4.19 - Мультиплексор "4 на 1"

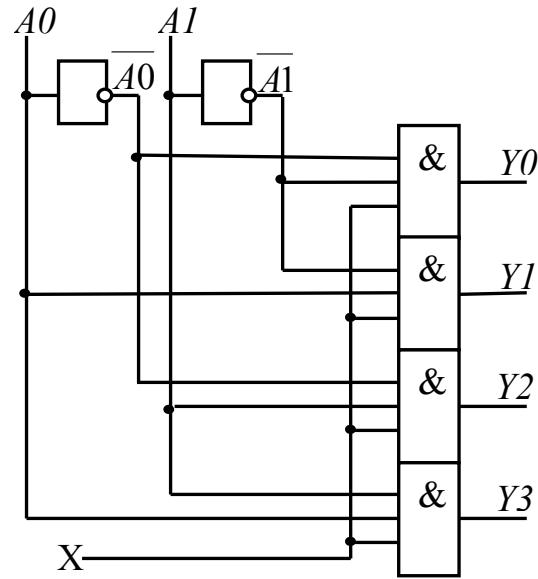


Рис. 4.20 - Демультиплексор "1 на 4"

Обычно при реализации мультиплексора (рис. 4.19) и демультиплексора (рис. 4.20) совмещают дешифратор адреса и информационные вентили.

Схема демультиплексора полностью совпадает со схемой дешифратора, имеющего вход разрешения Е (сравните с рис. 4.16); именно на этот вход подается входной сигнал демультиплексора X.

В составе большинства серий логических микросхем имеются мультиплексоры для коммутации 8 входов на 1 выход, или 4 входа на 1 выход и др. Обычно в каждом мультиплексоре имеется управляющий вход Е – разрешение выхода (OUTPUT ENABLE). Активный (чаще всего – нулевой) логический уровень на этом входе разрешает работу мультиплексора. Если на вход Е подать неактивный логический уровень, то на выходе микросхемы устанавливается: или нулевой уровень, или выход переводится в режим с высоким сопротивлением выхода (Z-состояние).

Для построения многовходовых мультиплексоров можно использовать несколько мультиплексоров (с меньшим количеством входов) и схему дешифратора (см. рис. 4.21).

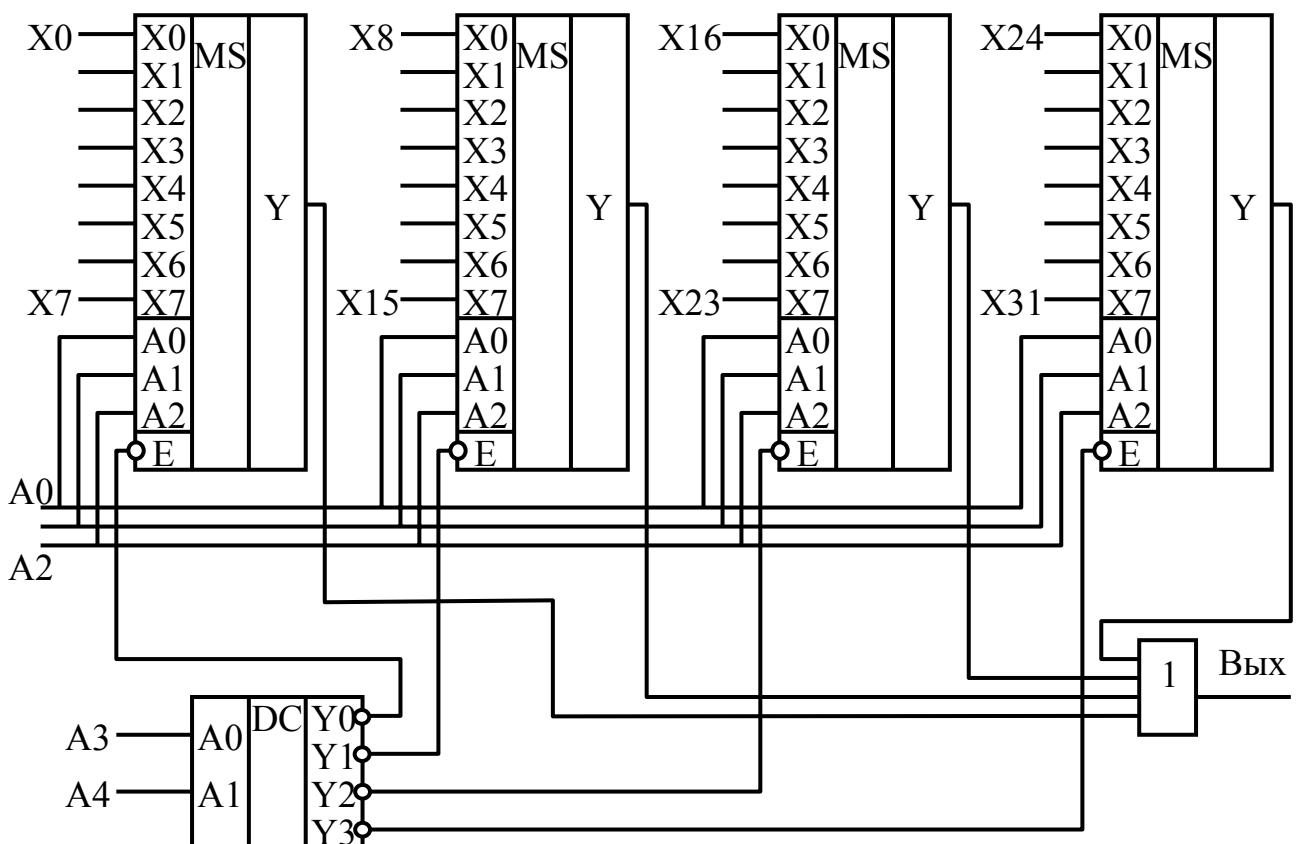


Рис. 4.21 – Мультиплексор: 32 входа на 1 выход

Старшие разряды управляющих адресных сигналов (A3, A4) подаются на дешифратор (DC). Выходные сигналы дешифратора переводят все мультиплексоры, кроме одного, в неактивный режим, т. е. устанавливают на выходах «логический нуль». Сигнал только с одного активного мультиплексора через схему дизъюнкции – «ИЛИ» – подается на выход схемы.

Если в качестве мультиплексоров «8 входов на 1 выход» используются микросхемы с Z-состоянием выхода, то необходимо только объединить их выходы, а схема дизъюнкции при этом не нужна.

#### 4.7 ПРАКТИЧЕСКОЕ ЗАНЯТИЕ ПО СИНТЕЗУ ЛКС

Методы минимизации ЛКС рассмотрим на примере синтеза преобразователя двоичного кода в код семисегментного индикатора, заданного таблицей состояний (табл. 4.7) На выходах ЛКС формируется логическая единица, если данный сегмент подсвечен в отображаемой цифре, или логический нуль для погашенных сегментов (рис. 4.22).

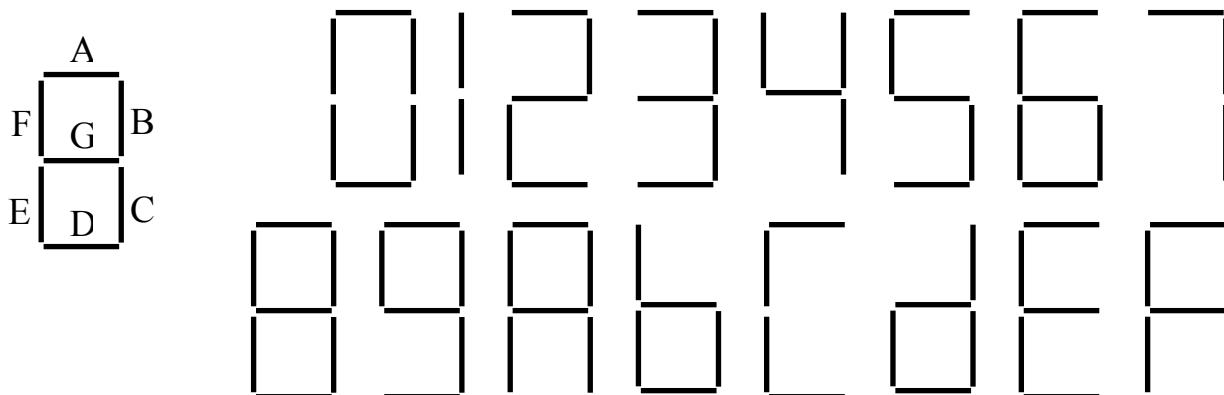


Рис. 4.22 – Семисегментный индикатор для отображения цифр

Таблица 4.7 – Таблица состояний преобразователя кодов

X4	X3	X2	X1	FA	FB	FC	FD	FE	FF	FG
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0	1
1	1	1	0	1	0	0	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1

4.7.1 Диаграмма Вейча для выходной функции сегмента FA приведена на рис. 4.23. При выполнении операции склеивания необходимо учитывать, что верхняя и нижняя грани диаграммы соединены. Соединены также левая и правая грани диаграммы.

Минимизированная функция сегмента FA (4.10) может быть реализована на элементах «И», «ИЛИ», «НЕ» (см. рис. 4.24).

Заменив все логические элементы в этой схеме на элементы Шеффера, с учетом правила де-Моргана можно реализовать ЛКС сегмента FA только на элементах «И-НЕ».

$$FA = x2 \cdot \overline{x4} V x2 \cdot x3 V \overline{x1} \cdot \overline{x3} V \overline{x1} \cdot x4 V x1 \cdot x3 \cdot \overline{x4} V \overline{x2} \cdot \overline{x3} \cdot x4. \quad (4.10)$$

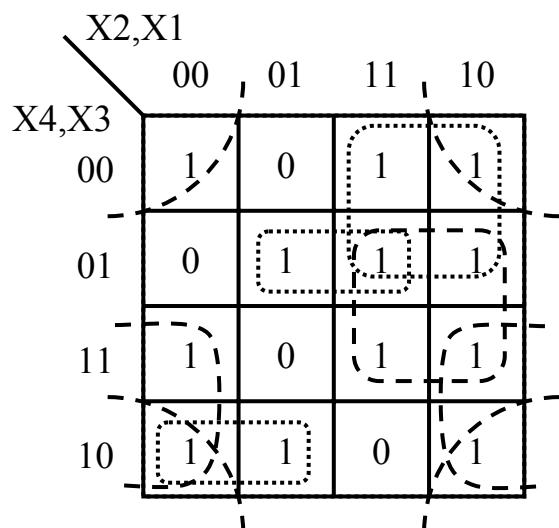


Рис. 4.23 – Диаграмма Вейча сегмента FA

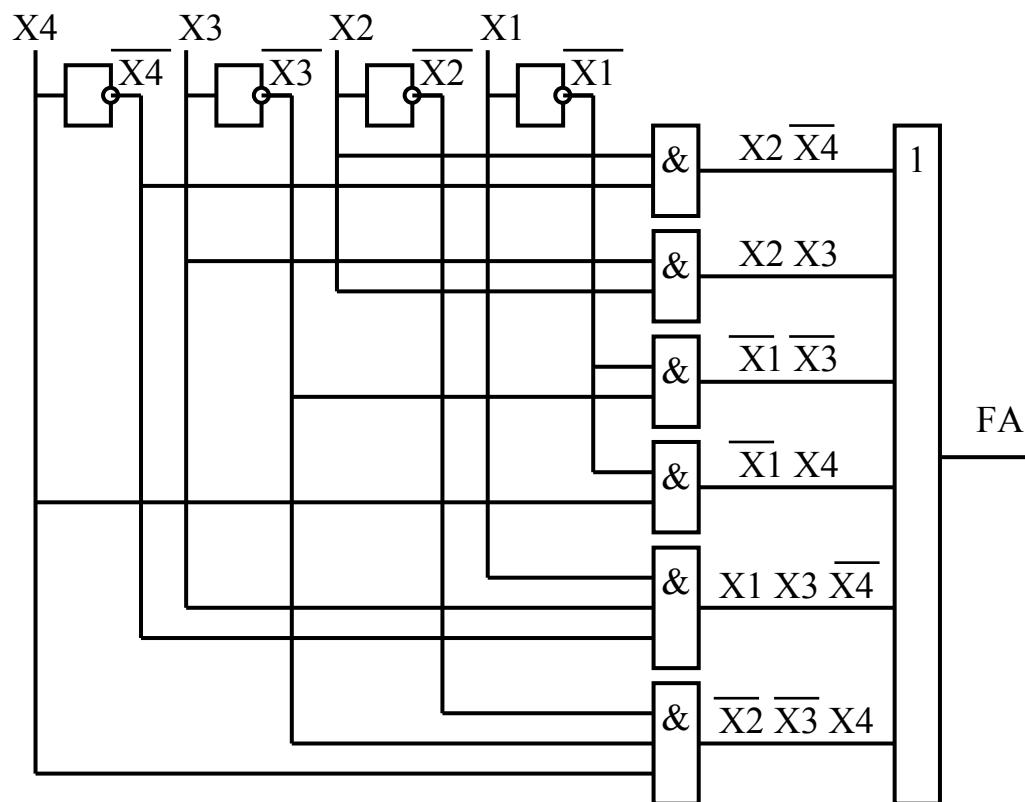


Рис. 4.24 – Принципиальная схема минимизированной логической функции  $FA$

4.7.2 В некоторых схемах используется только 10 комбинаций для преобразования четырехразрядного двоично-десятичного кода с весами 8-4-2-1 (BCD-кода) в код семи-сегментного индикатора (например, индикаторы в часах или калькуляторах).

Таблица состояний (см. табл. 4.7) будет иметь только 10 верхних строчек, а в диаграмме Вейча в неиспользуемые 6 клеток проставляется знак «x» (рис.4.25). Эти клетки можно интерпретировать при необходимости склеивания как «1», или заменить нулями там, где их не нужно склеивать.

Минимизированная функция сегмента FA только для 10-ти состояний (для BCD-кода) будет значительно проще:

$$FA = x_2 V x_4 V x_1 \cdot x_3 V \overline{x_1} \cdot \overline{x_3}. \quad (4.11)$$

На рис. 4.26 приведена минимизированная ЛКС сегмента FA для 10-ти состояний на логических элементах «И-ИЛИ-НЕ».

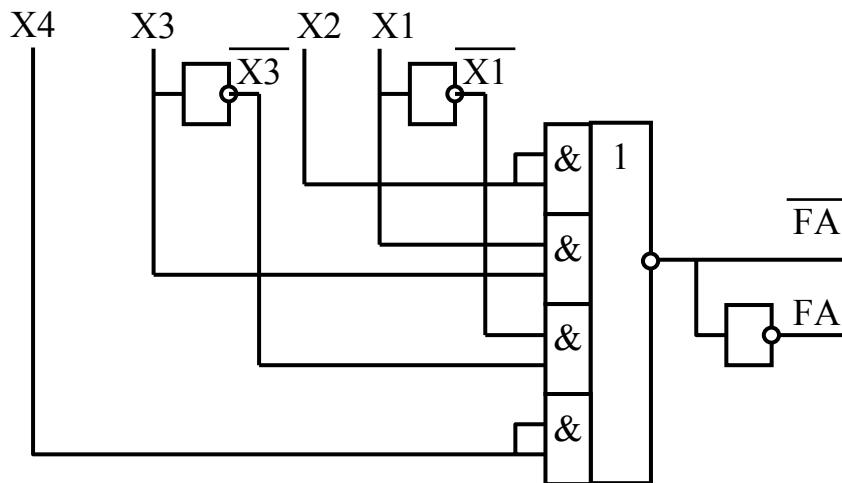


Рис. 4.26 – Принципиальная схема минимизированной логической функции FA для 10-ти состояний

4.7.3 Логическую комбинационную схему очень легко реализовать на мультиплексоре. При этом **НЕ ТРЕБУЕТСЯ МИНИМИЗАЦИЯ** булевой функции.

X2,X1	00	01	11	10
X4,X3	1	0	1	1
00	1	0	1	1
01	0	1	1	1
11	x	x	x	x
10	1	1	x	x

Рис. 4.25 – Диаграмма Вейча сегмента FA с 10-ю состояниями

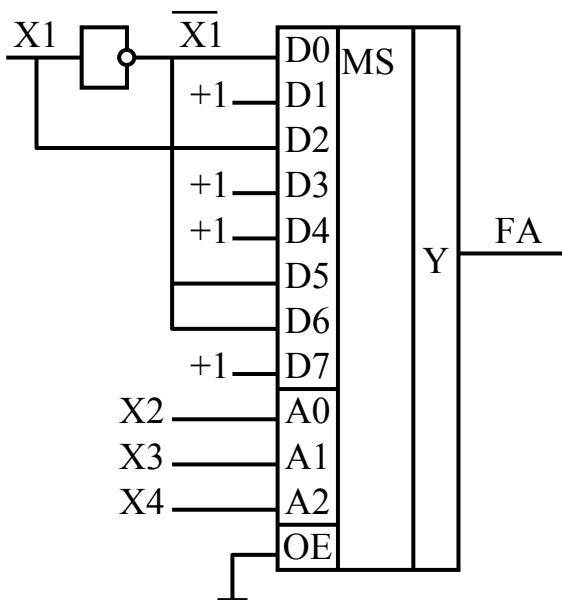


Рис. 4.27 – Реализация ЛКС сегмента FA на мультиплексоре «8 входов на 1 выход»

Если на адресные входы мультиплексора поданы сигналы логических нулей ( $A_0=0$ ,  $A_1=0$ ,  $A_2=0$ ), то сигнал с информационного входа  $D_0$  передается на выход  $Y$ . Логические уровни на остальных входах ( $D_1 \dots D_7$ ) не влияют на выходной сигнал  $Y$ .

Такой входной код ( $X_2=0$ ,  $X_3=0$ ,  $X_4=0$ ) соответствует двум первым строкам таблицы состояния (табл. 4.7). В этих двух строках выходная логическая функция FA равна инверсии входного логического сигнала  $X_1$ . Поэтому на вход  $D_0$  подается инверсия входного сигнала  $X_1$  (см. рис. 4.27).

Если на адресные входы мультиплексора подан двоичный код единицы ( $A_2=0$ ,  $A_1=0$ ,  $A_0=1$ ), то на выход мультиплексора  $Y$  поступает сигнал с входа  $D_1$ . Это соответствует третьей и четвертой строкам таблицы 4.7. В этих строках выходная логическая функция FA равна единице. Поэтому на вход  $D_1$  мультиплексора подан постоянный высокий логический уровень «+1» (см. рис. 4.27).

Пятая и шестая строки таблицы состояний соответствуют входному адресному коду «два» ( $A_2=0$ ,  $A_1=1$ ,  $A_0=0$ ). В этих строках выходная логическая функция FA повторяет входной сигнал  $X_1$ . Поэтому на вход  $D_2$  мультиплексора подан входной сигнал  $X_1$  (см. рис. 4.27).

Аналогично, анализируя по две строки таблицы состояний (табл. 4.7), соединяют остальные информационные входы мультиплексора ( $D_3 \dots D_7$ ) с высоким логическим уровнем «+1», с прямым или инверсным входным сигналом  $X_1$  (см. рис. 4.27).

Если в двух соседних строках логическая функция равна «нулю», то соответствующий вход мультиплексора соединяется с «общим проводом» – логическим нулем (например, две последние строки для сегментов FB, FC).

Логическая функция сегмента FA задается в виде таблицы состояний (см. табл. 4.7). На адресные входы мультиплексора «8 входов - на 1 выход» (входы  $A_0$ ,  $A_1$ ,  $A_2$ ) подаются старшие разряды входного кода –  $X_2$ ,  $X_3$ ,  $X_4$  (см. рис. 4.27). (Старший разряд входного кода –  $X_4$  подается на старший разряд адреса –  $A_2$ ).

Если на адресные входы мультиплексора поданы сигналы логических нулей ( $A_0=0$ ,  $A_1=0$ ,  $A_2=0$ ), то сигнал с информационного входа  $D_0$  передается на выход  $Y$ . Логические уровни на остальных входах ( $D_1 \dots D_7$ ) не влияют на выходной сигнал  $Y$ .

## 4.8 ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ

4.8.1 Минимизировать ЛКС остальных сегментов преобразователя двоичных или двоично-десятичных кодов с реализацией минимизированных функций на элементах:

- «И», «ИЛИ», «НЕ»;
- на элементах Шеффера;
- на элементах «И-ИЛИ-НЕ».

4.8.2 Реализовать ЛКС выходных логических функций остальных сегментов преобразователя двоичного кода в коды семисегментного индикатора на мультиплексорах «8 входов на 1 выход».

## 4.9 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Назовите методы описания (задания) логических комбинационных схем (ЛКС).
2. Объясните необходимость минимизации ЛКС. Назовите методы минимизации ЛКС.
3. Назовите методы разметки карт Карно (диаграмм Вейча).
4. Назначение сумматоров. Реализация сумматора на логических элементах.
5. Реализация многоразрядных сумматоров.
6. Что такое состязания (гонки) в логических элементах?
7. Методы борьбы с гонками (состязаниями).
8. Что такое преобразователи кодов? Методы описания и реализации преобразователей кодов.
9. Что такое дешифраторы? Области применения дешифраторов. Реализация дешифраторов.
10. Зачем дешифраторам необходим вход ОЕ – разрешение выхода?
11. Объяснить построение многоступенчатых дешифраторов.
12. Назначение мультиплексоров и демультиплексоров.
13. Реализация мультиплексоров с большим количеством входов (каскадирование мультиплексоров).

## **ТЕМА 5 СХЕМОТЕХНИКА ЦИФРОВЫХ СХЕМ С ПАМЯТЬЮ**

### **5.1 ТРИГГЕРЫ**

**ТРИГГЕР** используется в компьютерах в качестве запоминающего элемента для хранения информации в двоичном коде. Такой триггер имеет два устойчивых состояния и может хранить сколь угодно долго (пока не выключено напряжение питания) один бит информации – «ноль» или «единицу». Поэтому триггер называют «бистабильным запоминающим элементом».

Известны схемы триггеров с тремя и более устойчивыми состояниями. На таких триггерах можно реализовывать запоминающие элементы компьютеров, работающих с «троичной» системой счисления или более сложными системами счисления. Но такие компьютеры и такие триггеры не получили широкого распространения.

С точки зрения общей электроники триггер – это УСИЛИТЕЛЬ ПОСТОЯННОГО ТОКА с глубокой положительной обратной связью. Именно связь по постоянному току позволяет сколь угодно долго поддерживать устойчивое состояние.

Но, если в цепь положительной обратной связи усилителя включены реактивные элементы – конденсаторы или трансформаторы, то такой усилитель может находиться в одном из устойчивых состояний только на время перезаряда реактивных элементов, т.е. усилитель превращается в генератор (мультивибратор или блокинг-генератор).

**ТРИГГЕРЫ** отличаются от ЛКС тем, что кроме внешних входных сигналов (которые используются для установки триггера в одно из устойчивых состояний) они имеют внутренние «входные сигналы», обусловленные наличием цепей обратной связи. При отсутствии внешних входных сигналов выходные сигналы триггера определяются только сигналами в цепях обратной связи, которые можно отождествлять с внутренним состоянием схемы.

Простейший усилитель постоянного тока с положительной обратной связью (триггер), выполненный на логических элементах «И-НЕ», приведен на рис. 5.1, а его таблица состояний – в таблице 5.1.

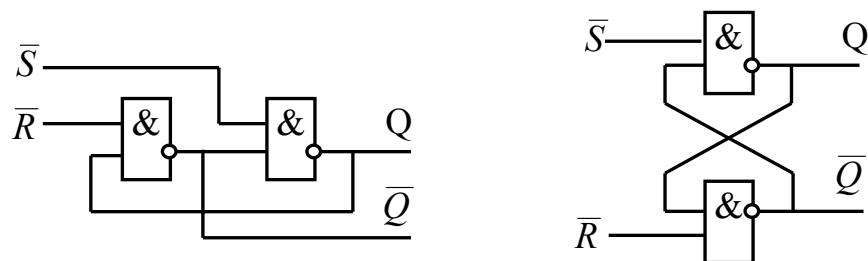


Рис. 5.1 –  $\bar{R} \bar{S}$ -триггер на элементах "И-НЕ"

Таблица 5.1 – Таблица состояний  $\bar{R} \bar{S}$ -триггера

$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	Состояние
0	0	1	1	Оборванные обратные связи
0	1	1	0	Установка в «единицу» (set)
1	0	0	1	Сброс в «нуль» (reset)
1	1	Q–	$\bar{Q}$ –	Режим хранения

Обозначение Q– указывает на то, что сигнал Q остался таким же, каким он был до изменения входных сигналов (в предыдущем такте).

При подаче на оба входа ( $\bar{S}$  и  $\bar{R}$ ) сигналов логического нуля (см. первую строку в табл. 5.1) на выходах Q и  $\bar{Q}$  устанавливаются уровни логической единицы (независимо от уровней сигналов на других входах элементов Шеффера). Такой режим соответствует разрыву положительной обратной связи; триггер работает как два самостоятельных элемента.

При подаче на вход  $\bar{S}$  (читается: «вход не-S» – инверсный вход установки) логического нуля, а на вход  $\bar{R}$  (читается: «вход не-R» – инверсный вход сброса) логической единицы – на выходе триггера Q устанавливается «1», а на инверсном выходе  $\bar{Q}$  – «0».

Нулевой сигнал на входе  $\bar{R}$  сбрасывает выход триггера Q в нуль.

Установка на обоих входах логических единиц не изменяет состояния выходов триггера. Этот режим называется «режимом хранения».

На рис. 5.2 приведено условное графическое обозначение  $\bar{R} \bar{S}$ -триггера (читается: не-R-не-S-триггера).

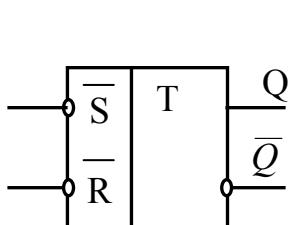


Рис. 5.2 – УГО  
 $\bar{R} \bar{S}$ -триггера

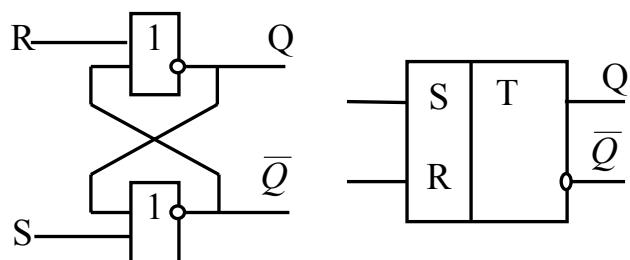


Рис. 5.3 – R-S-триггер на элементах «ИЛИ-НЕ» и его УГО

Простейший R-S-триггер с прямыми входными сигналами можно реализовать на элементах «ИЛИ-НЕ» (см. рис. 5.3 и табл. 5.2).

При подаче на оба входа R-S-триггера логических нулей – выходное состояние триггера не изменяется, т.е. триггер находится в режиме хранения. Единичный входной сигнал R устанавливает выходы триггера в нулевое состояние (см. вторую строку табл. 5.2). Сигнал логической «1»

на входе  $S$  устанавливает выходы триггера в единичное состояние ( $Q = 1$ ;  $\bar{Q} = 0$ ).

Таблица 5.2 – Таблица состояний  $R$ - $S$ -триггера

$S$	$R$	$Q$	$\bar{Q}$	Состояние
0	0	$Q-$	$\bar{Q}-$	Режим хранения
0	1	0	1	Сброс в «нуль» (reset)
1	0	1	0	Установка в «единицу» (set)
1	1	0	0	Оборванные обратные связи

При подаче на оба входа  $R$ - $S$ -триггера логических единиц (см. последнюю строку табл. 5.2) разрывается положительная обратная связь в триггере, оба элемента Пирса работают как два самостоятельных элемента.

Наличие режима хранения в триггерах позволяет использовать их в запоминающих устройствах как простейший элемент памяти.

Длительность переходных процессов в схеме  $R$ - $S$ -триггера определяется прохождением сигнала от одного из входов к самому дальнему выходу. Для триггеров на рис. 5.1 и на рис. 5.3 максимальная задержка распространения сигнала составляет:  $2*t_3$  ( $t_3$  - среднее время задержки распространения сигнала в одном логическом элементе).

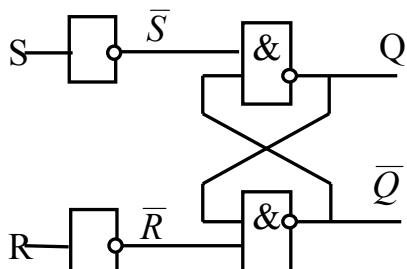


Рис. 5.4 – Асинхронный  $R$ - $S$ -триггер на элементах «И-НЕ»

$R$ - $S$ -триггер с прямыми входными сигналами можно реализовать также на элементах «И-НЕ» (рис. 5.4). Но время задержки распространения сигнала в таком триггере будет больше:  $3*t_3$ .

Рассмотренные ранее триггеры называются **АСИНХРОННЫМИ**, потому что изменение состояния на выходе происходит при любой смене входных сигналов. Если при формировании входных сигналов возникают ложные короткие импульсы за счет «эффекта гонок» (состязаний), эти короткие импульсы могут вызвать ложные срабатывания триггера.

Для исключения ложных срабатываний применяют **СИНХРОННЫЕ ТРИГГЕРЫ**, у которых изменение выходных состояний происходит в момент подачи специальных СИНХРОИМПУЛЬСОВ. Эти синхроимпульсы подаются после завершения переходных процессов в схемах формирования входных управляющих сигналов триггера.

Схема простейшего синхронного  $R$ - $S$ -триггера приведена на рис. 5.5. Этот триггер содержит обычный асинхронный  $\bar{R} \bar{S}$ -триггер на элементах D3, D4 и логическую схему управления на элементах D1, D2.

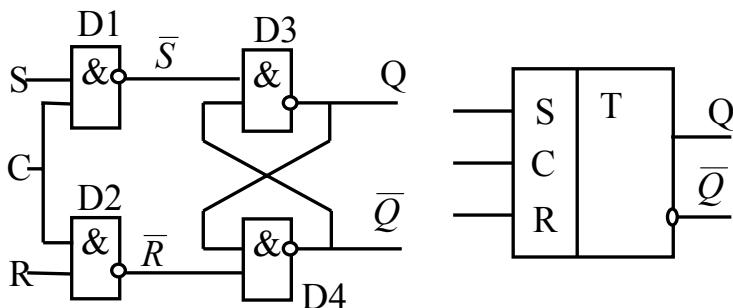


Рис. 5.5 –  $\bar{R}$  Синхронный R-S-триггер на элементах «И-НЕ» и его УГО

Таблица 5.3 – Таблица состояний синхронного R-S-триггера

C	S	R	Q	$\bar{Q}$
0	*	*	Q-	$\bar{Q}$ -
1	0	0	Q-	$\bar{Q}$ -
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Первая строка таблицы состояний синхронного R-S-триггера (см. табл. 5.3) соответствует режиму хранения, потому что при любой комбинации сигналов на входах S и R (см. символы «\*» в первой строке) на выходах элементов Шеффера D1 и D2, то есть на выходах  $\bar{S}$  и  $\bar{R}$  триггера (элементы D3, D4) формируются две логические «1».

При единичном логическом уровне на входе синхронизации C схема работает как обычный R-S-триггер. Последняя строка таблицы состояний (на все входы поданы логические «1») соответствует режиму «разорванных обратных связей».

Время задержки распространения сигналов в синхронном R-S-триггере составляет:  $3*t_3$ . Это означает, что входные сигналы после изменения их логического уровня должны удерживаться неизменными не менее  $3*t_3$ . Если какой-либо входной сигнал изменит свой уровень ранее этого момента времени, возможны сбои в работе триггера.

Синхронный R-S-триггер можно реализовать на элементах «И-ИЛИ-НЕ» с меньшим временем задержки распространения сигналов (см. рис. 5.6). На рис. 5.7 приведена схема синхронного  $\bar{R}\bar{S}$ -триггера с минимальными задержками, у которого все входные сигналы имеют низкие активные логические уровни. Время задержки распространения сигналов у этих триггеров составляет:  $2*t_3$ .

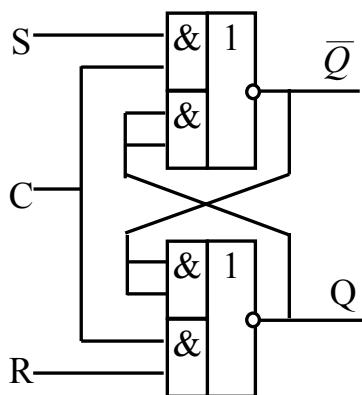


Рис. 5.6 – Синхронный R-S-триггер

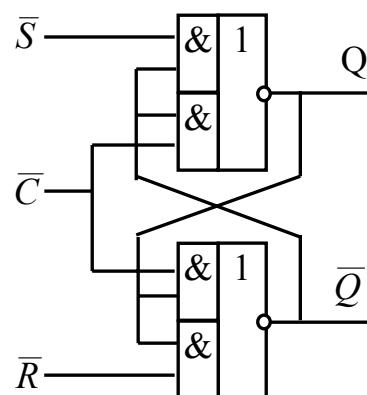


Рис. 5.7 – Синхронный  $\bar{R}\bar{S}$ -триггер

Таблица 5.4 – Таблица состояний синхронного R-S-триггера

C	S	R	Q	$\bar{Q}$
0	*	*	Q–	$\bar{Q}$ –
1	0	0	Q–	$\bar{Q}$ –
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Таблица 5.5 – Таблица состояний синхронного  $\bar{R} \bar{S}$ -триггера

$\bar{C}$	$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$
1	*	*	Q–	$\bar{Q}$ –
0	0	0	1	1
0	0	1	1	0
0	1	0	0	1
0	1	1	Q–	$\bar{Q}$ –

На рис. 5.8 приведена схема синхронного D-ТРИГГЕРА (триггера задержки – DELAY), который имеет один информационный вход – D. Этот триггер содержит обычный асинхронный  $\bar{R} \bar{S}$ -триггер на элементах D3, D4 и логическую схему управления на элементах D1, D2. Состояние выхода Q повторяет входной сигнал D в момент подачи на синхровход «С» логической «1». При нулевом сигнале на синхровходе С состояние выхода Q не изменяется (триггер находится в режиме хранения).

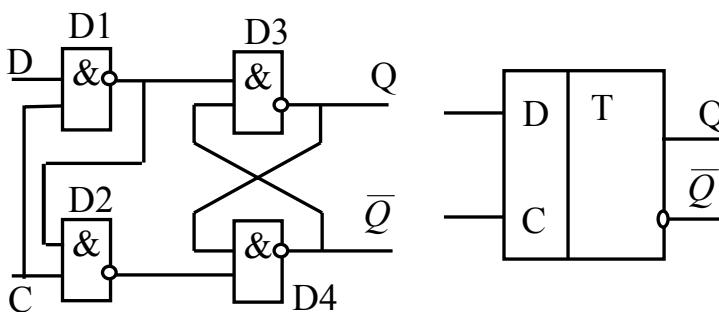


Рис. 5.8 – Синхронный D-триггер и его УГО

Таблица 5.6 – Таблица состояний D-триггера

C	D	Q	$\bar{Q}$
0	*	Q–	$\bar{Q}$ –
1	0	0	1
1	1	1	0

У синхронного D-триггера отсутствует режим «разрыва положительной обратной связи», т.е. все комбинации входных сигналов являются допустимыми. Время задержки распространения входных сигналов составляет:  $3*t_3$ .

Рассмотренные синхронные R-S- и D- триггеры изменяют выходное состояние под воздействием входных информационных сигналов при активном потенциале на синхровходе «С». Поэтому их называют «синхронными триггерами, управляемыми потенциалом (или напряжением)» (еще один вариант названия – однотактные триггеры), в отличие от «синхронных триггеров, управляемых фронтом», которые называются также «двуухтактными триггерами».

На рис. 5.9 приведена схема двухтактного R-S-триггера, управляемого фронтом. Этот триггер состоит из последовательного соединения двух

обычных однотактных синхронных R-S-триггеров (сравните с рис. 5.5), но управляемых противофазными потенциалами сигнала С.

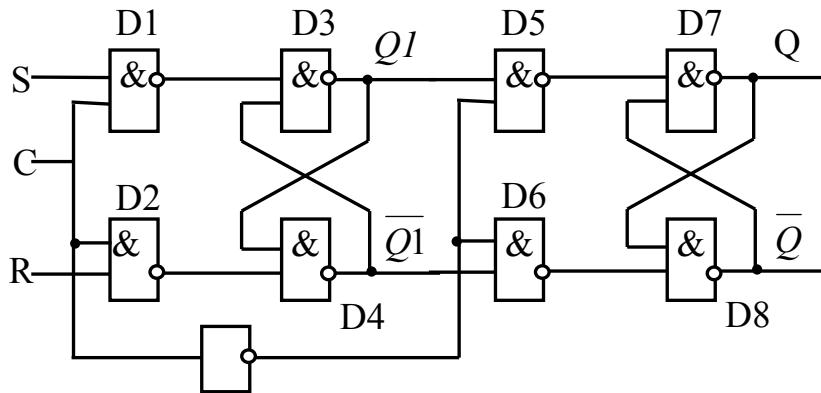


Рис. 5.9 – Двухтактный синхронный R-S-триггер,  
управляемый фронтом

Таблица 5.7 – Таблица состояний двухтактного синхронного  
R-S-триггера

C	S	R	Q	$\bar{Q}$	Состояние
0	*	*	$Q-$	$\bar{Q}-$	Режим хранения
1	*	*	$Q-$	$\bar{Q}-$	Режим хранения
↓	0	0	$Q-$	$\bar{Q}-$	Режим хранения
↓	0	1	0	1	Сброс в «нуль» (reset)
↓	1	0	1	0	Установка в «единицу» (set)
↓	1	1	?	?	Неопределенное состояние

Первые две строки таблицы состояний синхронного двухтактного R-S-триггера (табл. 5.7) показывают неизменность выходного состояния триггера при подаче на синхровход С потенциалов логического «0» или «1» (режим хранения). Из рис. 5.9 следует, что при нулевом сигнале на синхровходе С состояние первого триггера на элементах D3, D4 не изменяется при любой комбинации входных сигналов R или S, поэтому не изменяется и состояние второго триггера на элементах D7, D8.

При единичном сигнале на синхровходе С состояние первого триггера на элементах D3, D4 изменяется в соответствии с изменением входных сигналов S или R, но состояние второго триггера (с которого снимаются выходные сигналы Q,  $\bar{Q}$ ) измениться не может, т.к. на синхровход второго триггера поступает логический «0» с выхода инвертора.

Единственная возможность изменения выходного состояния триггера (Q,  $\bar{Q}$ ) появляется при смене логического уровня на синхровходе (C) с «1» на «0». Комбинация входных сигналов R и S в момент окончания

единичного уровня на синхровходе С определяет состояние первого триггера на элементах D3, D4. После смены логического уровня на синхровходе первого триггера с «1» на «0» – на синхровходе второго триггера появляется логическая «1» и состояние первого триггера переписывается во второй триггер (на элементах D7, D8), т.е. на выход схемы.

В табл. 5.7 условие смены логического уровня на синхровходе с «1» на «0» обозначено стрелкой «↓». Это объясняет название синхронного триггера, «управляемого фронтом». Такой фронт называется «спадающим фронтом» или «фронт 1-0»

При подаче двух логических «1» на входы S и R до момента спадающего фронта на синхровходе (см. последнюю строку табл. 5.7) состояние на выходе триггера ( $Q$ ,  $\bar{Q}$ ) будет зависеть от технологического разброса по быстродействию элементов схемы, т.е. для каждого конкретного триггера является неопределенным.

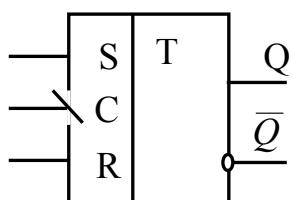


Рис. 5.10 – УГО синхронного R-S-триггера, тактируемого фронтом

На рис. 5.10 приведено УГО синхронного двухтактного R-S-триггера, тактируемого фронтом. Наклонная черта у синхровхода С указывает направление тактируемого фронта (из логической «1» в «0»).

Триггер, схема которого приведена на рис. 5.9, может тактироваться и нарастающим (восходящим) фронтом (из логического «0» в «1»), если синхросигнал С подать на второй триггер, а инверсию синхросигнала – на первый.

В литературе встречается название двухтактных триггеров, состоящих из двух однотактных триггеров, – «триггер по схеме основной - дополнительный», двухтактный триггер «хозяин-раб» (master-slave).

Время задержки распространения сигнала в двухтактном триггере (рис. 5.9) составляет не менее:  $6^*t_3$ .

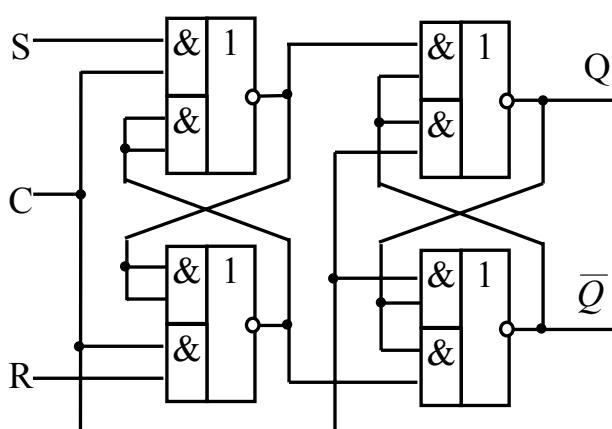


Рис. 5.11 – Двухтактный R-S-триггер с минимальной задержкой

Уменьшить время задержки распространения сигнала у двухтактного триггера (рис. 5.11) можно за счет применения двух быстродействующих однотактных R-S-триггеров (см. рис. 5.6 и рис. 5.7). Наличие у второго триггера инверсного синхровхода позволяет реализовать минимальное время задержки:  $4t_3$  без дополнительного инвертора.

На основе R-S-триггера можно реализовать Т-триггер (счетный триггер), т.е. триггер,

изменяющий свое выходное состояние по фронту импульса на входе С (см. табл. 5.8). Для этого необходимо объединить выход триггера Q со входом R, а выход  $\bar{Q}$  со входом S (см. рис. 5.12 и рис. 5.13).

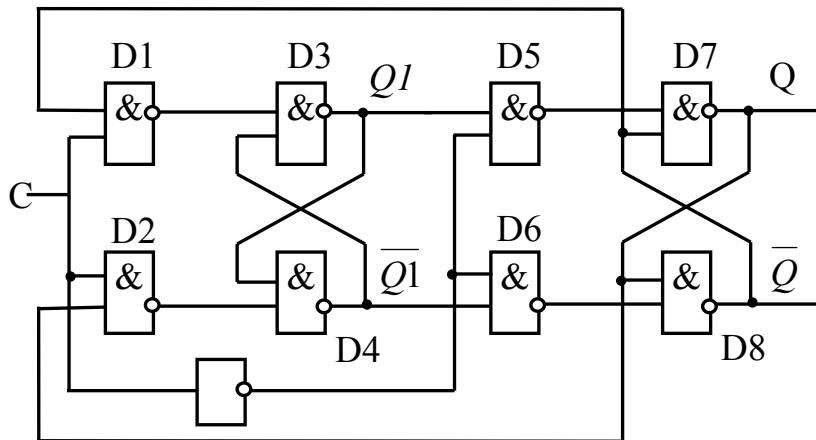


Таблица 5.8 –  
Таблица  
состояний  
*T*-триггера

C	Q	$\bar{Q}$
↓	$\bar{Q}$ –	Q–

Рис. 5.12 – *T*-триггер на основе двухтактного *R-S*-триггера

Для построения Т-триггера принципиально необходим двухтактный триггер. Первый триггер в течение одного логического уровня на входе С хранит инверсное состояние второго триггера. После смены логического уровня на входе С (т.е. по фронту сигнала) состояние первого триггера переписывается во второй (инвертируется состояние выходного триггера).

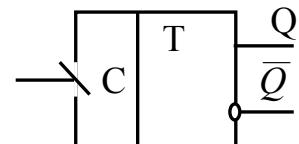
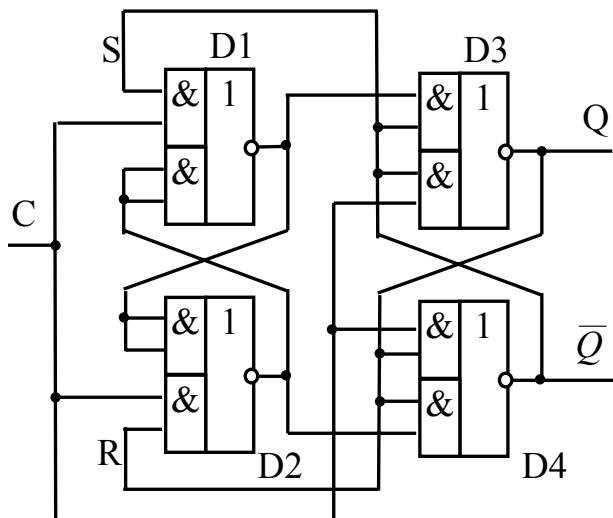


Рис. 5.14 – УГО  
*T*-триггера

Рис. 5.13 – *T*-триггер на основе двухтактного *R-S*-триггера

Максимальная входная частота Т-триггера (рис. 5.12) определяется временем задержки распространения сигнала у исходного двухтактного R-S-триггера (см. рис. 5.12):

$$F_{max} = 1 / (6 * t_3), \quad (5.1)$$

где  $t_3$  – среднее время задержки распространения сигнала одного логического элемента.

Для Т-триггера на рис. 5.13 максимальная входная частота равна:

$$F_{max} = 1 / (4 * t_3). \quad (5.2)$$

Рассмотрим таблицу состояний J-K-триггера (таблица 5.9), в которой по сравнению с таблицей 5.7 устранена неопределенность состояния двухтактного R-S-триггера при подаче на входы S и R логических единиц (см. последнюю строку таблицы 5.7).

У J-K-триггера в этой ситуации инвертируется выходное состояние, т.е. при подаче на входы J и K двух логических единиц этот триггер работает как счетный триггер.

В названии **J-K**-триггера увековечено имя американского инженера

Таблица 5.9 – Таблица состояний J-K-триггера

C	J	K	Q	$\bar{Q}$	Состояние
0	*	*	Q-	$\bar{Q}-$	Режим хранения
1	*	*	Q-	$\bar{Q}-$	Режим хранения
↓	0	0	Q-	$\bar{Q}-$	Режим хранения
↓	0	1	0	1	Сброс в «нуль»
↓	1	0	1	0	Установка в «единицу»
↓	1	1	$\bar{Q}-$	Q-	Инверсия выходного состояния

Джека Килби (Jack Kilby) – лауреата Нобелевской премии.

Большое сходство таблиц состояний R-S-триггера (табл. 5.7) и J-K-триггера (табл. 5.9) отразилось в большом сходстве их принципиальных схем (сравните рис. 5.9, рис. 5.12 и рис. 5.15).

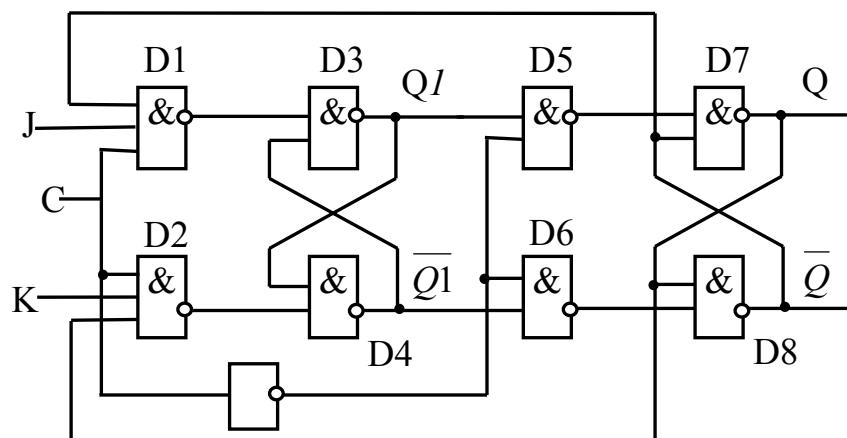


Рис. 5.15 – J-K-триггер

Если входной сигнал С подать на синхровход второго триггера, а его инверсию – на синхровход первого триггера, то такой J-K-триггер будет изменять свое состояние по фронту «0-1» (т.е. по нарастающему фронту).

Более быстродействующий J-K-триггер возможно реализовать на основе двухтактного R-S-триггера (см. рис. 5.11 и рис. 5.13).

J-K-триггер принципиально является двухтактным триггером, так как для инверсии выходного состояния (см. последнюю строку табл. 5.9) необходимо запомнить предыдущее состояние триггера.

В связи с этим интересно рассмотреть реализацию J-K-триггеров в ТТЛШ сериях (например, KP1533TB9 на рис. 5.16). На элементах D1, D2 реализована входная логика J-K-триггера (сравните с элементами D1, D2 на рис. 5.15), но отсутствует первый триггер. На элементах D3, D4 собран однотактный быстродействующий  $\bar{R} \bar{S}$ -триггер (см. рис. 5.7).

Проанализируем работу этого J-K-триггера при единичных сигналах на входах J и K. Допустим, выходное состояние:

$$Q = 0; \quad \bar{Q} = 1.$$

При единичном логическом уровне на входе С (см. временные диаграммы на рис. 5.17) запись в триггер D3, D4 невозможна. На выходе элемента D1 (и на выходе  $\bar{S}$  элемента D3) – нулевой логический уровень, а на входе  $\bar{R}$  элемента D4 – высокий логический уровень.

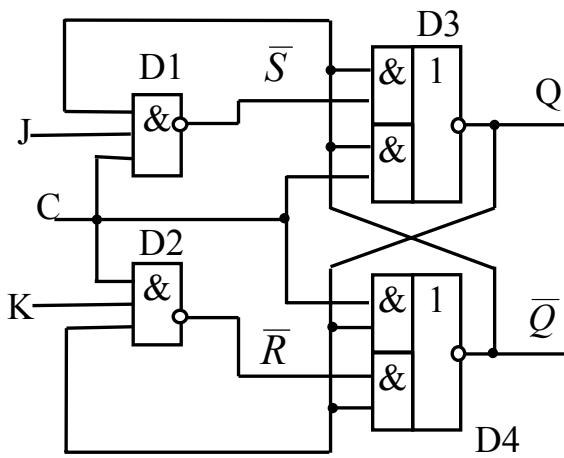


Рис. 5.16 – Однотактный J-K-триггер с элементами задержки

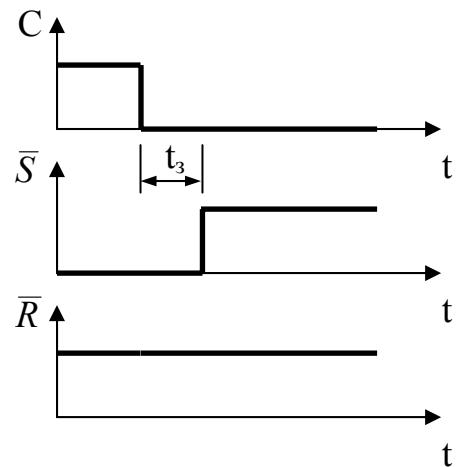


Рис 5.17 – Временные диаграммы J-K-триггера

После смены логического уровня на входе С (т.е. после фронта «1-0») возможна запись в триггер D3, D4 (см. третью строку таблицы 5.5). За счет задержки распространения сигнала в элементе D1 на входе  $\bar{S}$  короткое время (на время задержки  $t_3$ ) удерживается прежний нулевой уровень и триггер D3, D4 устанавливается в состояние:

$$Q = 1; \quad \bar{Q} = 0,$$

т.е. изменяет свое состояние на инверсное.

Таким образом, счетный режим в этом J-K-триггере обеспечивается не наличием двух однотактных триггеров, а единственным однотактным триггером и задержкой на короткое время  $t_3$  в элементах D1, D2 информации о предыдущем состоянии выхода (аналогично эффекту «гонок»). В литературе можно встретить название этого триггера: «динамический J-K-триггер, управляемый фронтом».

Для надежного срабатывания триггера D3, D4 необходимо примерно в два раза увеличить задержку распространения сигнала  $t_3$  в элементах D1, D2 (по сравнению с задержками в элементах D3, D4). Поэтому общая задержка распространения сигнала у такого J-K-триггера примерно равна задержке в триггере на рис. 5.13 (т.е. равна:  $4*t_3$ ). Максимальные частоты у этих триггеров также примерно равны.

Двухтактный D-триггер можно реализовать на двух однотактных D-триггерах (рис. 5.18). На рис. 5.19 приведено УГО двухтактных J-K- и D-триггеров.

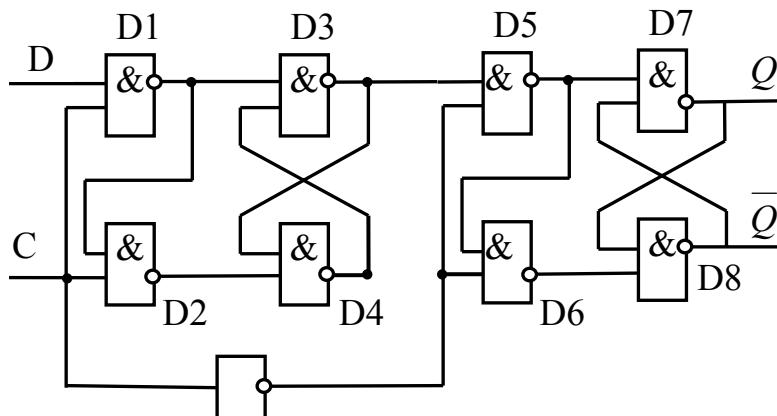


Рис. 5.18 – Двухтактный D-триггер, управляемый фронтом

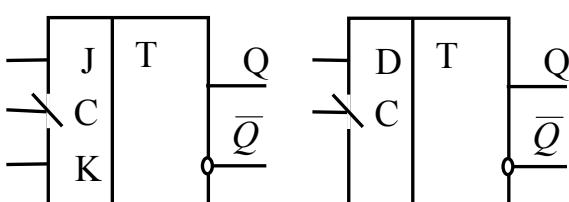


Рис. 5.19 – УГО двухтактных J-K- и D-триггеров, управляемых фронтом

Таблица 5.10 – Таблица состояний D-триггера, управляемого фронтом

C	D	Q	$\bar{Q}$
0	*	$Q-$	$\bar{Q}-$
1	*	$\bar{Q}-$	$Q-$
$\downarrow$	0	0	1
$\downarrow$	1	1	0

Динамический D-триггер, управляемый фронтом, можно реализовать на однотактном  $\bar{R} \bar{S}$ -триггере (рис. 5.7) и обычной входной логике D-триггера.

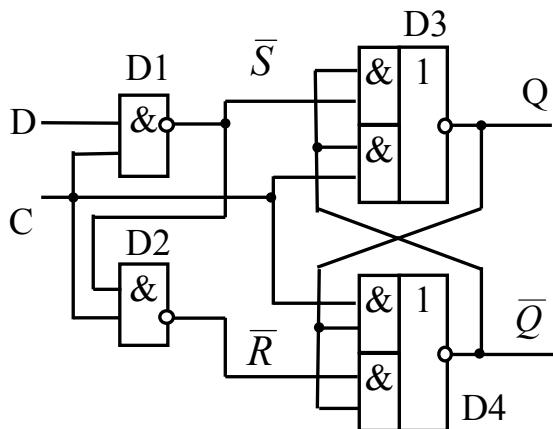


Рис. 5.20 – *D*-триггер, управляемый фронтом

на нулевой и единичном сигнале на входе *D* возникает короткий активный нулевой сигнал на входе  $\bar{S}$  за счет задержки распространения сигнала в логическом элементе *D*1 (см. аналогичные временные диаграммы на рис. 5.17). Выходной  $\bar{R} \bar{S}$ -триггер устанавливается в единицу, повторяя входной сигнал *D*.

Для надежного срабатывания выходного  $\bar{R} \bar{S}$ -триггера необходимо увеличить в два раза задержку распространения сигнала в элементах *D*1, *D*2. При этом время задержки сигнала всего триггера примерно равно:  $4*t_3$ .

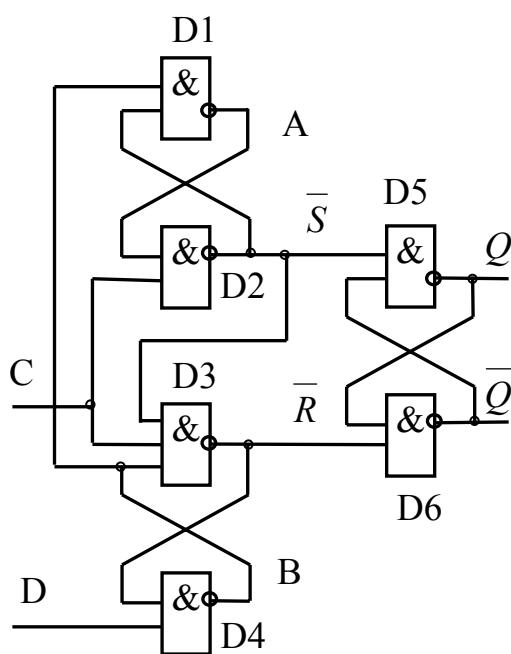


Рис. 5.21 – *D*-триггер, тактируемый фронтом

на синхровходе *C* управляющие сигналы  $\bar{S}$  и  $\bar{R}$  остаются единичными при любом логическом уровне на входе *D*. Выходной триггер (*D*5, *D*6) находится в режиме хранения. Логические уровни в точках *A* и *B* определяются входным сигналом *D*.

Таблица состояний этого триггера (рис. 5.20) соответствует таблице состояний (табл. 5.10). При нулевом сигнале на входе *C* изменение логических уровней на входе *D* не изменяет сигналы  $\bar{R}$ ,  $\bar{S}$  выходного триггера. При единичном сигнале на входе *C* выходной  $\bar{R} \bar{S}$ -триггер на элементах *D*3, *D*4 находится в режиме хранения.

При смене логического уровня на входе (*C*) с единичного

Наиболее распространен во всех сериях ТТЛ и ТТЛШ синхронный *D*-триггер, тактируемый фронтом, по схеме «регенеративного триггера-защелки» (рис. 5.21).

Таблица состояний этого триггера аналогична табл. 5.10, только переключение триггера осуществляется по восходящему фронту импульса (фронту «0-1») на входе *C*.

В схеме можно выделить три простейших асинхронных  $\bar{R} \bar{S}$ -триггера. Два триггера первой ступени (*D*1, *D*2 и *D*3, *D*4) образуют схему управления. Состояние выходного триггера второй ступени (*D*5, *D*6) определяется управляющими сигналами  $\bar{S}$ ,  $\bar{R}$  первых триггеров.

При нулевом логическом уровне

$\bar{S}$  и  $\bar{R}$  остаются единичными при

любом логическом уровне на входе *D*. Выходной триггер (*D*5, *D*6) нахо-

дится в режиме хранения. Логические уровни в точках *A* и *B* определяются

входным сигналом *D*.

Если входной сигнал  $D = 0$ , то логический уровень в точке В – единичный (триггер D3, D4 находится в режиме разрыва положительных обратных связей), а логический уровень в точке А – нулевой (триггер D1, D2 установлен в единичное состояние на выходе D2 – « $\bar{S}$ »). Если входной сигнал  $D = 1$ , то логический уровень в точке В – нулевой (триггер D3, D4 установлен в единичное состояние на выходе D3 – « $\bar{R}$ »), а логический уровень в точке А – единичный (триггер находится в режиме разрыва обратных связей).

После смены логического уровня на входе С с «0» на «1» управляющий триггер первой ступени, который находился в режиме разрыва обратных связей, установится в нулевое состояние на своем выходе D2 – « $\bar{S}$ » или D3 – « $\bar{R}$ » и переключит выходной триггер (D5, D6). Таким образом, логический уровень на входе D, существовавший до восходящего фронта «0-1» на синхровходе С, перепишется в выходной триггер.

При единичном уровне на синхровходе С управляющие сигналы  $\bar{S}$ ,  $\bar{R}$  изменяться не могут: если на выходе D3 – « $\bar{R}$ » установлен логический «0» (по восходящему фронту на входе С), то логический элемент D4 заблокирован и изменение сигнала на входе D не влияет на сигнал в точке В; если на выходе D2 – « $\bar{S}$ » установлен логический «0», то элементы D1 и D3 заблокированы этим сигналом и не реагируют на изменение уровня сигнала в точке В. D-триггер, управляемый фронтом (рис. 5.21), имеет время задержки распространения сигнала – примерно  $4*t_3$ .

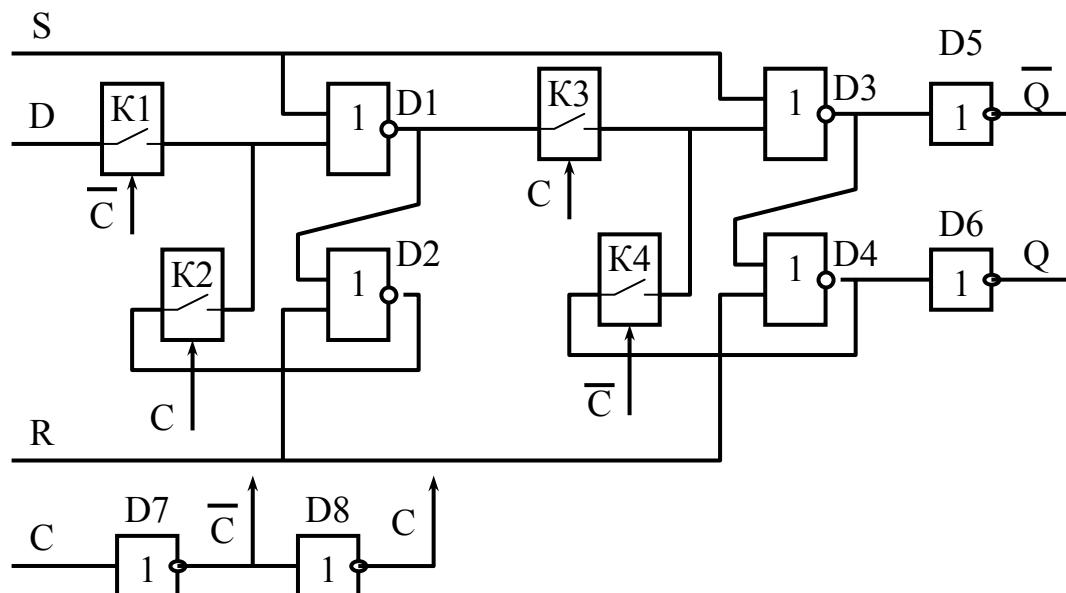


Рис. 5.22. – D-триггер, управляемый фронтом, с разрывом обратных связей

В составе серий КМОП-микросхем D-триггер, управляемый фронтом, реализован по схеме с разрывом обратных связей (см. рис. 5.22)

Четыре коммутатора K1...K4 управляются прямыми и инверсными уровнями сигнала синхронизации С. При единичном уровне сигнала синхронизации первый триггер на элементах D1,D2 хранит записанное состояние, входной коммутатор K1 разомкнут, а второй триггер на элементах D3,D4 (с разорванной обратной связью) работает в режиме повторителя сигнала, который поступает с выхода первого триггера.

При нулевом уровне сигнала синхронизации С второй триггер на элементах D3,D4 переключается в режим хранения (т.е. сохраняет то состояние, которое он перед этим транслировал на выход), а первый триггер на элементах D1,D2 (с разорванной обратной связью) работает в режиме повторителя входного сигнала.

По нарастающему фронту «0–1» сигнала синхронизации С первый триггер D1,D2 переключается в режим хранения, т.е. запоминает входной сигнал, который транслируется на выход через второй триггер, работающий в режиме повторителя.

Входы S и R (см. рис. 5.22) предназначены для асинхронной установки триггера в единичное или нулевое состояние (независимо от уровней сигналов на других входах триггера).

Аналогично в составе КМОП-микросхем реализован J-K-триггер по схеме с разрывом обратных связей (см. рис. 5.23). Этот триггер также изменяет свое состояние по нарастающему фронту «0–1» сигнала синхронизации С.

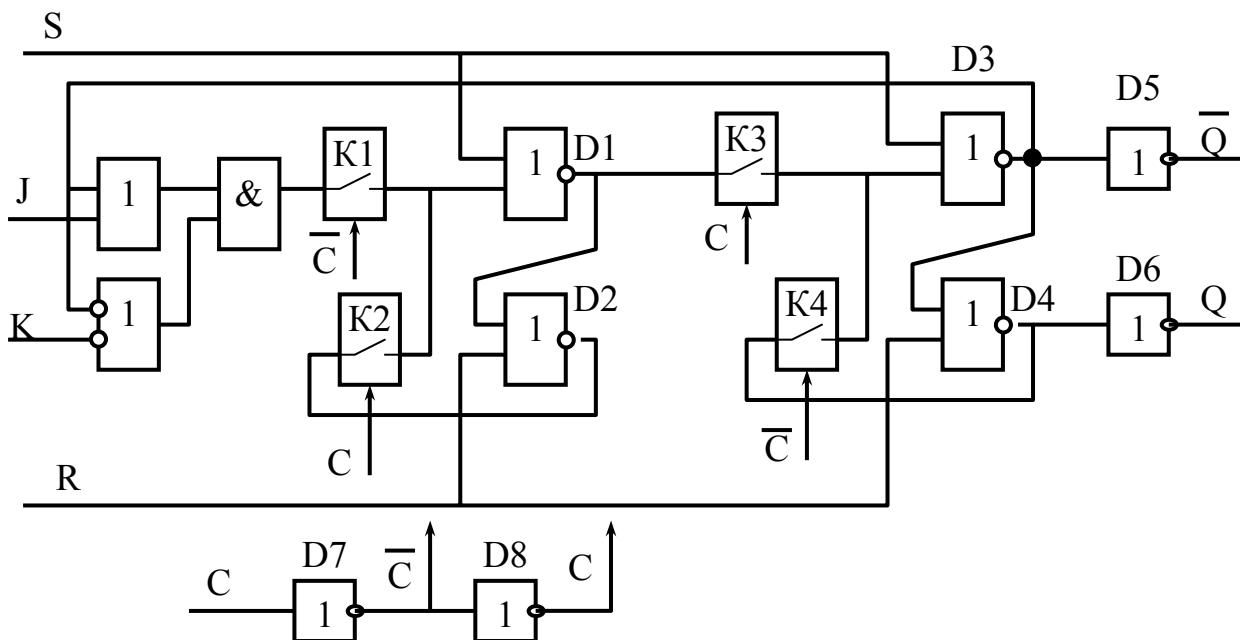


Рис. 5.23. – J-K-триггер, управляемый фронтом, с разрывом обратных связей

На основе любого D-триггера, управляемого фронтом (см. рис. 5.19, рис. 5.20, рис. 5.21), можно реализовать счетный T-триггер, если соединить инверсный выход  $\bar{Q}$  со входом D (см. рис. 5.24).

На основе рассмотренных ранее двухтактных триггеров, управляемых фронтом, можно реализовать счетный T-триггер (см. рис. 5.24).

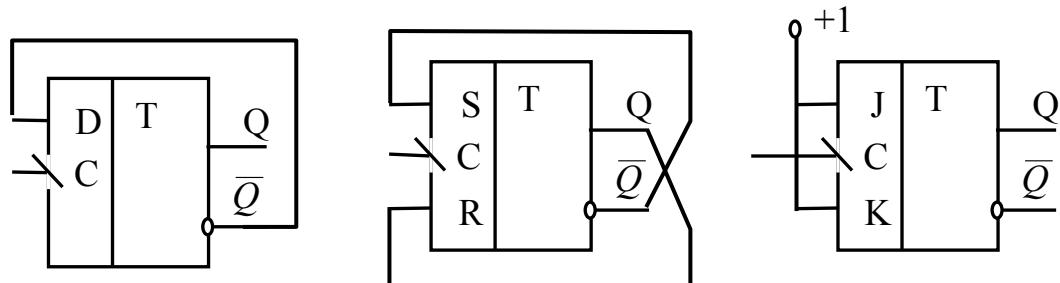


Рис. 5.24 – Реализация счетного T-триггера на основе D-триггера, R-S-триггера и J-K-триггера

Синхронный D-триггер можно реализовать на основе синхронных R-S- или J-K- триггеров и логического инвертора (рис. 5.25). Для реализации однотактного D-триггера, управляемого потенциалом, необходим однотактный R-S-триггер.

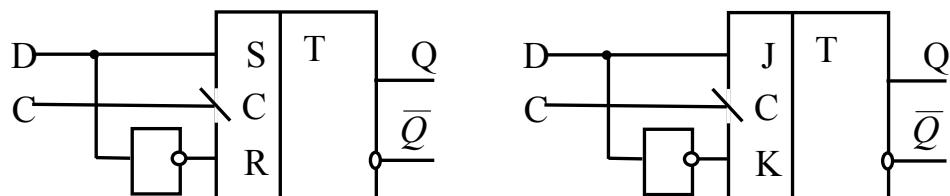


Рис. 5.25 Синхронные D-триггеры на основе R-S- и J-K- триггеров

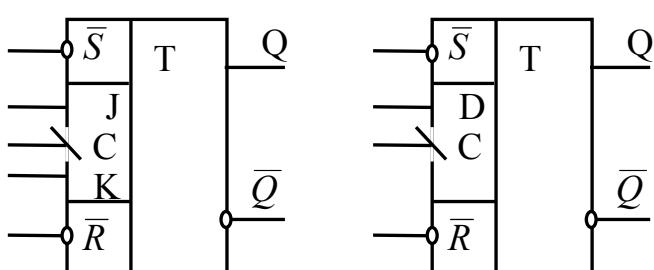


Рис. 5.26 - УГО J-K- и D- триггеров с инверсными асинхронными входами установки

Большинство триггеров в интегральном исполнении имеют кроме рассмотренных управляющих и синхронизирующих входов также и асинхронные входы установки в единичное или нулевое начальное состояние. На рис. 5.26 приведено УГО этих триггеров.

## 5.2 ДВОИЧНЫЕ СЧЕТЧИКИ И СЧЕТЧИКИ НА ИХ ОСНОВЕ

Простейший **ДВОИЧНЫЙ СЧЕТЧИК** может быть реализован путем последовательного соединения счетных Т-триггеров (рис. 5.27).

При построении временных диаграмм (рис. 5.28) учитывалось, что каждый триггер изменяет свое состояние по спадающему фронту «1-0» на своем синхровходе. Логические уровни на выходах триггеров соответствуют двоичным числам, которые возрастают с приходом каждого входного импульса. Это объясняет название: «СУММИРУЮЩИЙ ДВОИЧНЫЙ СЧЕТЧИК».

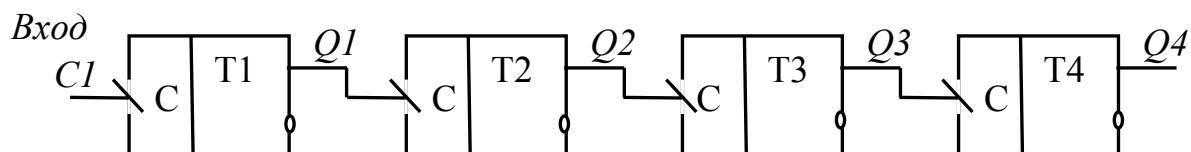


Рис. 5.27 – Двоичный суммирующий счетчик с последовательным переносом

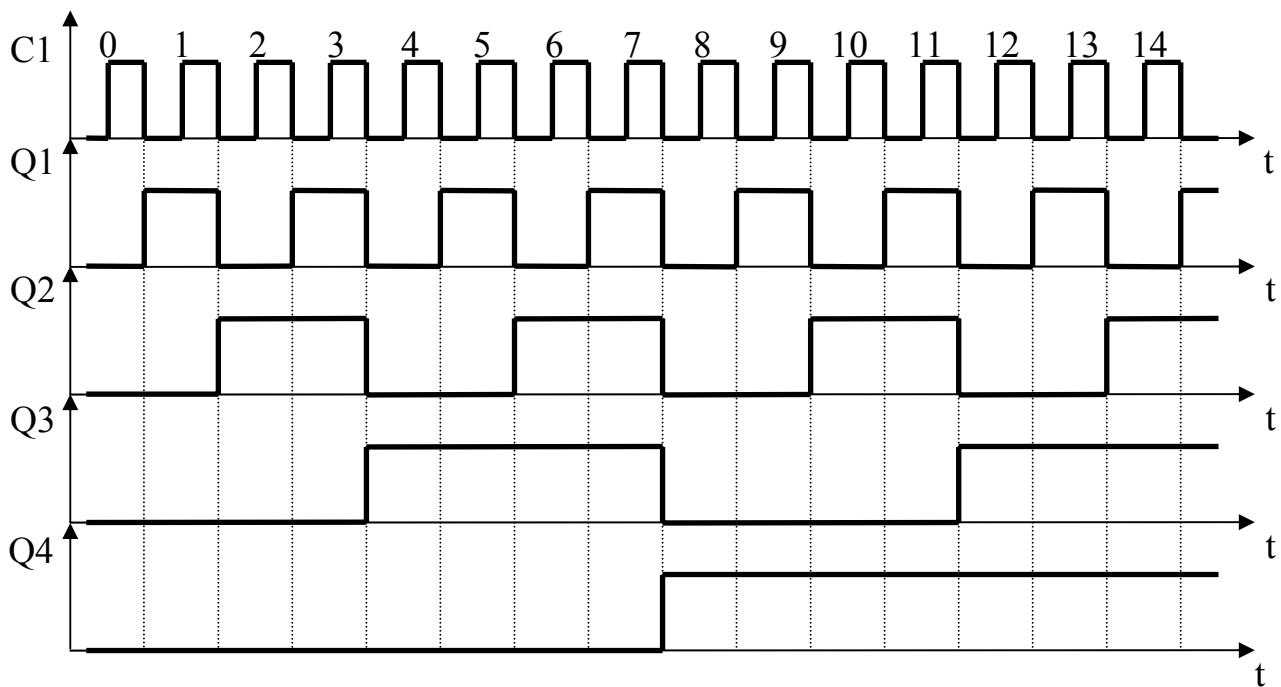


Рис 5.28 – Временные диаграммы двоичного суммирующего счетчика

Из временных диаграмм (рис. 5.28) следует, что частота на выходе каждого триггера уменьшается в два раза. Поэтому двоичные счетчики называют также делителями частоты. Общий коэффициент деления равен:

$$k = 2^n, \quad (5.3)$$

где:  $n$  - количество последовательно включенных триггеров.

На основе Т-триггеров можно построить **ВЫЧИТАЮЩИЙ ДВОИЧНЫЙ СЧЕТЧИК**, если на вход следующего триггера подавать сигналы с

**инверсного выхода** предыдущего триггера (рис. 5.29). Вычитающий двоичный счетчик можно реализовать также по схеме на рис. 5.27, если использовать Т-триггеры, управляемые **восходящим фронтом «0-1»**.

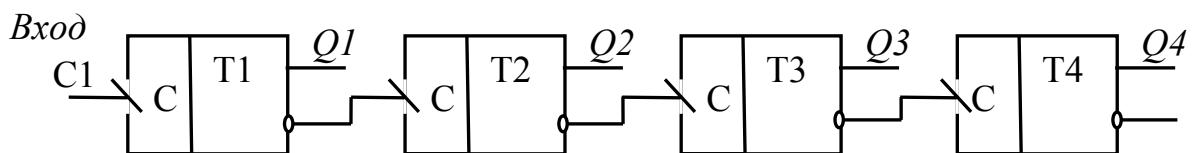


Рис. 5.29 – Вычитающий двоичный счетчик с последовательным переносом

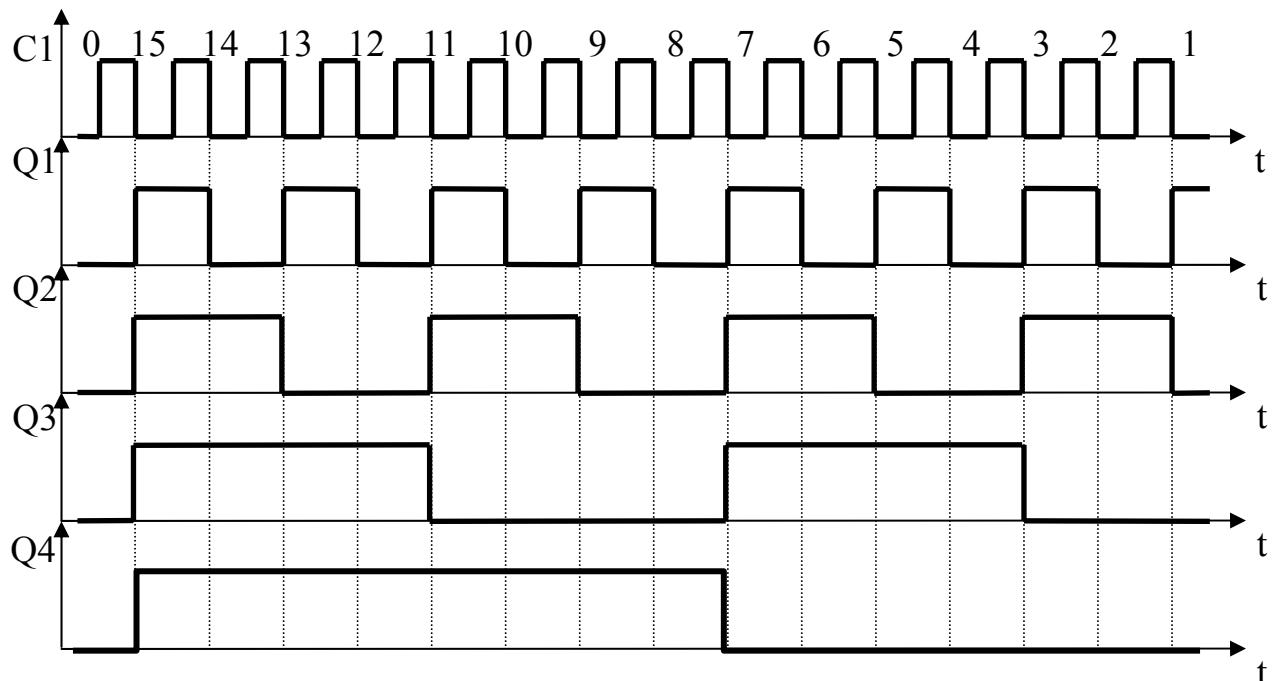


Рис 5.30 – Временные диаграммы двоичного вычитающего счетчика

Логические уровни на выходах триггеров (см. временные диаграммы на рис. 5.30) соответствуют двоичным числам, которые уменьшаются с приходом каждого входного импульса. Из нулевого состояния счетчик переходит в максимальное (для четырехразрядного счетчика это код 15).

На рис. 5.31 приведен фрагмент реверсивного счетчика. Этот счетчик может работать как суммирующий при подаче на управляющий вход «D/U» низкого логического уровня или как вычитающий, если подать на управляющий вход высокий логический уровень.

Переключение режимов реверсивного счетчика осуществляется мультиплексорами «2 на 1».

В большинстве случаев счетчики имеют цепи установки всех триггеров в исходное состояние (на рис. 5.31 показана цепь асинхронного сброса всех триггеров в нулевое состояние).

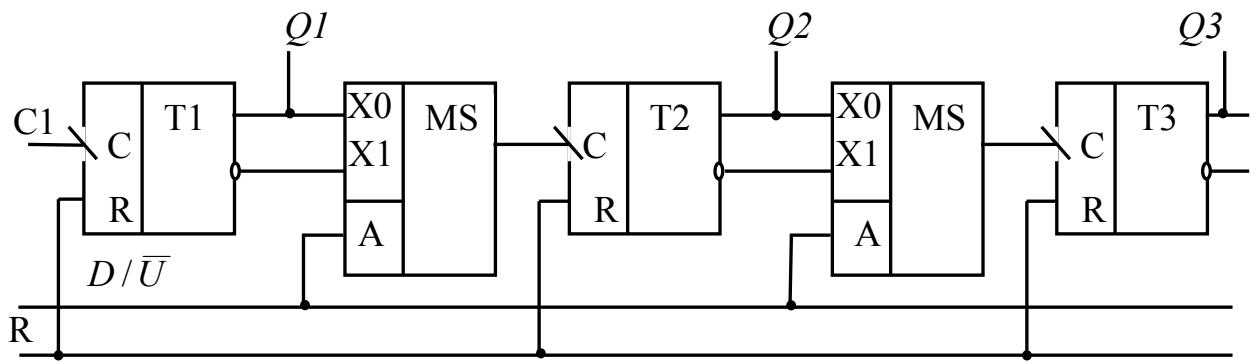


Рис. 5.31 – Реверсивный двоичный счетчик с последовательным переносом

Общим недостатком всех **счетчиков с последовательным переносом** (в литературе встречается также название «асинхронные счетчики») являются большие и неравномерные задержки распространения входного сигнала к каждому выходу триггеров. Особенно большие задержки распространения сигнала заметны на выходе последнего триггера.

Если выходные логические уровни триггеров подать на входы дешифратора, то на выходах дешифратора будут заметны «ложные импульсы» (за счет эффекта гонок) длительностью до  $12*t_3$  и более.

Для выравнивания временных задержек всех триггеров применяют **счетчики с параллельным переносом** (рис. 5.32), которые называются также «синхронными счетчиками», потому что входной сигнал С подают параллельно на синхровходы всех триггеров.

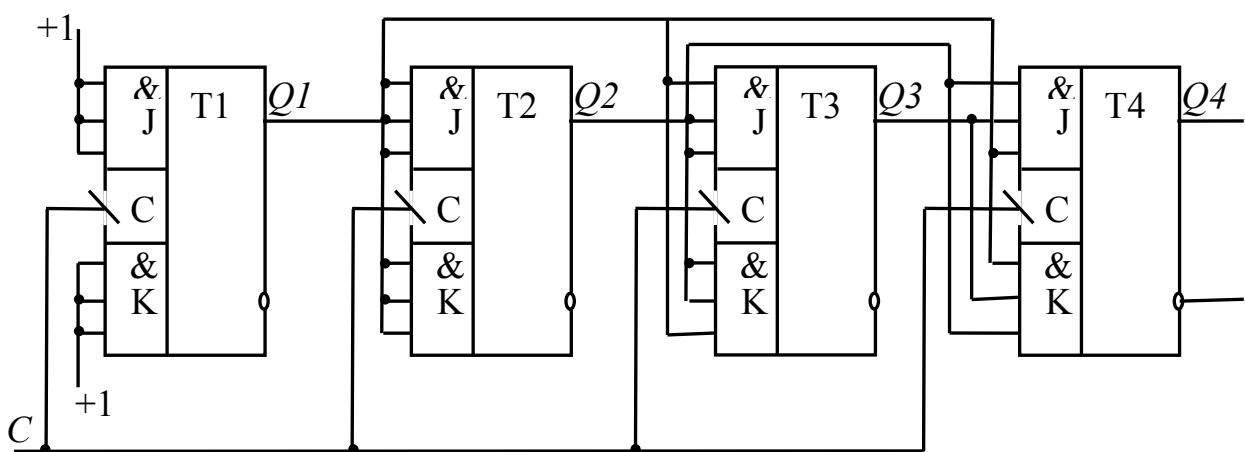


Рис. 5.32 – Двоичный суммирующий счетчик с параллельным переносом

Синхронный счетчик реализован на J-K-триггерах, имеющих по три входа J и три входа K, объединенных логической операцией конъюнкции. Временные диаграммы этого счетчика такие же, как на рис. 5.28. Первый триггер работает в счетном режиме. Для этого на его входы J и K постоянно поданы уровни логической «1» (см. последнюю строку табл. 5.9 и рис 5.24).

Второй триггер (согласно временным диаграммам на рис. 5.28) изменяет (инвертирует) свое состояние по фронту «1-0» входного сигнала только при единичном уровне на выходе Q1. С учетом таблицы состояний J-K-триггера (см. последнюю строку в табл. 5.9) входы J, K второго триггера подключены к выходу Q1.

Третий триггер изменяет свое состояние по фронту «1-0» входного сигнала С только при единичных уровнях на выходах первого и второго триггера. Четвертый триггер изменяет свое состояние, когда три первых триггера находятся в единичном состоянии. Поэтому на входы J, K последнего триггера поданы выходные сигналы первых трех триггеров.

Все триггеры могут изменять свои состояния только одновременно по фронту «1-0» входного сигнала. Поэтому задержки распространения сигналов на всех выходах будут примерно равны (если не считать технологический разброс параметров триггеров). Такой счетчик (рис. 5.32) обладает минимальными задержками распространения сигналов от входа С ко всем выходам, и поэтому – максимальным быстродействием.

На практике часто возникает потребность реализации счетчиков с коэффициентами деления, отличными от  $2^n$ . На рис. 5.33 приведена схема счетчика с коэффициентом деления  $k=3$  и его временные диаграммы.

Инверсный выход второго триггера T2 соединен со входом J первого триггера T1. Поэтому при нулевом состоянии второго триггера – первый триггер работает в обычном счетном режиме. После установки второго триггера в единичное состояние – первый триггер принудительно удерживается в нулевом состоянии и это же состояние переписывается во второй триггер по фронту следующего входного импульса. Таким образом, в счетчике всегда пропускается одно состояние (с двоичным кодом «11»).

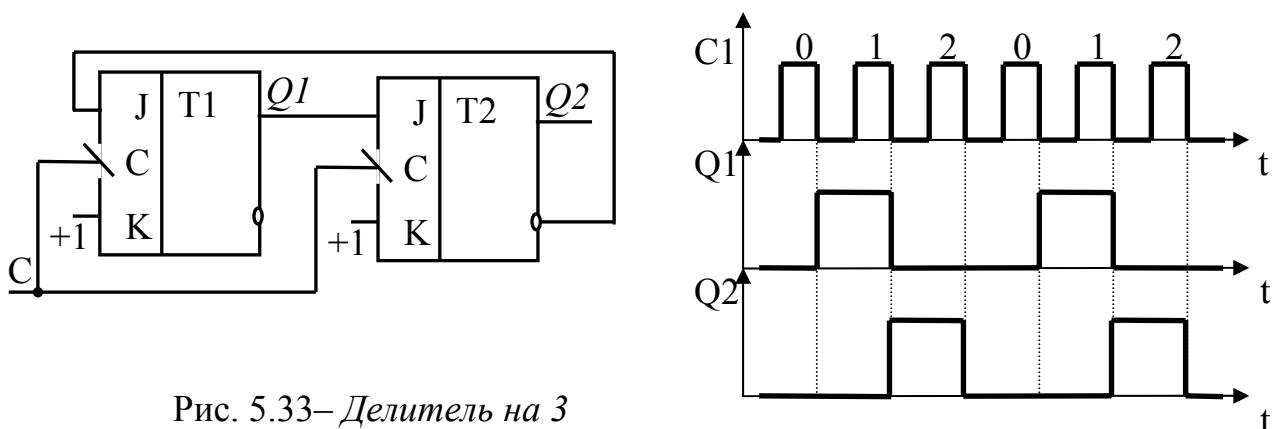


Рис. 5.33–Делитель на 3

Схема счетчика с коэффициентом деления  $k = 5$  приведена на рис. 5.34.

Первые два триггера (рис. 5.34) работают как счетчик с последовательным переносом, пока на инверсном выходе третьего триггера высокий

логический уровень. При установке третьего триггера в единичное состояние запрещается счет первого триггера подачей нулевого потенциала с инверсного выхода  $\bar{Q}_3$  на вход J первого триггера. По окончанию последнего четвертого импульса (счет импульсов ведется от нуля, см. временные диаграммы на рис. 5.35) третий триггер сбросится в нуль, потому что на его входах J установились нули. Цикл работы счетчика повторится (см. временные диаграммы на рис. 5.35)

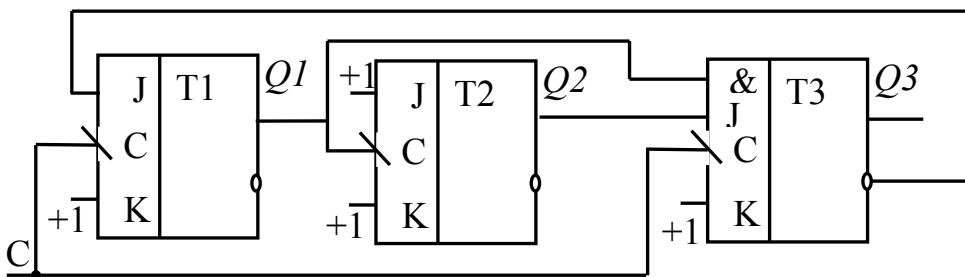


Рис. 5.34—Делитель на 5

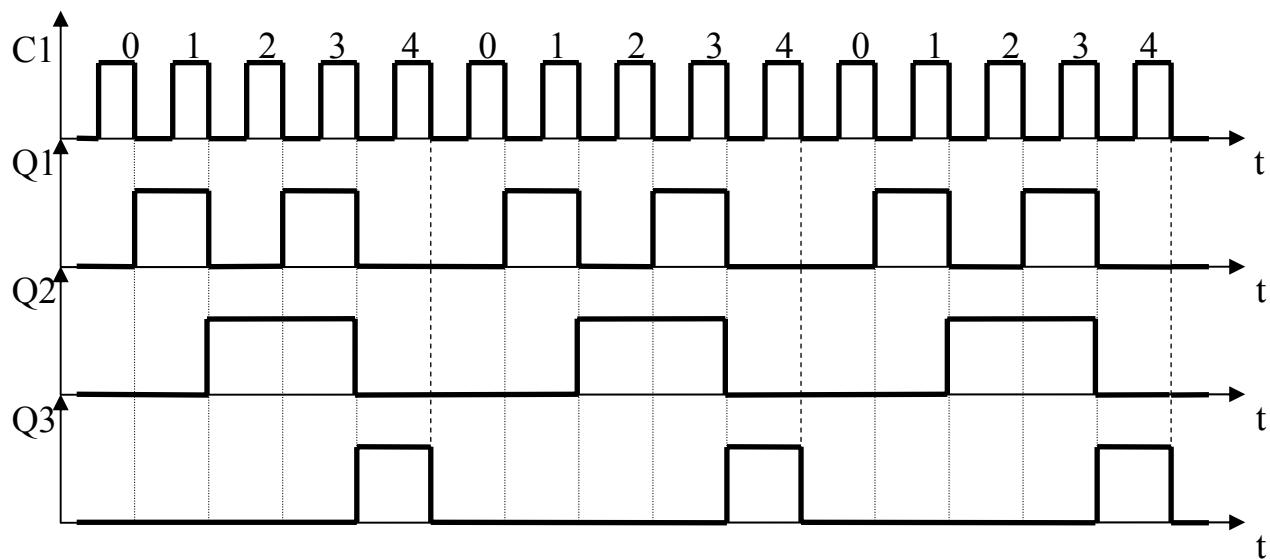


Рис 5.35 – Временные диаграммы делителя на 5

Счетчик с коэффициентом деления  $k=6$  может быть реализован последовательным соединением счетчика на 2 (обычный счетный триггер) и счетчика на 3 (рис. 5.33). Коэффициент деления  $k=9$  можно получить, соединив последовательно два счетчика с коэффициентом  $k=3$ . Делитель на 10 получают последовательным соединением делителя на 2 и делителя на 5 (рис. 5.34).

Для реализации делителей с произвольным коэффициентом деления существует несколько методов.

**Задача 5.1** – Рассмотрим одну из методик синтеза счетчика с коэффициентом деления  $k=14$ :

- определяем количество триггеров –  $n$ :

$$n = \lceil \log_2 (k - 2) \rceil, \quad (5.4)$$

(знак  $\lceil \dots \rceil$  – означает ближайшее большее целое),

$$n = \lceil \log_2 (14 - 2) \rceil = 4;$$

- переводим в двоичный код число « $k-2$ »;

$$14 - 2 = 12_{(10)} = 1100_{(2)};$$

- в счетчике с количеством триггеров  $n$  выделяем разряды, которым в двоичном коде числа « $k-2$ » соответствуют единицы; с выходов этих триггеров подаем сигналы на элемент Шеффера;
- выходной сигнал элемента Шеффера является входным для дополнительного D-триггера;
- сигнал с выхода дополнительного D-триггера подается на входы асинхронного сброса всех триггеров счетчика (см. рис. 5.36).

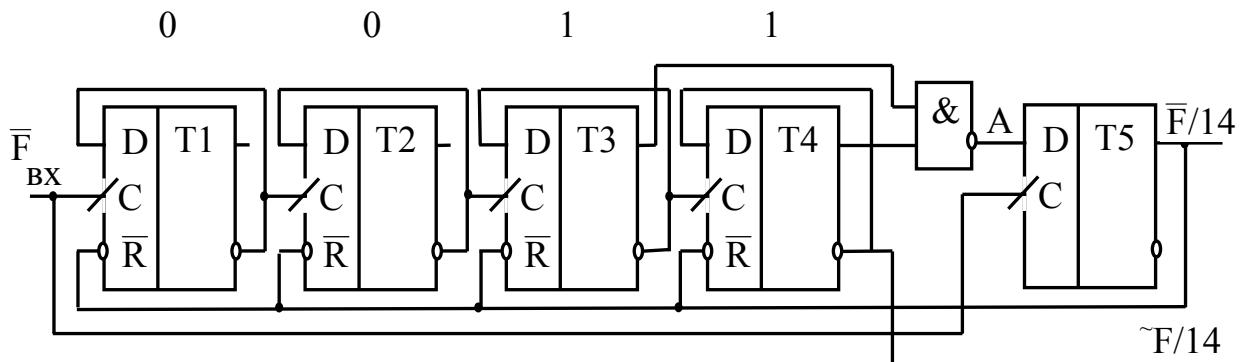


Рис. 5.36–Делитель на 14

Делитель реализован на D-триггерах типа KP1533TM2 (рис. 5.36). Эти триггеры управляются восходящим фронтом «0-1». Над триггерами T1...T4 приведен двоичный код числа 12 (младший разряд кода – над первым триггером T1). Выходы триггеров T3 и T4 подключены ко входам элемента Шеффера. Коды выходных логических сигналов для всех триггеров и элемента «И-НЕ» (точка A) приведены в табл. 5.11.

При всех состояниях счетчика, кроме 12-го, на выходе элемента Шеффера (точка A) формируется логическая «1», которая по восходящему фронту каждого входного импульса записывается в дополнительный триггер T5. После прихода 12-го импульса на выходе схемы «И-НЕ» устанавливается логический «0», но в триггер T5 логический «0» запишется по заднему (восходящему) фронту следующего входного импульса (см. табл. 5.11).

Таблица 5.11 – Кодовые комбинации счетчика на 14

Код	T4	T3	T2	T1	A	T5
0	0	0	0	0	1	1
1	0	0	0	1	1	1
2	0	0	1	0	1	1
3	0	0	1	1	1	1
4	0	1	0	0	1	1
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	1
8	1	0	0	0	1	1
9	1	0	0	1	1	1
10	1	0	1	0	1	1
11	1	0	1	1	1	1
12	1	1	0	0	0	1
0	0	0	0	0	1	0

После записи в триггер T5 нуля устанавливаются в «0» все триггеры счетчика (T1..T4) по входам асинхронного сброса R (см. рис. 5.36).

После этого на выходе элемента Шеффера формируется логическая «1», которая переписывается в триггер по окончанию следующего входного импульса.

Таким образом, счетчик поочередно перебирает все состояния от «0001» до «1100» и имеет два нулевых состояния (см. первую и последнюю строку табл. 5.11) Поэтому при реализации счетчика необходимо использовать код: « $k-2$ ».

### 5.3 ПАРАЛЛЕЛЬНЫЕ И ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ

Регистры предназначены для выполнения следующих основных микроопераций над  $n$ -разрядным кодом:

- сброс регистра в состояние «00...0» (все нули);
- установка регистра в состояние «11...1» (все единицы);
- прием и хранение в регистре кода числа;
- выдача числа из регистра в прямом или обратном коде;
- сдвиг хранимого в регистре кода на заданное число разрядов вправо или влево;
- преобразование кода из параллельной формы записи в последовательную и наоборот.

ПАРАЛЛЕЛЬНЫЕ РЕГИСТРЫ применяются для хранения информации, представленной в виде двоичного кода. Такие регистры должны по тактовому разрешающему сигналу (это может быть короткий импульс или фронт импульса) принимать параллельный код входной информации и хранить его до прихода следующего разрешающего сигнала.

Для построения параллельных регистров наиболее удобны однотактные или двухтактные D-триггеры.

На рис. 5.37 показан пример параллельного регистра на однотактных D-триггерах, управляемых потенциалом. В момент подачи на синхровходы C1, C2 коротких положительных импульсов двоичный код с входов

$D_1 \dots D_4$  защелкивается в триггеры и может быть прочитан на выходах  $Q_1 \dots Q_4$ .

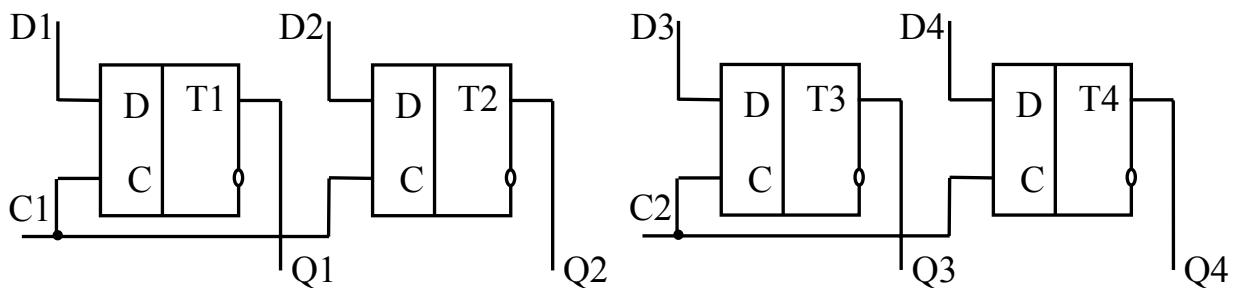


Рис. 5.37 – Параллельный регистр на однотактных D-триггерах KP555TM5

**ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ** (или регистры сдвига) широко применяются в цифровой вычислительной технике для преобразования последовательного кода в параллельный или параллельного в последовательный.

Последовательные регистры можно реализовать ТОЛЬКО на двухтактных триггерах, управляемых фронтом. На рис. 5.38 приведена схема сдвигающего регистра на последовательно соединенных D-триггерах.

Вход  $D_1$  первого триггера служит для приема в регистр информации в виде последовательного кода. По восходящему фронту на входе  $C$  информация с входа  $D_1$  запишется в первый триггер, а логический уровень, который был на выходе  $Q_1$  до начала восходящего фронта тактового импульса, запишется во второй триггер. И так каждый последующий триггер устанавливается в состояние, в котором до этого находился предыдущий, осуществляя, тем самым, сдвиг информации на один разряд вправо.

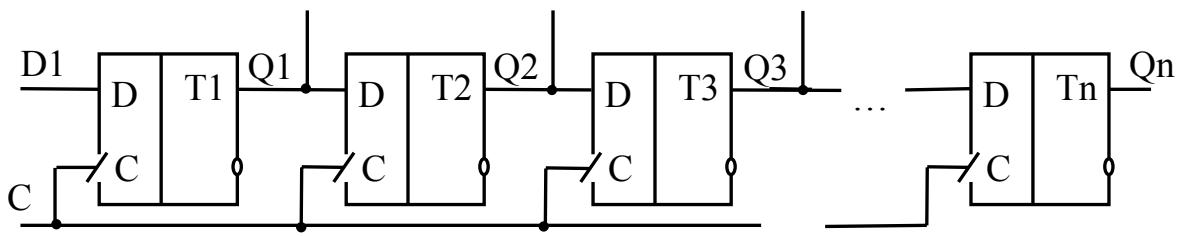


Рис. 5.38 – Последовательный регистр сдвига на D-триггерах, управляемых фронтом

После подачи « $n$ » тактовых импульсов  $n$ -битовый последовательный код «вдвигается» полностью в регистр и может быть считан в параллельном формате с выходов  $Q_1 \dots Q_n$ .

Сдвигающий регистр **не может быть реализован** на **ОДНОТАКТНЫХ ТРИГГЕРАХ**, тактируемых потенциалом. Если в схеме на рис. 5.38 применить триггеры, тактируемые потенциалом, то при подаче первого разрешающего импульса первый триггер  $T_1$  перепишет на

выход свой входной сигнал D1. Но на синхровходе второго триггера T2 также будет разрешающий потенциал и этот же входной сигнал запишется и во второй триггер. Аналогично с минимальными задержками сигнал со входа D1 запишется во все триггеры, т.е. сдвига на один разряд входного кода не будет.

Сдвигающий регистр может быть реализован на J-K- или R-S- триггерах (рис. 5.39). При этом первый триггер необходимо дополнить инвертором или выполнить на D-триггере.

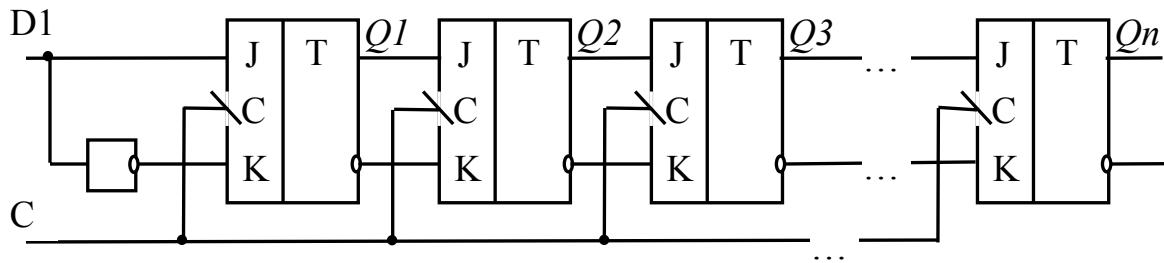


Рис. 5.39 – Сдвигающий регистр на J-K-триггерах

В некоторых схемах совмещаются функции параллельного и последовательного регистров. На рис. 5.40 приведена схема универсального регистра на двухтактных D-триггерах, управляемых фронтом, и мультиплексорах «2 на 1».

На входы D1..Dn подается параллельный код для записи в регистр по фронту «0-1» входного синхроимпульса. При этом на управляющем входе S/P (последовательный /параллельный) должен быть низкий логический уровень.

После подачи высокого логического уровня на управляющий вход S/P регистр переводится в режим последовательного сдвига. На вход Ds подается последовательный код для преобразования его в параллельный. Преобразованный параллельный код может быть прочитан с выходов Q1...Qn.

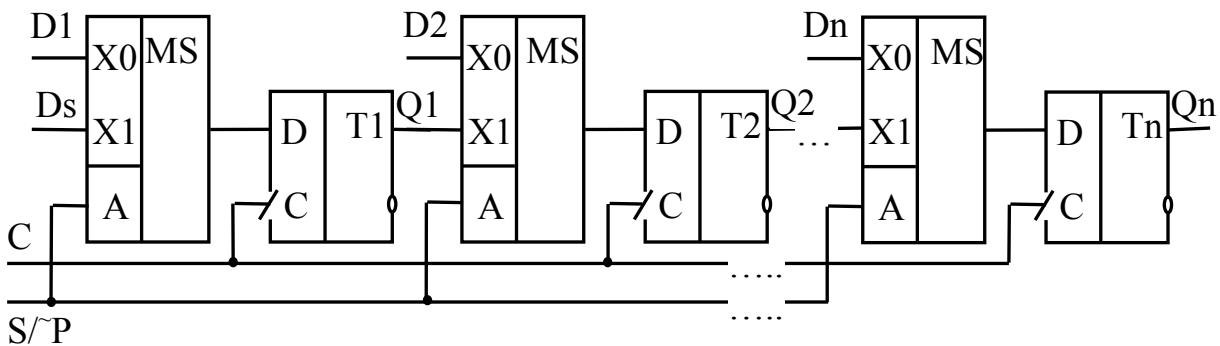


Рис. 5.40 – Универсальный регистр

Этот же регистр может использоваться для обратного преобразования записанного в него параллельного кода в последовательный. Последовательный код при этом снимается с выхода Qn.

На основе универсального регистра возможно построение реверсивного последовательного сдвигающего регистра. Для этого выходы каждого триггера ( $Q_i$ ) соединяются со входами параллельной записи ( $D_{i-1}$ ) предыдущих ячеек регистра. При низком логическом уровне на управляющем входе  $S/P$  регистр осуществляет сдвиг влево хранимого в нем кода (на вход  $D_n$  поступает последовательный код для преобразования его в параллельный со сдвигом влево). При высоком логическом уровне на управляющем входе регистр выполняет обычный сдвиг кода вправо.

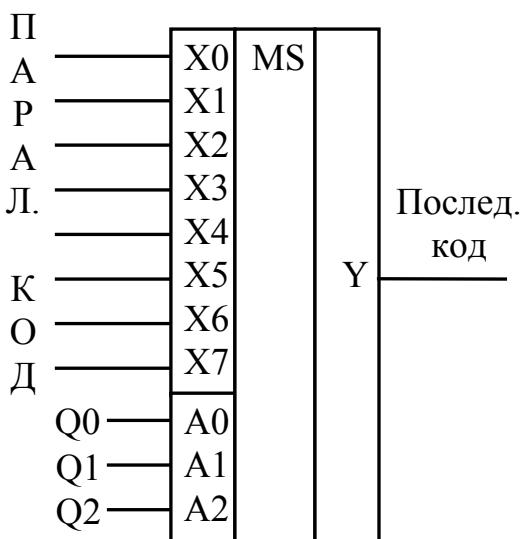


Рис. 5.41 – Преобразователь параллельного кода в последовательный на мультиплексоре

Необходимо отметить, что операцию преобразования параллельного кода в последовательный (сдвиг кода) можно реализовать на логических комбинационных схемах, например, на мультиплексорах (см. рис. 5.41).

На входы  $X_0 \dots X_7$  подается параллельный восьмибитовый код; на адресные входы  $A_0 \dots A_2$  подаются сигналы с выходов двоичного счетчика ( $Q_0 \dots Q_2$ ) на трех счетных триггерах. С выхода  $Y$  снимается преобразованный последовательный код.

Если двоичный счетчик (с выходами  $Q_0 \dots Q_2$ ) выполнить реверсивным, то и преобразование параллельного кода в последовательный можно выполнять, начиная с младшего или старшего разряда.

## 5.4 КОЛЬЦЕВЫЕ СЧЕТЧИКИ

Кольцевые счетчики – это замкнутые в кольцо регистры сдвига, по которым под воздействием входных импульсов циркулирует одна или несколько кодовых единиц.

Кольцевой счетчик на четырех D-триггерах KP1533TM2 показан на рис. 5.42. Используя входы асинхронной установки  $\sim S$ ,  $\sim R$ , можно записать в регистр начальное состояние, например, в первый триггер – «1», а в остальные триггеры – нули. При поступлении на вход  $C$  серии импульсов в регистре циркулирует сигнал типа «бегущая единица». Записав в регистр другое начальное состояние, можно реализовать сигнал «бегущий нуль» или любую другую четырехбитовую комбинацию. Максимальный коэффициент пересчета кольцевых счетчиков равен числу «закольцованных» триггеров.

Кольцевой счетчик с перекрестной связью от инверсного выхода называется «Счетчик Джонсона» (рис. 5.43).

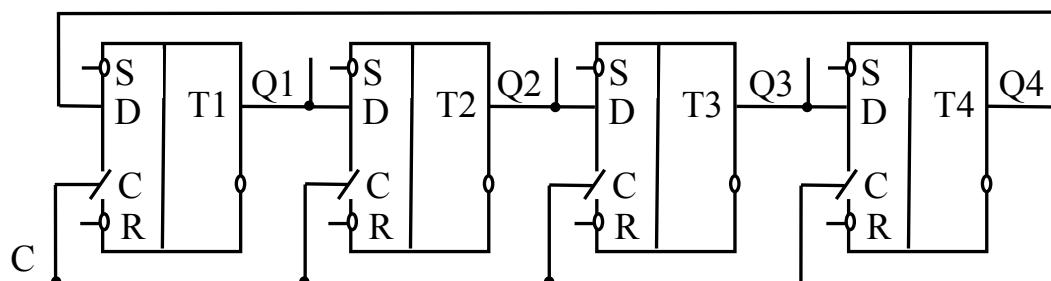


Рис. 5.42 – Кольцевой счетчик на D-триггерах

Таблица 5.12 – Кодовые комбинации кольцевого счетчика при формировании сигнала «бегущая единица»

Выход Q1	1	0	0	0	1	0	0	0	1	0	0	0
Выход Q2	0	1	0	0	0	0	1	0	0	0	1	0
Выход Q3	0	0	1	0	0	0	0	1	0	0	0	1
Выход Q4	0	0	0	1	0	0	0	0	1	0	0	1

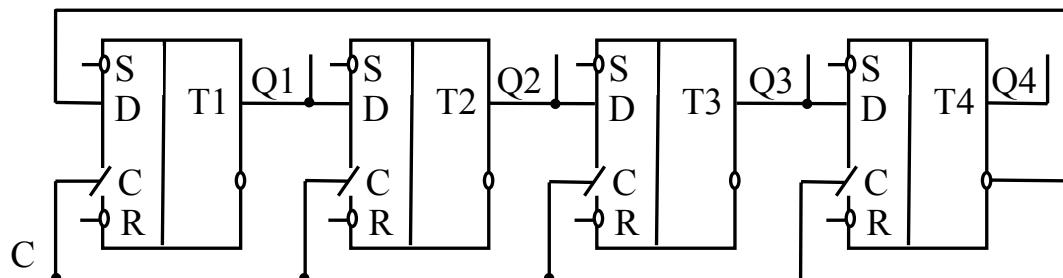


Рис. 5.43 – Счетчик Джонсона на D-триггерах

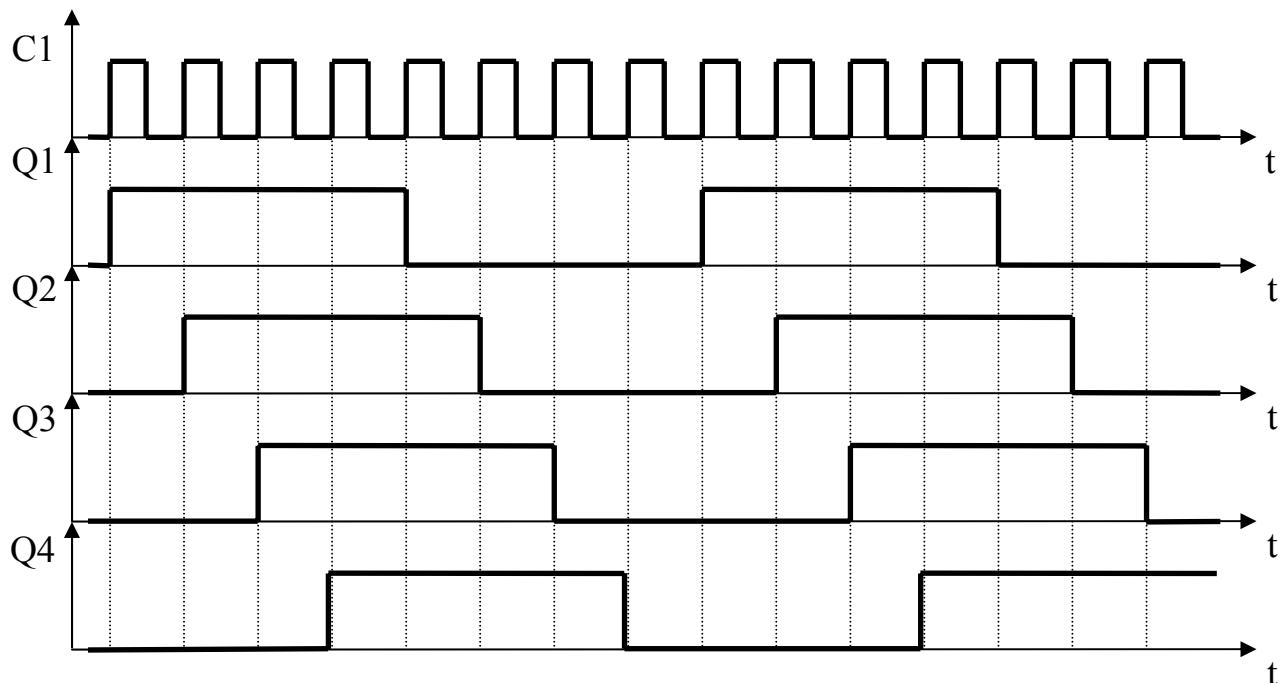


Рис. 5.44 – Временные диаграммы на выходах счетчика Джонсона

Если установить счетчик Джонсона в нулевое (или единичное) состояние, то под воздействием входных счетных импульсов С в кольце распространяется «волна нулей», а за ней «волна единиц» (см. временные диаграммы на рис. 5.44). Коэффициент пересчета в два раза больше количества «закольцованных» триггеров.

Важным преимуществом счетчика Джонсона является параллельная запись информации во все триггеры, что делает минимальными времена задержек распространения сигнала от счетного входа до всех выходов.

Вторым преимуществом счетчика Джонсона является тот факт, что с приходом каждого счетного импульса изменяет свое состояние только один триггер (см. временные диаграммы на рис. 5.44). Поэтому счетчик Джонсона является самым быстродействующим из всех известных счетчиков, а также при дешифрации любого состояния или нескольких соседних состояний достаточно двухходовых схем конъюнкции при любом количестве «закольцованных» триггеров, тогда как для двоичных счетчиков дешифратор строится на схемах конъюнкции, имеющих количество входов, равное количеству триггеров.

Неприятной особенностью кольцевых счетчиков является возможность сбоев, вызванных появлением лишних или исчезновением нужных кодовых единиц в кольце. Причем эти сбои, раз возникнув, могут существовать во время счета неопределенно долго, если не принять специальных мер по их устранению.

## 5.5 УНИВЕРСАЛЬНЫЕ СЧЕТЧИКИ

Среди микросхем средней степени интеграции (СИС) выделим универсальные счетчики, объединяющие параллельный регистр и двоичный (возможно – двоично-десятичный) счетчик. На рис. 5.45 приведена схема универсального четырехразрядного реверсивного двоичного счетчика с параллельным переносом K531ИЕ17.

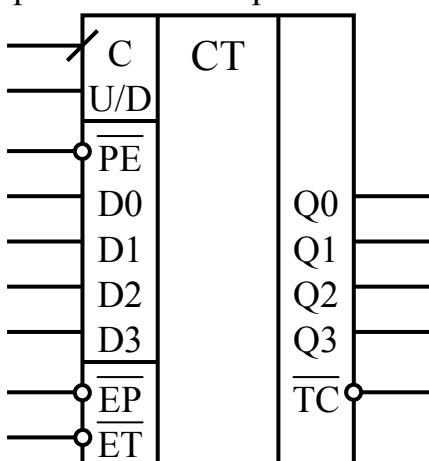


Рис. 5.45 – Универсальный счетчик K531ИЕ17

Изменение состояний выходных сигналов возможно только по восходящему фронту "0-1" импульса на синхроводе «С».

В режиме параллельной загрузки (т.е. микросхема работает как параллельный регистр) входной код D0..D3 переписывается в триггеры счетчика при нулевом активном уровне на входе разрешения параллельной записи  $\overline{PE} = 0$  (на остальных управляющих входах возможны любые логические уровни, что обозначено символом «\*» в таблице 5.13).

Таблица 5.13 – Режимы счетчика K531IE17

Режим	C	U/D	$\overline{EP}$	$\overline{PE}$	$\overline{P\bar{E}}$	D0...D3
Параллельная загрузка	↑	*	*	*	0	Код
Счет на увеличение	↑	1	0	0	1	*
Счет на уменьшение	↑	0	0	0	1	*
Хранение	↑ ↑	* *	1 *	* 1	1 1	* *

Счет входных импульсов на увеличение определяется высоким логическим уровнем на входе U/D, нулевыми логическими уровнями на входах разрешение переноса ( $\overline{EP} = 0$ ) и разрешение счета ( $\overline{ET} = 0$ ), а также запретом параллельной записи ( $\overline{PE} = 1$ ).

Счет на уменьшение отличается только нулевым уровнем на входе U/D.

Для перевода в режим хранения достаточно запретить параллельную запись ( $\overline{PE} = 1$ ) и выставить запрещающий высокий уровень на один из входов разрешения счета ( $\overline{PE} = 1$  или  $\overline{EP} = 1$ ).

Выходной код счетчика можно контролировать на выходах триггеров Q0..Q3. На выходе  $\overline{TC}$  (окончание счета) выставляется нулевой активный уровень при единичных сигналах на выходах всех триггеров в режиме счета на увеличение или нулевых уровнях на выходах триггеров в режиме счета на уменьшение.

Аналогичный по параметрам двоично-десятичный счетчик называется K531IE16. В нем на выходе  $\overline{TC}$  выставляется активный нулевой уровень при коде "1001" в режиме счета на увеличение или нулевых уровнях на выходах триггеров в режиме счета на уменьшение.

На рис. 5.46 приведена схема многокаскадного реверсивного быстродействующего счетчика на микросхемах K531IE17.

Входные счетные импульсы подаются на входы синхронизации всех микросхем параллельно, что обеспечивает максимальное быстродействие и минимальные задержки распространения сигналов. Счет во второй микросхеме возможен только при активном нулевом уровне на выходе переноса (окончание счета  $\overline{TC}$ ) первой микросхемы.

Третий счетчик добавляет (вычитает) единицу по окончанию счета в первом и втором счетчике.

В любой момент времени во все счетчики может быть записан входной код при активном нулевом уровне на входе  $\overline{PE}$  (параллельной загрузки) и восходящему фронту "0-1" на входе "C".

На основе многокаскадного счетчика (рис. 5.46) легко реализовать Делитель с Программируемым Коэффициентом Деления (ДПКД), если соединить выход последнего счетчика  $\overline{TC}$  (окончание счета) со входами

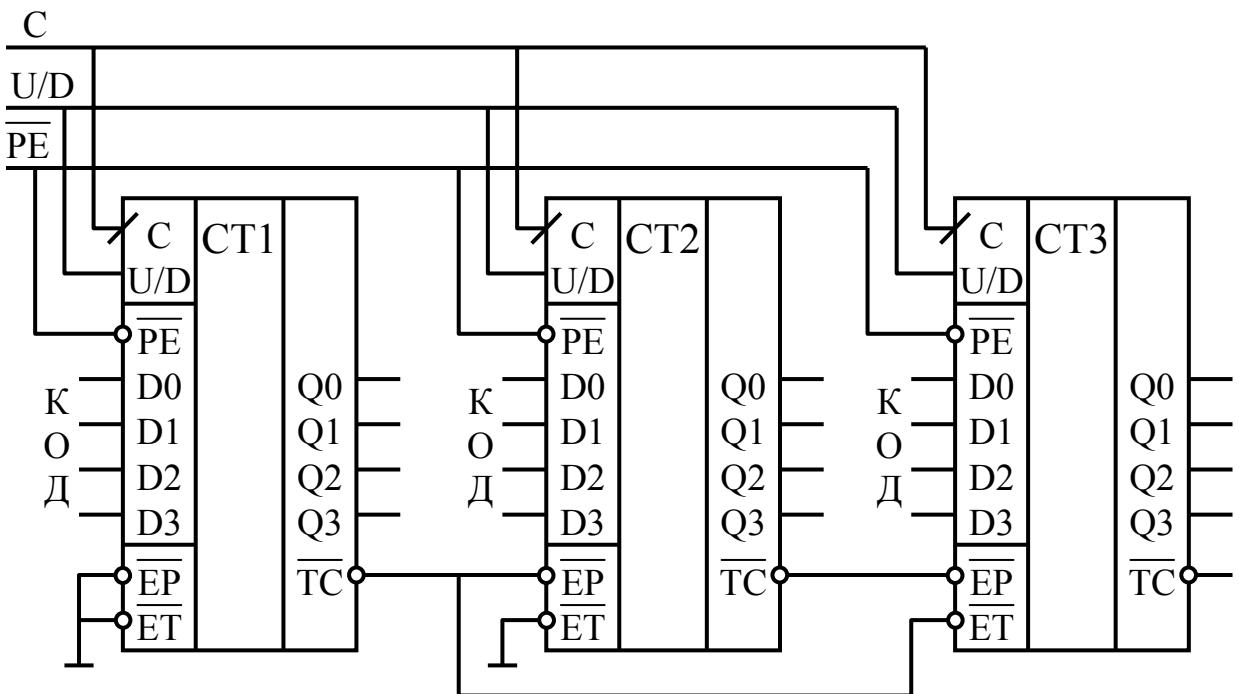


Рис. 5.44 – Многокаскадный счетчик на м/с K531IE17

параллельной загрузки ( $\overline{PE}$ ) всех микросхем. Этот последний выход  $\overline{TC}$  будет выходом всего делителя.

В режиме счета на уменьшение ( $U/D = 0$ ) двоичный КОД на выходах микросхем должен быть на единицу меньше требуемого коэффициента деления. По окончании счета (на выходах всех триггеров – нулевые уровни) активный нулевой сигнал на выходе  $\overline{TC}$  записывает двоичный КОД в счетчики, и этот код при поступлении входных счетных импульсов «С» опять уменьшается до нуля, после чего производится повторная запись КОДа.

В режиме счета на увеличение ( $U/D = 1$ ) двоичный КОД должен быть на единицу больше коэффициента деления в дополнительном коде.

Применение в многокаскадном счетчике (рис. 5.46) микросхем K531IE16 позволяет записывать коэффициент деления в двоично-десятичном КОДе.

В архитектуре IBM-совместимых компьютеров применяется микросхема программируемого таймера i8254. В этой микросхеме имеются 3 независимых канала счетчиков, которые могут быть запрограммированы:

- ✓ как делители входной частоты на программируемый коэффициент;
- ✓ как формирователи одиночных импульсов с программируемой длительностью
- ✓ как формирователи временной задержки.

## 5.6 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Что такое триггер?
2. Назовите основные состояния триггера.
3. Какие недостатки имеются у асинхронного триггера?
4. Какие преимущества у синхронного триггера перед асинхронным?
5. Чем отличаются триггеры, синхронизируемые потенциалом, от триггеров, синхронизируемых фронтом?
6. Как можно поменять направление фронта синхронизации у триггера?
7. Чем определяется задержка распространения сигналов в триггерах?
8. Приведите схемы синхронных R-S-триггеров с минимальными задержками.
9. Чем отличаются R-S- и J-K-триггеры?
10. Что такое счетный триггер? Как можно реализовать счетный триггер на основе R-S-, D-, J-K-триггеров?
11. Можно ли реализовать счетный триггер на основе однотактного триггера?
12. Чем определяется максимальная частота счетного триггера?
13. Для чего у триггеров используют входы асинхронной установки?
14. Чем определяется коэффициент деления счетчиков?
15. Чем отличаются суммирующие счетчики от вычитающих?
16. Методы реализации реверсивных счетчиков.
17. Назовите преимущества и недостатки счетчиков с последовательным и параллельным переносом.
18. На каких триггерах можно реализовать счетчики?
19. Назовите методы реализации счетчиков с коэффициентом деления, отличным от  $2^n - k = 3, 5, 7, 9, 10, 12, 15, 20$  и др.
20. Назовите методы реализации счетчиков с произвольным или программируемым коэффициентом деления.
21. Назовите назначение параллельных и последовательных регистров.
22. На каких триггерах можно реализовать параллельные и последовательные регистры?
23. Особенности реализации универсальных регистров.
24. Как можно реализовать реверсивный регистр?
25. Как можно реализовать преобразование параллельного кода в последовательный на основе ЛКС?
26. Как можно реализовать кольцевые счетчики?
27. Чем определяются коэффициенты деления кольцевых счетчиков?
28. Как реализовать на кольцевом счетчике с прямой обратной связью коэффициент деления меньший, чем количество закольцованных триггеров?
29. На каких триггерах можно реализовать кольцевые счетчики?
30. Укажите преимущества и недостатки двоичных счетчиков и кольцевых счетчиков.

## **ТЕМА 6 ФОРМИРОВАТЕЛИ И ГЕНЕРАТОРЫ ИМПУЛЬСОВ**

### **6.1 ТРИГГЕР ШМИТТА**

На вход вычислительных систем логические сигналы поступают вместе с помехами (см. рис. 6.1 нижний график). Если такой сигнал подать непосредственно на вход логического элемента с передаточной характеристикой, приведенной на рис. 6.1, это приведет к появлению на выходе логического элемента дополнительных коротких импульсов, которые вызывают ложные срабатывания цифровых схем.

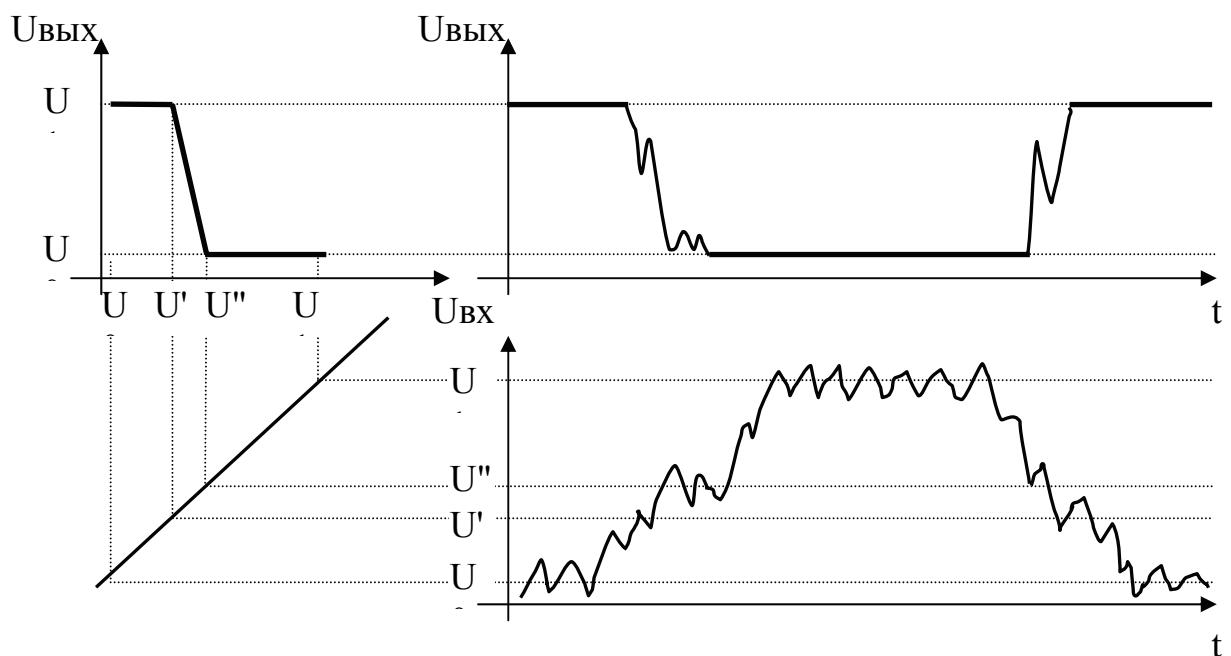


Рис 6.1 – Передаточная характеристика логического элемента и цифровые сигналы с помехами на входе и выходе логических элементов

В некоторых схемах на вход логических элементов поступают аналоговые сигналы с датчиков (например, синусоидальные или экспоненциальные сигналы), которые преобразовываются на выходе элемента в логические сигналы. Если входной сигнал находится некоторое время в интервале  $U'..U''$  (см. передаточную характеристику на рис. 6.1), т.е. логический элемент работает в режиме аналогового усилителя, это может привести к самовозбуждению схемы за счет паразитных положительных обратных связей (например, по общим цепям питания). При медленном изменении входного сигнала реально можно наблюдать появление на выходе логического элемента пачки коротких импульсов, которые вызовут ложные срабатывания последующих схем.

Поэтому для всех логических элементов нормируются (указываются в ТУ максимально допустимые) длительности фронтов входных сигналов, при которых еще не возникают ложные импульсы.

Для борьбы с ложными помехами применяют на входах цифровых схем ТРИГГЕРЫ ШМИТТА, обладающие свойством гистерезиса.

Из передаточной характеристики триггера Шмитта (рис. 6.2) следует, что при увеличении входного напряжения от нуля до  $U''$  выходное напряжение остается равным нулевому логическому уровню и при дальнейшем увеличении  $U_{вх}$  – выходное напряжение скачком увеличивается до единичного логического уровня. С уменьшением входного напряжения от  $U_{вх}$  до  $U'$  выходное напряжение остается на единичном уровне и при дальнейшем уменьшении  $U_{вх}$  - выходное напряжение скачком уменьшается до нулевого логического уровня.

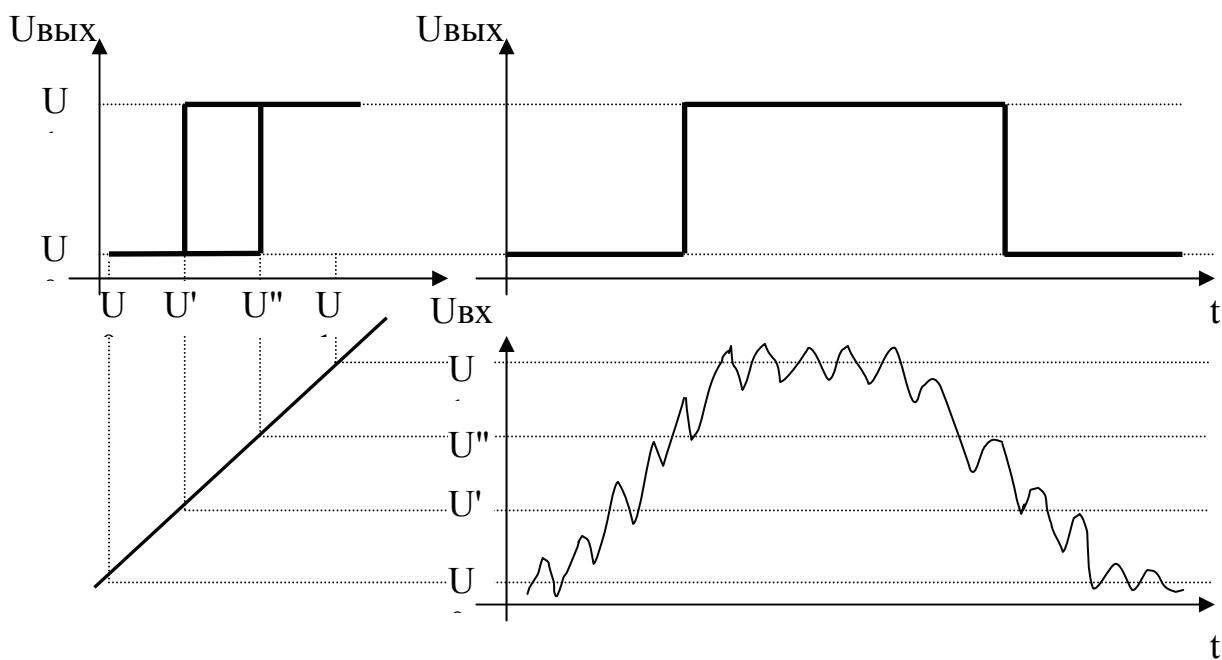


Рис. 6.2 – Передаточная характеристика триггера Шмитта. Сигналы на входе и выходе триггера Шмитта

Такая характеристика называется «петлей гистерезиса», а напряжение между входными напряжениями  $U'$  и  $U''$  – зоной гистерезиса или шириной петли гистерезиса.

При увеличении входного напряжения, зашумленного импульсными помехами (см. рис. 6.2), выходное напряжение остается на нулевом уровне до первого перехода входного сигнала через порог  $U''$ , после чего выходное напряжение скачком перейдет в единичное состояние. Если амплитуда помех на входе не превышает ширины зоны гистерезиса, то возникновение ложных импульсов на выходе триггера Шмитта – невозможно. Аналогично, при уменьшении входного сигнала до порога  $U'$  (см. рис. 6.2) выходное напряжение остается на единичном уровне, после чего резко (с минимальной длительностью фронта) уменьшается до нуля. Влияние входных помех

с амплитудой меньше, чем зона гистерезиса, не проявляется на выходном сигнале триггера Шмитта.

Для построения триггера Шмитта необходим усилитель постоянного тока с глубокой положительной обратной связью (рис. 6.3).

Параметры петли гистерезиса определяются элементами обратной связи. Для усилителя с большим коэффициентом усиления ширина зоны гистерезиса равна:

$$(U'' - U') = (U_{1\text{вых}} - U_{0\text{вых}}) * R1/R2. \quad (6.1)$$

Один из резисторов в соотношении (6.1) рассчитывается из неравенства:

$$R2 < (U_{0\text{вх}} - U_{0\text{вых}})/I_{0\text{вх}}. \quad (6.2)$$

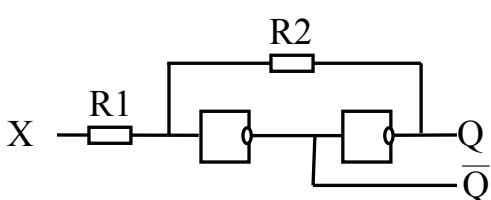


Рис. 6.3 – Триггер Шмитта

Все параметры в (6.1) и (6.2) выбираются из таблицы 3.1. Например, для триггера Шмитта на элементах ТТЛШ серии К1533 с шириной зоны гистерезиса 0,8 В – величину резистора R2 выбирают в пределах 1,5...2 кОм, а резистор R1 – 0,4...0,6 кОм. Для КМОП логических элементов номинал резистора R2 составляет несколько десятков или сотен кОм.

Как и в обычном триггере, в триггере Шмитта имеется два выхода: прямой Q и инверсный  $\bar{Q}$ .

В состав многих серий логических микросхем входят микросхемы с триггерами Шмитта, а также логические элементы (например, «И-НЕ» или шинные формирователи) с передаточной характеристикой, имеющей петлю гистерезиса.

## 6.2 ФОРМИРОВАТЕЛИ ИМПУЛЬСОВ ОТ МЕХАНИЧЕСКИХ КОНТАКТОВ

При проектировании цифровых устройств возникают задачи формирования одиночного импульса при замыкании или размыкании механических контактов (например, кнопки или механического датчика перемещения). Проблема заключается в том, что срабатывание механического контакта сопровождается многократным переходом в течение короткого времени от замкнутого состояния к разомкнутому и обратно (дребезг контактов). Это может привести к формированию пачки импульсов вместо желаемого одиночного импульса или перепада логического уровня.

На рис. 6.4 приведена схема «антидребезгового триггера». Резисторы R1, R2 обеспечивают подачу логических единиц на входы  $\sim R$ -S-триггера (режим хранения) при разомкнутых контактах.

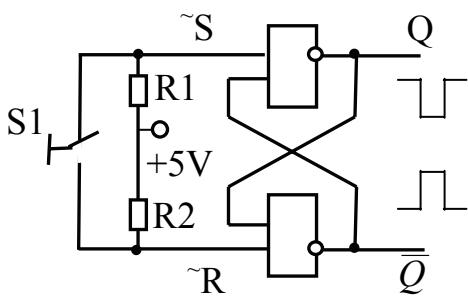


Рис. 6.4 – Антидребезговый триггер

Механический переключатель S1 по-  
дает в исходном состоянии нулевой потен-  
циал на вход  $\sim S$ . Триггер находится в еди-  
ничном состоянии. При переключении кон-  
тактов кнопки S1 в нижнее положение –  
первое замыкание вызывает установку  
триггера по входу  $\sim R$  в нулевое состояние.  
Возникающий дребезг контактов только  
подтверждает это состояние. Аналогично  
переключается триггер после возвращения  
механических контактов в исходное состоя-  
ние.

При каждом нажатии и отпускании кнопки S1 формируется одиноч-  
ный отрицательный импульс на выходе Q триггера (рис. 6.4).

На рис. 6.5 приведена схема подавления дребезга механического  
контакта, работающего только на замыкание (или размыкание).

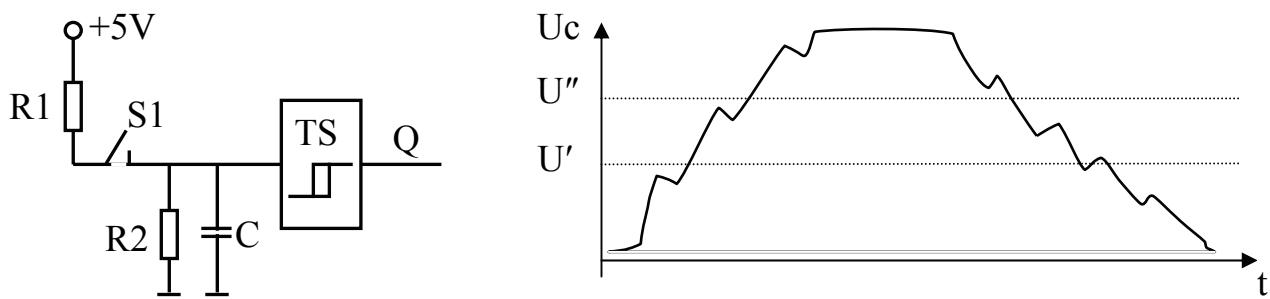


Рис 6.5 – Схема подавления дребезга с триггером Шмитта

Номинал резистора R2 выбирается из неравенства:

$$R2 < U_{0\text{вх}} / I_{0\text{вх}}. \quad (6.3)$$

Резистор R1 (ограничивает ток через замыкающийся контакт) значи-  
тельно меньше R2. Наличие дребезга контактов при замыкании или размы-  
кании кнопки S1 приводит к появлению «зазубрин» на временной диа-  
граммме напряжения на конденсаторе Uc (рис. 6.5). Подбирая номинал кон-  
денсатора, уменьшают амплитуду этих помех до уровня, меньшего зоны  
гистерезиса триггера Шмитта. Поэтому на выходе триггера Шмитта фор-  
мируется импульс без помех.

### 6.3 ФОРМИРОВАТЕЛИ ИМПУЛЬСОВ ПО ФРОНТУ ВХОДНОГО СИГНАЛА

Для фиксации событий по фронту входного сигнала можно исполь-  
зовать триггеры, управляемые фронтом, или формирователи коротких им-  
пульсов в момент смены логических уровней входных сигналов.

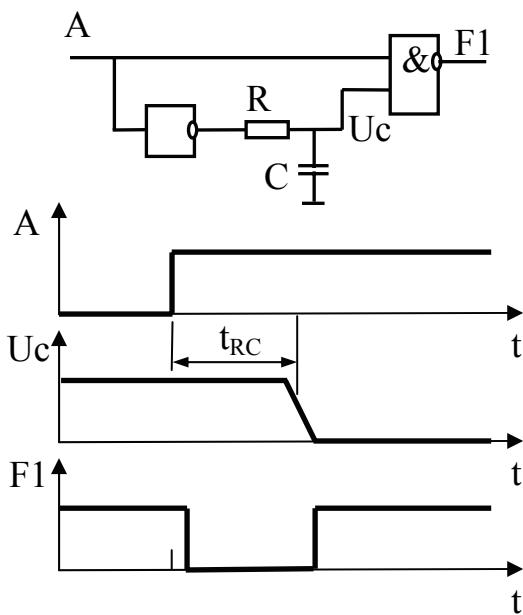


Рис. 6.6 – Формирователь отрицательных импульсов

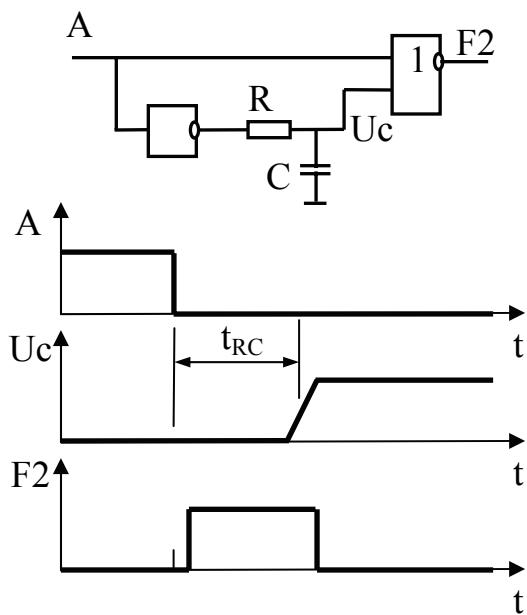


Рис. 6.7 – Формирователь положительных импульсов

Такие формирователи строятся на основе известных эффектов гонок (состязаний). Эти эффекты уже использовались в предыдущих разделах при синтезе динамически триггеров, управляемых фронтом (см. рис. 5.16 и рис. 5.20).

Схемы формирователей коротких импульсов аналогичны рис. 4.13 и рис. 4.14. Для формирования отрицательных импульсов обычно используют элементы Шеффера (рис. 6.6), а для положительных импульсов – элементы Пирса (рис. 6.7).

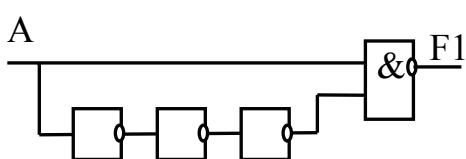


Рис. 6.8 – Формирователь коротких импульсов без навесных элементов

Длительность формируемых импульсов определяется задержкой сигнала в инверторе и в RC цепочке ( $t_{RC}$ ).

Вариант формирователя без внешних навесных элементов приведен на рис. 6.8. Длительность выходного импульса определяется задержкой распространения сигнала в трех инверторах. Для формирования временной задержки можно использовать и большее количество логических элементов, но их число должно быть нечетным.

Используя прямые и инверсные сигналы с выходов триггеров, можно упростить схемы формирователей (рис. 6.9). Возможно формирование положительных или отрицательных импульсов по восходящему или спадающему фронту сигнала на прямом выходе триггера.

Используя прямые и инверсные сигналы с выходов триггеров, можно упростить схемы формирователей (рис. 6.9). Возможно формирование положительных или отрицательных импульсов по восходящему или спадающему фронту сигнала на прямом выходе триггера.

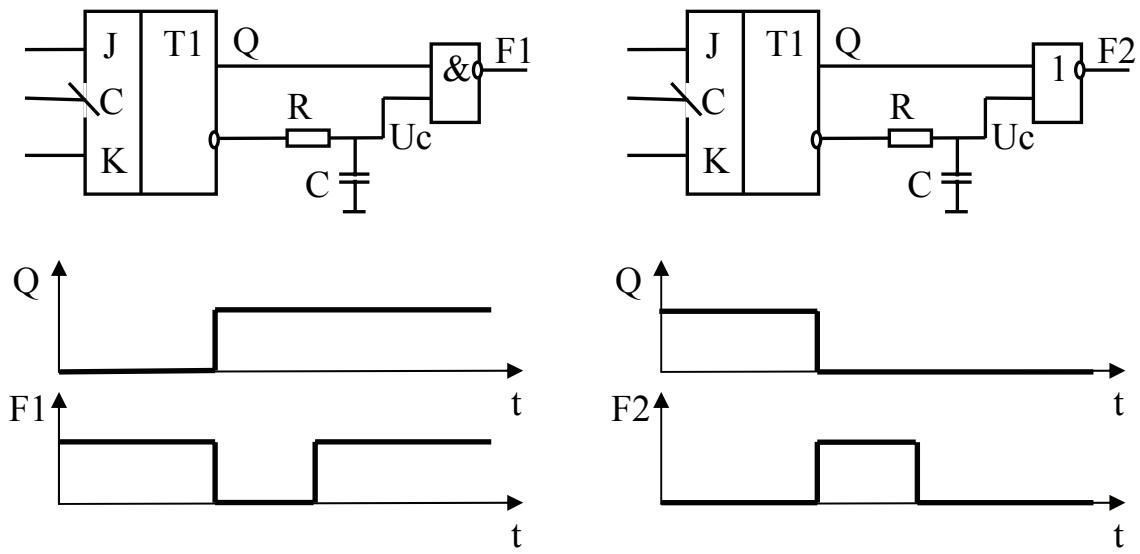


Рис. 6.9 – Формирователи по фронту сигналов на выходах триггеров

#### 6.4 ГЕНЕРАТОРЫ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ (МУЛЬТИВИБРАТОРЫ)

Простейшие мультивибраторы могут быть получены введением положительной обратной связи через реактивные элементы (конденсаторы или трансформаторы) в усилитель с большим коэффициентом усиления по напряжению.

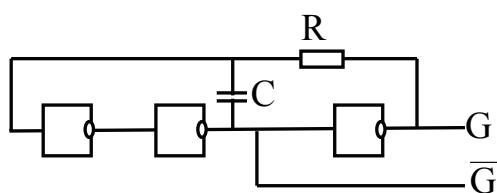


Рис. 6.10 – Генератор прямоугольных импульсов

Поскольку любой логический элемент имеет на передаточной характеристике область активного усилительного режима, достаточно обеспечить такой режим и ввести положительную обратную связь через конденсатор (рис. 6.10).

Резистор  $R$ , включенный в цепь отрицательной обратной связи по постоянному току, переводит все логические элементы в активный усилительный режим. Величина резистора определяется соотношением (6.2).

Конденсатор  $C$ , включенный в цепь положительной обратной связи по переменному току, обеспечивает режим самовозбуждения. Частота генерируемых импульсов определяется параметрами  $RC$ -цепочки:

$$F \approx 1/(1,4 * R * C). \quad (6.4)$$

Можно реализовать мультивибратор на двух инверторах (рис. 6.11). Каждый инвертор переводится в режим аналогового усиления своим рези-

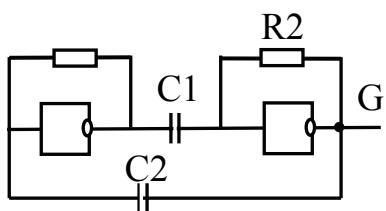


Рис. 6.11 – Мультивибратор

Генераторы (рис. 6.10 и рис. 6.11) характеризуются невысокой стабильностью выходной частоты (относительная нестабильность – несколько процентов).

Для повышения стабильности вместо одного из конденсаторов можно использовать в этих схемах кварцевый резонатор.

Очень простой генератор можно реализовать на триггере Шмитта (рис. 6.12). Выходная частота определяется параметрами RC-цепи и величиной зоны гистерезиса.

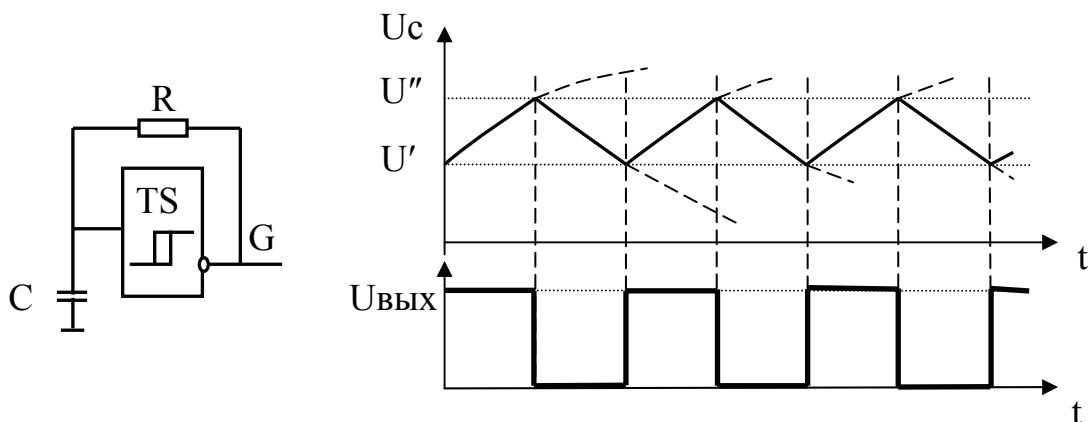


Рис 6.12 – Мультивибратор на основе триггера Шмитта

## 6.5 ЖДУЩИЕ МУЛЬТИВИБРАТОРЫ (ОДНОВИБРАТОРЫ)

Схемы одновибраторов имеют одно устойчивое состояние, в котором они могут оставаться сколь угодно долго, и одно неустойчивое состояние, время нахождения в котором определяется параметрами RC-цепи. Переход в неустойчивое состояние осуществляется коротким входным импульсом или по фронту входного сигнала.

На рис. 6.13 приведена схема одновибратора на логических элементах. Исходное устойчивое состояние определяется соединением входа второго логического элемента с общим проводом через резистор R (номинал этого резистора определяется из неравенства (6.3)). В этом состоянии на выходе второго логического элемента устанавливается высокий логический уровень, а на выходе первого – низкий логический уровень. Конденсатор С разряжен, т.к. на его двух обкладках нулевой уровень.

С приходом короткого входного импульса ( $U_{вх}$ ) напряжение на выходе первого логического элемента скачком увеличивается до единичного

стором ( $R_1, R_2$ ), номиналы резисторов выбираются из неравенства (6.2). Частота выходного сигнала определяется по формуле (6.4), только учитывается суммарное сопротивление  $R_1, R_2$  и суммарная емкость  $C_1, C_2$ .

Генераторы (рис. 6.10 и рис. 6.11) ха-

уровня, этот же уровень передается через разряженный конденсатор на вход второго элемента (см. временные диаграммы на рис. 6.13). Низким логическим уровнем с выхода второго элемента блокируется вход схемы даже после окончания входного импульса.

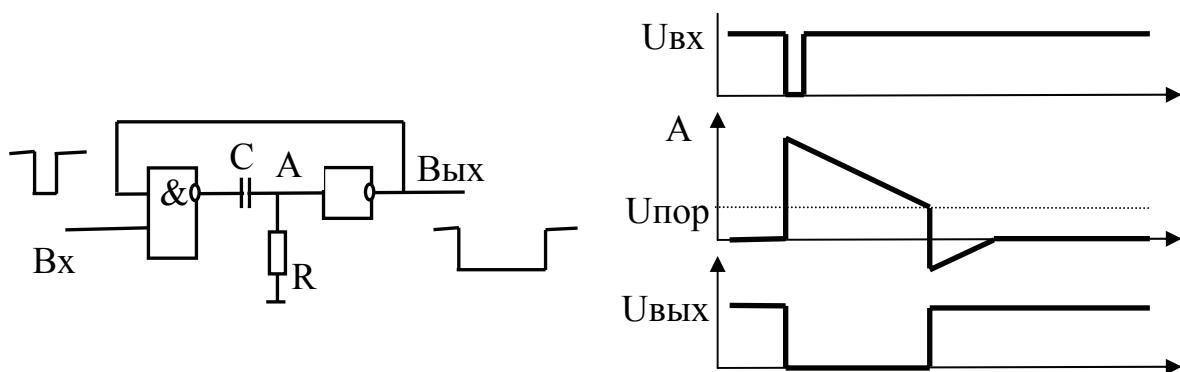


Рис. 6.13 – Ждающий мультивибратор на логических элементах

Заряд конденсатора  $C$  через резистор  $R$  продолжается до уровня порогового напряжения на входе второго логического элемента (точка А на рис. 6.13), после чего схема скачком возвращается в исходное устойчивое состояние.

Простой одновибратор можно реализовать на D-триггере (рис. 6.14). В исходном состоянии на выходе триггера нулевой логический уровень. Конденсатор  $C$  разряжен. По восходящему фронту входного импульса в триггер записывается «1» (со входа D) и начинается заряд конденсатора  $C$  через резистор  $R$  до уровня порогового напряжения.

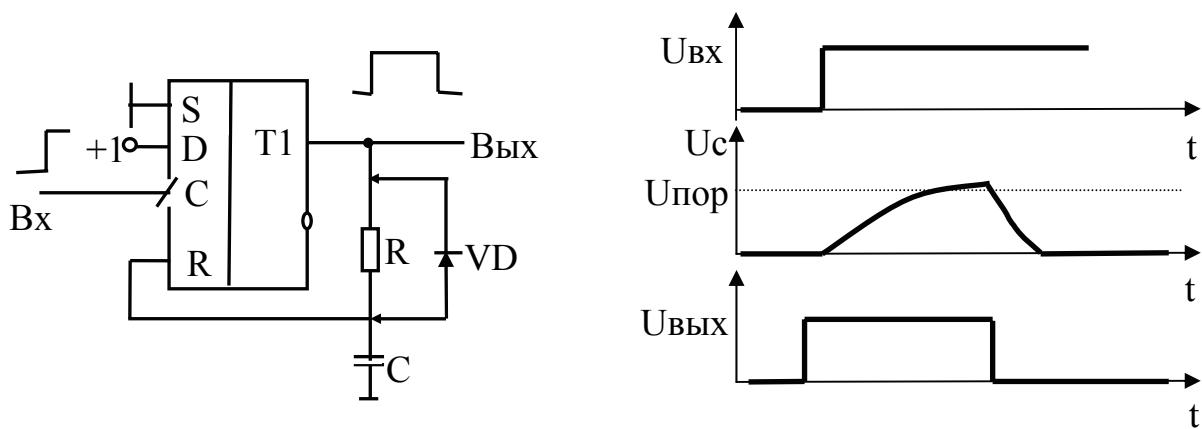


Рис. 6.14 – Ждающий мультивибратор на D-триггере

Если напряжение на конденсаторе превысит пороговое, триггер установится в исходное нулевое состояние по входу асинхронного сброса (R). Конденсатор будет медленно разряжаться через резистор R. Для ускорения разряда конденсатора можно параллельно резистору R включить диод VD, который не влияет на режим заряда конденсатора (при формировании

ния импульса) и быстро разряжает конденсатор через свое малое сопротивление (по окончании формирования импульса).

В составе большинства серий логических микросхем ТТЛШ и КМОП имеются ждущие мультивибраторы, например, K555АГ3 – два ждущих мультивибратора. Каждый из мультивибраторов микросхемы имеет (см. рис. 6.15): два входа для запуска (A, B) и вход сброса (R), выводы для подключения времязадающих элементов (C, RC), прямой (Q) и инверсный ( $\sim Q$ ) выходы.

Длительность импульса примерно равна:

$$T(\text{мкс}) = 0,45 * R1(\text{kОм}) * C1(\text{nФ}). \quad (6.5)$$

Времязадающий резистор  $R1$  может иметь сопротивление от 3 кОм до 200 кОм.

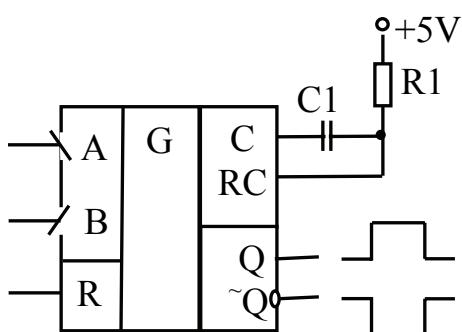


Рис. 6.15 – Ждущий мультивибратор из м/с K555АГ3

Таблица 6.1 – Сигналы управления для одновибратора из м/с АГ3

$\bar{R}$	A	B	Q	$\sim Q$
0	*	*	0	1
*	1	*	0	1
*	*	0	0	1
1	0	$\uparrow$	импульс	
1	$\downarrow$	1	импульс	
$\uparrow$	0	1	импульс	

Установка логического нуля на входе (R) прекращает генерацию импульса и принудительно устанавливает выходы мультивибратора в исходное состояние.

## 6.6 АППАРАТНАЯ РЕАЛИЗАЦИЯ ПСЕВДОСЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

С помощью цифровых логических схем можно необычайно просто генерировать последовательности бит (или слов) с хорошими стохастическими свойствами, т.е. последовательности, которые будут обладать такими же вероятностными и корреляционными свойствами, какими обладает идеальная машина для подбрасывания монеты. Поскольку эти последовательности генерируются стандартными элементами детерминированной логики, получающиеся двоичные последовательности на самом деле являются предсказуемыми и повторяемыми (детерминированными), хотя любой фрагмент такой последовательности во всех отношениях выглядит, как случайное чередование «0» и «1». С помощью одной ПЛИС можно

получить двоичные псевдослучайные последовательности (ПСП), которые тянутся буквально на столетия без повторения.

Наиболее известным (и самым простым) генератором ПСП является регистр сдвига с обратной связью – линейный рекуррентный регистр – ЛРР (рис. 3.76). Последовательный регистр RG длиной « $n$ » осуществляет сдвиг хранимого кода после каждого тактового импульса с частотой  $F_o$ . Входной сигнал первого триггера регистра – D1 формируется с помощью вентиля ИСКЛЮЧАЮЩЕЕ ИЛИ (сумматора по модулю 2), на входы которого поступают сигналы от  $m$ -того и последнего ( $n$ -того) разрядов регистра.

Такая схема проходит через множество состояний, которые после  $K$  тактов начинают повторяться, т.е. последовательность состояний является циклической с периодом  $K$ .

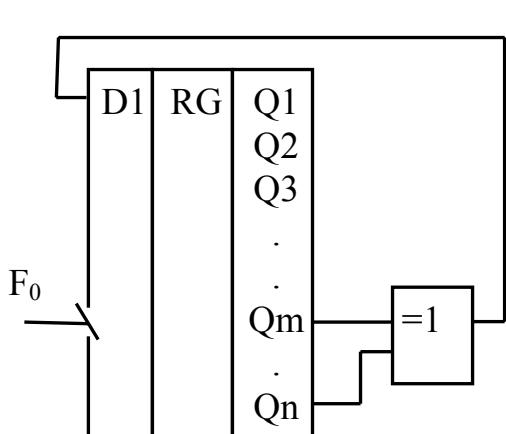


Рис 6.16 – Последовательный регистр с одним отводом

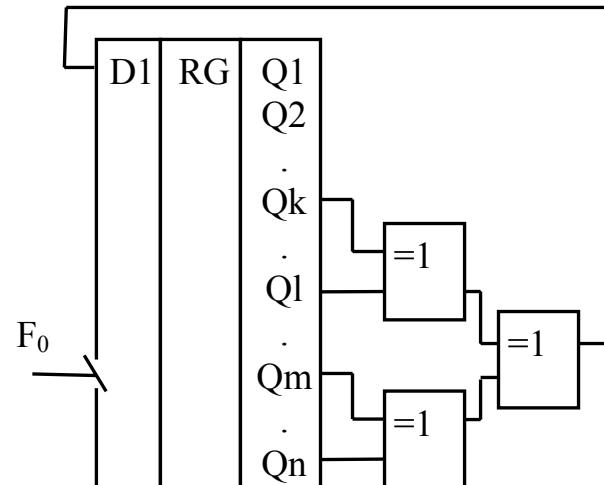


Рис 6.17 – Последовательный регистр с тремя отводами

Максимальное число возможных состояний  $n$ -разрядного регистра равно  $K=2^n$ , т.е. числу  $n$ -битовых двоичных комбинаций. Однако состояние «все нули» для этой схемы является тупиковым, поскольку на выходе схемы ИСКЛЮЧАЮЩЕЕ ИЛИ постоянно появляются нули, которые поступают на вход схемы и зацикливаются.

Если для формирования входного сигнала использовать элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ» с инверсией, то «тупиковой» будет комбинация – «все единицы».

Таким образом, последовательность максимальной длины, которую может сформировать данная схема, содержит  $2^n-1$  бит.

Оказывается, что такую последовательность максимальной длины можно получить только при правильном выборе « $m$ » и « $n$ ». Критерием максимальной длины является неприводимость и примитивность многочлена  $1+x^n+x^m$  над полем Галуа.

В качестве примера рассмотрим регистр сдвига с обратной связью:  $m=3$ ,  $n=4$ . В таблице 6.2 записаны состояния для четырехразрядного регистра в порядке их следования, начиная с состояния 1111 (можно было бы начать с любого другого состояния, за исключением 0000). Количество состояний  $K=2^4-1=15$ , значит этот регистр – максимальной длины.

Сдвиговые регистры максимальной длины можно выполнить с числом отводов в цепи обратной связи более 2 (в этом случае используется несколько вентилей ИСКЛЮЧАЮЩЕЕ ИЛИ, соединенных в виде стандартного «дерева четности» – см. рис. 6.17). Для некоторых значений « $n$ » регистр максимальной длины можно реализовать только с числом отводов более 2.

В табл. 6.3 перечислены все регистры с длиной « $n$ » до 40, для которых возможна реализация с максимальным числом состояний при одном отводе. В некоторых случаях подойдут и другие значения « $m$ », но во всех случаях можно заменить « $m$ » на значение « $n-m$ » (например, для предыдущего случая можно использовать отвод  $m = 4 - 3 = 1$ ).

Таблица 6.2 – Состояния 4-х разрядного регистра

Двоичный код Q1 Q2 Q3 Q4	Десятичный код
1111	15
0111	7
0011	3
0001	1
1000	8
0100	4
0010	2
1001	9
1100	12
0110	6
1011	11
0101	5
1010	10
1101	13
1110	14

Таблица 6.3 – Регистры максимальной длины с одним отводом

n	m	Длина
3	2	7
4	3	15
5	3	31
6	5	63
7	6	127
9	5	511
10	7	1023
11	9	2047
15	14	32767
17	14	131071
18	11	262143
20	17	1048575
21	19	2097151
22	21	4194303
23	18	8388607
25	22	33554431
28	25	268435455
29	27	536870911
31	28	2147483647
33	20	8589934591
35	33	34359738367
36	25	68719476735
39	35	549755813887

Количество ячеек регистров обычно выбирают кратным 8. В этих случаях потребуется более одного отвода для регистров с максимальным числом состояний (см. рис. 6.17 и табл. 6.4).

Таблица 6.4 – Регистры максимальной длины

N	Отводы			Длина k
	K	l	m	
8	4	5	6	255
16	4	13	15	65535
24	17	22	23	16777215

При использовании 33-х разрядного регистра, работающего на частоте 1 МГц, время цикла будет около 2-х часов. Время цикла 100 разрядного регистра, работающего на частоте 10 МГц, будет в миллион раз больше, чем возраст Вселенной.

Генераторы ПСП на сдвигающих регистрах можно использовать для шифрования сообщений и данных, поскольку идентичный генератор ПСП на приемном конце дает ключ к шифру. ПСП широко используются в кодах, обнаруживающих и исправляющих ошибки, так как они позволяют видоизменить блоки данных таким образом, что правильные кодовые сообщения будут находиться друг от друга на максимально возможном «расстоянии Хэмминга» (измеряется числом позиций с разными данными).

### 6.6.1 СВОЙСТВА ПСЕВДОСЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ МАКСИМАЛЬНОЙ ДЛИНЫ

Псевдослучайную последовательность ДВОИЧНЫХ символов можно наблюдать на выходе любого разряда регистра (рис. 6.16, рис. 6.17). Обычно используют последний разряд (в табл. 6.2 – это будет правый столбец двоичных кодов). Последовательность максимальной длины обладает следующими свойствами:

- в полном цикле число «1» на единицу больше, чем число «0». Добавочная «1» появляется за счет исключения состояния «все нули». При большом количестве разрядов регистра вероятности «0» и «1» практически равны (17-ти разрядный регистр будет вырабатывать 65536 «1» и 65535 «0» за один цикл);
- в одном цикле половина серий из последовательных «1» имеет длину 1, одна четвертая серий – длину 2, одна восьмая – длину 3 и т.д. Таким же свойством обладают и серии из «0» с учетом пропущенного «0». Это говорит о том, что вероятности «0» и «1» не зависят от исхода предыдущего опыта, т.е. вероятность появления «0» или «1» в следующем бите не зависит от значения предыдущего бита;

- если последовательность полного цикла сравнить с этой же последовательностью, но циклически сдвинутой на любое число битов (не равное нулю или длине K), то число несовпадений будет на единицу больше, чем число совпадений. Научно выражаясь, автокорреляционная функция этой последовательности представляет собой дельта-функцию Кронекера при нулевой задержке и равна величине  $1/K$  при любой другой задержке.

## 6.7 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Почему нежелательно подавать входной логический сигнал, пришедший от другого прибора, непосредственно на вход логического элемента?
2. Чем отличается триггер Шмитта от обычных логических элементов?
3. Какой параметр триггера Шмитта выбирается с учетом амплитуды помех во входном сигнале?
4. Назовите методы борьбы с «дребезгом контактов» в механических переключателях.
5. Приведите примеры полезного использования «эффекта гонок» (запаздывания сигналов при распространении).
6. Методы реализации генераторов прямоугольных импульсов. Назовите условия самовозбуждения генераторов.
7. Чем определяется частота генератора?
8. Назовите методы повышения стабильности частоты генераторов?
9. Чем отличается ждущий мультивибратор от обычного генератора?
10. Приведите пример реализации ждущего генератора.
11. Назовите методы реализации генераторов псевдослучайных последовательностей (ПСП).
12. Чем определяется период повторения цикла ПСП?
13. Назовите условие генерации ПСП с максимальным периодом (циклом).
14. Рассчитайте период цикла ПСП (в годах) с числом разрядов в регистре – 100 и тактовой частотой 1 МГц.
15. Свойства псевдослучайных последовательностей максимальной длины.

## **ТЕМА 7 АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ**

### **7.1 ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ**

Большинство сигналов, поступающих на вход вычислительных систем, имеют непрерывный характер и требуют последующего преобразования в дискретные сигналы. До начала преобразования многие сигналы проходят обработку в аналоговой форме. К таким преобразованиям относятся:

- линейное усиление;
- частотная фильтрация (линейные преобразования);
- интегрирование и дифференцирование непрерывных сигналов;
- нелинейные преобразования (в частности, логарифмическое преобразование, детектирование и др.);
- коммутация аналоговых сигналов;
- выделение какого-нибудь параметра, например, амплитуды, среднего значения сигнала, фазы и др.

Основные преобразования аналоговых сигналов выполняются специальными интегральными микросхемами – операционными усилителями, охваченными обратными связями.

Термин «Операционный Усилитель» (ОУ) возник в аналоговой вычислительной технике, где подобные усилители с соответствующими обратными связями применялись для моделирования различных математических операций (интегрирование, суммирование и т.д.).

Интегральные ОУ содержат (рис. 7.1):

- входной каскад, который всегда выполняется по дифференциальной, параллельно-симметричной схеме;
- промежуточный согласующий каскад;
- выходной каскад усилителя тока по схеме эмиттерного повторителя.

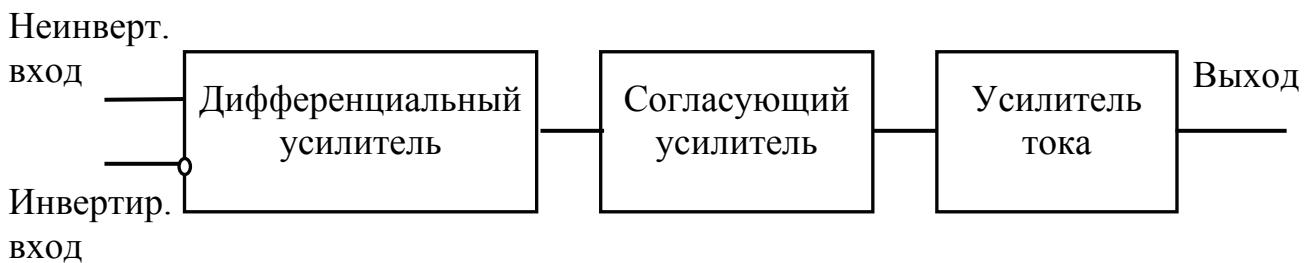


Рис. 7.1 – Структурная схема интегрального ОУ

Операционный усилитель имеет два входа и один выход. Один из входов ОУ называется НЕИНВЕРТИРУЮЩИМ, а второй – ИНВЕРТИРУЮЩИМ. Инвертирующий вход обозначается на схеме кружком. При работе ОУ в линейном режиме напряжение на его выходе возрастает с уменьшением напряжения на инвертирующем входе и с увеличением напряжения на неинвертирующем входе.

Разность напряжений на входах ОУ называют дифференциальным (разностным) входным сигналом ОУ, а полусумму входных напряжений – синфазным входным сигналом.

### 7.1.1 ПАРАМЕТРЫ ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ

На рис. 7.2 приведена передаточная характеристика ОУ, которую можно измерить для каждого реального усилителя ( $U_{вх}$  – дифференциальное входное напряжение). По этой характеристике рассчитываются статические параметры ОУ.

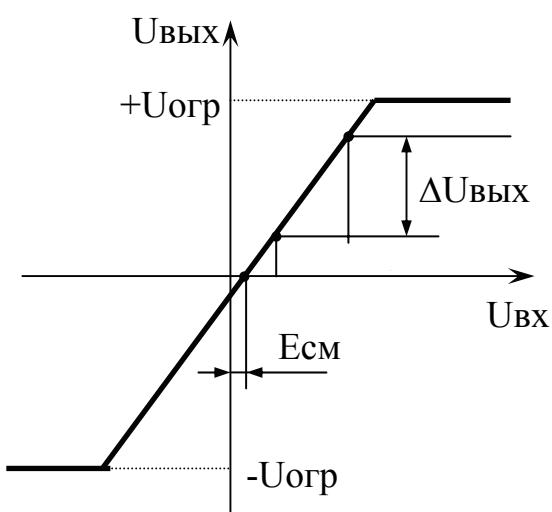


Рис. 7.2 – Передаточная характеристика ОУ

- КОЭФФИЦИЕНТ УСИЛЕНИЯ ПО НАПРЯЖЕНИЮ ( $K_u$ ) – отношение изменения выходного напряжения ( $\Delta U_{вых}$ ) к вызвавшему его изменению ДИФФЕРЕНЦИАЛЬНОГО ВХОДНОГО НАПРЯЖЕНИЯ ( $\Delta U_{вх}$ ) при работе ОУ на линейном участке передаточной характеристики (см. рис. 7.2).

$$K_u = \Delta U_{вых} / \Delta U_{вх}. \quad (7.1)$$

Интегральные ОУ имеют коэффициент усиления, лежащий в диапазоне  $10^3 \dots 10^6$ .

- ЭДС СМЕЩЕНИЯ ( $E_{см}$ ) – дифференциальное входное напряжение, при котором выходное напряжение ОУ равно нулю (см. рис. 7.2). Напряжение  $E_{см}$  может быть положительной или отрицательной величиной и имеет случайный характер.

Для интегральных усилителей на биполярных транзисторах  $E_{см}$  может составлять 1...10 мВ, для ОУ с входным каскадом на полевых транзисторах величина  $E_{см}$  значительно больше. Большинство интегральных ОУ имеют выводы балансировки выходного напряжения. К этим выводам подключается подстроечный резистор, с помощью которого выставляется нулевое выходное напряжение при закороченных входах ОУ.

- СРЕДНИЙ ВХОДНОЙ ТОК ( $I_{вх}$ ) – среднеарифметическое значение токов инвертирующего и неинвертирующего входов ОУ, измеренных при таком входном напряжении  $U_{вх}$ , при котором выходное напряжение равно нулю.

Для ОУ на биполярных транзисторах средний входной ток обычно составляет доли мкА. Дальнейшее снижение входных токов (менее 1 нА)

достигается использованием полевых транзисторов во входных каскадах ОУ.

- РАЗНОСТЬ ВХОДНЫХ ТОКОВ ( $\Delta I_{вх}$ ) – абсолютное значение разности токов двух входов усилителя, измеренных при таком входном напряжении, когда выходное напряжение близко к нулю. Обычно  $\Delta I_{вх}$  составляет 10...30% от  $I_{вх}$ .
- ВХОДНОЕ СОПРОТИВЛЕНИЕ ( $R_{вх}$ ) – сопротивление со стороны одного из входов ОУ, в то время как другой вход заземлен. Это сопротивление еще называют: ВХОДНЫМ СОПРОТИВЛЕНИЕМ ДЛЯ ДИФФЕРЕНЦИАЛЬНОГО СИГНАЛА. Входное сопротивление ОУ может составлять  $10^3..10^6$  Ом для входного каскада на биполярных транзисторах, и на несколько порядков больше для ОУ с полевыми транзисторами на входе.
- ВХОДНОЕ СОПРОТИВЛЕНИЕ ДЛЯ СИНФАЗНОГО СИГНАЛА ( $R_{сф}$ ) определяют, как отношение приращения синфазного напряжения к приращению среднего входного тока ОУ. Величина  $R_{сф}$  обычно на порядок и более превышает величину  $R_{вх}$ .
- ВЫХОДНОЕ СОПРОТИВЛЕНИЕ ( $R_{вых}$ ) – отношение изменения выходного напряжения ОУ ( $\Delta U_{вых}$ ) к изменению выходного тока ( $\Delta I_{вых}$ ) при изменении сопротивления нагрузки. Обычно величина  $R_{вых}$  составляет от десятков до сотен Ом.
- КОЭФФИЦИЕНТ ПЕРЕДАЧИ СИНФАЗНОГО СИГНАЛА ( $K_{сф}$ ) – отношение изменения выходного напряжения к вызвавшему его изменению синфазного входного напряжения. Для большинства ОУ величина  $K_{сф}$  – менее единицы.
- КОЭФФИЦИЕНТ ОСЛАБЛЕНИЯ СИНФАЗНОГО СИГНАЛА ( $M_{сф}$ ) – отношение коэффициента усиления по напряжению ( $K_u$ ) к коэффициенту передачи синфазного сигнала ( $K_{сф}$ ). Обычно для определения коэффициента ослабления синфазного сигнала употребляется логарифмическая мера ( $L_{сф}$ ):

$$L_{сф} = 20 * \lg |M_{сф}| \text{ (дБ).} \quad (7.2)$$

Для большинства интегральных ОУ  $L_{сф} = 60..100$  дБ.

ДИНАМИЧЕСКИЕ СВОЙСТВА ОУ определяются обычно двумя параметрами: полосой частот усиливаемого сигнала и скоростью изменения выходного напряжения.

- ПОЛОСА ЧАСТОТ УСИЛИВАЕМОГО СИГНАЛА – определяется, как правило, от нуля до ЧАСТОТЫ ЕДИНИЧНОГО УСИЛЕНИЯ ( $F_1$ ), т.е. частоты, на которой коэффициент усиления дифференциального сигнала ОУ уменьшается до единицы. Значение  $F_1$  у большинства интегральных ОУ лежит в пределах от единиц до десятков МегаГерц.

- МАКСИМАЛЬНАЯ СКОРОСТЬ НАРАСТАНИЯ ВЫХОДНОГО НАПРЯЖЕНИЯ ( $V_{max}$ ) – определяется как наибольшая скорость изменения напряжения на выходе ОУ при подаче на его вход прямоугольного импульса максимально допустимой амплитуды. Для интегральных ОУ максимальная скорость нарастания лежит в пределах 0, 3...50 В/мкс.

Эти два параметра взаимосвязаны: чем выше частота единичного усиления  $F1$ , тем больше скорость нарастания выходного напряжения.

- КОЭФФИЦИЕНТ ШУМА ( $K_{ui}$ ) – характеризует шумовые свойства ОУ и определяется, как отношение шума на выходе реального ОУ (на вход которого подан реальный сигнал) к шумам на выходе идеального ОУ с таким же входным сигналом.

Шумовые свойства ОУ характеризуют также приведенными ко входу шумовыми напряжениями или токами.

Необходимо отметить, что почти все перечисленные параметры изменяются с изменением температуры кристалла ОУ. Поэтому в справочниках приводят также температурные коэффициенты изменения перечисленных параметров.

В справочниках задаются также диапазоны изменения указанных параметров при изменении питающих напряжений, так как для многих ОУ питающие напряжения могут изменяться в несколько раз, например, от 3 до 30 В.

### 7.1.2 ПАРАМЕТРЫ ИДЕАЛЬНОГО ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

При анализе схем на ОУ обычно пользуются идеализированной моделью операционного усилителя, параметры которого задаются следующими:

- коэффициент усиления по напряжению – равен бесконечности;
- эдс смещения – равна нулю;
- средний входной ток и разность входных токов – равны нулю;
- входные сопротивления для дифференциального и для синфазного сигналов – равны бесконечности;
- выходное сопротивление – равно нулю;
- коэффициент передачи синфазного сигнала – равен нулю;
- коэффициент ослабления синфазного сигнала – равен бесконечности;
- полоса частот усиливаемого сигнала – от нуля до бесконечности;
- скорость нарастания выходного напряжения – равна бесконечности;
- идеальный ОУ не вносит дополнительные шумы в усиливаемый сигнал;
- у идеального ОУ все параметры не зависят от температуры и питающих напряжений.

Следствием первого свойства идеального ОУ является тот факт, что у идеального ОУ, работающего в режиме усиления, разность напряжений между входами всегда равна нулю.

## 7.2 ОБРАТНЫЕ СВЯЗИ В УСИЛИТЕЛЯХ

Понятие «ОБРАТНАЯ СВЯЗЬ» (ОС) относится к числу распространенных, оно давно вышло за рамки узкой области техники и употребляется сейчас в широком смысле. В системах управления обратная связь используется для сравнения выходного параметра с заданным значением и выполнения соответствующей коррекции.

**ОТРИЦАТЕЛЬНАЯ ОБРАТНАЯ СВЯЗЬ (ООС)** – это процесс передачи части выходного сигнала обратно на вход в противофазе, при этом погашается часть входного сигнала.

**ПОЛОЖИТЕЛЬНАЯ ОБРАТНАЯ СВЯЗЬ (ПОС)** – это процесс передачи части выходного сигнала на вход усилителя в фазе с входным сигналом. При этом возможно возникновение генерации, если коэффициент передачи от входа усилителя через цепь обратной связи будет более единицы.

В дальнейшем будут рассматриваться преимущественно отрицательная обратная связь (ООС).

По способу передачи выходного сигнала ОС разделяется на:

- ОС ПО ВЫХОДНОМУ НАПРЯЖЕНИЮ – с выхода снимается часть напряжения сигнала и подается на вход схемы;
- ОС ПО ВЫХОДНОМУ ТОКУ – последовательно с нагрузкой включается резистор; напряжение, выделяемое на этом резисторе, пропорционально выходному току; это напряжение по цепи обратной связи подается на вход усилителя.

По способу подачи сигнала на вход усилителя ОС разделяется на:

- ПОСЛЕДОВАТЕЛЬНАЯ ОС – сигнал ОС подается на вход усилителя последовательно с источником входного сигнала;
- ПАРАЛЛЕЛЬНАЯ ОС – сигнал ОС подается на вход усилителя параллельно с источником входного сигнала.

Комбинируя два способа передачи выходного сигнала и два способа подачи сигнала ОС на вход усилителя, можно получить четыре схемы усилителей с обратной связью:

- параллельная ОС по выходному напряжению (рис. 7.3);
- параллельная ОС по выходному току (рис. 7.4);
- последовательная ОС по выходному напряжению (рис. 7.5);
- последовательная ОС по выходному току (рис. 7.6).

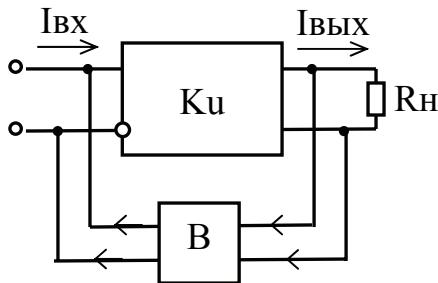


Рис. 7.3 – Параллельная ОС по выходному напряжению

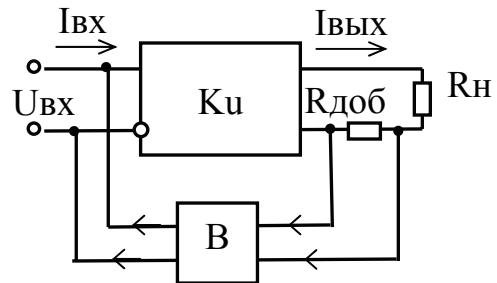


Рис. 7.4 – Параллельная ОС по выходному току

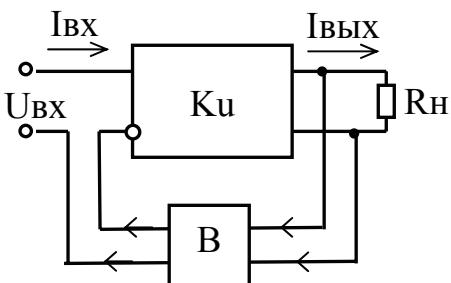


Рис. 7.5 – Последовательная ОС по выходному напряжению

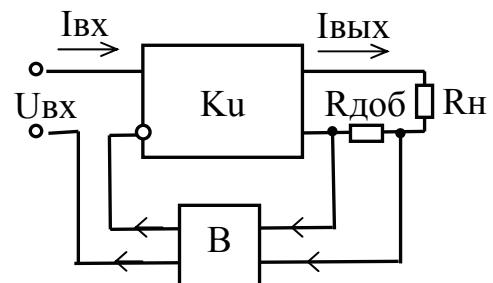


Рис. 7.6 – Последовательная ОС по выходному току

На этих рисунках усилитель с коэффициентом усиления  $K_u$  (изображен как четырехполюсник) имеет два входа (неинвертирующий и инвертирующий) и два выхода. Однако, один из выходов можно соединить с общим проводом и получим классическое начертание ОУ.

Цепь обратной связи с коэффициентом передачи «В» также обозначена в виде четырехполюсника.

Из рис. 7.3 и рис. 7.4 можно сделать вывод о том, что параллельная отрицательная обратная связь уменьшает входное сопротивление всей схемы, равное:

$$R_{вх} = \Delta U_{вх} / I_{вх}. \quad (7.3)$$

Параллельно входному сопротивлению усилителя подключается еще и цепь обратной связи.

Последовательная ООС (рис. 7.5, рис. 7.6) увеличивает входное сопротивление, потому что последовательно с входным сопротивлением усилителя включена цепь обратной связи.

Отрицательная обратная связь по выходному напряжению (рис. 7.3, рис. 7.5) контролирует выходное напряжение и уменьшает его нестабильность при изменении сопротивления нагрузки ( $R_h$ ), т.е. приближает выходной каскад усилителя по свойствам к источнику эдс. Как известно:

у источника эдс минимальное выходное сопротивление, поэтому ООС по напряжению уменьшает выходное сопротивление.

Аналогично – ООС по выходному току (рис. 7.4, рис. 7.6) контролирует выходной ток усилителя и уменьшает его нестабильность при изменении сопротивления нагрузки, т.е. приближает выходной каскад усилителя по параметрам к источнику тока (имеющего большое выходное сопротивление). Таким образом, ООС по току увеличивает выходное сопротивление усилителя.

### 7.3 ОСНОВНЫЕ СХЕМЫ ВКЛЮЧЕНИЯ ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ

#### 7.3.1 ИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ

На рис. 7.7 приведена схема ОУ, охваченного параллельной ООС по выходному напряжению. Эта схема известна под названием "ИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ", потому что с уменьшением входного напряжения выходное напряжение увеличивается.

При анализе этой схемы будем считать ОУ идеальным. На схемах с операционными усилителями обычно не показывают цепи двухполарного питания. Подразумевается, что ОУ запитан двухполарным напряжением величиной: + (9...15) В и - (9...15) В.

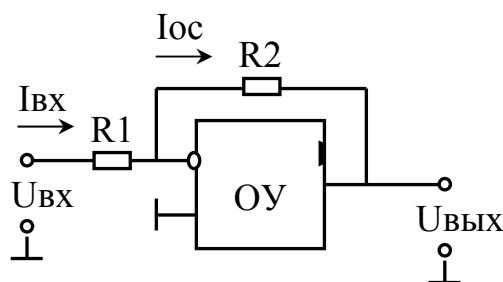


Рис. 7.7 – Инвертирующий усилитель на основе ОУ

Напряжение на неинвертирующем входе равно нулю. Напряжение на инвертирующем входе также равно нулю (см. следствие первого свойства идеального ОУ). Входной ток инвертирующего усилителя ( $I_{вх}$ ) равен току в цепи обратной связи ( $I_{вых}$ ).

Поскольку:

$$I_{вх} = U_{вх} / R1;$$

$$I_{вых} = -U_{вых} / R2,$$

то:  $U_{вых} = -U_{вх} * R2 / R1.$

Коэффициент усиления по напряжению инвертирующего усилителя равен:

$$K_u = U_{вых} / U_{вх} = -R2 / R1. \quad (7.4)$$

Если выбрать  $R1=R2$ , то схема на рис. 7.7 будет инвертировать входной сигнал с коэффициентом передачи  $K_u = -1$ .

Поскольку инвертирующий вход ОУ находится под нулевым потенциалом, входное сопротивление схемы (рис. 7.7) равно  $R1$ . Выходное

сопротивление схемы инвертирующего усилителя очень маленькое за счет ООС по выходному напряжению.

При расчете параметров схемы инвертирующего усилителя на ОУ задаются коэффициентом усиления по напряжению  $K_u$ , выбирают номинал резистора  $R_2$  и рассчитывают номинал резистора  $R_1$ . Необходимо учитывать, что к резистору  $R_2$  приложено все выходное напряжение, т.е. этот резистор включен параллельно сопротивлению нагрузки усилителя. Для большинства маломощных ОУ сопротивление нагрузки должно быть не менее 2 кОм. Поэтому номинал  $R_2$  выбирают в несколько раз большим 2 кОм – например, 10 кОм, и по формуле (7.4) рассчитывают  $R_1$ .

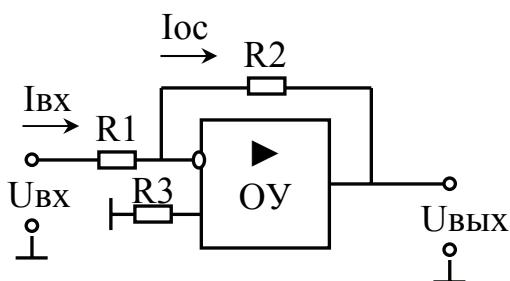


Рис. 7.8 – Инвертирующий усилитель с ОУ на биполярных транзисторах

Выбирать очень большие номиналы резисторов  $R_1$  и  $R_2$  (сотни кОм и более) нежелательно, потому что наличие монтажных емкостей приводит к запаздыванию сигналов по цепям обратной связи и может нарушить работу схемы на высоких частотах.

В схемах с ОУ на биполярных транзисторах желательно включить дополнительный резистор  $R_3$  для симметрирования входов (рис. 7.8). Номинал резистора  $R_3$  выбирается из равенства:

$$R_3 = \frac{(R_1 * R_2)}{(R_1 + R_2)}. \quad (7.5)$$

### 7.3.2 НЕИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ

На рис. 7.9 приведена схема ОУ, охваченного последовательной ООС по выходному напряжению. Эта схема называется НЕИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ, потому что входной сигнал подается на неинвертирующий вход ОУ. Напряжение обратной связи, выделяемое на резисторе  $R_1$ , подается на вход ОУ последовательно с источником входного напряжения ( $U_{вх}$ ).

Учитывая следствие первого свойства идеального ОУ, напряжение на резисторе  $R_1$  равно входному напряжению  $U_{вх}$ . Это же напряжение можно выразить равенством:

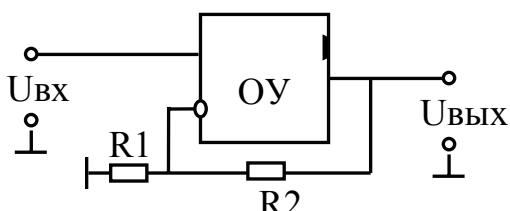


Рис. 7.9 – Неинвертирующий усилитель на основе ОУ

$$U_{вх} = U(R_1) = U_{вых} * R_1 / (R_1 + R_2).$$

Коэффициент усиления по напряжению неинвертирующего усилителя равен:

$$K_H = U_{\text{вых}}/U_{\text{вх}} = 1 + R_2/R_1. \quad (7.6)$$

Резисторы  $R_1$  и  $R_2$  (см. рис. 7.9) включены параллельно выходу ОУ, поэтому номинал резисторов ( $R_1+R_2$ ) выбирается в несколько раз большем допустимого сопротивления нагрузки ОУ (например, 10 кОм).

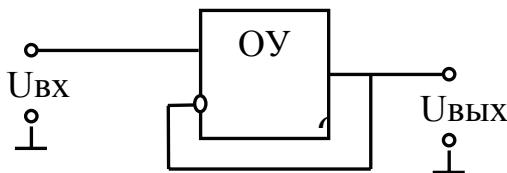


Рис. 7.10 – Повторитель

Частным случаем неинвертирующего усилителя является повторитель сигнала (рис. 7.10), когда  $R_1=\infty$ ,  $R_2=0$ .

Схемы неинвертирующих усилителей (рис. 7.9, рис. 7.10) имеют очень большое входное сопротивление (за счет последовательной ООС) и очень маленькое выходное сопротивление (за счет ООС по выходному напряжению).

### 7.3.3 АНАЛОГОВЫЕ ИНТЕГРАТОР И ДИФФЕРЕНЦИАТОР

Схема интегратора может быть получена заменой в инвертирующем усилителе резистора  $R_2$  на конденсатор (рис. 7.11).

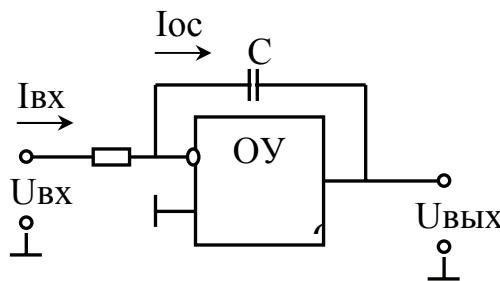


Рис. 7.11 – Аналоговый интегратор

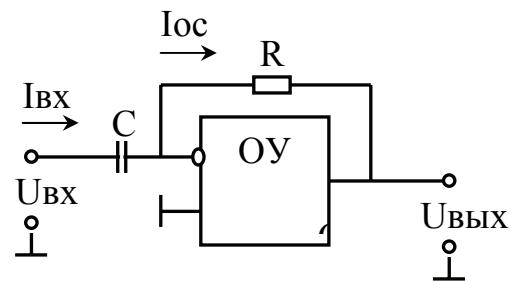


Рис. 7.12 – Аналоговый дифференциатор

Для этой схемы напряжения на выходах ОУ равны нулю. Ток  $I_{\text{вх}}$  зависит от величины резистора  $R$ :

$$I_{\text{вх}} = U_{\text{вх}} / R.$$

$$I_{\text{вх}} = I_{\text{вых}}.$$

Мгновенное напряжение на конденсаторе  $U_c(t)$  определяется выражением:  $U_{\text{вых}} = U_c(t) = \frac{1}{C} \int_0^t I_{\text{вых}}(t) dt.$

Поэтому:  $U_{\text{вых}}(t) = -\frac{1}{R * C} \int_0^t U_{\text{вх}}(t) dt + U_{\text{вых}}(0) \quad (7.7)$

Аналогичными рассуждениями можно показать, что выходное напряжение в схеме на рис. 7.12 равно:

$$U_{вых}(t) = -R * C \frac{dU_{вх}(t)}{dt}. \quad (7.8)$$

### 7.3.4 ПРЕОБРАЗОВАТЕЛЬ ВХОДНОГО ТОКА В НАПРЯЖЕНИЕ И ВХОДНОГО НАПРЯЖЕНИЯ В ВЫХОДНОЙ ТОК

Непосредственно из схемы на рис. 7.13 можно сделать вывод о том, что:

$$U_{вых} = -I_{вх} * R. \quad (7.9)$$

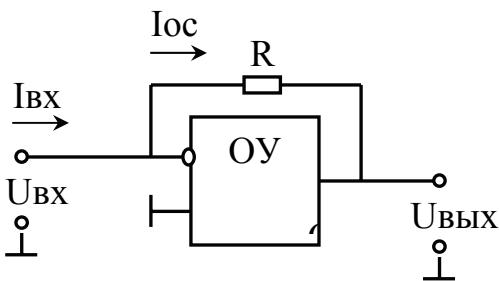


Рис. 7.13 – Преобразователь ток-напряжение

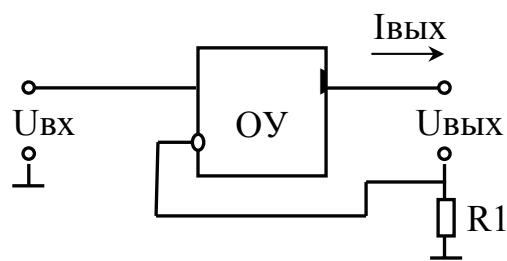


Рис. 7.14 – Преобразователь напряжение-ток

Входное и выходное сопротивления схемы очень маленькие за счет параллельной ООС по выходному напряжению.

Эта схема используется в фотоэлектрических преобразователях. На выходе фотодатчиков величине освещенности, как правило, пропорционален фотоэлектронный ток, а не выходное напряжение. Поэтому выходное напряжение схемы на рис. 7.13 будет пропорционально входному фотоэлектрическому току датчика, а следовательно и входной освещенности.

Схема ОУ, охваченного последовательной ООС по выходному току, называется преобразователем входного напряжения в выходной ток (рис. 7.14).

Выходной ток ОУ создает на резисторе  $R1$  падение напряжения, которое в качестве напряжения ОС подается на вход схемы последовательно с источником сигнала.

$$U_{вх} = U(R1) = I_{вых} * R1.$$

Поэтому:

$$I_{вых} = U_{вх} / R1. \quad (7.10)$$

Схема имеет очень большие входное и выходное сопротивления за счет последовательной ООС по выходному току.

Такая схема используется для подачи на соленоид (катушку индуктивности) больших токов, пропорциональных входному напряжению,

например, в схемах кадровой развертки телевизоров с электронно-лучевой трубкой.

### 7.3.5 ИНВЕРТИРУЮЩИЙ СУММАТОР

Как видно из схемы на рис. 7.15, при равенстве всех номиналов резисторов – выходное напряжение определяется из соотношения:

$$U_{\text{вых}} = -(U_{\text{вх}1} + U_{\text{вх}2} + \dots + U_{\text{вх}m}). \quad (7.11)$$

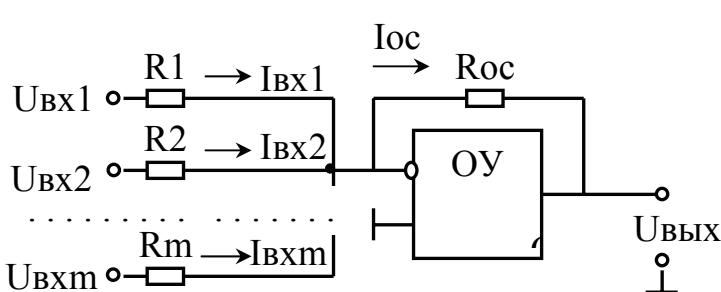


Рис. 7.15 – Инвертирующий сумматор

весовые коэффициенты для каждого из слагаемых:

$$U_{\text{вых}} = -\left(U_{\text{вх}1} \frac{R_{oc}}{R_1} + U_{\text{вх}2} \frac{R_{oc}}{R_2} + \dots + U_{\text{вх}m} \frac{R_{oc}}{R_m}\right). \quad (7.12)$$

### 7.3.6 АНАЛОГОВЫЙ ВЫЧИТАТЕЛЬ

При равенстве номиналов всех резисторов на рис. 7.16, напряжение на неинвертирующем входе ОУ ( $U_h$ ) равно:

$$U_h = U_{\text{вх}2} * R4 / (R3 + R4) = U_{\text{вх}2} / 2.$$

Из равенства токов:  $I_{\text{вх}1} = I_{\text{oc}}$ , следует:

$$(U_{\text{вх}1} - U_u) / R1 = (U_u - U_{\text{вых}}) / R2.$$

Поэтому:  $U_u = (U_{\text{вх}1} + U_{\text{вых}}) / 2.$

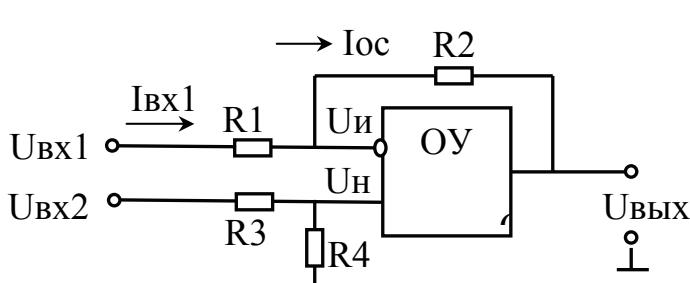


Рис. 7.16 – Аналоговый вычитатель

Поскольку потенциал инвертирующего входа ОУ равен потенциальному общего провода, источники входных сигналов хорошо развязаны друг от друга.

Изменяя номиналы резисторов, включенных во входную цепь, можно реализовать различные

Учитывая следствие первого свойства идеального ОУ:  $U_u = U_h$ , имеем окончательное выражение:

$$U_{\text{вых}} = U_{\text{вх}2} - U_{\text{вх}1}$$

Если в этой схеме удалить резисторы R3 и R4, т.е.

входной сигнал  $U_{\text{вх}2}$  подать непосредственно на неинвертирующий вход ОУ, то коэффициент передачи с инверсией от входа  $U_{\text{вх}1}$  на выход будет определяться соотношением резисторов  $K_u = -R_2/R_1$ , а коэффициент передачи от неинвертирующего входа ОУ на выход схемы будет на единицу больше (с учетом соотношения (7.6)).

Поэтому, если необходимо получить одинаковые коэффициенты передачи для инвертирующего и неинвертирующего входов, то входной сигнал от неинвертирующего входа  $U_{\text{вх}2}$  предварительно нужно уменьшить делителем  $R_3$ ,  $R_4$ , а потом передать на выход схемы с коэффициентом, определяемым соотношением (7.6).

Если выбрать номиналы резисторов для этой схемы из соотношения:

$$R_2 = R_4 = k * R_1 = k * R_3,$$

то выходное напряжение определяется формулой:

$$U_{\text{вых}} = k * (U_{\text{вх}2} - U_{\text{вх}1}), \quad (7.13)$$

т.е. входные аналоговые сигналы сначала вычитаются, а потом результат масштабируются на коэффициент  $k$ , определяемый соотношением резисторов:

$$k = R_2 / R_1 = R_4 / R_3.$$

Для аналогового вычитателя (см. рис. 7.16) коэффициенты передачи от инвертирующего и неинвертирующего входов на выход схемы могут быть различными, но с учетом естественного ограничения:

$$K_h \leq |K_u| + 1,$$

где:  $K_h = U_{\text{вых}} / U_{\text{вх}2}$  – коэффициент передачи от неинвертирующего входа,  
 $|K_u| = U_{\text{вых}} / U_{\text{вх}1}$  – модуль коэффициента передачи от инвертирующего входа

При расчете этой схемы сначала определяются резисторы  $R_1$ ,  $R_2$  для инвертирующего входа из соотношения (7.4).

Резистор  $R_4$  обычно выбирают равным:  $R_2 = R_4$ .

Резистор  $R_3$  предварительного делителя рассчитывают из соотношения:

$$K_h = K_{\text{дел}} \cdot (|K_u| + 1) = \frac{R_4}{R_3 + R_4} \cdot (|K_u| + 1);$$

$$R_3 = -R_4 + \frac{R_4}{K_h} (|K_u| + 1) \quad \text{или} \quad R_3 = -R_4 + \frac{R_4}{K_h} \left( \frac{R_2}{R_1} + 1 \right) \quad (7.14)$$

### 7.3.7 ЛОГАРИФМИРУЮЩИЙ И АНТИЛОГАРИФМИРУЮЩИЙ УСИЛИТЕЛИ

Логарифмирующий усилитель (рис. 7.17) использует нелинейные свойства ВАХ  $p$ - $n$ -перехода:

$$I = I_s * (\exp(U / m\Phi) - 1),$$

где:  $\Phi = kT/q$  – термический потенциал;

$m$  – коэффициент, связанный с поверхностной рекомбинацией (в диапазоне рабочих токов кремниевых транзисторов  $m = 1,0 \dots 1,3$ );

$I_s$  – коэффициент пропорциональности, имеющий размерность (Ампер).

$$\text{При } U / m\Phi \gg 1: \quad U_{вых} / R = I_s * \exp(-U_{вых} / m\Phi)$$

$$\text{Поэтому: } U_{вых} = -m\Phi * \ln(U_{вых} / I_s R). \quad (7.15)$$

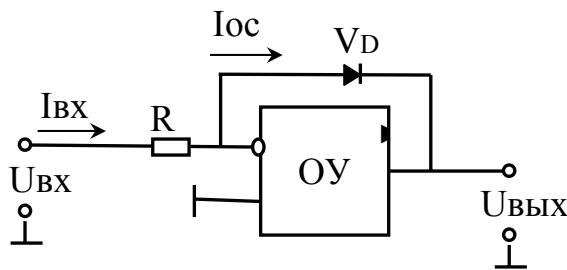


Рис. 7.17 – Логарифмический усилитель

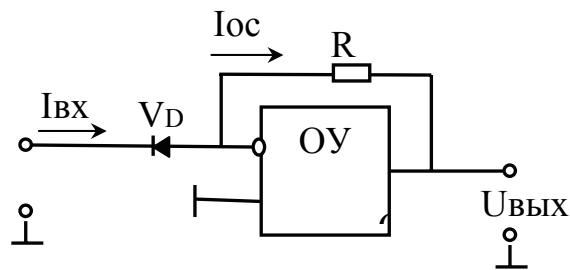


Рис. 7.18 – Антилогарифмический усилитель

Аналогично для схемы на рис. 7.18 получим:

$$U_{вых} = I_s * R * \exp(-U_{вх} / m\Phi). \quad (7.16)$$

Примером использования изученных схем может служить перемножитель аналоговых сигналов (рис. 7.19). Сумматор на микросхеме DA3 складывает напряжения, пропорциональные логарифмам входных сигналов  $U_{вх1}$  и  $U_{вх2}$ , что соответствует умножению входных сигналов. Антилогарифмирующий усилитель восстанавливает логарифм суммы до исходного значения.

Если в схеме на рис. 7.19 заменить сумматор на вычитающее устройство, то результирующий сигнал на выходе будет равен частному от деления входных сигналов.

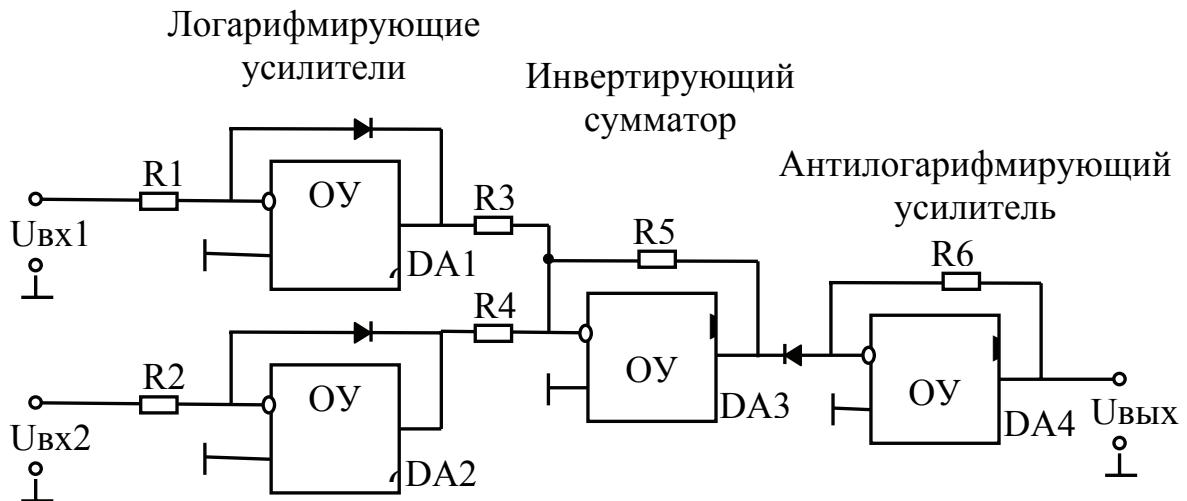


Рис. 7.19 – Перемножитель аналоговых сигналов

### 7.3.8 ТРИГГЕР ШМИТТА НА ОУ

Введением положительной обратной связи в ОУ можно реализовать триггер Шмитта. На рис 7.20 приведена схема неинвертирующего триггера Шмитта. Триггер Шмитта с инверсией приведен на рис. 7.21.

Ширина петли гистерезиса ( $\Delta U$ ) определяется максимальным размахом выходного напряжения и параметрами цепи обратной связи:

$$\Delta U = (U_{\text{вых. макс}} - U_{\text{вых. мин}}) * R1/R2, \quad (7.17)$$

для триггера Шмитта без инверсии (рис. 7.20) и:

$$\Delta U = (U_{\text{вых. макс}} - U_{\text{вых. мин}}) * R1/(R1 + R2) \quad (7.18)$$

для триггера Шмитта с инверсией (рис. 7.21).

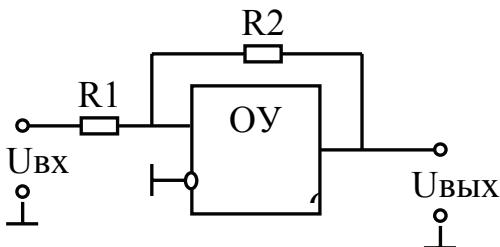


Рис. 7.20 – Триггер Шмитта на ОУ без инверсии

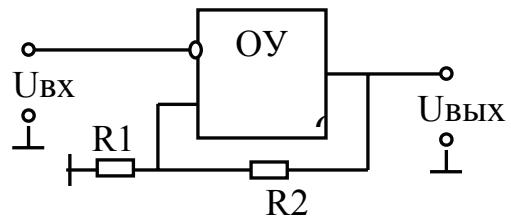


Рис. 7.21 – Триггер Шмитта на ОУ с инверсией

Примером использования триггера Шмитта может служить схема генератора прямоугольных импульсов (рис. 7.22), аналогичная схеме на рис. 6.12.

С конденсатора  $C$  можно снимать пилообразный сигнал, амплитуда которого равна ширине зоны гистерезиса. Однако, линейность такого сигнала будет невысокой, особенно при больших амплитудах пилообразного

сигнала. Для повышения линейности пилообразного сигнала в схему необходимо ввести дополнительный интегратор (рис. 7.23).

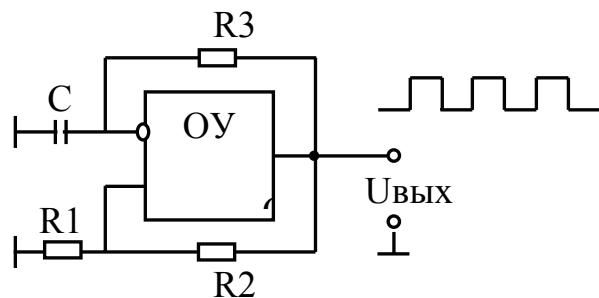


Рис. 7.22 – Мультивибратор на триггере Шмитта

Выходное напряжение интегратора  $U_{вых1}$  имеет пилообразную форму повышенной линейности, потому что является интегралом от прямоугольного напряжения с выхода триггера Шмитта. Амплитуда пилообразного сигнала равна ширине зоны гистерезиса.

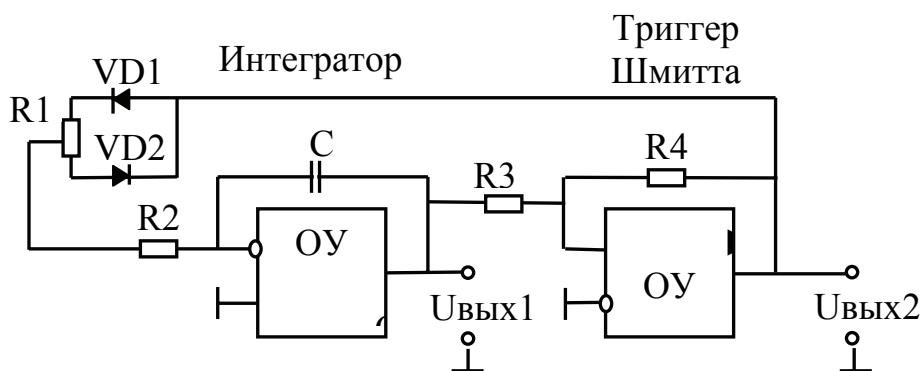


Рис. 7.23 – Генератор сигналов прямоугольной и треугольной формы повышенной линейности

Выходное напряжение  $U_{вых2}$  имеет прямоугольную форму с максимальной для данного ОУ амплитудой. Скважность импульсов на выходе триггера Шмитта можно регулировать переменным резистором  $R1$ . При этом на выходе интегратора изменяется соотношение между спадающей и нарастающей частью пилообразного напряжения.

## 7.4 КОМПАРАТОРЫ НАПРЯЖЕНИЯ

Компараторы напряжения относятся к специализированным ОУ, в которых нормальным является нелинейный режим работы каскадов. Компаратор предназначен для сравнения входного аналогового сигнала с опорным напряжением (или для сравнения двух аналоговых сигналов).

При этом в зависимости от того, больше входной аналоговый сигнал опорного сигнала или меньше (на доли миливольта), на выходе компаратора

ра за минимальное время должно установиться напряжение логического «0» или логической «1».

Выходной сигнал компаратора, как правило, подается на вход логических схем, поэтому выходные напряжения компараторов согласуются с логическими уровнями ТТЛ, КМОП или ЭСЛ схем.

Обычный ОУ может быть с успехом применен для работы в качестве компаратора. Однако, схемы компараторов, специально разработанные для этих целей, имеют ряд преимуществ в сравнении с обычными ОУ. Прежде всего, компараторы переключаются гораздо быстрее, чем ОУ. Для этого при проектировании компараторов специально предусматриваются меры, обеспечивающие быстрый выход усилительных каскадов из режима насыщения или применяются меры против работы транзисторов с насыщением.

Компараторы не предназначены для работы в режиме с отрицательной обратной связью. Поэтому в них не обеспечивается линейность участка передаточной характеристики между двумя уровнями ограничения.

Схемы компараторов обычно схожи со схемами ОУ, имеют аналогичную структурную схему (см. рис. 7.1). Параметры компараторов почти такие же, как и у ОУ. Это коэффициент усиления ( $K_u$ ), напряжение смещения ( $E_{cm}$ ), входные токи, коэффициент подавления синфазного сигнала, время переключения и другие.

При медленном изменении входного сигнала в пределах зоны линейного усиления компаратора возможно возбуждение схемы за счет паразитных обратных связей через емкости монтажа или общий источник питания. Это приводит к появлению пачки импульсов на границах переключения компаратора.

Радикальным средством борьбы с возбуждениями является введение положительной обратной связи (см. рис. 7.20 и рис. 7.21), т.е. создание триггера Шмитта с небольшим гистерезисом в несколько милливольт.

Примером наиболее распространенного компаратора может служить K554CA3, имеющий выход с открытым коллектором и поэтому хорошо согласующийся с ТТЛШ и КМОП логическими элементами. Напряжение питания этого компаратора может быть двухполярным от +5В, -5В до +15В, -15В или однополярным от 5В до 30В.

Для работы с логическими элементами ЭСЛ разработан быстродействующий компаратор K597CA1, имеющий мощный выходной каскад (и выходные уровни ЭСЛ сигналов), который можно нагружать на 50-омный высокочастотный кабель.

## 7.5 МЕТОДЫ КОРРЕКЦИИ ЧАСТОТНОЙ ХАРАКТЕРИСТИКИ ОУ

Основные параметры схем на ОУ определяются параметрами отрицательной обратной связи. Однако, введение ООС делает такие схемы склонными к самовозбуждению на высоких частотах. Это объясняется

задержкой распространения сигнала ( $t_3$ ) в самом ОУ и в цепях отрицательной обратной связи. Величины этих задержек находятся в пределах от единиц до десятков наносекунд (см. рис. 7.24).

На частотах в несколько десятков мегагерц, для которых величина этой задержки составляет половину периода, отрицательная обратная связь превращается в положительную (см. рис. 7.25).

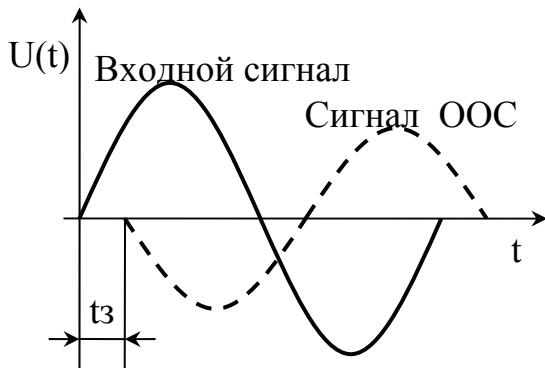


Рис. 7.24 – Сигнал ООС при малых частотах входного сигнала

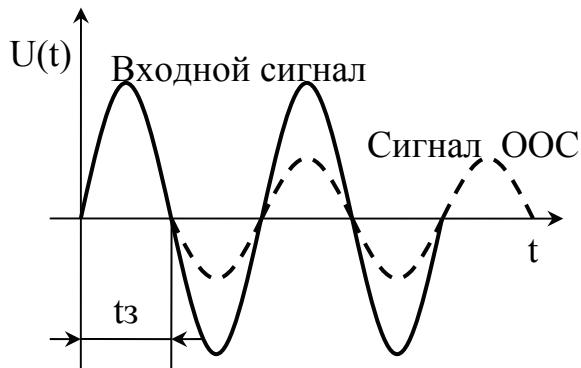


Рис. 7.25 – Сигнал ООС при больших частотах входного сигнала

Если на этой частоте коэффициент передачи ОУ и цепи обратной связи будет равен или больше единицы, схема обязательно загенерирует, т.к. выполняются два условия генерации:

- наличие положительной обратной связи, т.е. сдвиг фаз между входным сигналом и сигналом на выходе цепи обратной связи кратен  $360^\circ$ ;
- коэффициент передачи со входа схемы через усилитель и цепь ОС равен или больше 1.

Для устранения генерации в схемах на ОУ с ООС необходимо уменьшить коэффициент передачи на этой частоте (десятки мегагерц) до величины, меньше единицы. С этой целью к ОУ подключаются корректирующие звенья, состоящие из резисторов и конденсаторов. Это, естественно, приводит к небольшому снижению быстродействия ОУ.

В справочниках приводятся типовые корректирующие звенья для каждого ОУ (это может быть один конденсатор, подключаемый к выводам коррекции ОУ).

Современные ОУ с граничной частотой единичного усиления не более 5-10 МГц имеют, как правило, внутренние цепи коррекции. Для быстродействующих ОУ внешние цепи коррекции подбираются индивидуально с целью получения максимального быстродействия при устойчивом усилении без генерации.

## 7.6 ИНТЕГРАЛЬНЫЙ ТАЙМЕР И ЕГО ПРИМЕНЕНИЕ

Интегральный таймер предназначен для формирования точных временных интервалов, генерации стабильных частот и функциональных преобразований временных параметров сигналов.

Самый первый интегральный таймер NE 555 (фирмы Signetix) появился в 1972 г. Эта ИС применяется в диапазоне временных интервалов от 10 мкс до 1 часа. Таймеру NE 555 соответствует отечественная ИС КР1006ВИ1 в DIP корпусе с 8 выводами.

В настоящее время многими фирмами выпускаются интегральные таймеры с улучшенными параметрами, с добавлением цифровых пересчетных схем, с управлением от микропроцессоров и др.

Функциональная схема таймера КР1006ВИ1 приведена на рис. 7.26, на которой можно выделить: R-S-триггер, Компаратор 1 и Компаратор 2, мощный выходной каскад на транзисторах  $VT1$ ,  $VT2$ , ключ разряда  $VT3$ , резистивный делитель  $R1$ ,  $R2$ ,  $R3$ .

Резисторы делителя имеют очень хорошее взаимное согласование сопротивлений и их температурных коэффициентов, поэтому любое значение напряжения питания всегда делится с большой точностью на три равные части.

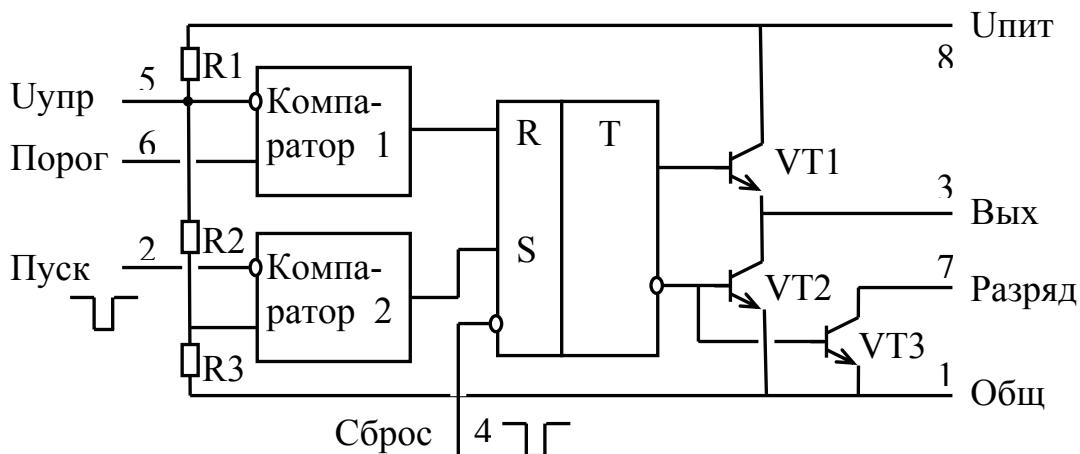


Рис. 7.26 – Функциональная схема таймера КР1006ВИ1 (NE 555)

Опорный уровень, подаваемый на неинвертирующий вход компаратора 2, равен  $1/3 \cdot U_{пит}$ . На инвертирующий вход компаратора 2 подается опорный уровень  $2/3 \cdot U_{пит}$ . Это напряжение подано на вывод 5 таймера. На этот вывод можно подавать управляющее напряжение для изменения порогов переключения компараторов.

Триггер можно также сбросить отрицательным импульсом с вывода 4. Выходной каскад таймера при напряжении питания 5 В совместим с ТТЛ-или КМОП-схемами. Максимальный ток выходного каскада может достигать 200 мА. Напряжение питания ИС можно изменять в пределах 4,5...20 В.

### 7.6.1 ЖДУЩИЙ МУЛЬТИВИБРАТОР НА ТАЙМЕРЕ

Ждущий мультивибратор генерирует одиночный импульс заданной длительности как отклик на каждый отрицательный импульс запуска.

На рис. 7.27 показана схема ждущего мультивибратора на интегральном таймере КР1006ВИ1 (NE 555). При напряжении питания  $E_{пит}=5\text{ В}$  входные и выходные сигналы совместимы с логическими микросхемами ТТЛШ и КМОП.

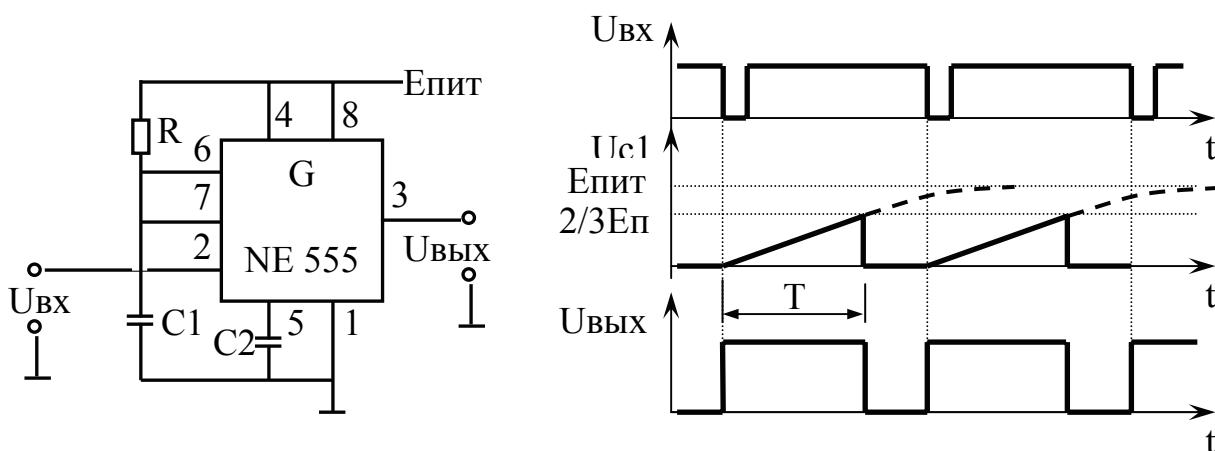


Рис. 7.27 – Ждущий мультивибратор на таймере

Амплитуда входного запускающего импульса может составлять  $1/3 * E_{пит}$  и более. При этом вход сброса 4 не используется (соединен с напряжением питания).

Модулирующий вход 5 во избежания влияния помех заземляется по высокой частоте через конденсатор  $C_2$  с номиналом не менее  $0,1 \text{ мкФ}$ . В ждущем режиме транзистор  $VT3$  (см. рис. 7.26) подключается параллельно времязадающему конденсатору  $C_1$  и служит для его быстрого разряда по сигналу триггера.

В исходном нулевом состоянии триггера конденсатор  $C_1$  разряжен через открытый транзистор  $VT3$ . С приходом запускающего импульса триггер устанавливается в единичное состояние, транзистор  $VT3$  закрывается и конденсатор  $C_1$  заряжается через резистор  $R$ . Напряжение на конденсаторе изменяется по экспоненте до величины порога срабатывания верхнего компаратора  $K1$  (см. рис. 7.24), т.е. до напряжения  $2/3 * E_{пит}$ . После срабатывания компаратора  $K1$  триггер возвращается в исходное нулевое состояние. Конденсатор  $C_1$  быстро разряжается через открытый транзистор  $VT3$ .

Длительность выходного импульса определяется номиналами резистора  $R$  и конденсатора  $C_1$ :

$$T = 1,1 * R * C_1 \quad (7.19)$$

и не зависит от величины напряжения питания.

### 7.6.2 МУЛЬТИВИБРАТОРЫ НА ТАЙМЕРАХ

Мультивибратор должен генерировать последовательность прямоугольных импульсов напряжения с заданными значениями частоты и скважности. Исходная схема включения таймера в режим автогенератора показана на рис. 7.28.

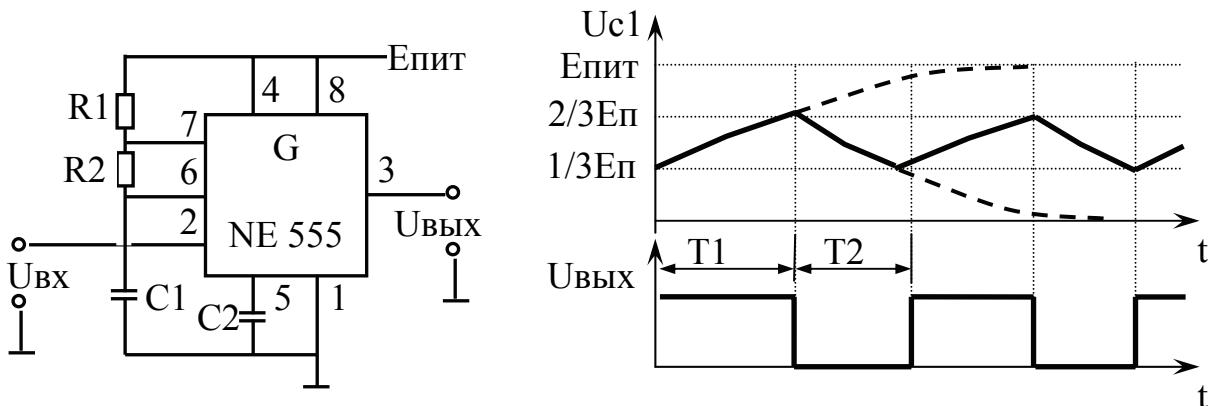


Рис. 7.28 – Мультивибратор на таймере

Заряд времязадающего конденсатора осуществляется через два резистора  $R1+R2$ . После срабатывания верхнего компаратора  $K1$  триггер переключается в нулевое состояние, открывается транзистор  $VT3$  (см. рис. 7.26) вывод 7 таймера оказывается соединенным с общим проводом и времязадающий конденсатор  $C1$  разряжается через резистор  $R2$  до напряжения срабатывания нижнего компаратора  $K2$ . После этого триггер переключается в единичное состояние и конденсатор  $C1$  опять заряжается через два резистора  $R1+R2$ .

Поскольку заряд конденсатора  $C1$  осуществляется через два резистора, а разряд – через один из них, то время заряда  $T1$  (см. временные диаграммы на рис. 7.28) будет больше времени разряда  $T2$ .

$$T1 = 0,7 * (R1 + R2) * C1; \quad (7.20)$$

$$T2 = 0,7 * R2 * C1. \quad (7.21)$$

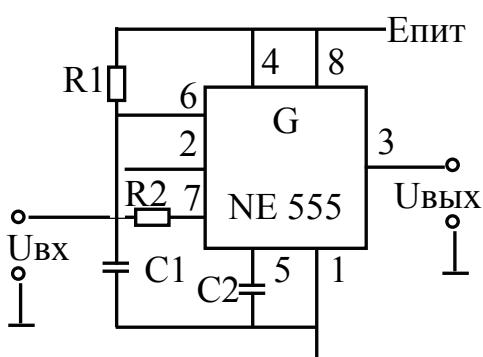


Рис. 7.29 – Мультивибратор со скважностью  $Q = 2$

Длительности импульсов и частота генерации не зависят от напряжения питания.

Обычно выбирают  $R2$  значительно больше  $R1$ , чтобы сумма двух резисторов меньше отличалась от величины резистора  $R2$ . Но получить выходной сигнал со скважностью  $Q = 2$  в этой схеме нельзя.

Изменяя исходную схему включения таймера в автоколебательном режиме, можно получить выходной сигнал со скважностью равной двум. На рис. 7.29 показана одна из таких схем.

В этой схеме заряд конденсатора  $C1$  осуществляется через резистор  $R1$ . Время заряда равно:

$$T1 = 0,7 * R1 * C1. \quad (7.22)$$

Разряжается конденсатор  $C1$  через делитель, образованный резисторами  $R1$  и  $R2$  (при открытом транзисторе  $VT3$  внутри таймера). Если выбрать:

$$R2 = 0,43 * R1,$$

то время разряда  $T2$  будет равно времени заряда  $T1$ , т.е. выходной сигнал будет иметь скважность  $Q = 2$ .

Наиболее просто можно регулировать скважность генерируемых импульсов, если разделить цепи заряда и разряда времязадающего конденсатора  $C1$ . На рис. 7.30 приведена схема мультивибратора с раздельной регулировкой времени заряда ( $T1$ ) резистором  $R4$  и времени разряда ( $T2$ ) резистором  $R1$ .

Конденсатор  $C1$  заряжается от напряжения источника питания  $E_{пит}$  через резисторы  $R3$ ,  $R4$  и открытый диод  $VD2$ . В это время диод  $VD1$  закрыт и резисторы  $R1$ ,  $R2$  не влияют на процесс заряда.

$$T1 = 0,7 * (R3 + R4) * C1. \quad (7.23)$$

После срабатывания верхнего компаратора  $K1$  внутри таймера, триггер переключается в нулевое состояние, открывается транзистор  $VT3$  (см. рис. 7.26), вывод 7 соединяется с общим проводом, и конденсатор  $C1$  разряжается через открытый диод  $VD1$  и резисторы  $R1$ ,  $R2$ . Диод  $VD2$  закрыт и не влияет на процесс разряда.

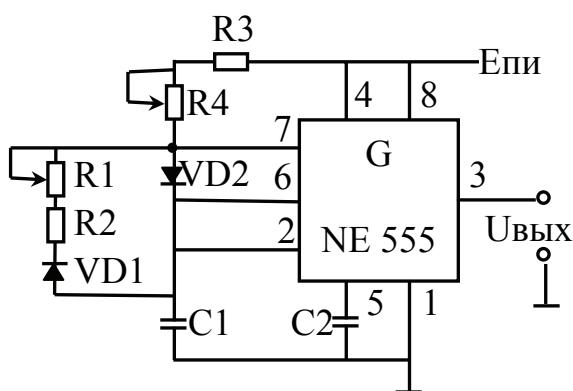


Рис. 7.30 – Мультивибратор с раздельной регулировкой времени заряда и времени разряда

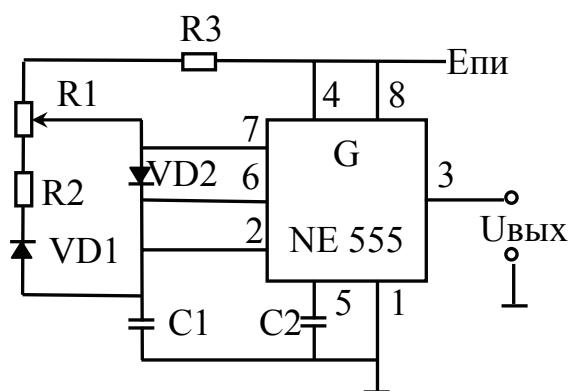


Рис. 7.31 – Мультивибратор с регулировкой скважности одним резистором

$$T2=0,7*(R3+R4)*C1. \quad (7.24)$$

Номиналы резисторов  $R1$ ,  $R4$  выбираются в пределах 50...200 кОм, а резисторы  $R2$ ,  $R3$  (номиналом 1..2 кОм) ограничивают максимальные токи разряда и заряда конденсатора  $C1$  (резистор  $R3$  ограничивает также ток через открытый транзистор  $VT3$  внутри таймера при нулевом значении резистора  $R4$ ).

На рис. 7.31 приведена схема мультивибратора на интегральном таймере с регулировкой скважности одним резистором  $R1$ . В этой схеме при регулировке скважности частота генерируемых импульсов остается постоянной (т.е. сумма  $T1 + T2$  не изменяется). Частота импульсов не зависит также от изменения напряжения источника питания.

Схема на рис. 7.31 отличается от схемы на рис. 7.30 только объединением двух регулировок в одном резисторе  $R1$ . Назначение резисторов  $R2$ ,  $R3$  и диодов  $VD1$ ,  $VD2$  аналогично схеме на рис. 7.30.

Длительность импульсов в схемах (рис. 7.30, рис. 7.31) может составлять от 1% до 99% от периода генерируемых колебаний.

Подавая на вход управления 5 модулирующее напряжение, можно изменять пороги срабатывания сразу двух компараторов внутри таймера. При этом у ждущего мультивибратора можно электронным путем управлять длительностью импульса, т.е. создавать Широтно-Импульсную Модуляцию (ШИМ) импульсов.

В автоколебательном мультивибраторе можно управлять частотой генерируемой последовательности импульсов, т.е. реализовать Частотную Модуляцию (ЧМ).

Подавая на вход сброса 4 низкий логический уровень, можно принудительно остановить формирование импульсов в ждущем режиме или прервать генерацию в автоколебательном режиме. На выходе 3 таймера при этом устанавливается нулевой потенциал.

## 7.7 ПРАКТИЧЕСКОЕ ЗАНЯТИЕ ПО РАСЧЕТУ СХЕМ НА ОУ

**Задача 7.1** – Рассчитать инвертирующий усилитель по заданным параметрам:  $\Delta U_{bx} = -200 \text{ мВ} \dots +200 \text{ мВ}$ ;  $\Delta U_{by} = +2 \text{ В} \dots -2 \text{ В}$ .

Схема инвертирующего усилителя приведена на рис. 7.7.

По формуле (7.4) рассчитываем коэффициент передачи (в этой формуле незримо присутствует разность напряжений, потому что входное и выходное напряжение в этой формуле отсчитываются от начального нулевого напряжения):

$$K_u = \frac{\Delta U_{вых}}{\Delta U_{вх}} = \frac{2 - (-2)}{(-200 - 200) * 10^{-3}} = -10.$$

Задаемся номиналом резистора  $R_2 = 10\text{k}\Omega$  и по формуле (7.4) рассчитываем номинал резистора  $R_1$ :

$$R_1 = -R_2 / K_u = -10 / (-10) = 1 (\text{k}\Omega).$$

**Задача 7.2** – Рассчитать неинвертирующий усилитель по заданным параметрам:  $\Delta U_{вх} = -200 \text{ мВ} \dots +200 \text{ мВ}$ ;  $\Delta U_{вых} = -3 \text{ В} \dots +3 \text{ В}$ .

Схема неинвертирующего усилителя приведена на рис. 7.9.  
По формуле (7.6) рассчитываем коэффициент передачи:

$$K_H = \frac{\Delta U_{вых}}{\Delta U_{вх}} = \frac{-3 - 3}{(-200 - 200) * 10^{-3}} = -15.$$

Задаемся номиналом резистора  $R_2 = 10\text{k}\Omega$  и по формуле (7.6) рассчитываем номинал резистора  $R_1$ :

$$R_1 = R_2 / (K_H - 1) = 10 / (15 - 1) = 0,714 (\text{k}\Omega).$$

**Задача 7.3** – Рассчитать схему инвертирующего сумматора по заданным параметрам:

- $\Delta U_{вх1} = -20 \text{ мВ} \dots +20 \text{ мВ}$ ;
- $\Delta U_{вх2} = -50 \text{ мВ} \dots +50 \text{ мВ}$ ;
- $\Delta U_{вх3} = -100 \text{ мВ} \dots +100 \text{ мВ}$ ;
- $\Delta U_{вых} = +3 \text{ В} \dots -3 \text{ В}$ .

Схема инвертирующего сумматора приведена на рис. 7.15.

В расчетах учесть:  $K_{u_i} = \frac{\Delta U_{вых}}{n * \Delta U_{вх}} = -\frac{R_{oc}}{R_i}$ , (7.25)

где:  $n$  – количество входов сумматора или вычитателя (если не включать в расчет множитель  $n$ , то при максимальных входных сигналах их сумма может выйти за пределы заданных выходных сигналов).

Рассчитаем коэффициенты передачи для каждого входа сумматора:

$$K_{u1} = \frac{\Delta U_{вых}}{3 * \Delta U_{вх1}} = \frac{3 - (-3)}{3 * (-20 - 20) * 10^{-3}} = -50;$$

$$K_{u2} = \frac{\Delta U_{вых}}{3 * \Delta U_{вх2}} = \frac{3 - (-3)}{3 * (-50 - 50) * 10^{-3}} = -20;$$

$$K_{u3} = \frac{\Delta U_{вых}}{3 * \Delta U_{вх3}} = \frac{3 - (-3)}{3 * (-100 - 100) * 10^{-3}} = -10.$$

Задаемся номиналом резистора  $R_{oc} = 10\text{k}\Omega$  и по формуле (7.25) рассчитываем номиналы резисторов  $R_1, R_2, R_3$ :

$$R_1 = -R_{oc} / Ku1 = -10 / (-50) = 0,2 (\text{k}\Omega);$$

$$R_2 = -R_{oc} / Ku2 = -10 / (-20) = 0,5 (\text{k}\Omega);$$

$$R_3 = -R_{oc} / Ku3 = -10 / (-10) = 1 (\text{k}\Omega).$$

По формуле (7.12) проверяем результаты расчетов:

$$3 = -(-20 * 10^{-3} \frac{10}{0,2} - 50 * 10^{-3} \frac{10}{0,5} - 100 * 10^{-3} \frac{10}{1}).$$

**Задача 7.4 – Рассчитать схему неинвертирующего сумматора по заданным параметрам:**

- $\Delta U_{bx1} = -100 \text{ мВ} \dots +100 \text{ мВ};$
- $\Delta U_{bx2} = -50 \text{ мВ} \dots +50 \text{ мВ};$
- $\Delta U_{вых} = -2 \text{ В} \dots +2 \text{ В}.$

В этой задаче сначала рассчитывается обычный инвертирующий сумматор (см. рис. 7.15) и на его выходе добавляется инвертирующий усилитель с коэффициентом передачи  $Ku = -1$  (см. рис. 7.32).

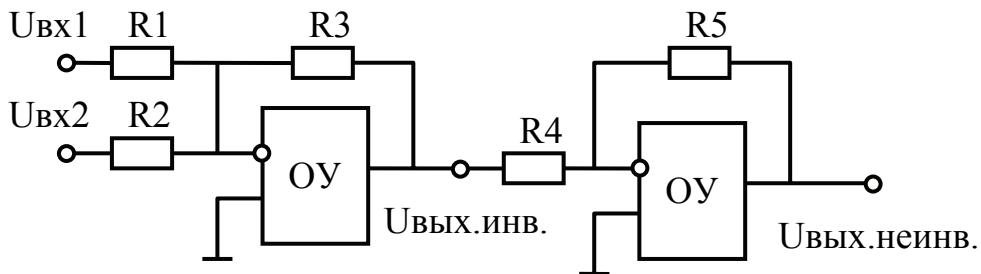


Рис. 7.32 – Неинвертирующий сумматор

Рассчитаем коэффициенты передачи для каждого входа сумматора:

$$Ku1 = \frac{\Delta U_{вых}}{2 * \Delta U_{bx1}} = \frac{-2 - 2}{2 * (-100 - 100) * 10^{-3}} = 10;$$

$$Ku2 = \frac{\Delta U_{вых}}{2 * \Delta U_{bx2}} = \frac{-2 - 2}{2 * (-50 - 50) * 10^{-3}} = 20.$$

Задаемся номиналами резисторов  $R_3 = R_5 = 10\text{k}\Omega$  и по формуле (7.25) рассчитываем номиналы резисторов  $R_1, R_2$ :

$$R_1 = R_3 / Ku1 = 10 / (10) = 1 (\text{k}\Omega);$$

$$R_2 = R_3 / Ku2 = 10 / (20) = 0,5 (\text{k}\Omega).$$

Знак в начале формулы не учитываем, потому что номиналы резисторов всегда должны быть положительные, а также учитываем последующее инвертирование сигнала после суммирования.

Для получения коэффициента передачи в инвертирующем усилителе  $Ku = -1$  рассчитываем номинал:  $R4 = R5 = 10 \text{ кОм}$ .

**Задача 7.5** – Рассчитать схему аналогового вычитателя по заданным параметрам:

- $\Delta U_{вх1} = +50 \text{ мВ} \dots -50 \text{ мВ}$  – инвертирующий вход;
- $\Delta U_{вх2} = -100 \text{ мВ} \dots +100 \text{ мВ}$  – неинвертирующий вход;
- $\Delta U_{вых} = -2 \text{ В} \dots +2 \text{ В}$ ;

Схема аналогового вычитателя приведена на рис. 7.16.

По формуле (7.25) рассчитаем коэффициенты передачи для каждого входа вычитателя:

$$Ku1 = \frac{\Delta U_{вых}}{2 * \Delta U_{вх1}} = \frac{-2 - 2}{2 * (50 - (-50)) * 10^{-3}} = -20;$$

$$Ku2 = \frac{\Delta U_{вых}}{2 * \Delta U_{вх2}} = \frac{-2 - 2}{2 * (-100 - 100) * 10^{-3}} = 10.$$

Задаемся номиналами резисторов  $R2 = R4 = 10 \text{ кОм}$ . По формуле (7.4) рассчитываем номинал резистора  $R1$ :

$$R1 = -R2 / Ku1 = -10 / (-20) = 0,5 \text{ (кОм);}$$

По формуле (7.14) рассчитываем номинал резистора  $R3$ :

$$R3 = -R4 + \frac{R4}{Ku} (|Ku| + 1) = -10 + \frac{10}{10} (20 + 1) = 11 (\text{kOм}).$$

**Задача 7.6** – Рассчитать инвертирующий усилитель по заданным параметрам:

- $\Delta U_{вх} = -200 \text{ мВ} \dots +200 \text{ мВ};$
- $\Delta U_{вых} = +2 \text{ В} \dots 0 \text{ В}.$

В этой задаче сначала рассчитывается обычный инвертирующий усилитель, который потом преобразовывается в аналоговый инвертирующий сумматор для сложения с постоянным опорным напряжением (см. рис. 7.33), т.е. для сдвига уровня сигнала на выходе ОУ на постоянную величину.

По формуле (7.4) рассчитываем коэффициент передачи

$$Ku = \frac{\Delta U_{вых}}{\Delta U_{вх}} = \frac{2 - 0}{(-200 - 200) * 10^{-3}} = -5.$$

В этой формуле в знаменателе не учитывается коэффициент  $n$  (количество входов), потому что на втором входе сумматора напряжение всегда постоянное, т.е.  $\Delta U_{он} = 0$ .

Задаемся номиналом резистора  $R_3 = 10\text{k}\Omega$  и по формуле (7.4) рассчитываем номинал резистора  $R_1$ :

$$R_1 = -R_3 / K_u = -10 / (-5) = 2 (\text{k}\Omega).$$

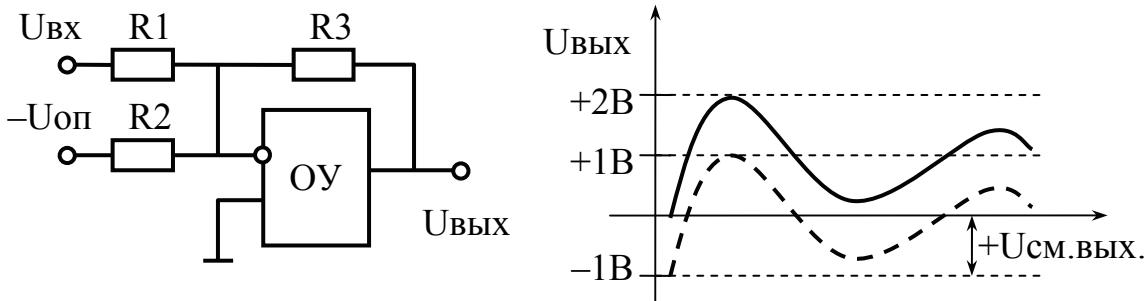


Рис. 7.33 – Инвертирующий усилитель со смещением выходного сигнала

Обратите внимание на то, что диапазоны изменения входного и выходного сигналов – несимметричные. Рассчитаем величины выходного напряжения при крайних значениях напряжений входного сигнала:

$$\begin{aligned} \text{При } U_{\text{вх}} = -200 \text{ мВ} &\rightarrow U_{\text{вых}} = -200 * 10^{-3} * (-5) = 1 \text{ В;} \\ \text{при } U_{\text{вх}} = +200 \text{ мВ} &\rightarrow U_{\text{вых}} = +200 * 10^{-3} * (-5) = -1 \text{ В.} \end{aligned}$$

Напряжение на выходе ОУ изменяется симметрично в диапазоне от  $-1$  В до  $+1$  В (см. пунктирную линию на рис. 7.33). А в условии задан несимметричный диапазон изменения выходного напряжения от  $0$  В до  $+2$  В (см. сплошной график на рис. 7.33). Поэтому необходимо сместить выходное напряжение вверх на величину:  $U_{\text{см.вых.}} = +1\text{V}$  (см. рис. 7.33).

Поскольку постоянное опорное напряжение  $U_{\text{оп}}$  подается на инвертирующий вход ОУ (см. рис. 7.33), то полярность опорного напряжения  $U_{\text{оп}}$  должна быть противоположной напряжению смещения выходного напряжения  $U_{\text{см.вых.}}$ . Величина опорного напряжения обычно выбирается в диапазоне от  $1$  В до  $5$  В.

Выберем опорное напряжение:  $U_{\text{оп}} = -2$  В. Рассчитаем коэффициент передачи от этого входа на выход схемы:

$$K_2 = U_{\text{см.вых.}} / U_{\text{оп}} = 1 / (-2) = -0,5.$$

При известном резисторе  $R_3 = 10 \text{ к}\Omega$  рассчитаем резистор  $R_2$ :

$$R_2 = -R_3 / K_2 = -10 / (-0,5) = 20 \text{ к}\Omega.$$

**Задача 7.7** – Рассчитать схему преобразования входных прямоугольных импульсов в пилообразное напряжение (см. рис. 7.34) на основе интегратора (схема интегратора приведена на рис. 7.11).

Расчет проводим по формуле (7.7). Начальная точка интегрирования (см. нижний график на рис. 7.34) – А ( $t = 0$ );  $U_{\text{вых}}(0) = +10$  В. Конечная точка интегрирования – В ( $t = 1\text{мс}$ );  $U_{\text{вых}}(t) = -10$  В. (Можно выбрать

конечную точку интегрирования – на пересечении выходного пилообразного сигнала с горизонтальной шкалой, т.е.  $t = 0,5 \text{ мс}$ ,  $U_{\text{выых}}(t) = 0$ .

$$-10 = -\frac{I}{R * C} \int_0^{10^{-3}} 5 dt + 10$$

Задаемся  $R = 10 \text{ кОм}$ .

$$\frac{5}{C \cdot 10 \cdot 10^3} t \Big|_{0}^{10^{-3}} = 20;$$

Рассчитываем емкость конденсатора:

$$C = \frac{5 \cdot 10^{-3}}{20 \cdot 10 \cdot 10^3} = 2,5 \cdot 10^{-8} (\Phi).$$

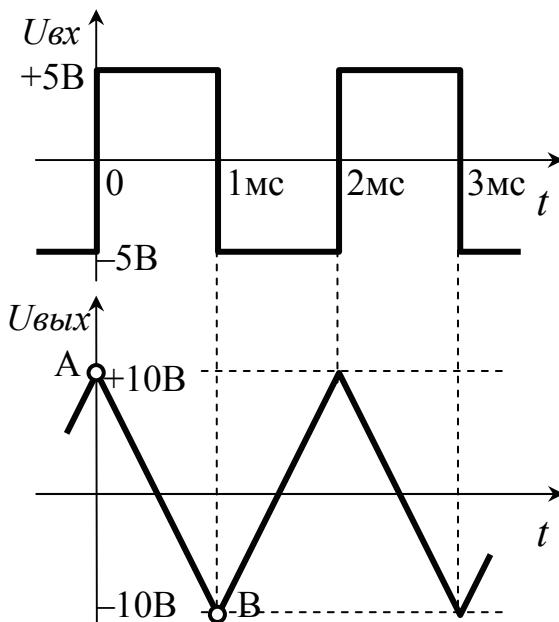


Рис. 7.34 – Входной и выходной сигналы интегратора

## 7.8 ПРАКТИЧЕСКИЕ ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ

1. Рассчитать инвертирующий сумматор:

$$\Delta U_{\text{вх}1} = -100 \text{ мВ} \dots +100 \text{ мВ};$$

$$\Delta U_{\text{вх}2} = -300 \text{ мВ} \dots +300 \text{ мВ};$$

$$\Delta U_{\text{вх}3} = -700 \text{ мВ} \dots +700 \text{ мВ};$$

$$\Delta U_{\text{вых}} = +4 \text{ В} \dots -4 \text{ В}.$$

2. Рассчитать неинвертирующий сумматор:

$$\Delta U_{\text{вх}1} = -50 \text{ мВ} \dots +50 \text{ мВ};$$

$$\Delta U_{\text{вх}2} = -100 \text{ мВ} \dots +100 \text{ мВ};$$

$$\Delta U_{\text{вх}3} = -300 \text{ мВ} \dots +300 \text{ мВ};$$

$$\Delta U_{\text{вых}} = -2 \text{ В} \dots +2 \text{ В}.$$

3. Рассчитать аналоговый вычитатель:

$$\Delta U_{\text{вх}1} = \Delta U_{\text{вх}2} = -20 \text{ мВ} \dots +20 \text{ мВ};$$

$$\Delta U_{\text{вых}} = -3 \text{ В} \dots +3 \text{ В}.$$

4. Рассчитать инвертирующий усилитель:

$$\Delta U_{\text{вх}} = +500 \text{ мВ} \dots 0 \text{ В};$$

$$\Delta U_{\text{вых}} = -3 \text{ В} \dots +3 \text{ В}.$$

5. Рассчитать аналоговый вычитатель:

$$\Delta U_{\text{вх}1} = +50 \text{ мВ} \dots -50 \text{ мВ};$$

$$\Delta U_{\text{вх}2} = -30 \text{ мВ} \dots +30 \text{ мВ};$$

$$\Delta U_{\text{вых}} = -3 \text{ В} \dots +3 \text{ В}.$$

6. Рассчитать схему преобразования входных пилообразных импульсов в напряжение параболы (см. рис. 7.35) на основе интегратора. Рекомендуется выбрать начальную точку интегрирования – А, конечную точку интегрирования – В

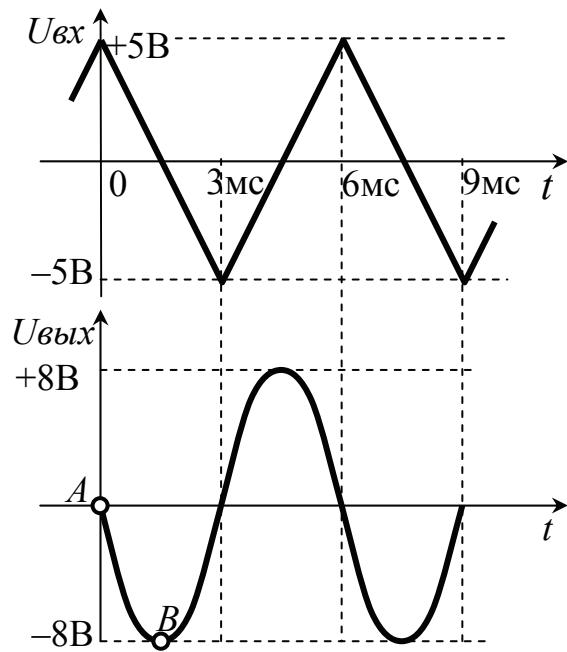


Рис. 7.35 – Входной и выходной сигналы интегратора

## 7.9 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Какие преобразования аналоговых сигналов производят в вычислительных системах?
2. Объясните структурную схему операционного усилителя (ОУ).
3. Основные параметры реальных операционных усилителей.
4. Основные параметры идеальных операционных усилителей.
5. Зачем в схемах на ОУ применяют обратные связи?
6. Привести схемы ОУ с обратными связями и объяснить влияние обратных связей на входное и выходное сопротивление усилителей.
7. Перечислить основные математические преобразования сигналов, которые могут быть реализованы на ОУ с обратными связями.
8. Привести основные схемы включения ОУ и формулы для расчета коэффициентов усиления.
9. Привести схемы инвертирующего и неинвертирующего триггеров Шмитта. Чем определяется ширина зоны гистерезиса?
10. Привести примеры использования триггеров Шмитта на ОУ в генераторах прямоугольных и пилообразных импульсов.
11. Для чего применяются компараторы напряжения?
12. Чем отличаются микросхемы компараторов напряжения от ОУ?
13. Для чего необходимо корректировать частотную характеристику ОУ?
14. Назначение интегральных таймеров.
15. Привести схемы и объяснить работу ждущих мультивибраторов на интегральных таймерах.
16. Привести схемы и объяснить работу мультивибраторов на интегральных таймерах.

## ТЕМА 8 ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

### 8.1 ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ (ЦАП) предназначены для преобразования цифрового кода  $N$  в пропорциональные аналоговые уровни напряжения  $U(N)$ .

По принципу действия схемы ЦАП бывают:

- с делением напряжения;
- с суммированием токов;
- на переключателях тока;
- с широтно-импульсной модуляцией.

#### 8.1.1 ЦАП С ДЕЛЕНИЕМ НАПРЯЖЕНИЯ

В схеме ЦАП С ДЕЛЕНИЕМ НАПРЯЖЕНИЯ (рис. 8.1) выходное напряжение  $U(N)$  определяется величиной опорного напряжения  $U_{\text{оп}}$ , поступающего на выход через коммутируемые резисторы с весовыми коэффициентами:

$$R_i = R * 2^{(n-i-1)}, \quad (8.1)$$

где:  $R = R_{n-1}$  – минимальное сопротивление старшего ( $n-1$ )-го разряда;  $n$  – число двоичных разрядов;  $a_0$  – двоичный код младшего разряда;  $a_{n-1}$  – двоичный код старшего разряда.

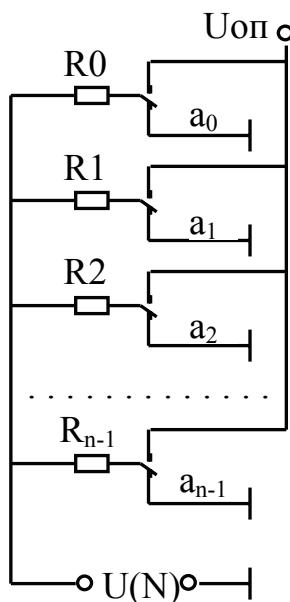


Рис. 8.1 – ЦАП с делением напряжения и матрицей  $R*2^n$

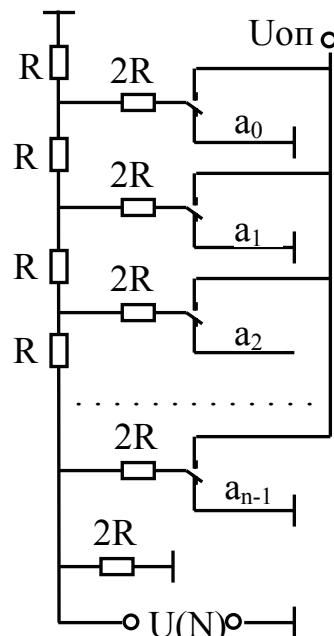


Рис. 8.2 – ЦАП с делением напряжения и матрицей  $R-2R$

### 8.1.2 ЦАП С ДЕЛЕНИЕМ НАПРЯЖЕНИЯ И МАТРИЦЕЙ R-2R

Преимущество схемы ЦАП С ДЕЛЕНИЕМ НАПРЯЖЕНИЯ (рис. 8.2) – использование резисторов только двух номиналов  $R$  и  $2R$ . Учитывая сложные технологические процессы при изготовлении интегральных резисторов с большими номиналами, схема на рис. 8.2 обеспечивает более высокую точность преобразования.

Однако, следует отметить, что схема на рис. 8.2 имеет более низкое быстродействие (чем схема на рис. 8.1), т.к. содержит большее количество паразитных емкостей и в ней используется многозвездный принцип передачи напряжения.

### 8.1.3 ЦАП С СУММИРОВАНИЕМ ТОКОВ

Для повышения скорости преобразования на практике используют ЦАП С СУММИРОВАНИЕМ ТОКОВ (рис. 8.3). Схема аналогична инвертирующему сумматору (см. рис. 7.15). Весовые резисторы  $R_0 \dots R_{n-1}$  выбираются в соответствии с соотношением (8.1). Токи каждого резистора равны:

$$I(i) = U_{on}/R_i.$$

Схема ЦАП с суммированием токов, на резистивной матрице  $R-2R$  приведена на рис. 8.4.

Следует отметить, что в схемах ЦАП с суммированием токов (рис. 8.3 и рис. 8.4) можно менять коэффициент преобразования, изменяя номинал резистора  $R_{oc}$ .

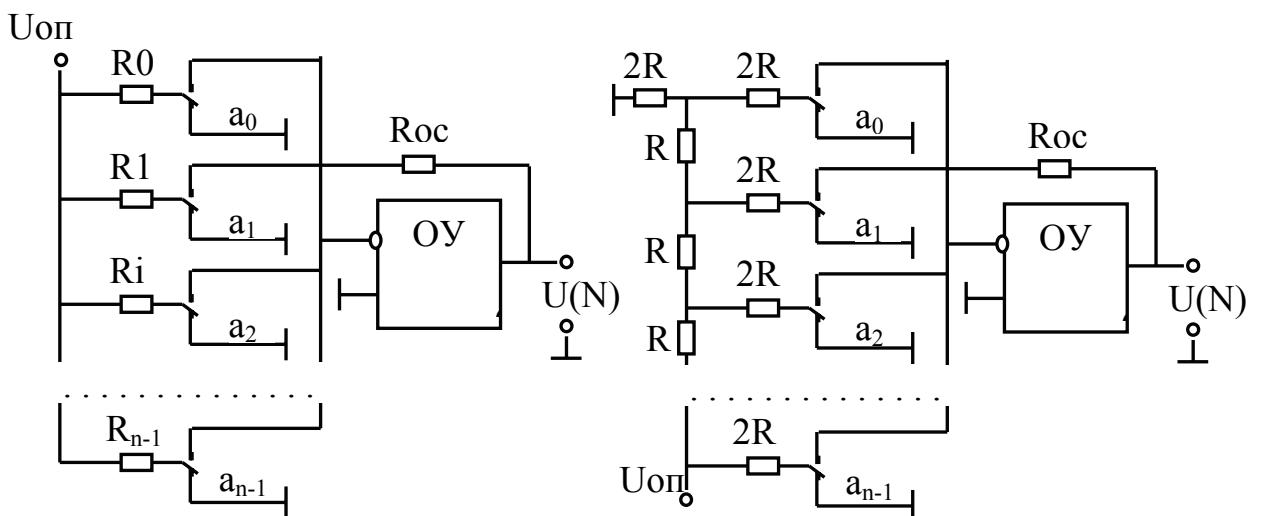


Рис. 8.3 – ЦАП с суммированием токов и весовыми резисторами

Рис. 8.4 – ЦАП с суммированием токов и резисторами  $R-2R$

В большинстве схем ЦАП коммутация весовых резисторов осуществляется аналоговыми ключами на МОП структурах.

Выходное напряжение в этих схемах определяется произведением опорного напряжения на код коммутации весовых резисторов:

$$U_{\text{выых}} = U(N) = U_{\text{оп}} * N.$$

Если опорное напряжение рассматривать как сигнал, который получается на выходе другого ЦАП, т.е.

$$U_{\text{оп}} = U'_{\text{оп}} * K,$$

тогда:  $U_{\text{выых}} = U'_{\text{оп}} * N * K,$

что представляет собой аналоговое напряжение, пропорциональное произведению двух кодов  $N$  и  $K$ .

Если вместо опорного напряжения подать аналоговый сигнал, можно цифровым кодом регулировать коэффициент передачи, а, следовательно, и уровень аналогового сигнала на выходе схемы.

#### 8.1.4 ЦАП НА ПЕРЕКЛЮЧАТЕЛЯХ ТОКОВ

Максимальным быстродействием обладает ЦАП НА ПЕРЕКЛЮЧАТЕЛЯХ ТОКОВ и суммированием весовых токов на выходных резисторах (рис. 8.5).

Каждый каскад ЦАП соответствует схемотехнике ЭСЛ. Уровни входных логических сигналов и величина опорного напряжения  $U_{\text{оп}}$  аналогичны ЭСЛ микросхемам. Весовые токи задаются резисторами  $R_0..R_{n-1}$  в цепях эмиттеров переключателей токов.

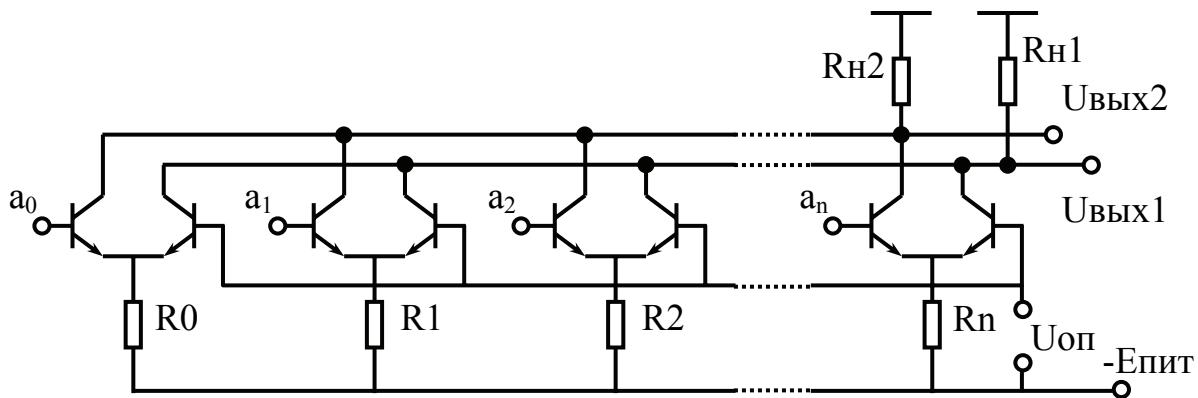


Рис. 8.5 – Быстродействующий ЦАП на переключателях токов

Выходные токи суммируются в цепях объединенных коллекторов и выделяются в виде выходного напряжения на внешних резисторах  $R_{H1}$  или  $R_{H2}$  номиналом 50...75 Ом, что обеспечивает хорошее согласование с аналоговыми LC-фильтрами и высокочастотными коаксиальными кабелями.

ЦАП на переключателях токов позволяет получить на выходе два аналоговых сигнала: прямой сигнал и его инверсию (см. рис. 8.5).

Применение схемотехнических решений ЭСЛ обеспечивает максимальное быстродействие до 100 МГц.

### 8.1.5 ЦАП С ШИРОТНО-ИМПУЛЬСНОЙ МОДУЛЯЦИЕЙ

Для цифрового управления нагрузкой, обладающей достаточно большой инерционностью, например, электрический двигатель, удобно использовать ЦАП с Широтно-Импульсной Модуляцией (ШИМ).

Для этого цифровые коды выбираются из памяти компьютера с фиксированной частотой дискретизации  $F_d$  (или периодом дискретизации  $T_d$ ) и преобразовываются во временные интервалы, длительность которых пропорциональна выбранным кодам (см. рис. 8.6).

Эти импульсы подаются на двигатель для управления скоростью вращения. Среднее за период дискретизации  $T_d$  напряжение на двигателе определяет скорость его вращения. В данном примере сам двигатель, как механическая инерционная система, выполняет функции Фильтра Низких Частот (ФНЧ).

При менее инерционной нагрузке (например, при воспроизведении цифрового сигнала громкоговорителем) на выходе формирователя ШИМ устанавливается фильтр низких частот, граничная частота которого рассчитывается в соответствии с соотношением Котельникова-Найквиста (1.27).

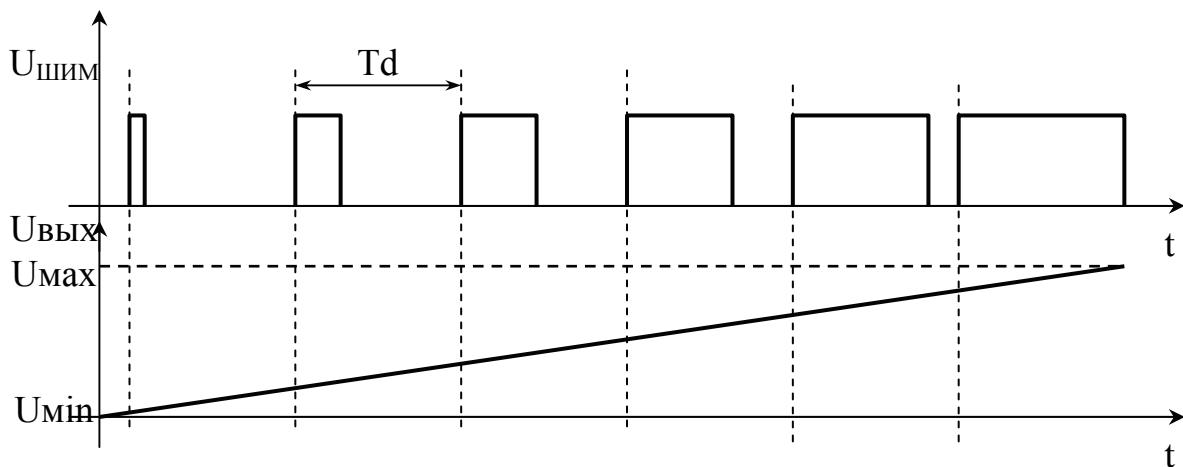


Рис. 8.6 – Напряжения на выходе преобразователя ШИМ

### 8.1.6 ПАРАМЕТРЫ ЦАП

Точность преобразования ЦАП зависит от:

- степени температурного согласования сопротивлений резистивных матриц;
- стабильности опорного напряжения;
- характеристик ОУ;
- внутреннего сопротивления МОП коммутаторов.

Погрешность переходного процесса, т.е. выбросы на фоне выходного сигнала обусловлены эффектами гонок в логических цепях, а также разными временами включения и выключения коммутаторов ЦАП. Для устранения выбросов переходных процессов на выходе ЦАП обязательно устанавливается Фильтр Низких Частот (ФНЧ) с граничной частотой вдвое меньшей частоты дискретизации сигнала (с учетом соотношения Котельникова, см. (1.27)).

Основной характеристикой ЦАП является передаточная характеристика:  $U=f(N)$ , которая представляет собой ступенчатую линию (см. рис. 8.7). При этом реальная характеристика отличается от идеальной. Для оценки этих различий вводят статические и динамические параметры ЦАП.

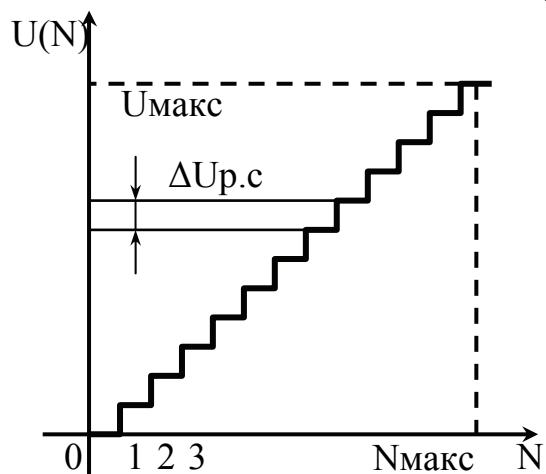


Рис. 8.7 – Передаточная характеристика ЦАП

### 8.1.7 СТАТИЧЕСКИЕ ПАРАМЕТРЫ ЦАП.

- ПОГРЕШНОСТЬ СМЕЩЕНИЯ НУЛЯ –  $U_{\text{см}}(0)$  – выходное напряжение при нулевом входном коде ( $N=0$ ) (см. рис. 8.8). Эта погрешность называется АДДИТИВНОЙ (она складывается с выходным напряжением).
- АБСОЛЮТНАЯ ПОГРЕШНОСТЬ ПРЕОБРАЗОВАНИЯ ( $\Delta$ ) – отклонение выходного напряжения от номинального, соответствующего конечной точке преобразования (см. рис. 8.9). Измеряется " $\Delta$ " в ЕДИНИЦАХ МЛАДШЕГО РАЗРЯДА (е.м.р.). Эта погрешность называется МУЛЬТИПЛИКАТИВНОЙ.
- НЕЛИНЕЙНОСТЬ ПРЕОБРАЗОВАНИЯ ( $\Delta_l$ ) – отклонение реальной передаточной характеристики от идеальной (см. рис. 8.10). Значение нелинейности не должно выходить за пределы  $\pm$  е.м.р.
- РАЗРЕШАЮЩАЯ СПОСОБНОСТЬ или ШАГ КВАНТОВАНИЯ ( $\Delta U_{\text{пр.с}}$ ) минимальное приращение выходного напряжения при преобразовании соседних кодов (эта величина равна е.м.р.) (см. рис. 8.7):

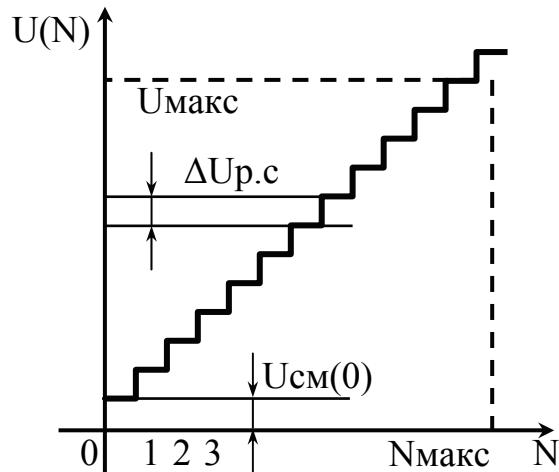


Рис. 8.8 – Погрешность смещения нуля

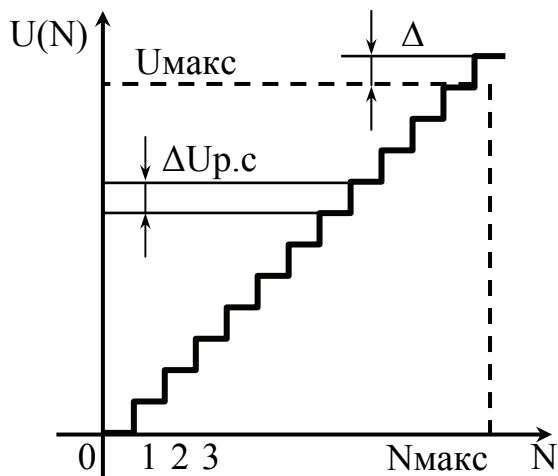


Рис. 8.9 – Абсолютная погрешность преобразования

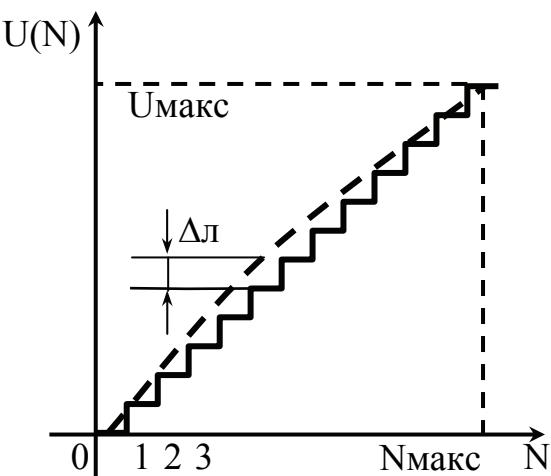


Рис. 8.10 – Нелинейность преобразования

$$\Delta_{Up.c} = U_{\max}(N) / (2^n), \quad (8.2)$$

где:  $n$  – количество двоичных разрядов ЦАП.

### 8.1.8 ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ ЦАП

- ВРЕМЯ УСТАНОВЛЕНИЯ ВЫХОДНОГО НАПРЯЖЕНИЯ ( $t_{ycm}$ ) – интервал времени от момента подачи кода  $N$  на вход ЦАП до момента, при котором напряжение окончательно войдет в зону шириной  $\pm e.m.p.$  или другой оговоренной величины, симметрично расположенной относительно установившегося значения.
- МАКСИМАЛЬНАЯ ЧАСТОТА ПРЕОБРАЗОВАНИЯ – наибольшая частота, при которой параметры ЦАП соответствуют заданным.

Одним из важных параметров ЦАП является – ШУМ ПРЕОБРАЗОВАНИЯ или ШУМ КВАНТОВАНИЯ. Уровень шума ( $D_{sh}$ ) измеряется в относительных единицах, как отношение максимального выходного напряжения ЦАП к величине шага квантования. Обычно уровень шума измеряется в «дебибелях»:

$$D_{sh} = 20 * \lg(U_{\max}(N)/\Delta_{Up.c}). \quad (8.3)$$

С учетом выражения (8.2) можно записать:

$$D_{sh} = 20 * \lg(N_{\max}) = 20 * \lg(2^n).$$

Таблица 8.1 – Уровни шумов квантования ЦАП

Разрядность ЦАП (бит)	6	7	8	10	12	14	16
Уровень шума (дБ)	36	42	48	60	72	84	96

В таблице 8.1 приведено значение уровня шума преобразования для ЦАП с различной разрядностью.

## 8.2 АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ (АЦП) преобразуют дискретные отсчеты аналогового сигнала в цифровой код.

По принципу действия АЦП разделяются:

- АЦП последовательного типа развертывающего уравновешивания;
- АЦП последовательного типа следящего уравновешивания;
- АЦП последовательного типа поразрядного уравновешивания;
- АЦП параллельного типа непосредственного считывания;
- преобразователи аналоговой величины в другую аналоговую величину (чаще всего – во временной интервал или в частоту следования импульсов) с последующим преобразованием в цифровой код.

### 8.2.1 АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА РАЗВЕРТЫВАЮЩЕГО УРАВНОВЕШИВАНИЯ

Основными элементами АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА РАЗВЕРТЫВАЮЩЕГО УРАВНОВЕШИВАНИЯ (рис. 8.11) являются:

- компаратор, на входы которого подается входной аналоговый сигнал и ступенчатое аналоговое напряжение с выхода ЦАП;
- схема управления (СУ);
- генератор (G) счетных импульсов с периодом повторения  $T$ ;
- счетчик (СТ);
- выходной параллельный регистр (RG);
- ЦАП, который преобразует последовательные коды с выхода счетчика в ступенчатое аналоговое напряжение.

В исходном состоянии – на выходе счетчика нулевой код. После сигнала «Пуск» Схема Управления открывает конъюнктор и счетные импульсы с генератора (G) подаются на вход счетчика (СТ). Последовательно нарастающий код счетчика преобразуется в ЦАПе в аналоговое ступенчатое напряжение, которое подается на вход компаратора для сравнения с входным измеряемым аналоговым сигналом ( $U_x$ ) (см. также рис. 8.12).

В момент достижения ступенчатым напряжением  $U_{DAC}$  входного аналогового напряжения  $U_x$  Схема Управления закрывает конъюнктор и на выходе счетчика запоминается код, пропорциональный величине аналогового входного сигнала. Этот код переписывается в выходной параллельный регистр (RG) и может быть считан внешним устройством.

После этого Схема Управления сбрасывает счетчик в исходное нулевое состояние (см. временные диаграммы на рис. 8.12) и ожидает прихода следующего запускающего импульса.

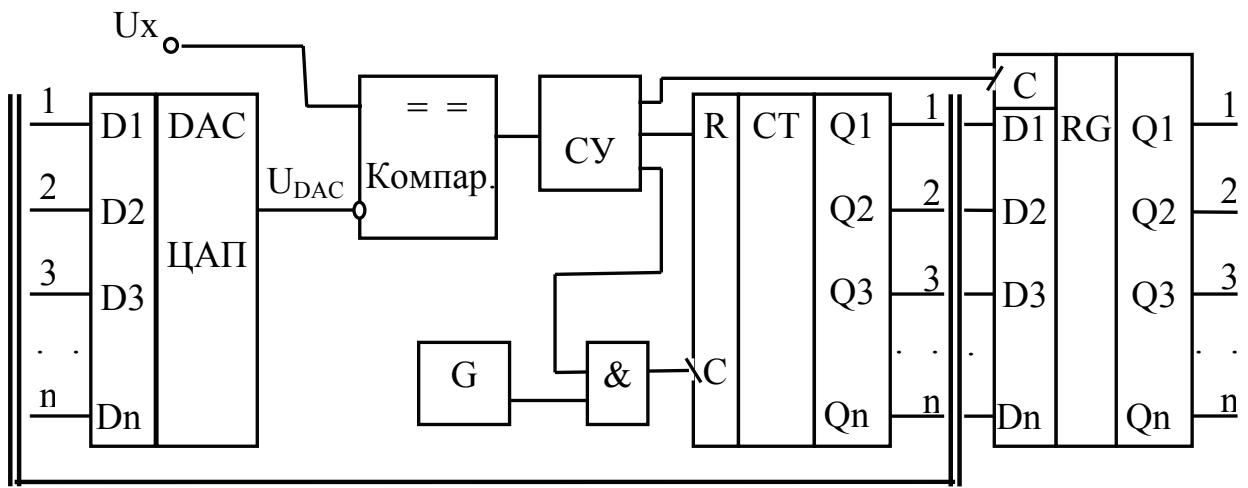


Рис. 8.11 – АЦП последовательного типа  
развертывающего уравновешивания

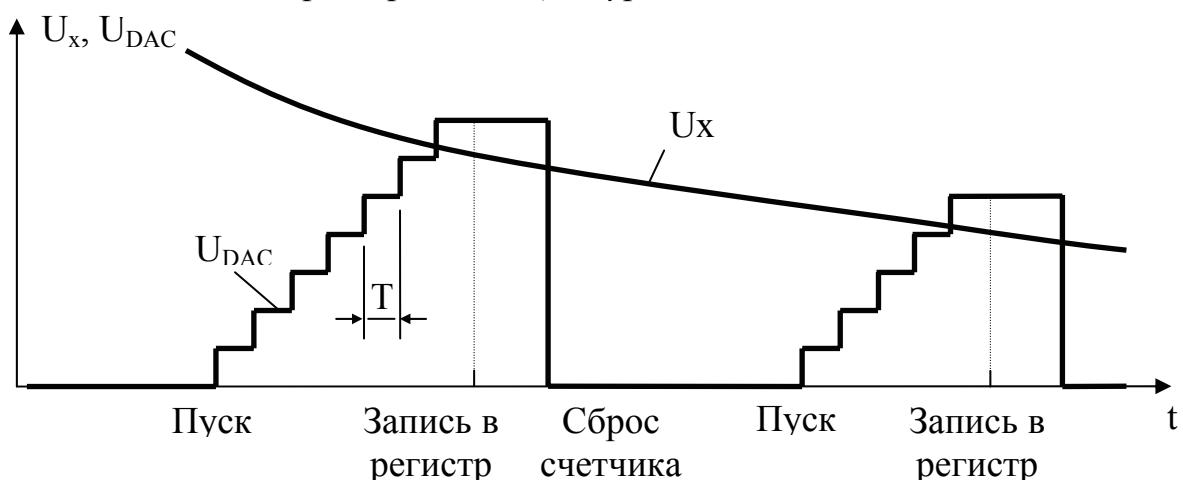


Рис. 8.12 – Временные диаграммы АЦП последовательного типа развертывающего уравновешивания

Время преобразования АЦП этого типа определяется величиной входного сигнала. Его максимальное значение:

$$T_{пр. макс} = (2^n - 1) * T. \quad (8.4)$$

Преимущество этого АЦП – простота, недостаток – большое время преобразования.

### 8.2.2 АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА СЛЕДЯЩЕГО УРАВНОВЕШИВАНИЯ

В АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА СЛЕДЯЩЕГО УРАВНОВЕШИВАНИЯ – суммирующий счетчик (СТ) заменен реверсивным счетчиком (рис. 8.13). Выходной сигнал компаратора переключает счетчик в режим суммирования, когда напряжение на выходе ЦАПа ( $U_{DAC}$ ) меньше входного напряжения  $U_x$ . Если ступенчатое напряжение с выхода ЦАПа

превысит входное напряжение  $U_x$ , счетчик переключается в режим вычитания (см. временные диаграммы на рис. 8.14).

При медленном изменении входного сигнала  $U_x$  на выходах реверсивного счетчика (т.е. на выходе АЦП) всегда готов преобразованный код и он может быть считан внешним устройством.

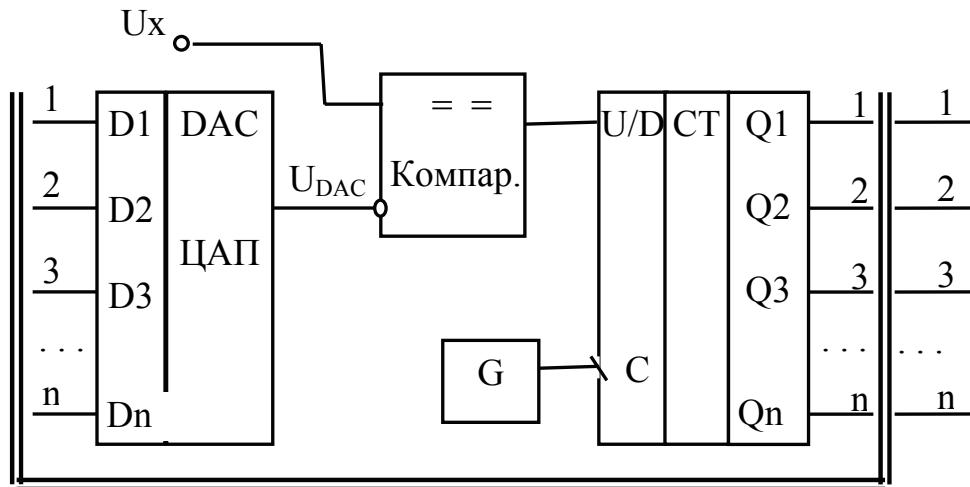


Рис. .8.13 – АЦП последовательного типа  
следящего уравновешивания

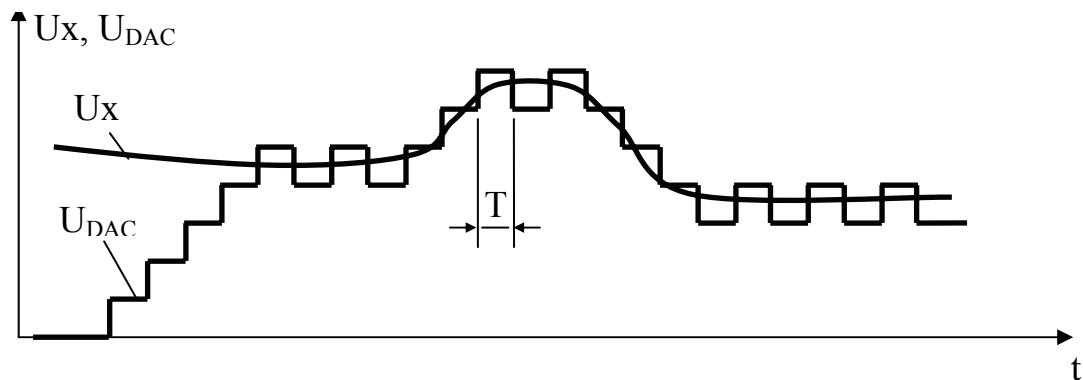


Рис. 8.14 – Временные диаграммы АЦП  
последовательного типа следящего уравновешивания

При постоянном входном напряжении код на выходе реверсивного счетчика будет изменяться на  $\pm 1$ , т.е. на шаг квантования.

### 8.2.3 АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА ПОРАЗРЯДНОГО УРАВНОВЕШИВАНИЯ

В АЦП ПОСЛЕДОВАТЕЛЬНОГО ТИПА ПОРАЗРЯДНОГО УРАВНОВЕШИВАНИЯ (АЦП ПОСЛЕДОВАТЕЛЬНЫХ ПРИБЛИЖЕНИЙ) (рис. 8.15) процесс уравновешивания происходит с помощью программного устройства (ПУ) в направлении от старшего разряда с весом  $2^{(n-1)}$  к младшим.

Это позволяет для  $n$ -разрядного АЦП выполнить весь процесс преобразования за « $n$ » последовательных тактов (шагов) приближений (итераций) вместо  $2^n - 1$  при развертывающем уравновешивании и получить выигрыш во времени.

В начальный момент преобразования по импульсу запуска программное устройство (регистр поразрядного уравновешивания) устанавливается в состояние 1000..00. При этом выходное напряжение ЦАП ( $U_{DAC}$ ) равно половине максимального значения. Если входное напряжение  $U_x$  больше этого уровня, в регистре программного устройства фиксируется «1» в старшем разряде. Если входное напряжение  $U_x$  меньше половины – в программном устройстве фиксируется «0» в старшем разряде.

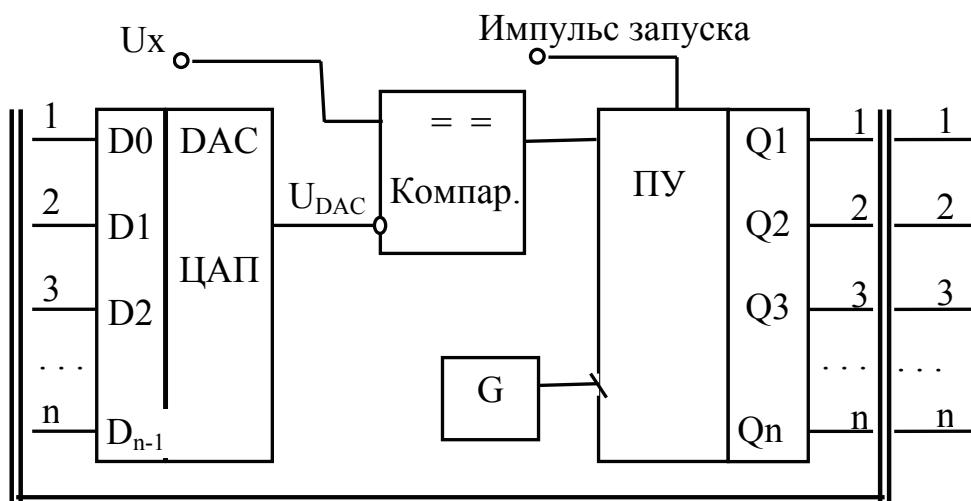


Рис. 8.15 – АЦП последовательного типа поразрядного уравновешивания

После прихода от генератора  $G$  очередного тактового импульса устанавливается в «1» следующий разряд регистра ПУ. Выходное напряжение ЦАП увеличивается на четверть от максимального напряжения. По сигналу с выхода компаратора фиксируется «0» или «1» в этом разряде регистра ПУ.

В следующих тактах выходное напряжение увеличивается на  $1/8$ , на  $1/16$  (от максимального значения) и т.д. с фиксацией «0» или «1» в соответствующих разрядах ПУ по сигналам с выхода компаратора.

Через « $n$ » тактов выходное напряжение ЦАП  $U_{DAC}$  с точностью до величины шага квантования приблизится к входному напряжению  $U_x$ , а на выходах регистра в ПУ зафиксируется полный код преобразователя.

Особенностью применения этого АЦП является необходимость запоминания аналогового входного сигнала  $U_x$  на время преобразования при помощи СХЕМЫ ВЫБОРКИ-ЗАПОМИНАНИЯ (СВЗ).

СВЗ (рис. 8.16) содержит входной ОУ1 для сравнения входного сигнала и выходного, аналоговый ключ на МОП структурах, конденсатор для

запоминания напряжения и повторитель напряжения на ОУ2 с полевыми транзисторами на входе.

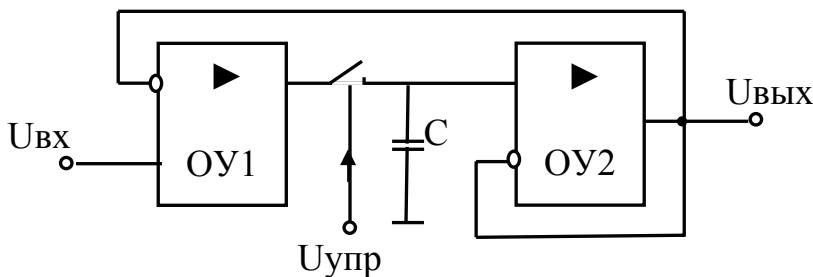


Рис. 8.16 – Схема Выборки - Запоминания аналогового сигнала

В исходном состоянии аналоговый ключ постоянно замкнут и входное напряжение через два повторителя напряжения ОУ1, ОУ2 проходит на выход. Под действием управляющего напряжения  $U_{упр}$  ключ размыкается на время преобразования и на выход поступает постоянное напряжение с конденсатора. По окончании преобразования ключ замыкается, и выходное напряжение опять отслеживает изменения входного напряжения.

#### 8.2.4 АЦП ПАРАЛЛЕЛЬНОГО ТИПА НЕПОСРЕДСТВЕННОГО СЧИТЫВАНИЯ

АЦП ПАРАЛЛЕЛЬНОГО ТИПА НЕПОСРЕДСТВЕННОГО СЧИТЫВАНИЯ обладает максимальным быстродействием, т.к. выполняет одновременное квантование сигнала с помощью  $N-1$  компараторов, подключенных параллельно к источнику измеряемого сигнала (рис. 8.17).

Пороговые уровни компараторов устанавливаются резистивным делителем с одинаковыми номиналами. Количество резисторов  $N$  и количество компараторов  $N-1$  определяется разрядностью выходного кода:

$$N=2^n,$$

где:  $n$  – количество разрядов выходного кода.

Резистивный делитель задает шаг квантования:

$$\Delta U_{кв}=(U_{\max}-U_{\min})/N.$$

Если входное напряжение  $U_x=\Delta U_{кв}*m$ , то  $m$  нижних компараторов находятся в единичном состоянии, а остальные компараторы – в нулевом состоянии. Этот код запоминается в регистре RG по фронту тактового сигнала  $CLK$ . Выходной код регистра преобразуется логической комбинационной схемой в двоичный код, который считывается внешними устройствами по фронту тактового сигнала  $CLK$ .

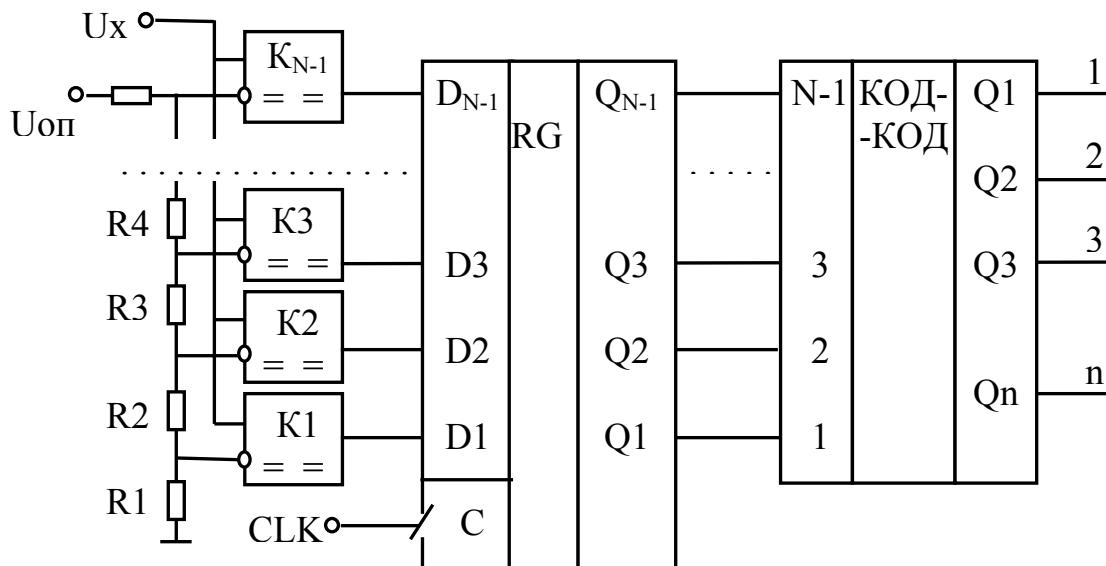


Рис. 8.17 – АЦП параллельного типа непосредственного считывания

Применение регистра RG позволяет объединить во времени процесс формирования кода на выходе компараторов и преобразование предыдущего кода в преобразователе кода. Такая КОНВЕЙЕРНАЯ ОБРАБОТКА в два раза повышает частоту преобразования.

Параллельные АЦП работают на частотах несколько десятков МГц. Однако, это достигается значительным аппаратным усложнением. Так при разрядности выходного кода  $n = 8$  количество компараторов и разрядов регистра RG достигает 255.

### 8.2.5 АЦП ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОГО ТИПА

Для уменьшения аппаратных затрат применяют АЦП ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОГО ТИПА. Разряды выходного кода « $n$ » разбиваются на несколько групп « $k$ ». Внутри каждой группы применяется параллельное преобразование, но группа за группой работают последовательно во времени. При этом резко сокращаются аппаратные затраты при некотором уменьшении быстродействия.

### 8.2.6 ПРЕОБРАЗОВАНИЕ АНАЛОГОВОГО СИГНАЛА ВО ВРЕМЕННОЙ ИНТЕРВАЛ

ПРЕОБРАЗОВАНИЕ АНАЛОГОВОГО СИГНАЛА ВО ВРЕМЕННОЙ ИНТЕРВАЛ осуществляется с помощью генератора линейно-изменяющегося напряжения (ГЛИН) (рис. 8.18). ГЛИН реализован на интеграторе (Инт. на рис. 8.18)) и триггере Шмитта (ТШ) (см. также аналогичный генератор на рис. 7.23).

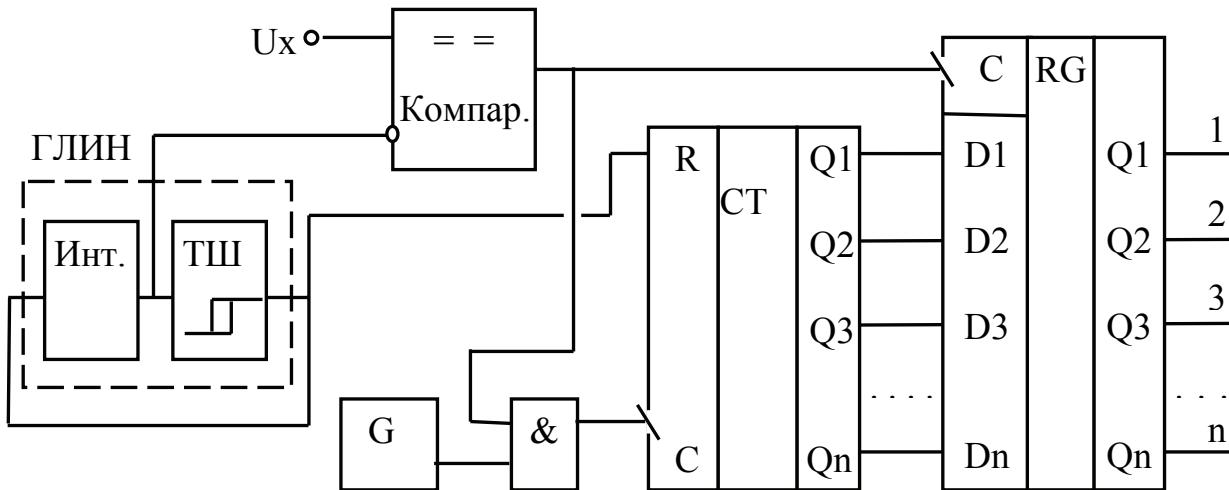


Рис. 8.18 – Преобразователь аналогового напряжения во временной интервал и в код

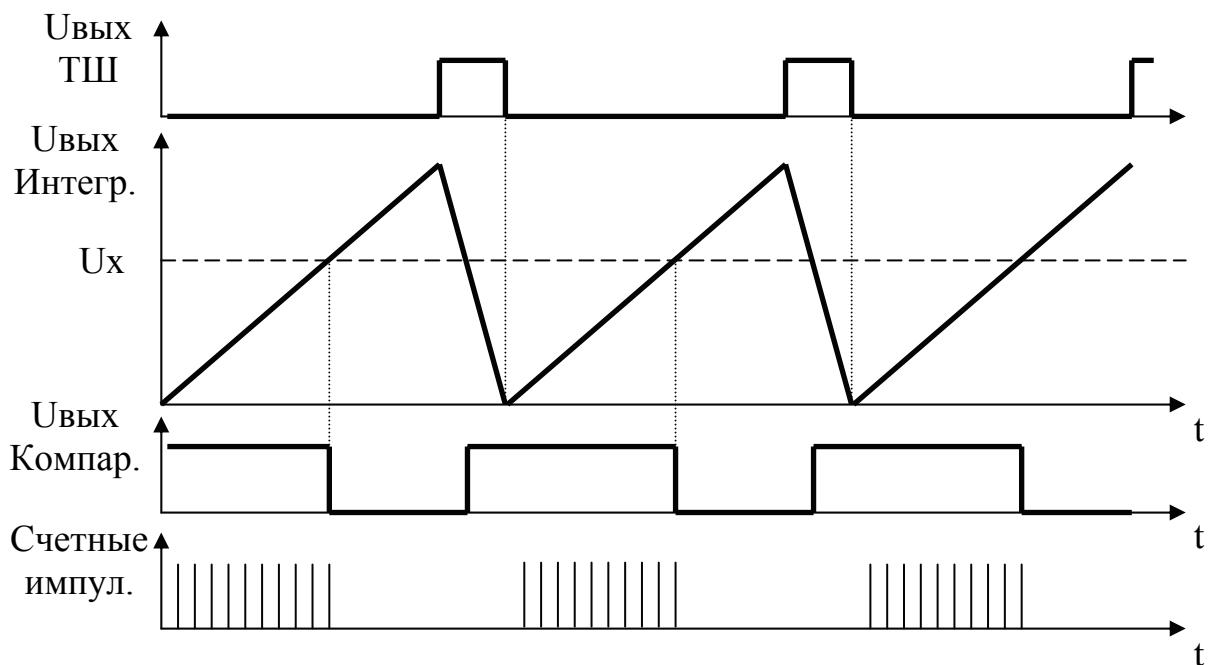


Рис. 8.19 – Временные диаграммы преобразователя напряжения во временной интервал и код

Высокий уровень сигнала на выходе триггера Шмитта (см. временные диаграммы на рис. 8.19) удерживает счетчик СТ в нулевом состоянии. С началом нарастающего участка пилообразного напряжения счетчик производит подсчет калиброванных импульсов с выхода генератора (G). В момент равенства входного напряжения  $U_x$  и нарастающего пилообразного напряжения срабатывает компаратор, счет импульсов прекращается, и состояние счетчика фиксируется в регистре RG по фронту выходного сигнала компаратора.

Временной интервал от начала счета до срабатывания компаратора пропорционален величине входного аналогового напряжения. Этот

интервал заполняется калиброванными счетными импульсами (с выхода кварцевого генератора G), количество которых подсчитывается в счетчике.

В схеме (рис. 8.18) можно исключить элемент конъюнкции. При этом счетчик не прекращает счет в момент срабатывания компаратора, а текущее значение кода счетчика будет считано «на лету» в регистр RG по фронту сигнала с выхода компаратора.

Алгоритм работы этой схемы аналогичен АЦП последовательного типа развертывающего уравновешивания (см. рис. 8.11). Поэтому оба преобразователя могут использоваться для преобразования аналогового напряжения во временной интервал.

### 8.2.7 АЦП С ДВУХТАКТНЫМ ИНТЕГРИРОВАНИЕМ

Основным недостатком рассмотренных АЦП последовательного типа является их низкая помехоустойчивость от наводок питающей сети. Этот недостаток можно устранить, если в процессе преобразования использовать операцию интегрирования за фиксированный интервал времени. Такой алгоритм реализован в АЦП С ДВУХТАКТНЫМ ИНТЕГРИРОВАНИЕМ (рис. 8.20), в котором полный цикл работы состоит из двух тактов.

В первом такте с помощью аналогового интегратора на операционном усилителе интегрируется входное напряжение за фиксированный интервал времени  $T1$ . При этом на интегрирующем конденсаторе  $C$  накапливается заряд:

$$gI = \bar{U}_x * T1 / (R * C),$$

где:  $\bar{U}_x$  – среднее входное напряжение за время  $T1$ .

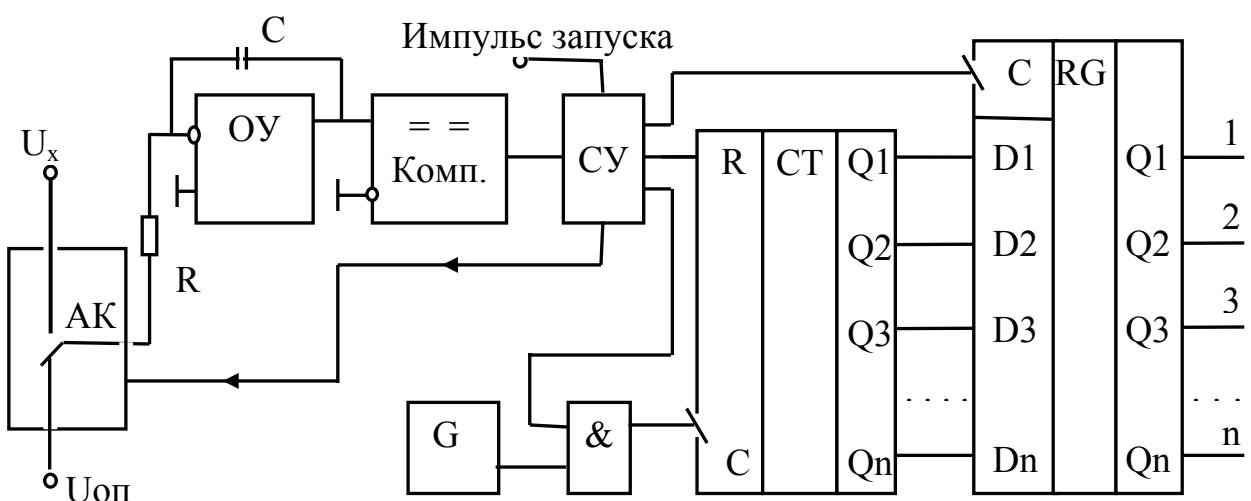


Рис. 8.20 – АЦП с двухтактным интегрированием

Во втором такте происходит разряд конденсатора от источника опорного напряжения  $U_{on}$ , который имеет полярность, противоположную

входному напряжению, и подключается на вход интегратора с помощью аналогового ключа (АК) (см. рис. 8.20). Этот процесс продолжается до полного разряда конденсатора (см. рис. 21), что фиксируется компаратором. При этом удаленный из конденсатора заряд:

$$g2 = U_{on} * T2 / (R * C),$$

где:  $T2$  – время разряда конденсатора.

Учитывая, что:  $g1 = g2$ , получаем:

$$T2 = U_x * T1 / U_{on} . \quad (8.5)$$

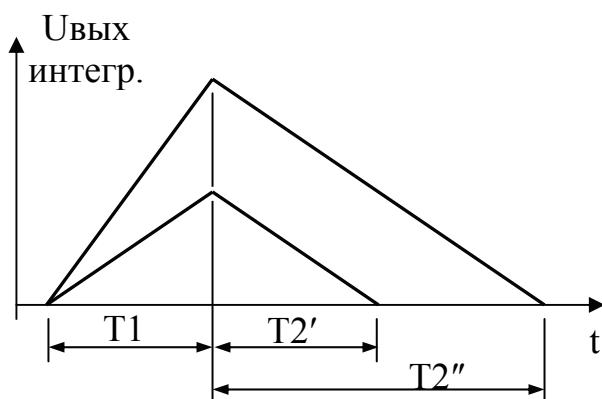


Рис. 8.21 – Временные диаграммы АЦП с двухтактным интегрированием

шумов. В частности, синхронизируя работу такого АЦП с напряжением сети и выбирая:

$$T1 = i/50 \text{ (сек)},$$

кратное периоду питающей сети (частотой 50 Гц), можно полностью подавить наводки, проходящие по цепям питания.

### 8.2.8 ПАРАМЕТРЫ АЦП

Параметры, характеризующие статическую точность, определяют работу АЦП при дискретизации квазипостоянных (медленно меняющихся) физических величин:

- **ДИАПАЗОН ИЗМЕРЯЕМЫХ ВЕЛИЧИН** – максимальное  $U_{max}$  и минимальное  $U_{min}$  для данного АЦП значения измеряемой величины.
- **ПОГРЕШНОСТЬ КВАНТОВАНИЯ** (дискретности)  $U_{kv}$  – методическая погрешность, вызываемая конечным значением шага квантования (единицей младшего разряда е.м.р.).

$$U_{kv} = (U_{max} - U_{min}) / (2^n).$$

Временной интервал  $T2$  измеряется так же, как и в предыдущей схеме: интервал заполняется калиброванными импульсами кварцевого генератора и подсчитывается количество этих импульсов в счетчике СТ.

Таким образом, используя операцию интегрирования входного сигнала, можно получить усреднение и сглаживание всех быстрых (по сравнению с временем интегрирования  $T1$ ) помех или наводок от питающей сети и

- ПОГРЕШНОСТЬ СМЕЩЕНИЯ НУЛЯ (аддитивная погрешность)  $U_{cm}$  – характеризует параллельный сдвиг всей передаточной характеристики реального АЦП по отношению к идеальному (см. аналогичный график на рис. 8.8).
- ПОГРЕШНОСТЬ КОЭФФИЦИЕНТА ПЕРЕДАЧИ (мультипликативная погрешность) – величина, характеризующая отклонение крутизны усредненной передаточной характеристики АЦП от крутизны идеальной характеристики (см. аналогичный график на рис. 8.9).
- НЕЛИНЕЙНОСТЬ – отклонение передаточной характеристики АЦП от идеальной во всем диапазоне изменения входного сигнала (см. аналогичный график на рис. 8.10).
- ВХОДНОЕ СОПРОТИВЛЕНИЕ  $R_{ex}$  – характеризует степень влияния входа АЦП на измеряемую величину. Если входное сопротивление невелико и соизмеримо с сопротивлением источника сигнала, а также не постоянно, то это может привести к появлению дополнительных погрешностей. Поэтому к величине входного сопротивления предъявляются жесткие требования по постоянству и величине.

Возникновение **ДИНАМИЧЕСКИХ ПОГРЕШНОСТЕЙ** связано с дискретизацией сигналов, изменяющихся во времени.

- ЧАСТОТА ДИСКРЕТИЗАЦИИ  $F_d$  – частота, с которой происходит образование дискретных значений сигнала.
- ВРЕМЯ ПРЕОБРАЗОВАНИЯ  $T_{ipr}$  – время, отсчитываемое от начала преобразования до появления на выходе кода, соответствующего данной выборке.
- ВРЕМЯ ВЫБОРКИ  $T_v$  – время, в течение которого происходит образование одного выбранного значения.

### 8.3 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Назначение ЦАП и АЦП.
2. Особенности основных типов ЦАП.
3. Преимущества ЦАП с матрицей R-2R.
4. Какой ЦАП обладает максимальным быстродействием? Чем достигается максимальное быстродействие?
5. От чего зависит точность ЦАП?
6. Перечислите основные статические и динамические параметры ЦАП.
7. Что такое шум квантования? Как его уменьшить?
8. Чем определяется динамический диапазон ЦАП и АЦП?
9. Особенности основных типов АЦП.
10. Сравните основные типы АЦП по быстродействию.
11. Основные особенности АЦП с преобразованием аналоговой величины во временной интервал.
12. Перечислите основные статические и динамические параметры АЦП.

## **ТЕМА 9 ГЕНЕРАЦИЯ СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ**

Защита многих криптографических систем зависит от генерирования непрогнозируемых параметров. Примерами этого могут быть:

- секретный ключ в DES алгоритме шифрования,
- простые числа  $p, q$  в RSA-шифровании,
- схемы цифровых сигнатур,
- личный ключ в DSA алгоритме и
- запросы, используемые в идентификационных системах типа запрос-ответ.

Во всех этих случаях сгенерированные непредсказуемые параметры (числа, последовательности) должны быть достаточного размера и быть "случайными" в том смысле, что вероятность любого выбранного частного значения должна быть достаточно малой для предотвращения достижения противником преимуществ посредством оптимизации стратегии поиска на базе такой вероятности.

**ГЕНЕРАТОР СЛУЧАЙНЫХ БИТОВ** – это устройство или алгоритм, который выводит последовательность статистически независимых и безошибочных двоичных разрядов. Идеальным генератором случайных битов можно считать подбрасывание монеты и регистрацию выпадения «орла» – единицы или «решки» – нуля.

В литературе достаточно часто встречается обобщенное понятие – **ГЕНЕРАТОР СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ**. Этим термином можно называть устройство или алгоритм генерации случайных битов, из которых складываются случайные числа.

Основные отличия случайных последовательностей от псевдослучайных:

**Псевдослучайные последовательности** генерируются на основе известного (детерминированного) алгоритма – аппаратно или программно. Поэтому псевдослучайные последовательности можно повторить в том же порядке в последующих опытах, зная алгоритм и текущие значения, можно предсказать (просчитать) наперед любое количество псевдослучайных битов.

Псевдослучайные последовательности имеют период, т.е. генерируемая последовательность после « $T$ » битов начинает повторяться. Ранее упоминалось, что генератор псевдослучайной последовательности, состоящий из 100-разрядного регистра и работающий на частоте 10 МГц, имеет период в миллион раз превышающий возраст Вселенной. Поэтому в современных генераторах псевдослучайных последовательностей понятие периода не имеет практического смысла.

**Генератор случайных последовательностей** обязательно включает источник случайности – физический датчик шума.

Проектирование аппаратного устройства или программы для использования такой случайности и получение битовой последовательности, не

имеющей ошибок и корреляций, является трудной задачей. Кроме того, для большинства криптографических применений, генератор не должен подвергаться наблюдению или манипуляции противником.

## 9.1 ВЫБОР И ОБОСНОВАНИЕ ФИЗИЧЕСКИХ ДАТЧИКОВ ШУМА

Предельные характеристики стойкости криптографических систем достигаются в случае, если для формирования ключей, параметров и синхромаркеров используется генератор случайных последовательностей на основе физических датчиков шума с наилучшими параметрами равновероятности, независимости и некоррелированности.

Простейшие физические датчики, реализованные на основе случайных механических перемещений: подбрасывание монеты, бросание «игровых костей», оптоэлектронные системы наблюдения броуновского движения и др., обладают недостаточным быстродействием и требуют для своей реализации оптические устройства ввода результатов опытов в ЭВМ.

Примером удачной реализации устройства ввода случайных механических перемещений в ЭВМ является считывание состояний быстродействующего детерминированного счетчика в моменты нажатия клавиш. Обязательным условием для генерации случайных равновероятных последовательностей является многократное переполнение счетчика между считываниями.

Известен пример генерации случайных чисел при считывании состояний счетчика в таймере IBM PC (количество переполнений таймера – более 18 раз в секунду) в моменты нажатий произвольных клавиш (скорость нажатия клавиш – не более 2 – 3 в секунду). Для набора случайного двоичного числа длиной 512 бит необходимо нажать 32 клавиши. Это занимает много времени (до одной минуты), однако такой метод может быть реализован на программном уровне и не требует дополнительного оборудования.

В современных криптографических системах скорость генерации случайных последовательностей превышает 1 Мбит/с. Такие параметры могут быть реализованы только на основе электронных датчиков шума с широким спектром частот.

Случайные изменения параметров (так называемый, тепловой шум) наблюдаются у всех электронных компонентов при температурах выше абсолютного нуля по Кельвину. Поэтому в качестве физических датчиков шума могут быть использованы любые электронные компоненты.

Датчики шума на основе **РЕЗИСТОРОВ** генерируют случайный сигнал в полосе частот от единиц Гц до сотен Мгц с амплитудами выходного напряжения менее 0,1 мВ. Поэтому для сопряжения с цифровыми устройствами необходимо применять усилители с коэффициентом усиления

ния по напряжению в несколько тысяч раз. Известные ограничения по «площади усиления» (т.е. произведению коэффициента усиления на полосу усиливаемых частот) приводят к тому, что выходной сигнал усилителя имеет ограниченную полосу частот – не более единиц МГц.

Потребляемая мощность такого датчика определяется, в основном, мощностью усилителя и составляет от десятков до сотен мВт при напряжении питания от 5 до 15 В. Возможность реализации резистивного датчика шума, усилителя и аналого-цифрового преобразователя на одном кристалле в едином технологическом процессе изготовления интегральных схем определяет малые массогабаритные параметры и небольшие экономические затраты на изготовление.

Надежность работы при изменении условий эксплуатации определяется, в основном, не резистивным датчиком, а электронной схемой. Учитывая область применения датчиков шума в составе вычислительных систем, условия эксплуатации последних определяют допустимые изменения климатических условий и являются приемлемыми для электронной схемы датчика.

Датчики шума на основе ***p-n*-переходов (ДИОДЫ, ТРАНЗИСТОРЫ)** генерируют случайный сигнал (так называемый, шум рекомбинации) в диапазоне частот от единиц Гц до сотен МГц с амплитудой в несколько мкВ. Обязательное применение усилителей вносит в сигнал дополнительные шумы самих усилителей, выполненных на транзисторах и имеющих аналогичную природу. Амплитуды спектральных составляющих шума убывают с ростом частоты, поэтому применение таких датчиков на частотах выше одного МГц нецелесообразно.

Потребляемая мощность, питающие напряжения, массогабаритные и экономические показатели определяются параметрами усилителей и по этим показателям аналогичны датчикам на основе резисторов.

Датчики шума на основе **КРЕМНИЕВЫХ ДИОДОВ С ЗЕНЕРОВСКИМ ПРОБОЕМ** (стабилитроны) генерируют случайный сигнал с равномерным спектром от единиц Гц до десятков МГц и амплитудами в единицы мВ. Разработаны и выпускаются крупными сериями специализированные шумовые диоды с Зенеровским пробоем (например, КГ401), которые при напряжении 8 – 9 В и токе от 50 до 100 мкА генерируют широкий спектр (до десятков МГц) случайных импульсов с амплитудами от 0,1 до 1 В.

Потребляемая мощность у таких датчиков шума составляет единицы мВт при питающих напряжениях от 10 до 20 В. Это позволяет легко встраивать их в вычислительные системы. Массогабаритные и экономические показатели датчиков шума на основе шумовых диодов с Зенеровским пробоем (при реализации в интегральном исполнении на одном кристалле

с вычислительной системой) – наилучшие из всех рассматриваемых датчиков.

Датчики шума на основе **ЭЛЕКТРОННЫХ ЛАМП** (диоды, триоды и т.д.) генерируют случайный сигнал (так называемый, дробовой шум) с равномерным спектром от единиц Гц до десятков МГц и амплитудами менее 1 мВ. Поэтому обязательным является применение усилителей на лампах или транзисторах.

Потребляемая мощность (с учетом мощности накала) составляет единицы Вт. Питающие напряжения – от 50 до 200 В. Массогабаритные показатели значительно превышают аналогичные показатели современных интегральных вычислительных систем. Необходимо также учитывать изменение параметров в процессе эксплуатации электронных ламп за счет ухудшения эмиссионных свойств катодов. Поэтому применение таких датчиков шума в современных вычислительных системах – нецелесообразно.

Датчики шума на основе **ГАЗОРАЗРЯДНЫХ ЛАМП** (тиратроны, стабилитроны, неоновые лампы и др.) генерируют случайный сигнал в полосе частот от единиц Гц до сотен кГц с амплитудами до 1 В. Питающие напряжения – от 70 до 200 В, потребляемая мощность – от нескольких мВт до одного Вата. Учитывая большие массогабаритные показатели (как у ламповых датчиков) и высокие питающие напряжения, применение газоразрядных ламп в современных вычислительных системах – нецелесообразно.

**ФОТОЭЛЕКТРОННЫЕ УМНОЖИТЕЛИ (ФЭУ)**, работающие в одноэлектронном режиме, формируют случайные импульсы амплитудой менее 1 мА с частотой, определяемой, как тепловыми процессами на поверхности фотокатода, так и уровнем внешней засветки. Это позволяет легко регулировать среднюю частоту случайных импульсов в интервале от единиц кГц до десятков МГц изменением оптического сигнала подсветки фотокатода. Необходимо также учитывать зависимость формируемого сигнала от питающего напряжения и температуры окружающей среды.

Напряжение питания – от 500 В до 3 кВ, потребляемая мощность – единицы Вт. Большие массогабаритные показатели (как у ламповых датчиков) и высокие питающие напряжения, определяют нецелесообразность применения ФЭУ в качестве датчиков шума.

Среди экзотических датчиков шума можно отметить применение **ИЗМЕРИТЕЛЕЙ РАДИОАКТИВНОГО ИЗЛУЧЕНИЯ** (счетчик Гейгера и др.) совместно с радиоактивными изотопами. Использование таких датчиков в современных вычислительных системах ограничено по соображениям экологии.

На основе анализа датчиков шума можно сделать вывод о целесообразности применения в современных вычислительных системах физических датчиков шума на основе РЕЗИСТОРОВ или датчиков на основе кремниевых ДИОДОВ С ЗЕНЕРОВСКИМ ПРОБОЕМ.

Предпочтительнее использовать последние, так как они генерируют импульсы **большей амплитуды** и в **более широком спектре частот** (с учетом ограничения спектра после усиления сигнала с выхода резистивного датчика).

## 9.2 БАЗОВАЯ МОДЕЛЬ ГЕНЕРАТОРА СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

Для генерации случайных последовательностей достаточно внесение одного какого-нибудь случайного (непредсказуемого) параметра в детерминированный процесс (или алгоритм).

Применяемые физические датчики шума КГ401(А,Б,В) при среднем постоянном напряжении 8...9 В и токе 50...100 мА формируют случайные импульсы амплитудой 0,1...1 В с максимальной средней частотой до 3 – 15 МГц (график  $U_{uid}$  на рис. 9.1 а) (средняя частота измеряется электронно-счетным цифровым частотомером).

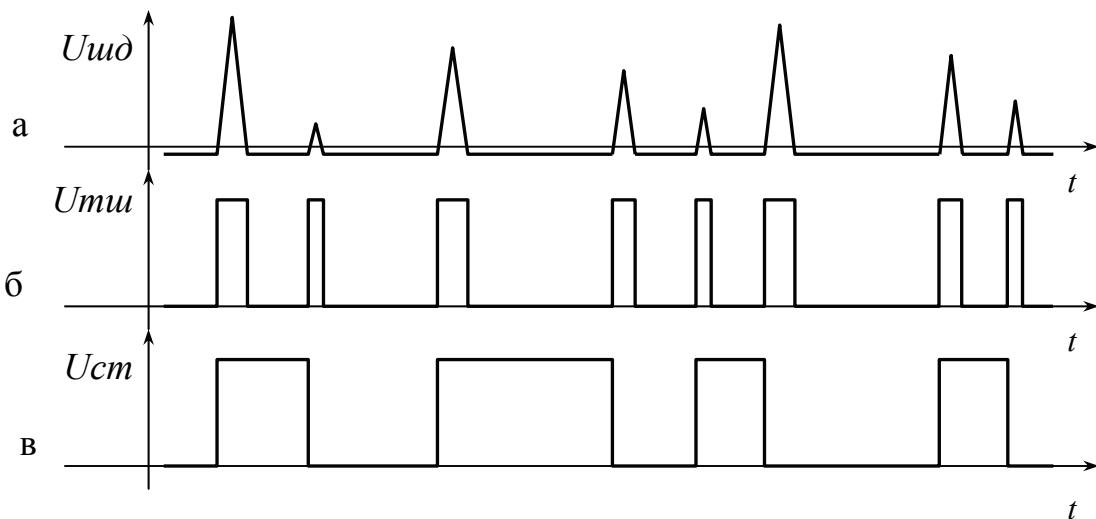


Рис. 9.1 – Временные диаграммы формирователя случайных битов

Преобразование этих импульсов в логические уровни цифровых микросхем (график  $U_{tii}$  на рис. 9.1 б) реализуется усилителями-ограничителями (компараторами) с небольшим гистерезисом на входе – триггерами Шмитта (TS).

В выходном сигнале триггера Шмитта (график  $U_{tii}$  на рис. 9.1 б) преобладает уровень логического нуля. При считывании этого сигнала в произвольные моменты времени формируемая случайная последовательность будет содержать значительно больше нулевых битов, чем единичных.

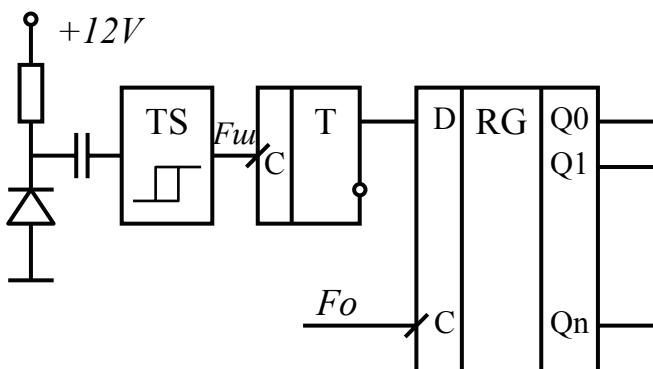


Рис. 9.2 – Генератор случайных последовательностей

Для выравнивания вероятностей "0" и "1" выходной сигнал триггера Шмитта подается на счетный триггер (см. рис. 9.2). Выходной сигнал счетного триггера (график  $U_{ctm}$  на рис. 9.1 в) с равной вероятностью принимает значения «логического нуля» и «логической единицы» в произвольные моменты времени. Считывание случайных битов можно производить в детерминированные моменты времени.

Достоинством данного метода формирования случайных битов является малая зависимость параметров формируемых последовательностей от режимов первичного генератора шумовых импульсов и закона распределения во времени случайных импульсов на выходе физического датчика шума. Обязательным условием независимости элементов генерируемых случайных последовательностей является многократное срабатывание счетного триггера в течение интервала времени между считываниями.

Состояния счетного триггерачитываются с частотой  $F_o$  в сдвигающий регистр RG (рис. 9.2). Частота  $F_o$  выбирается в 5...10 раз меньше, чем средняя частота шумовых импульсов  $F_{ui}$  на выходе триггера Шмитта. Это необходимо для многократного срабатывания счетного триггера между соседними считываниями случайных битов. При этом исключается взаимное влияние вероятности появления очередного бита от состояния предыдущего бита.

Одноканальная схема формирования случайных битов, включающая шумовой диод, усилитель-ограничитель (триггер Шмитта) и счетный триггер (см. рис. 9.2), не обеспечивает необходимую эксплуатационную надежность генерации равновероятных битов в случае изменения параметров источника шума или усилителя-ограничителя на основе триггера Шмитта.

Повышение эксплуатационной надежности канала формирования случайных битов достигается горячим резервированием, то есть параллельной работой нескольких каналов. На рис. 9.3 приведена схема генератора случайных последовательностей с двумя каналами формирования случайных битов (первый канал выделен на рис. 9.3 пунктиром). Возможно применение трех и более аналогичных каналов формирования случайных битов.

Выходные равновероятные случайные логические сигналы всех каналов объединяются схемой «ИСКЛЮЧАЮЩЕЕ ИЛИ» (схемой «суммирования по модулю 2» схемой «XOR») ичитываются в сдвигающий регистр с частотой  $F_o$  (см. рис. 9.3).

Предложенный метод горячего резервирования генераторов случайных битовых последовательностей, т.е. введение нескольких каналов гене-

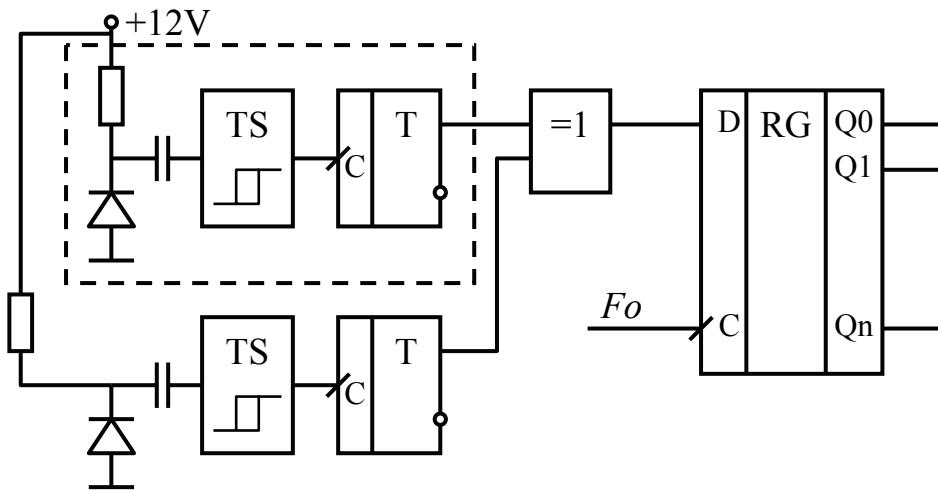


Рис. 9.3 – Генератор случайных последовательностей с горячим резервированием каналов формирования случайных битов

рации случайных битов (см. рис. 9.3), позволяет также пропорционально увеличить эквивалентную частоту шумового сигнала  $F_{ш}$  на выходе элемента «ИСКЛЮЧАЮЩЕЕ ИЛИ».

Это подтверждается измерениями частот случайных сигналов на выходах счетных триггеров в первом и втором каналах с частотой случайного сигнала на выходе элемента «ИСКЛЮЧАЮЩЕЕ ИЛИ»

### 9.3 ВЫРАВНИВАНИЕ ВЕРОЯТНОСТЕЙ ГЕНЕРИРУЕМЫХ СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

В генераторах случайных последовательностей при записи состояний счетного триггера в сдвигающий регистр (см. рис. 9.2) в детерминированные моменты времени иногда возникают «метастабильные состояния» в первом триггере сдвигающего регистра из-за совпадения фронта случайного цифрового сигнала (на выходе счетного триггера) с фронтом сигнала тактирования ( $F_о$ ) сдвигающего регистра. Это приводит к тому, что на выходе первого триггера регистра после окончания «метастабильного состояния» устанавливается, как правило, нулевое состояние.

Поэтому, если случайный сигнал на выходе счетного триггера с равной вероятностью принимает единичные и нулевые состояния, то записанные в регистр биты, как правило, будут иметь несколько большую вероятность «нuleй», чем вероятность «единиц». Измеренная экспериментально разность вероятностей  $\Delta = P(0) - P(1)$  составляет  $10^{-2} \dots 10^{-3}$ .

Существует несколько алгоритмов выравнивания вероятностей случайных битовых последовательностей.

Первый алгоритм позволяет значительно уменьшить разность вероятностей генерируемых случайных битов. Для этого из двух последовательных случайных битов формируется их логическая функция «ИСКЛЮЧАЮЩЕЕ ИЛИ». Промежуточный регистр RG1 запоминает два последних генерируемых случайных бита (рис. 9.4). В выходной регистр RG2 записывается логическая функция «ИСКЛЮЧАЮЩЕЕ ИЛИ» этих битов, но с частотой в два раза меньше, чем  $F_o$  (счетный триггер T2 делит частоту считывания  $F_o$  на два).

Вероятность единичного формируемого бита на входе регистра RG1 обозначим  $P(1)$ , а вероятность нулевого –  $P(0) = P(1) + \Delta$ .

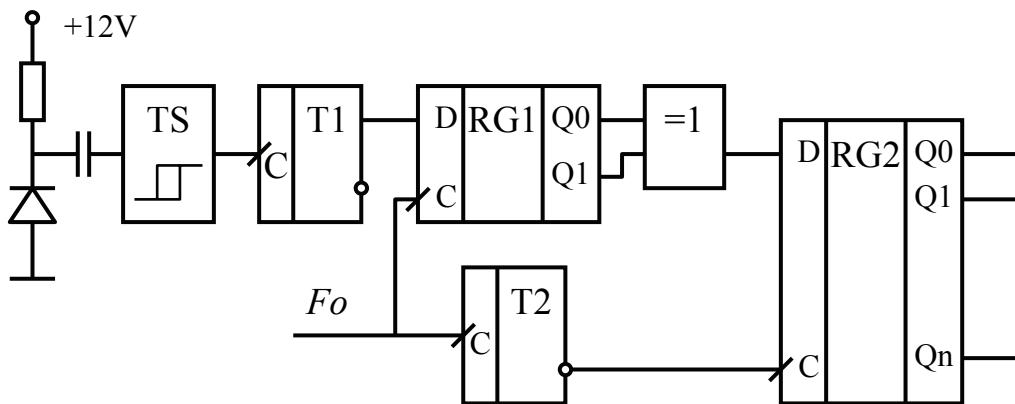


Рис. 9.4 – Схема выравнивания вероятностей по алгоритму «Дельта-квадрат»

Сумма вероятностей  $P(0) + P(1)$  всегда равна единице.

Запишем все комбинации битов на выходах промежуточного регистра RG1 и вероятности этих комбинаций (с учетом полной статистической независимости генерируемых соседних случайных битов) (см. табл. 9.1).

Таблица 9.1

Q1	Q2	Вероятности
0	0	$[P(1) + \Delta] * [P(1) + \Delta]$
0	1	$[P(1) + \Delta] * P(1)$
1	0	$P(1) * [P(1) + \Delta]$
1	1	$P(1) * P(1)$

На выходе элемента «ИСКЛЮЧАЮЩЕЕ ИЛИ» (см. рис. 9.4) формируется логический нуль при комбинациях, соответствующих первой и последней строкам табл. 9.1. Поэтому вероятность "нuleй"  $P(0)'$  на выходе схемы «ИСКЛЮЧАЮЩЕЕ ИЛИ» равна :

$$P(0)' = [P(1) + \Delta] * [P(1) + \Delta] + P(1) * P(1).$$

Логической единице на выходе схемы «ИСКЛЮЧАЮЩЕЕ ИЛИ» будут соответствовать две средние строки в таблице 9.1, поэтому вероятность «единиц»  $P(1)'$  будет равна :

$$P(1)' = [ P(1) + \Delta ] * P(1) + P(1) * [ P(1) + \Delta ].$$

Разность вероятностей на выходе элемента «ИСКЛЮЧАЮЩЕЕ ИЛИ»  $\Delta'$  равна:

$$\Delta' = P(0)' - P(1)' = \Delta^2.$$

Учитывая малую величину разности вероятностей  $\Delta$  ( $10^{-2} \dots 10^{-3}$ ), можно утверждать, что ее квадрат будет значительно меньше.

К недостаткам этого метода (условно назовем его: метод «Дельта-квадрат») можно отнести в два раза меньшую скорость формирования случайных битов и, хотя и маленькую, но не нулевую, разность вероятностей "0" и "1".

Многократное применение операции «ИСКЛЮЧАЮЩЕЕ ИЛИ» при формировании случайных последовательностей позволяет генерировать равновероятные случайные последовательности с заданной разностью вероятностей (например,  $\Delta = |P(0) - P(1)| < 10^{-10}$ ).

Второй метод еще в два раза уменьшает скорость формирования случайных последовательностей, но позволяет выровнять вероятности "0" и "1". Идея этого метода понятна из анализа табл. 9.1. Вероятности второй и третьей строк равны. Поэтому при комбинации сигналов на выходах промежуточного регистра RG1, соответствующей второй строке, в выходной регистр RG2 записывается нулевой бит, а при комбинации, соответствующей третьей строке, – единичный бит. Комбинации сигналов, соответствующие первой и последней строкам, не используются.

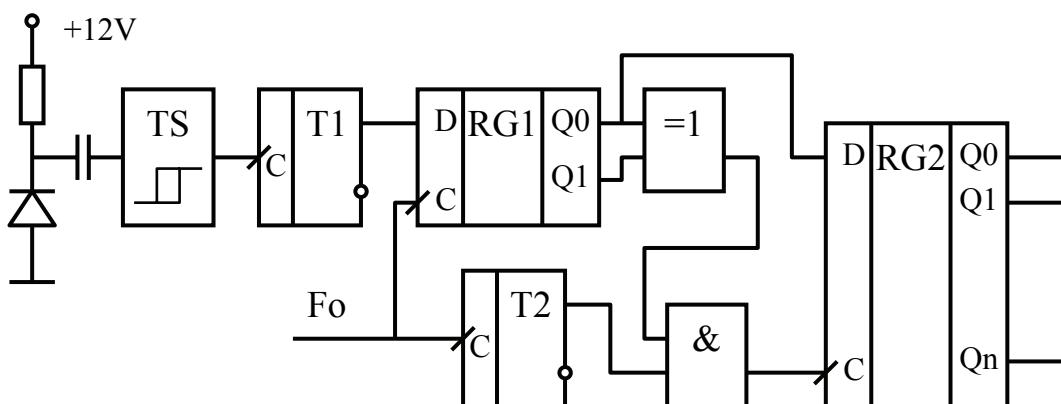


Рис. 9.5 – Схема полного выравнивания вероятностей

Для реализации этого метода нулевой логический сигнал с выхода логической единицы «ИСКЛЮЧАЮЩЕЕ ИЛИ» (контролирующей выхо-

ды промежуточного регистра RG1) запрещает запись случайных битов в выходной регистр RG2 (см. рис. 9.5) при комбинациях, соответствующих первой и последней строкам табл. 9.1.

#### 9.4 ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ ГЕНЕРАТОРОВ СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

На рис. 9.6 приведена схема генератора случайных последовательностей, в которой регистр RG имеет длину в 2-4 раза больше, чем разрядность формируемых случайных чисел, считываемых в компьютер (для интерфейса PCI – это 32 бита). Случайные биты с выходов регистра Qk и Qm статистически независимы со случайными битами на выходе счетного триггера. Объединение этих битов элементом «исключающее ИЛИ» можно рассматривать как реализацию алгоритма «Дельта-квадрат».

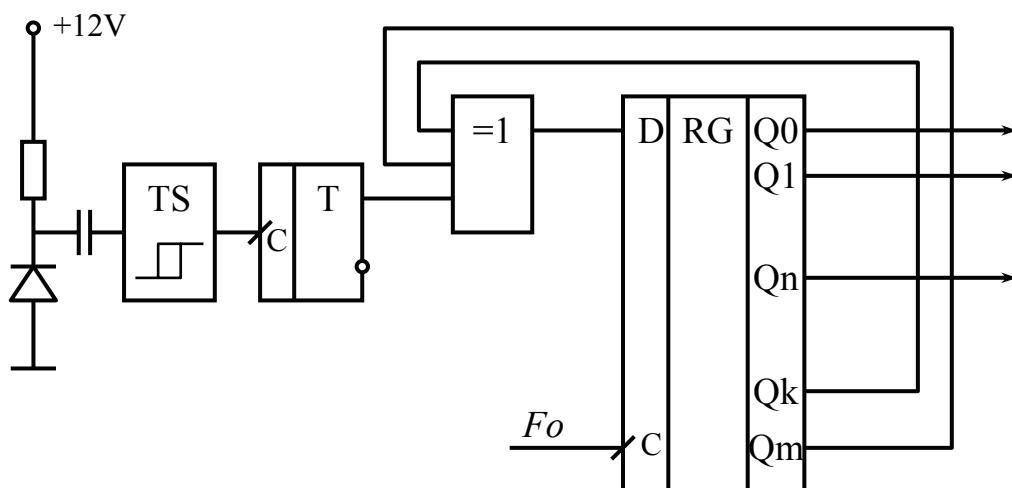


Рис. 9.6 – Генератор случайных последовательностей на основе ЛРР

Схему, состоящую из регистра с двумя (или более) отводами и элементом «исключающее ИЛИ» в цепи обратной связи, называют ЛИНЕЙНЫМ РЕКУРРЕНТНЫМ РЕГИСТРОМ (ЛРР).

Известно, что ЛРР является идеальным генератором псевдослучайных равновероятных последовательностей (см. рис. 6.16). Каждый отрезок такой последовательности можно рассматривать как случайный, если не известна предыстория его формирования.

Максимальная периодичность линейного рекуррентного регистра (ЛРР) равна:  $K = 2^m - 1$ .

Так, 60-ти разрядный регистр при тактовой частоте 10 МГц имеет период повторения – несколько миллионов лет.

Схему на рис. 9.6 можно рассматривать как сдвигающий регистр, в который вводятся случайные биты от источника с физическим датчиком

шума (см. рис. 9.2), а цепь обратной связи с элементом «ИСКЛЮЧАЮЩЕЕ ИЛИ» используется для улучшения статистических свойств случайной последовательности по методу «Дельта-квадрат».

Эту же схему (рис. 9.6) можно рассматривать как генератор псевдослучайных последовательностей на основе ЛРР, в котором в случайные моменты времени «разрушается рекуррента» за счет инверсии сигнала обратной связи элементом «ИСКЛЮЧАЮЩЕЕ ИЛИ», что делает такие последовательности непредсказуемыми, то есть случайными.

Какой из этих подходов преобладает, определяется отношением частоты сдвига –  $F_o$  к средней частоте шума физического датчика –  $F_{sh}$ . Если частота шумового датчика  $F_{sh}$  соизмерима или больше, чем тактовая частота сдвигающего регистра  $F_o$ , то схему на рис. 9.6 необходимо рассматривать, как обычный генератор случайных сигналов с улучшенными параметрами по методу «Дельта-квадрат». Если частота  $F_o$  значительно превышает среднюю частоту датчика шума  $F_{sh}$  (в 100 и более раз), то эту схему необходимо рассматривать, как генератор на основе ЛРР с «разрушением рекурренты» в случайные моменты времени. Причем, если длина рекурренты превышает **миллионы лет**, а разрушается она **миллионы раз в секунду**, то говорить о возможности восстановления предыстории рекурренты бессмысленно.

Поэтому в любом случае эта схема является ГЕНЕРАТОРОМ СЛУЧАЙНЫХ равновероятных последовательностей.

В качестве случайного параметра можно использовать напряжение на выходе физического датчика шума.

На рис. 9.7 приведена схема генератора случайных последовательностей, в которой случайное напряжение снимается с выходов двух шумовых диодов с Зенеровским пробоем.

Несимметричные напряжения с выходов двух датчиков подаются на вычитающее устройство, выходное напряжение которого приближается по форме к симметричному случайному сигналу типа «белый шум».

Частота дискретизации  $F_o$  (или  $F_d$ ) аналого-цифрового преобразователя (АЦП) выбирается с учетом соотношения Котельникова — Найкви-

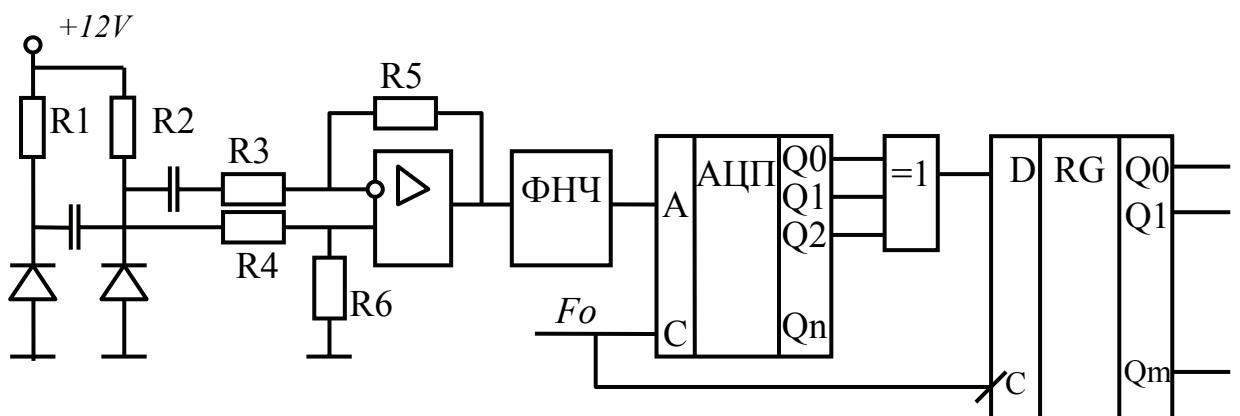


Рис. 9.7 – Генератор случайных последовательностей

ста (1-27). В данном случае максимальная частота сигнала  $F_C$  – это частота, на которой амплитуды спектральных составляющих шумового сигнала уменьшаются на 3 дБ (т.е. в корень из двух раз) по сравнению с амплитудами спектральных составляющих средних частот.

Фильтр нижних частот (ФНЧ) дополнительно подавляет спектральные составляющие шумового сигнала выше частоты  $F_0/2$ .

Младший бит выходного кода АЦП с равной вероятностью принимает значения «0» или «1» и может быть прочитан в выходной сдвигающий регистр RG. Учитывая статистическую независимость битов выходного кода АЦП, можно объединить младшие выходные биты АЦП элементом «исключающее ИЛИ» для улучшения параметров генерируемой случайной последовательности в соответствии с алгоритмом «Дельта-квадрат». Эта битовая последовательность с выхода элемента «исключающее ИЛИ» записывается в сдвигающий регистр RG и, после заполнения регистра, считывается в параллельном формате через интерфейс PCI в компьютер.

## 9.5 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Чем отличаются случайные последовательности от псевдослучайных?
2. Перечислите основные датчики шума.
3. Какие датчики шума наиболее часто используются в современных вычислительных системах и почему?
4. Приведите примеры реализации генераторов случайных последовательностей на основе датчиков с механическими перемещениями.
5. Нарисуйте базовую схему формирования случайных последовательностей и объясните назначение основных элементов.
6. От чего зависит максимальная частота формирования случайных последовательностей в базовой схеме?
7. Какой метод используется для повышения надежности формирования случайных последовательностей?
8. Назовите алгоритмы выравнивания вероятностей формируемых случайных последовательностей.
9. Как можно на основе генераторов псевдослучайных последовательностей генерировать случайные последовательности?
10. Нарисуйте схему формирования случайных последовательностей с применением АЦП и объясните назначение основных элементов.

## **ТЕМА 10 ИСТОЧНИКИ ЭЛЕКТРОПИТАНИЯ ЭВМ**

Довольно редко (и только в автономных системах) удается осуществить питание всех устройств непосредственно от ПЕРВИЧНОГО ИСТОЧНИКА ЭЛЕКТРОЭНЕРГИИ, т.е. от **преобразователей неэлектрической энергии в электрическую**. В большинстве случаев первичный источник или стандартная электрическая сеть по частоте, стабильности или номиналу напряжения оказываются непригодными для питания электронных устройств. Поэтому возникает необходимость преобразования электрической энергии.

**ИСТОЧНИКИ ВТОРИЧНОГО ЭЛЕКТРОПИТАНИЯ (ИВЭП)** по своей физической сущности являются **преобразователями вида и качества электрической энергии**.

Основными ПЕРВИЧНЫМИ ИСТОЧНИКАМИ ЭЛЕКТРОЭНЕРГИИ являются:

- сеть электроснабжения общего пользования однофазного или трехфазного тока частотой 50 Гц (60 Гц);
- автономные генераторы постоянного или переменного тока;
- химические источники тока (гальванические элементы и аккумуляторы);

Выходные параметры ИВЭП количественно определяют требования к качеству электроэнергии, поступающей к потребителю. К этим параметрам относятся:

- выходная мощность  $P_H$ ;
- выходное напряжение  $U_H$ ;
- уровень пульсаций выходного напряжения  $\Delta U_n$ ;
- параметры переходного процесса при резких изменениях нагрузки;
- интервал токов нагрузки –  $I_{H \text{ мин}}$ ,  $I_{H \text{ макс}}$ , в пределах которого обеспечиваются основные показатели эффективности и качества электроэнергии;
- стабильность выходного напряжения нагрузки  $\Delta U_n/U_n$  (выражается в процентах) или абсолютное значение допустимых отклонений  $+ \Delta U_n$ ,  $- \Delta U_n$ .

Внешние параметры – это параметры окружающей среды и электрической системы, в составе которой должен работать ИВЭП. К внешним параметрам относятся:

- интервал рабочих температур  $t^{\circ}\text{мин} \dots t^{\circ}\text{макс}$ ;
- влажность, уровень вибраций и другие специальные требования.

Кроме того, предъявляются требования обеспечения выходных параметров при:

- изменениях входного питающего напряжения ИВЭП в заданных пределах:  $U_{n\min} \dots U_{n\max}$ ;
- уровне пульсаций на входе ИВЭП –  $\Delta U_{n\text{вх}}$  – в диапазоне частот:  $f_{\min} \dots f_{\max}$ ;
- ограничивается амплитуда помех от ИВЭП в сеть питания.

Степень совершенства ИВЭП и уровень его соответствия целевому назначению определяется с помощью показателей эффективности:

- стоимости;
- надежности;
- удельной мощности (отношение выходной мощности к объему или массе);
- КПД;
- отношение массы (или объема) ИВЭП к массе (или объему) всего устройства.

## 10.1 СТРУКТУРНЫЕ СХЕМЫ ИВЭП

При питании от сети переменного тока частотой 50 Гц (60 Гц) и напряжением 220 В (380 В) основные структурные схемы ИВЭП имеют вид, как на рис. 10.1, рис. 10.2.

На рис. 10.1 приведена структурная схема ИВЭП с силовым трансформатором, работающим на частоте питающей сети 50 Гц (60 Гц). Этот трансформатор выполняет две функции:

- понижает (или повышает) напряжение до требуемой величины;
- осуществляет гальваническую развязку потребителя электроэнергии от первичной сети.

Переменное напряжение со вторичной обмотки силового трансформатора преобразуется в постоянное с помощью выпрямителя, сглаживается фильтром, после чего может подаваться непосредственно потребителю.

При высоких требованиях к стабильности питающего напряжения возможно применение стабилизатора напряжения.

Основные недостатки этой схемы (рис. 10.1) – большие габариты и вес силового трансформатора.

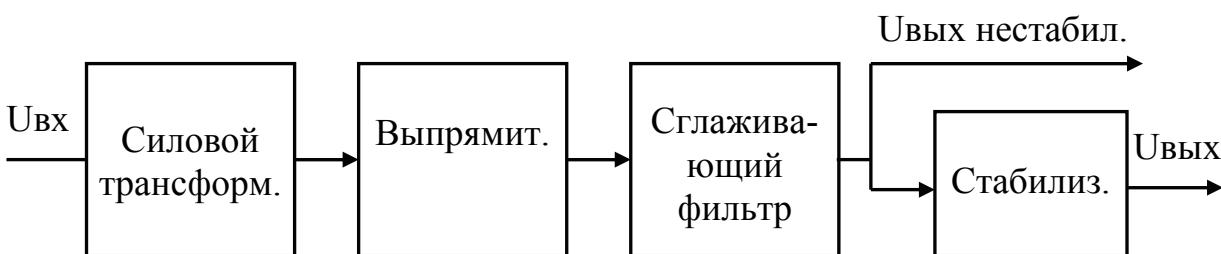


Рис 10.1 – ИВЭП с силовым трансформатором, работающим на частоте питающей сети

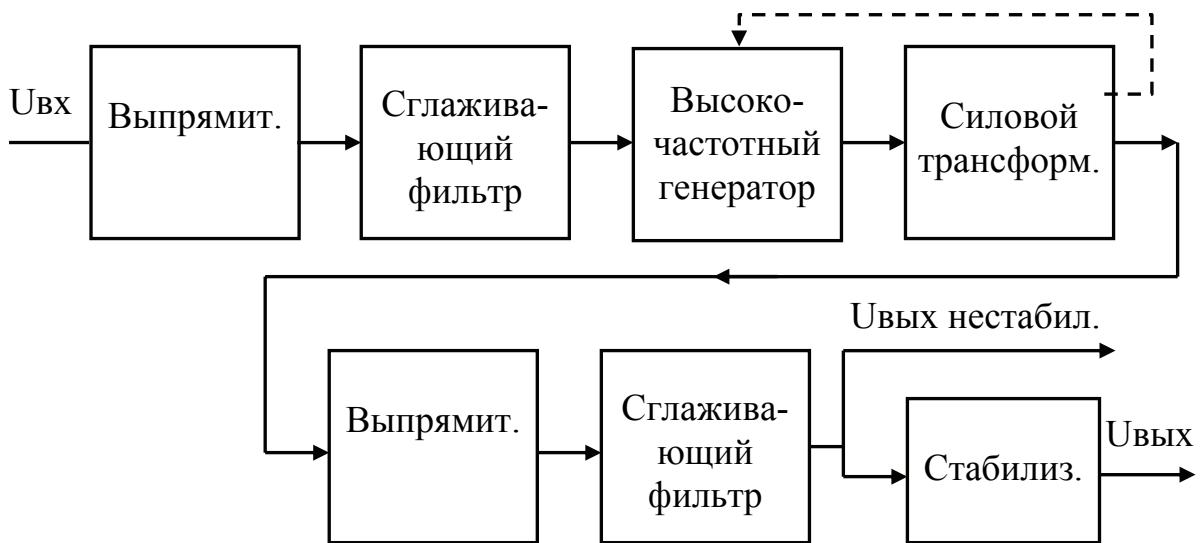


Рис 10.2 – ИВЭП с силовым трансформатором, работающим на высокой частоте

Для уменьшения габаритов и массы силового трансформатора необходимо повысить частоту, на которой работает трансформатор, до нескольких десятков килогерц. Структурная схема такого ИВЭП приведена на рис. 10.2.

Входное переменное напряжение 220 В, 50 Гц выпрямляется, сглаживается фильтром и поступает на высокочастотный генератор прямоугольных импульсов.

Частоту генератора желательно выбирать за пределами максимальной частоты, воспринимаемой человеческим ухом, т.е. выше 20 кГц. Значительно увеличивать частоту генератора выше 20 кГц нецелесообразно из-за возрастания тепловых потерь на перемагничивание в ферритовых сердечниках трансформаторов.

Поэтому частота генератора обычно составляет 25...50 кГц.

Высокочастотный силовой трансформатор с ферритовым сердечником имеет значительно меньшие габариты и вес, чем низкочастотный трансформатор со стальным сердечником. Этот трансформатор выполняет те же две функции. Дальнейшая структурная схема ИВЭП аналогична предыдущей.

Показанная пунктиром обратная связь с силового трансформатора к высокочастотному генератору указывает цепь стабилизации напряжения на выходе трансформатора путем изменения параметров генератора (в частности модуляции ширины прямоугольных импульсов генератора). При этом выходной стабилизатор, как правило, не применяется.

Такая структурная схема характерна для большинства современных ИВЭП вычислительной техники и бытовых приборов (телефизоров, видеомагнитофонов и др.).

Из структурной схемы на рис. 10.2 можно сделать вывод о том, что такой ИВЭП будет нормально работать не только от сети переменного тока, но и от сети постоянного тока с близким номиналом питающего

напряжения. Это особенно полезно при питании от аккумуляторов специального ИСТОЧНИКА БЕСПЕРЕБОЙНОГО ПИТАНИЯ.

Особенностью данного ИВЭП является повышенный уровень высокочастотных помех от генератора, проникающих в питающую сеть и вызывающих сбои в работе других приборов. Поэтому на входе ИВЭП необходим низкочастотный фильтр для сглаживания помех.

Этот фильтр выполняет также защитные функции для самого устройства-потребителя электроэнергии. Такой фильтр, например, может исключить сбои компьютера при включении холодильника, коллекторных двигателей или других мощных нагрузок.

## 10.2 ВЫПРЯМИТЕЛИ

Выпрямители предназначены для преобразования переменного напряжения – в постоянное. Чаще всего переменное напряжение на входе выпрямителя имеет синусоидальную форму частотой 50 (60) Гц или прямоугольные импульсы типа меандр частотой 20...50 кГц.

Основным элементом выпрямителя является полупроводниковый диод, который пропускает электрический ток только в одном направлении. Простейший однофазный однотактный выпрямитель (рис. 10.3) содержит только один диод.

Однако выпрямленное напряжение имеет нулевое значение в течение половины периода входного переменного напряжения (рис. 10.3.а). Среднее за период (эффективное) значение постоянного напряжения  $U_{выпр}$  в два раза меньше входного переменного напряжения  $U_2$ . Недостатком схемы является также наличие постоянной составляющей выходного тока нагрузки  $I_h$  (рис. 10.3.а), протекающего через вторичную обмотку трансформатора T1. Это может вызвать перегрев трансформатора.

Перечисленные недостатки в значительной степени устранены в схеме двухфазного однотактного выпрямителя (рис. 10.4), который состоит из двух однофазных выпрямителей, работающих на общую нагрузку от двух вторичных противофазных обмоток трансформатора. Переменные напряжения  $U_2$  и  $U_3$  (рис. 10.4.а) поочередно выпрямляются однофазными выпрямителями на диодах  $VD1$  и  $VD2$ ; в результате выпрямленное эффективное напряжение на нагрузке  $U_{выпр}$  равно эффективному входному переменному напряжению на каждой вторичной обмотке  $U_2$  или  $U_3$ . При этом отсутствует подмагничивание сердечника трансформатора и его перегрев, как у предыдущей схемы. Временные диаграммы выходного тока нагрузки  $I_h$  совпадают с графиком выходного выпрямленного напряжения  $U_h$  (рис. 10.4.а). Следует обратить внимание на то, что через каждый диод протекает половина выходного тока нагрузки. Поэтому можно выбирать менее мощные диоды, чем в однофазной схеме.

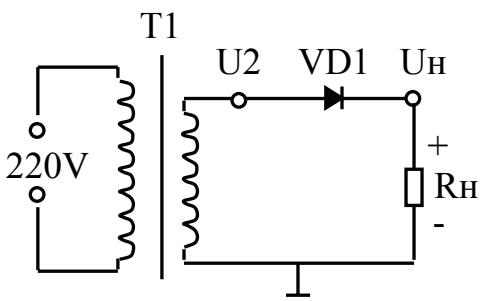


Рис. 10.3 – Однофазный однотактный выпрямитель

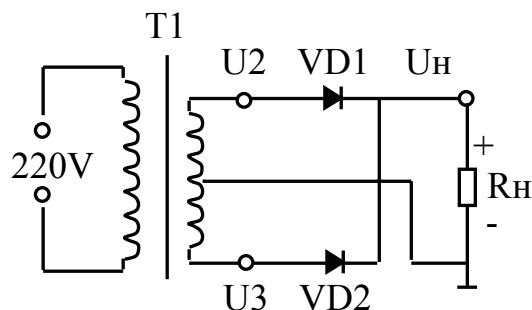


Рис. 10.4 – Двухфазный однотактный выпрямитель

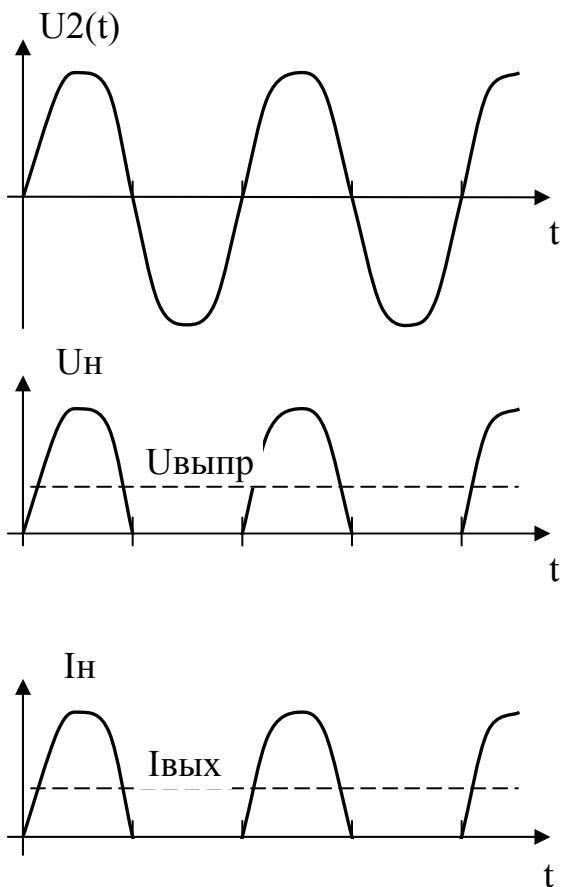


Рис. 10.3.а

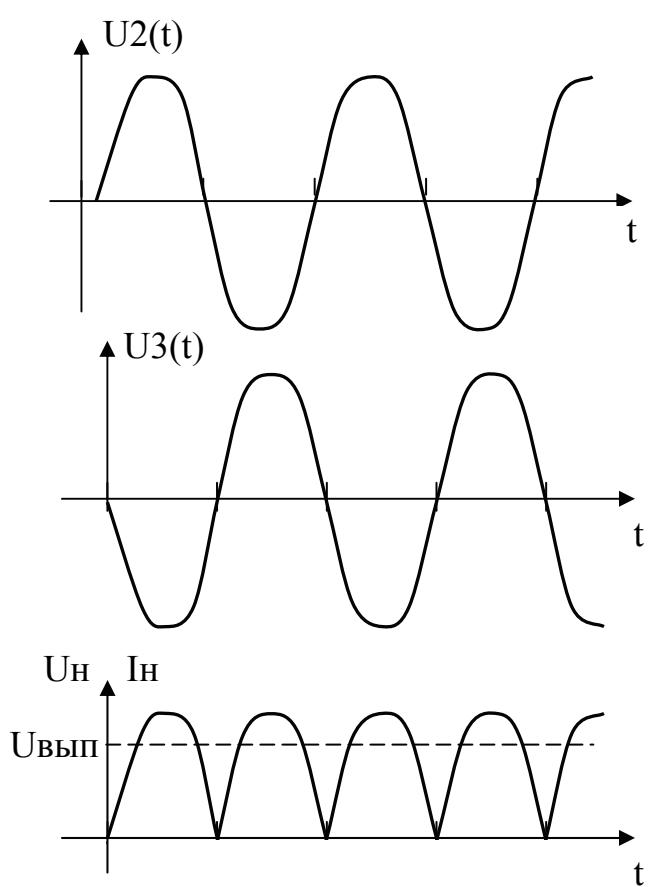


Рис. 10.4.а

К недостаткам схемы двухфазного выпрямителя можно отнести усложнение технологии изготовления трансформатора с двумя вторичными противофазными обмотками.

Этот недостаток устранен в схеме однофазного двухтактного выпрямителя (рис. 10.5), который часто называется мостовым выпрямителем. Применение четырех полупроводниковых выпрямительных диодов не вызывает значительного усложнения схемы, так как в настоящее время выпускается большое количество разнообразных выпрямительных блоков из четырех диодов (диодных мостов).

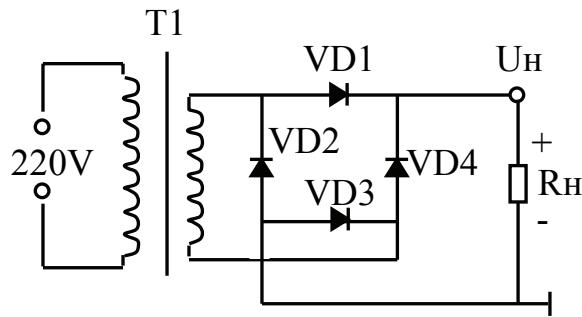


Рис. 10.5 – Однофазный двухтактный (мостовой) выпрямитель

В каждый момент времени ток протекает через 2 диода. Если на верхнем выводе вторичной обмотки трансформатора напряжение положительное (а на нижнем выводе – отрицательное), ток протекает через диод  $VD1$ , сопротивление нагрузки  $R_h$  и диод  $VD3$ . Если положительный потенциал – на нижнем выводе вторичной обмотки – ток протекает через диод  $VD4$ , сопротивление нагрузки и диод  $VD2$ .

Выходное напряжение мостового выпрямителя  $U_{выпр}$  и выходной ток нагрузки  $I_h$  такие же, как и в схеме двухфазного однотактного выпрямителя (рис. 10.4.а). Через каждый диод ток протекает половину периода, т.е. через каждый диод протекает половина выходного тока нагрузки, поэтому диоды мостового выпрямителя можно выбирать с допустимым средним током в два раза меньшим выходного тока нагрузки.

Постоянное напряжение на выходе выпрямителя  $U_{выпр}$  с провалами до нуля (см. рис. 10.3.а и рис. 10.4.а) не может быть использовано для питания большинства электронных устройств. Поэтому на выходе выпрямителя обязательно включается сглаживающий фильтр на основе реактивных  $L$ - или  $C$ -элементов. Простейший фильтр (но наиболее часто используемый) состоит из единственного конденсатора  $C1$ , подключенного параллельно сопротивлению нагрузки (рис. 10.6).

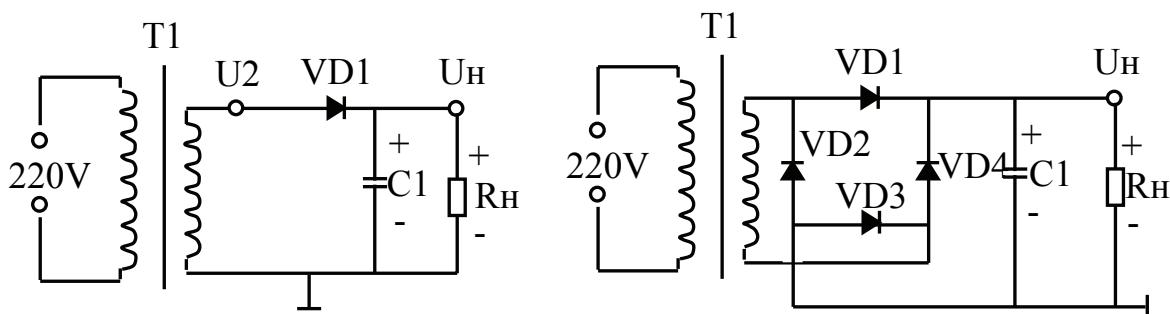


Рис. 10.6 – Однофазные выпрямители со сглаживающим фильтром

Конденсатор  $C1$  заряжается током выпрямителя и при бесконечном сопротивлении нагрузки (работа в режиме холостого хода:  $I_{нагр}=0$ ) напря-

жение на конденсаторе равно амплитудному значению переменного напряжения  $U_{\max}$  (т.е. в 1,4 раза больше эффективного значения входного переменного напряжения). Так, при переменном напряжении вторичной обмотки 10 В – напряжение на конденсаторе будет примерно 14 В.

В блоках питания компьютеров применяются также выпрямители с удвоением напряжения (рис. 10.7). Это необходимо для работы от сети переменного тока 110...127 В или 220 В. В верхнем положении переключателя  $S1$  (220 В) входное напряжение сети 220 В подается на мостовой выпрямитель  $VD1...VD4$ . Последовательно соединенные конденсаторы  $C1$  и  $C2$ , образуя емкость сглаживающего фильтра, заряжаются до напряжения около 300 В, и это напряжение используется для питания Высокочастотного Генератора.

При питании компьютера от сети переменного тока с напряжением 110...127 В – переключатель  $S1$  переводится в нижнее положение. Диоды  $VD3$ ,  $VD4$  в работе выпрямителя не участвуют. Диод  $VD1$  и конденсатор  $C1$  образуют однотактный однофазный выпрямитель. Конденсатор  $C1$  заряжается до напряжения 150...160 В в течение первого (положительного) полупериода входного напряжения. В следующем (отрицательном) полупериоде аналогичный однотактный однофазный выпрямитель на диоде  $VD2$  заряжает до такого же напряжения конденсатор  $C2$ . Суммарное напряжение с двух конденсаторов около 300 В. подается для питания Высокочастотного Генератора.

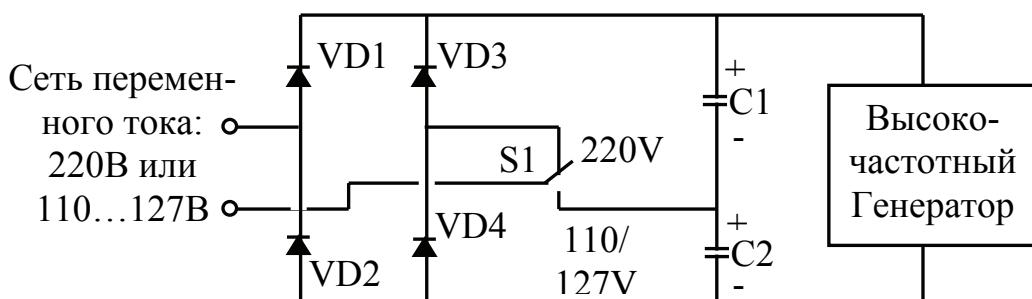


Рис. 10.7 – Выпрямитель с удвоением напряжения

Следует соблюдать особую осторожность при первом включении компьютера в сеть. Перед включением необходимо обязательно проверить положение переключателя напряжения сети  $S1$  и установить его в соответствующее положение. (При положении переключателя 127 В и питании от сети 220 В обязательно выгорают многие элементы блока питания.)

При уменьшении сопротивления нагрузки (или увеличении тока нагрузки) напряжение на конденсаторе фильтра будет периодически повышаться (во время заряда от выпрямителя  $t_{зар}$ ) или понижаться за счет разряда на сопротивление нагрузки ( $t_{разр}$ ) (см. рис. 10.8).

Ток через диод протекает только часть периода –  $t_{зар}$  (когда мгновенное значение входного переменного напряжения больше напряжения на конденсаторе фильтра). Амплитудное значение тока через диод раз в 5 и более превышает средний выпрямленный ток нагрузки. Особенно большой мгновенный ток через диод протекает при включении блока питания (когда конденсатор фильтра полностью разряжен). Поэтому диоды для выпрямителей, работающих на емкостной фильтр необходимо выбирать с двукратным запасом по среднему току и импульсному току перегрузки.

Среднее значение напряжения за период ( $U_{выпр}$  на рис. 10.8) будет меньше амплитудного значения входного переменного напряжения. С ростом тока нагрузки  $I_{нагр}$  среднее напряжение на конденсаторе будет уменьшаться а амплитуда периодических пульсаций – увеличиваться (см. рис. 10.8 и рис. 10.9).

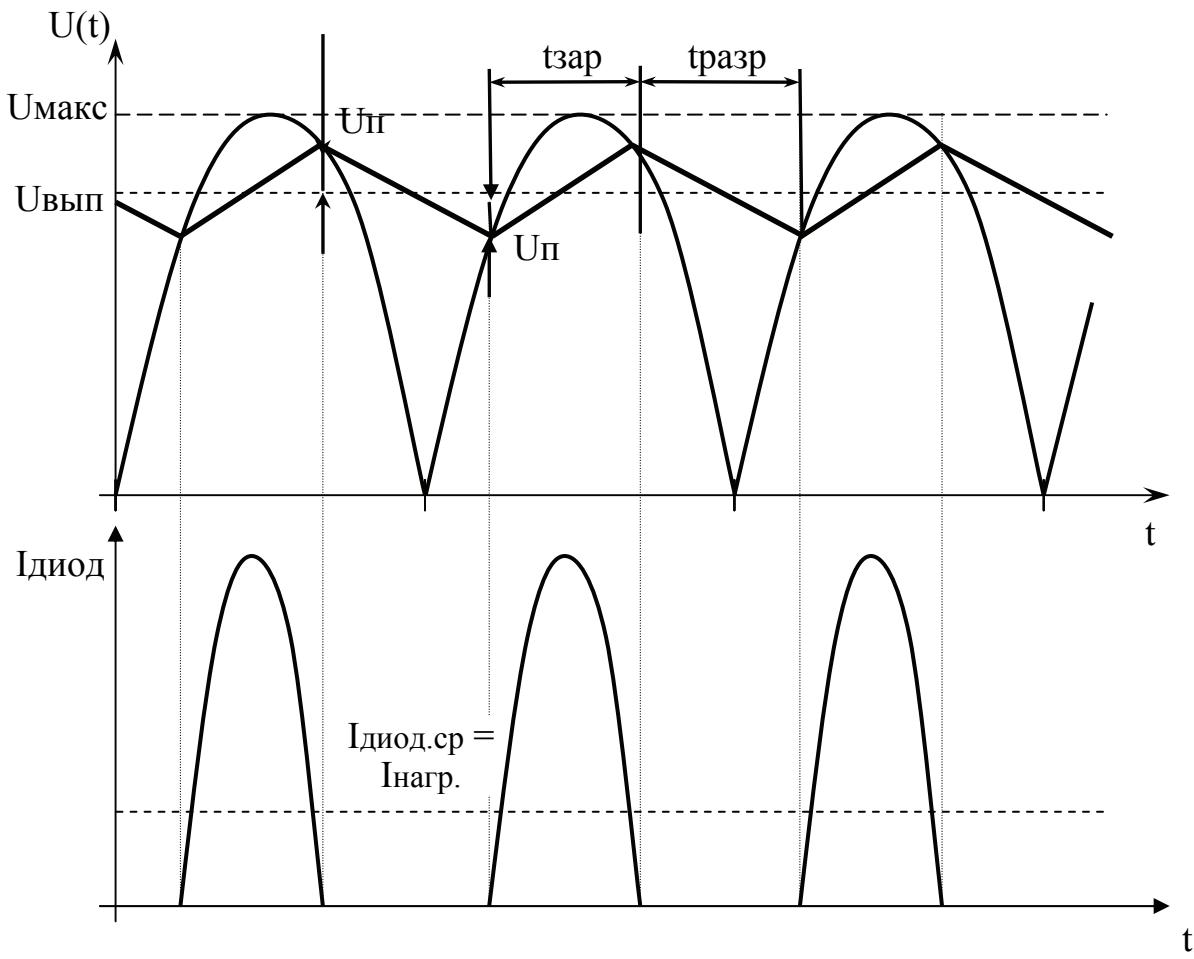


Рис. 10.8 – Форма напряжения на выходе фильтра и тока диода

Амплитуду пульсаций  $U_p$ , т.е. разность между максимальным (или минимальным) значением напряжения на конденсаторе и величиной среднего напряжения  $U_{выпр}$ , можно уменьшить, если увеличить емкость конденсатора фильтра:

$$\Delta U = 2 * U_n = \frac{\Delta q}{C} = \frac{I_h * t_{разр}}{C}, \quad (10.1)$$

где:  $\Delta q$  – изменение заряда на конденсаторе за время разряда;

$t_{разр}$  – время разряда (по величине не более периода пульсаций на выходе выпрямителя (см. рис. 10.8).

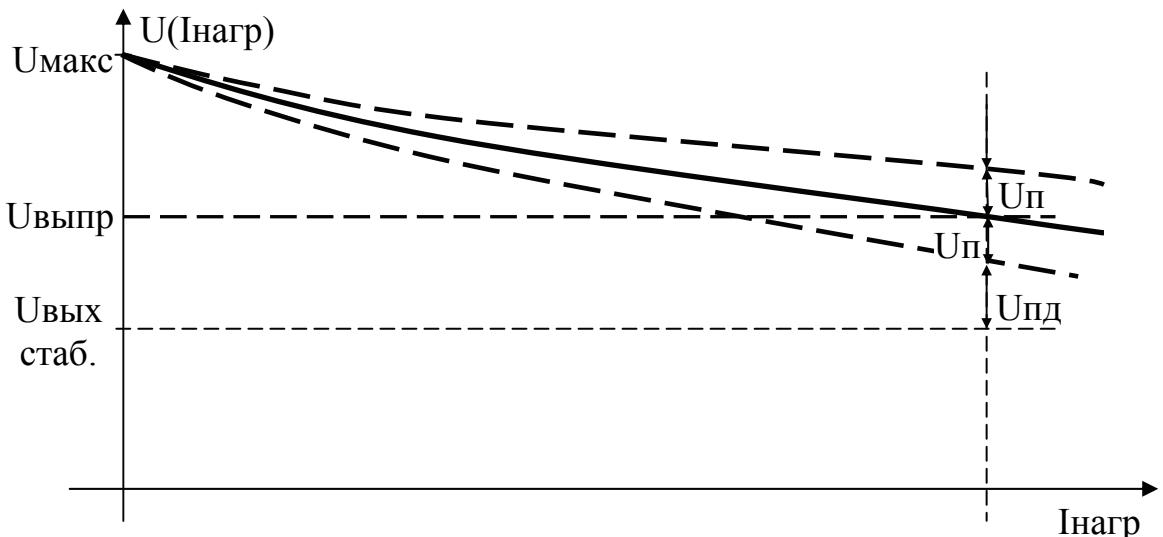


Рис 10.9 – Зависимость выходного напряжения выпрямителя от тока нагрузки

Среднее выпрямленное напряжение ( $U_{выпр}$ ) на конденсаторе  $C1$  или на сопротивлении нагрузки  $R_h$  уменьшается с ростом тока нагрузки  $I_{нагр}$  (см. рис. 10.9). Необходимо также учитывать нестабильность переменного напряжения сети 220 В, которая может достигать величины  $\pm(10..15)\%$  или более. Результирующее изменение выпрямленного напряжения ( $U_{выпр}$ ) может составить до 50% от среднего значения.

### 10.3 РАСЧЕТ ИВЭП СО СТАБИЛИЗАТОРОМ

В большинстве случаев на выходе выпрямителя с фильтром включают стабилизатор напряжения (рис. 10.10). Современные **интегральные** стабилизаторы напряжения могут выдавать в нагрузку токи от 0,1 А до 10 А при напряжениях от 2 В до 30 В и более. Конденсатор  $C2$  устраняет возможное самовозбуждение интегрального стабилизатора, а также улучшает его динамические характеристики.

Исходными данными для расчета ИВЭП со стабилизатором являются выходное напряжение  $U_{вых}$  и максимальный ток нагрузки  $I_{нагр}$ .

В большинстве случаев по справочной литературе или Таблице 10.1 можно подобрать интегральный стабилизатор, соответствующий заданным параметрам.

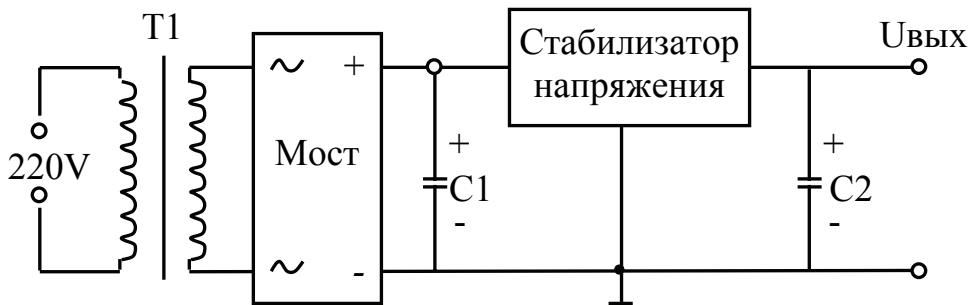


Рис. 10.10 – Источник вторичного электропитания со стабилизатором

Таблица 10.1 – Интегральные стабилизаторы напряжения

Микросхема	Uвх, В мин... макс	Uвых, В мин... макс	Iвых макс, А	Pрacc, Вт
K142EH1	5 .. 20	2 .. 12	0,15	2
K142EH2	12 .. 35	9 .. 27	0,15	2
K142EH5 (А, В)	7,5 .. 15	4,9 .. 5,1	2	10
K142EH5 (Б, Г)	8,5 .. 15	5,9 .. 6,1	2	10
K142EH8 А	11,5.. 35	8,75.. 9,2	1,5	9
K142EH8 Б	14,5.. 35	11,7.. 12,3	1,5	9
K142EH8 В	17,5.. 35	14,7.. 15,4	1,5	9
K142EH9 А	23 .. 45	19,6.. 20,4	1,5	9
K142EH9 Б	27 .. 45	23,5.. 24,5	1,5	9
K142EH9 В	30 .. 45	26,5.. 27,5	1,5	9
Стабилизаторы с регулируемым выходным напряжением				
K142EH6 (двуихполярный)	+ - 40	+ -5 .. + -27	0,2	5
K142EH10	-9 .. -40	-3 .. -30	1	5
K142EH11	-5 .. -45	-1,2.. -37	1,5	8

На следующем этапе рассчитывается входное напряжение стабилизатора (т.е. выходное напряжение выпрямителя  $U_{выпр}$  с емкостным фильтром) (см рис. 10.9):

$$U_{выпр} = U_{вых.stab} + U_{nd} + (U_{выпр} * K_{пульс}) + (U_{выпр} * K_{нест}),$$

где:  $U_{nd}=0,7..2\text{В}$  – минимально допустимое падение напряжения на стабилизаторе (минимальная разность напряжений между входным и выходным напряжением стабилизатора) – выбирается по справочнику; для указанных в табл. 10.1 интегральных стабилизаторов эта величина составляет  $U_{nd} = 2 \text{ В}$ ;

$K_{пульс}=U_n/U_{выпр}$  – коэффициент пульсаций на выходе выпрямителя (выбирается в диапазоне 0,1...0,2);

$K_{нест}$  – коэффициент нестабильности входного напряжения сети (задается в диапазоне 0,1...0,15).

Для повышения кпд стабилизатора желательно выбирать  $K_{пульс}$  и  $K_{нест}$  минимальными (например, по 0,1).

$$U_{выпр} = \frac{U_{вых} + U_{нд}}{1 - K_{пульс} - K_{нест}}. \quad (10.2)$$

Конденсатор  $C1$  рассчитывается по формуле:

$$C1 = \frac{\Delta q}{\Delta U} = \frac{I_n * t_{разр}}{2 * (U_{выпр} * K_{пульс})}. \quad (10.3)$$

Обычно  $t_{разр}$  (см. рис. 10.8) выбирают с запасом – равным периоду пульсаций или половине периода сетевого питающего напряжения (для двухфазной и для мостовой схемы  $t_{разр}=10$  мс).

Емкость конденсатора  $C2$  обычно раз в 100 меньше емкости  $C1$ .

По справочнику выбирается диодный мост с напряжением, превышающим  $1,4 * U_{выпр}$ , и током, не меньшим тока нагрузки (лучше – с двукратным запасом).

Силовой трансформатор можно изготовить самостоятельно или выбрать унифицированный, серий ТПП или ТН с напряжением вторичной обмотки, примерно равным  $U_{выпр}$ , и током вторичной обмотки не менее тока нагрузки  $I_{нагр}$ . При этом полная (габаритная) мощность трансформатора должна быть не менее суммарной мощности всех вторичных обмоток:

$$P = \sum_i U_{i_{выпр}} * I_{i_{нагр}}.$$

**Задание 10.1** – Рассчитать ИВЭП со стабилизатором (см. рис. 10.10) на выходное напряжение  $U_{нагр} = 5$  В и максимальный ток  $I_{нагр} = 1$  А.

- По таблице 10.1 выбираем интегральный стабилизатор К142ЕН5А
- По формуле (10.2) рассчитываем выходное напряжение выпрямителя с емкостным фильтром:

$$U_{выпр} = \frac{U_{вых} + U_{нд}}{1 - K_{пульс} - K_{нест}} = \frac{5 + 2}{1 - 0,1 - 0,1} = 8,75(\text{В})$$

- Примерно такое же напряжение должно быть на вторичной обмотке трансформатора:  $U_2 \approx U_{выпр} = 9$  (В). Ток вторичной обмотки трансформатора равен току нагрузки:  $I_2 = I_{нагр}$ .
- По формуле (10.3) рассчитываем емкость конденсатора фильтра  $C1$ :

$$C1 = \frac{\Delta q}{\Delta U} = \frac{I_n * t_{разр}}{2 * (U_{выпр} * K_{пульс})} = \frac{1 * 10^{-2}}{2 * (8,75 * 0,1)} = 5700 \mu\Phi.$$

Емкость конденсатора С1 должна быть не менее, чем рассчитано по формуле, т.е. выбирается ближайший больший номинал.

- Допустимое напряжение на конденсаторе С1 должно быть не менее:

$$U_{C1} \geq U2 * \sqrt{2} = 9 * 1,4 = 12,6 \text{ (B)}$$

- Емкость конденсатора С2 обычно выбирается в 100 раз меньше емкости конденсатора С1, а допустимое напряжение на конденсаторе С2 должно быть не менее выходного напряжения нагрузки – 5 В.
- Мостовой диодный выпрямитель выбирается на допустимое напряжение не менее :

$$U_d \geq U2 * \sqrt{2} = 9 * 1,4 = 12,6 \text{ (B),}$$

допустимый ток выпрямителя должен быть не менее удвоенного тока нагрузки.

- Мощность трансформатора должна быть не менее :

$$P_{mp} \geq U2 * I_{нагр} = 9 * 1 = 9 \text{ (Bm)}$$

#### 10.4 РАСЧЕТ ТРАНСФОРМАТОРА

Исходными параметрами для расчета трансформатора являются полная мощность на нагрузке, увеличенная на 20% ( $P_{макс}$ ), частота силовой электрической сети ( $F$ ) и ее напряжение ( $U1$ ), напряжения ( $U2$ ) и токи ( $I2$ ) вторичных обмоток.

Порядок расчета:

1. Минимальное сечение магнитопровода (в  $\text{мм}^2$ ):

$$Sm = 800\sqrt{P_{макс}/B * F}, \quad (10.4)$$

где:  $B=0,8...1,5$  – допустимая индукция в  $Tl$ ;

$F=50$  Гц – частота силовой электрической сети.

2. Количество витков в обмотках трансформатора определяется через вспомогательный параметр  $W^\circ$  – число витков на 1 В:

$$W^\circ = 200000/F B Sm. \quad (10.5)$$

Тогда число витков в первичной обмотке трансформатора:

$$WI = U1 * W^\circ.$$

Число витков во вторичных обмотках:

$$W2 = U2 * W^\circ.$$

3. Диаметр провода первичной обмотки:

$$d1 = 0,65\sqrt{P_{макс}/U1}. \quad (10.6)$$

Диаметр проводов вторичных обмоток определяется через токи вторичных обмоток ( $I_2$ ):

$$d_2 = 0,6\sqrt{I_2}.$$

Практически все конструктивные параметры трансформатора являются обратными функциями частоты силовой питающей сети ( $F$ ). С ростом частоты уменьшаются: сечение магнитопровода, количество витков и, следовательно, весо-габаритные показатели и стоимость трансформатора.

## 10.5 ИСТОЧНИКИ БЕСПЕРЕБОЙНОГО ПИТАНИЯ

По экспертным оценкам 75% необъяснимых неполадок в работе компьютерных систем связано с неудовлетворительной работой систем электропитания.

Классификация нарушений в сети электропитания:

- BLACKOUT – полное отключение питания. Иногда к нему относят снижение напряжения ниже 80 В, т.к. большинство оборудования не может работать при таком режиме;
- BROWNOUT – пониженное напряжение (падение напряжения ниже номинального на время, превышающее длительность одного периода. Реально может продолжаться несколько часов);
- SURGE – выброс (подъем напряжения выше номинального на время, превышающее длительность одного периода);
- SAG – провал напряжения (падение напряжения на время, сравнимое с длительностью одного периода);
- SPIKE – пикиевые выбросы (резкое повышение напряжения, иногда до нескольких киловольт, длительностью до 10 мс. Например, статические разряды или удары молний);
- ELECTROMAGNETIC INTERFERENCE – электромагнитные помехи, или шумы (искажения синусоидальной формы напряжения вследствие гальванических или индуктивных наводок, возникающих при работе различного электрооборудования, например, сварочных аппаратов или радиостанций);
- FREQUENCY DEVIATION – отклонение частоты от номинального значения.

Практически любое из перечисленных явлений может нанести значительный ущерб компьютерной системе. Источники бесперебойного питания (ИБП) (Uninterruptible Power Supply – UPS) призваны оградить важную информацию и дорогостоящую аппаратуру от опасностей, связанных с нарушением энергоснабжения, а также обеспечить непрерывность критически важных процессов.

Основными функциональными компонентами ИБП являются:

- фильтр-ограничитель напряжения, служащий для подавления шумов;
- устройство для повышения и снижения входного напряжения (booster, trimmer);
- преобразователь переменного напряжения в постоянное (выпрямитель или зарядное устройство);

- аккумуляторы;
- преобразователь постоянного напряжения в переменное (инвертор);
- устройство переключения режимов и система управления.

Бустер (booster) – в переводе с английского – усилитель напряжения. Его основным элементом является автотрансформатор. При выходе значения питающего напряжения за определенные границы электронные реле подключает нагрузку к соответствующей обмотке автотрансформатора. Обычно выходное напряжение при этом изменяется не более чем на 10...15 В.

В зависимости от состава и способов соединения основных компонентов различают три типа или топологии ИБП:

- резервные (off-line, или standby);
- интерактивные (line-interactive);
- непрерывного действия или с двойным преобразованием (on-line, или double conversion).

Традиционно ИБП могут выполнять следующие функции:

- поглощать относительно небольшие подъемы напряжения (surge);
- сглаживать шумы первичного источника питания;
- не прерывать питание оборудования в течение провалов напряжения (sag);
- обеспечивать в течение некоторого времени подачу напряжения питания в случае полного отключения напряжения (blackout).

Кроме этого некоторые ИБП (как правило, в сочетании с соответствующим программным обеспечением) позволяют:

- автоматически отключать оборудование при длительном отсутствии напряжения;
- осуществлять мониторинг и регистрировать состояние ИБП;
- выполнять повторный запуск оборудования после его отключения;
- выводить на дисплей текущее значение напряжения;
- вырабатывать звуковой сигнал тревоги при значительных отклонениях параметров сети от номинальных;
- обеспечивать защиту от короткого замыкания.

### 10.5.1 РЕЗЕРВНЫЙ (OFF-LINE) ИБП

Устройства на основе этой технологии являются наиболее простыми, а значит, и самыми дешевыми. Основные компоненты (см. рис. 10.11):

- фильтр для подавления шумов;
- зарядное устройство;
- аккумулятор;
- инвертор;
- устройство коммутации.

В нормальном режиме компьютер или другое защищаемое устройство непосредственно подсоединяется к основному источнику питания, и никакого преобразования не происходит.

При определенных отклонениях параметров электропитания от номинальных значений коммутирующее устройство переключает нагрузку на инвертор и питание подается от аккумулятора. Резервные ИБП имеют время переключения около 5 мс (большинство блоков питания современных компьютеров способны выдержать отсутствие напряжения на входе до 100 мс). Резервные ИБП поддерживают работу ПК в течение 5...10 мин, что вполне хватает для сохранения информации и корректного завершения работы.



Рис. 10.11 – Резервный (*off-line*) ИБП

Существенным недостатком ИБП этого типа является невозможность их использования в сетях с низким качеством электропитания, так как частое переключение на аккумуляторы не позволяет их своевременно подзаряжать.

### 10.5.2 ИНТЕРАКТИВНЫЙ (LINE INTERACTIVE) ИБП

Основное отличие от резервных ИБП – наличие микропроцессора, который осуществляет мониторинг питающей электросети, реагируя на любые отклонения электрических параметров от номинальных значений. Именно поэтому такие устройства и называются интерактивными. Стабилизирующие схемы (booster, trimmer) позволяют работать в большом диапазоне входных напряжений (170...295 В), не переключаясь на аккумуляторы и сохраняя, таким образом, их заряд. Время переключения на резервный источник в интерактивных ИБП составляет около 2 мс.

### 10.5.3 ИБП НЕПРЕРЫВНОГО ДЕЙСТВИЯ (ON-LINE)

В нормальном режиме в ИБП непрерывного действия (см. рис. 10.12) входное напряжение преобразуется выпрямителем в постоянное и затем, одновременно подзаряжая аккумуляторные батареи, подается на инвертор для обратного преобразования в переменное. Поэтому ошибочно полагать, что напряжение на инвертор поступает исключительно от батареи аккумуляторов. Аккумуляторы используются в качестве источника питания только при отключении сетевого напряжения, следовательно, износ аккумуляторов не больше, чем в других схемах.

Эти устройства называются также: ИБП с двойным преобразованием (double conversion). Непрерывная регенерация входного напряжения позволяет значительно ослабить шумы и помехи и получить на выходе почти идеальное напряжение.

Практически во всех ИБП этого типа существует обходная цепь (by-pass – шунт), с помощью которой нагрузку в случае отказа одного из компонентов можно подключить прямо к силовой сети.

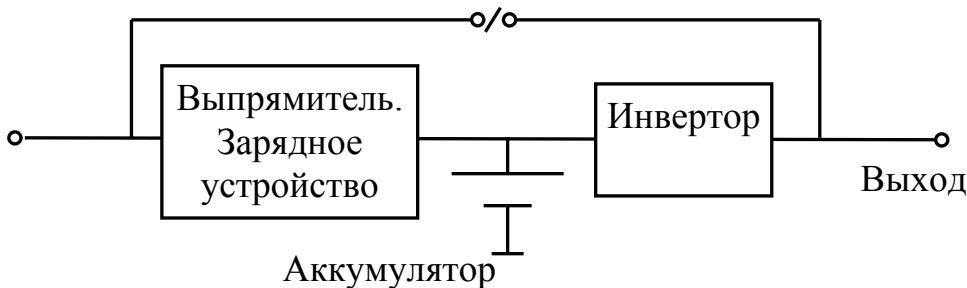


Рис. 10.12 – ИБП непрерывного действия (*on-line*)

#### 10.5.4 ОСНОВНЫЕ ПАРАМЕТРЫ ИБП

- **ВЫХОДНАЯ МОЩНОСТЬ** – указывается обычно в вольт-амперах (VA), а потребляемая нагрузкой мощность указывается, как правило, в ваттах (W). Эти величины совпадают, если нагрузка носит чисто активный характер. При наличии реактивной составляющей (емкости, индуктивности) часть мощности расходуется на нее. Типичное значение отношения полной мощности к активной (W/VA, power factor – коэффициент мощности) для компьютеров составляет – 0,7.
- **ВРЕМЯ АВТОНОМНОЙ РАБОТЫ**, называемое также резервным, нелинейно зависит от величины нагрузки. Для типичных ИБП при номинальной нагрузке оно составляет 5...15 мин. При снижении мощности нагрузки вдвое резервное время увеличивается примерно в 2,5 раза.
- **ВРЕМЯ ПЕРЕКЛЮЧЕНИЯ РЕЖИМОВ** – составляет примерно 2...5 мс, что для большинства компьютеров не является критичным.
- **ДИАПАЗОН ВХОДНЫХ НАПРЯЖЕНИЙ** – определяется минимальным и максимальным допустимыми значениями напряжения в сети, при которых ИБП еще способен поддерживать номинальное напряжение на выходе, не переходя на питание от резервного аккумулятора. Чем шире этот диапазон, тем дольше прослужит батарея.
- **ПИК-ФАКТОР** (peak factor) – определяется отношением пикового тока, потребляемого нагрузкой к номинальному значению. Для ИБП он обычно имеет значение от 3:1 до 6:1.
- **КОЭФФИЦИЕНТ НЕЛИНЕЙНЫХ ИСКАЖЕНИЙ** – характеризует отклонение формы выходного сигнала от синусоидального. Ряд чувстви-

тельных к этому фактору приборов начинают давать сбои при искажении, превышающем 5%.

- СРОК СЛУЖБЫ АККУМУЛЯТОРОВ – существенно зависит от условий эксплуатации: частоты переключения в автономный режим, условий зарядки, окружающей среды. Типичный срок службы аккумуляторов составляет 4...5 лет.

## **10.6 ПРАКТИЧЕСКИЕ ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ**

10.6.1 Рассчитать ИВЭП со стабилизатором на выходное напряжение 12В и ток нагрузки 1,5 А.

10.6.2 Рассчитать ИВЭП со стабилизатором на выходное напряжение 20В и ток нагрузки 0,5 А.

## **10.7 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ**

1. Чем отличаются первичные источники электропитания от источников вторичного электропитания?
2. Приведите примеры первичных источников электропитания.
3. Назовите основные параметры источников вторичного электропитания.
4. Назовите основные отличия структурных схем ИВЭП.
5. Зачем в ИВЭП применяется разделительный трансформатор?
6. От чего зависят основные параметры разделительного трансформатора?
7. Назовите преимущества и недостатки основных схем выпрямителей.
8. Зачем на выходе выпрямителей применяют сглаживающие фильтры?
9. Какие средства применяются в современных ИВЭП компьютеров для работы в сетях 127 и/или 220 В?
10. Что такое коэффициент пульсаций и от чего зависит его величина?
11. Объясните основные причины, от которых зависит нестабильность выходного напряжения выпрямителя с емкостным фильтром.
12. Перечислите основные нарушения в сети электропитания, которые вызывают сбои в работе компьютера.
13. Назовите основные задачи, которые решают источники бесперебойного питания (ИБП).
14. Перечислите основные функциональные компоненты ИБП.
15. Объясните основные преимущества и недостатки известных типов ИБП.
16. Назовите основные параметры ИБП.
17. Какие применяются меры в ИБП для продления срока службы аккумуляторов?

## **ТЕМА 11 ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА**

### **11.1 КЛАССИФИКАЦИЯ И ОСНОВНЫЕ ПАРАМЕТРЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ**

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими частями ЭВМ или микропроцессорных систем.

➤ По функциональному назначению ЗУ подразделяются на:

- внешние;
- буферные;
- внутренние.

Внешние ЗУ служат для хранения больших объемов информации и программного обеспечения системы. В них используются ЗУ с прямым доступом на магнитных дисках и ЗУ с последовательным доступом на магнитных лентах.

Буферные ЗУ предназначены для промежуточного хранения данных при обмене между внешней и внутренней памятью.

Внутренние ЗУ по выполняемым функциям делятся на:

- оперативные (ОЗУ) и
- постоянные (ПЗУ).

ОЗУ выполняют *запись, хранение и считывание* произвольной двоичной информации, обеспечивают хранение программ для текущей обработки информации и массивов обрабатываемых данных. После выключения питания компьютера *информация в ОЗУ, как правило, разрушается*.

ПЗУ осуществляют *хранение и выдачу (считывание)* постоянно записанной информации, содержание которой, как правило, не изменяется во время работы системы. Это стартовые программы, стандартные подпрограммы, табличные значения различных функций, константы и др.

➤ По способу занесения информации ПЗУ делятся на:

- масочные ПЗУ, программируемые заводом-изготовителем;
- однократно программируемые пользователем (ОППЗУ);
- репрограммируемые ПЗУ (РПЗУ).

➤ В полупроводниковых ЗУ накопителем информации служит запоминающий элемент (ЗЭ). По способу обращения к массиву ЗЭ все ЗУ делятся на:

- адресные;
- ассоциативные.

В адресных ЗУ обращение к ЗЭ производится по их физическим координатам, задаваемым внешним двоичным кодом – адресом. Адресные

ЗУ бывают с произвольной выборкой (ЗУПВ), которые допускают любой порядок следования адресов, и с последовательным обращением, в которых выборка ЗЭ возможна только в порядке возрастания или убывания адреса. В ЗУ последовательного типа информация считывается в том же порядке, как и была записана, или в обратном (стек, магазин). Такие ЗУ строятся обычно на сдвигающих регистрах.

В ассоциативных ЗУ поиск информации производится по признакам (тэгам), заключенным в самой хранимой информации, независимо от физических координат ЗЭ.

➤ По способу хранения информации ОЗУ делятся на:

- статические;
- динамические.

ЗЭ статических ОЗУ представляют собой бистабильные элементы (триггеры) и обеспечивают считывание информации без ее разрушения.

В динамических ОЗУ для хранения информации используются инерционные свойства реактивных элементов (конденсаторов), что требует периодического восстановления (регенерации) состояния ЗЭ памяти в процессе хранения информации. При регенерации производится перезапись каждого хранимого в ЗУ бита либо в тот же ЗЭ, либо в соседний, в последнем случае информация циклически сдвигается на один разряд с каждым циклом регенерации.

➤ По технологическому исполнению полупроводниковые ЗУ имеют следующие структуры:

- ТТЛ, ТТЛШ;
- n-МОП;
- КМОП;
- ЭСЛ;
- И2Л и др.

Основными параметрами ЗУ являются:

- информационная емкость –  $M$  (бит);
- быстродействие (мкс);
- потребляемая мощность в режиме записи/считывания и в режиме хранения информации ( $\text{мкВт}/\text{бит}$ ).

Информационная емкость ( $M$ ) характеризует количество информации, которое может храниться в ЗЭ на кристалле, и определяется в битах (или количестве слов  $N=2^m$  с указанием их разрядности –  $n$ ).  $M=N*n$  (бит).

Быстродействие характеризуется:

- временем выборки (интервалом времени между моментом подачи сигнала выборки и появлением информации на выходе микросхемы ЗУ);

- циклом записи (минимально допустимым временем между подачей сигнала выборки при записи и моментом начала последующей операции считывания/записи).

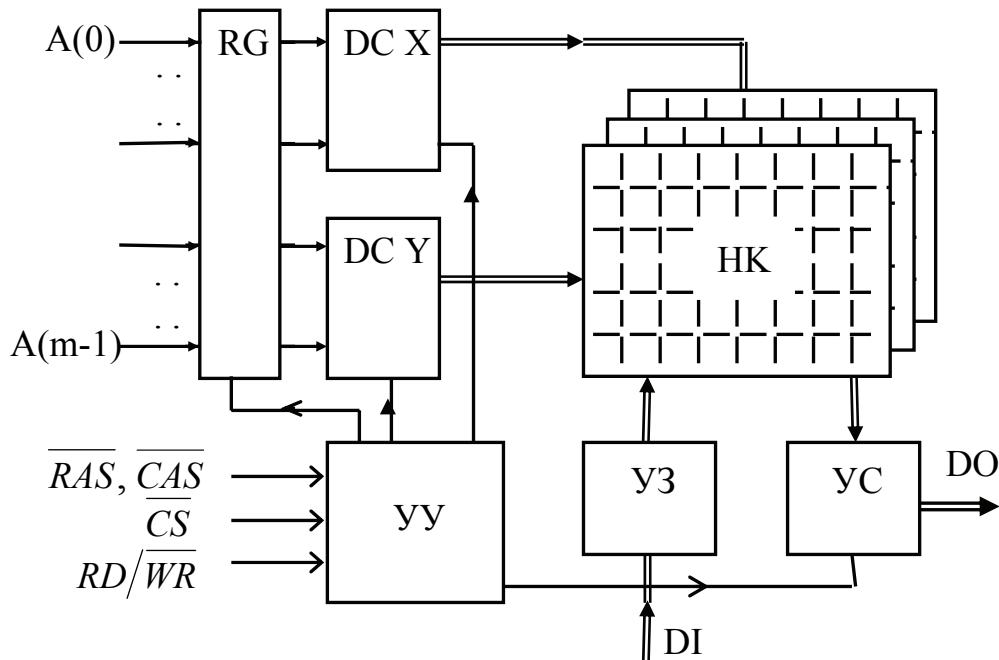


Рис. 11.1 – Структурная схема адресного ЗУ

Основные структурные элементы АДРЕСНОГО ЗУ (рис. 11.1):

- матрица ЗЭ (накопитель информации – НК);
- регистр адреса – RG;
- декодатор столбцов DC X; декодатор строк DC Y;
- устройство записи (УЗ);
- устройство считывания (УС);
- устройство управления (УУ).

Входные сигналы:

- $A(0) \dots A(m-1)$  – код адреса выбираемой ячейки ЗЭ;
- $DI$  – входные данные при записи;
- $\overline{RAS}$  – строб адреса строки;
- $\overline{CAS}$  – строб адреса столбца;
- $\overline{CS}$  – строб выбора микросхемы;
- $RD/\overline{WR}$  – сигнал переключения чтение/запись.

Выходные сигналы:

- $DO$  – выходные данные при чтении.

Основные структурные элементы АССОЦИАТИВНОГО ЗУ (рис. 11.2):

- поля ячеек для хранения информации;
- поля ячеек для хранения признаков (тэгов) информации;

- схемы сравнения;
  - устройство записи;
  - устройство управления.

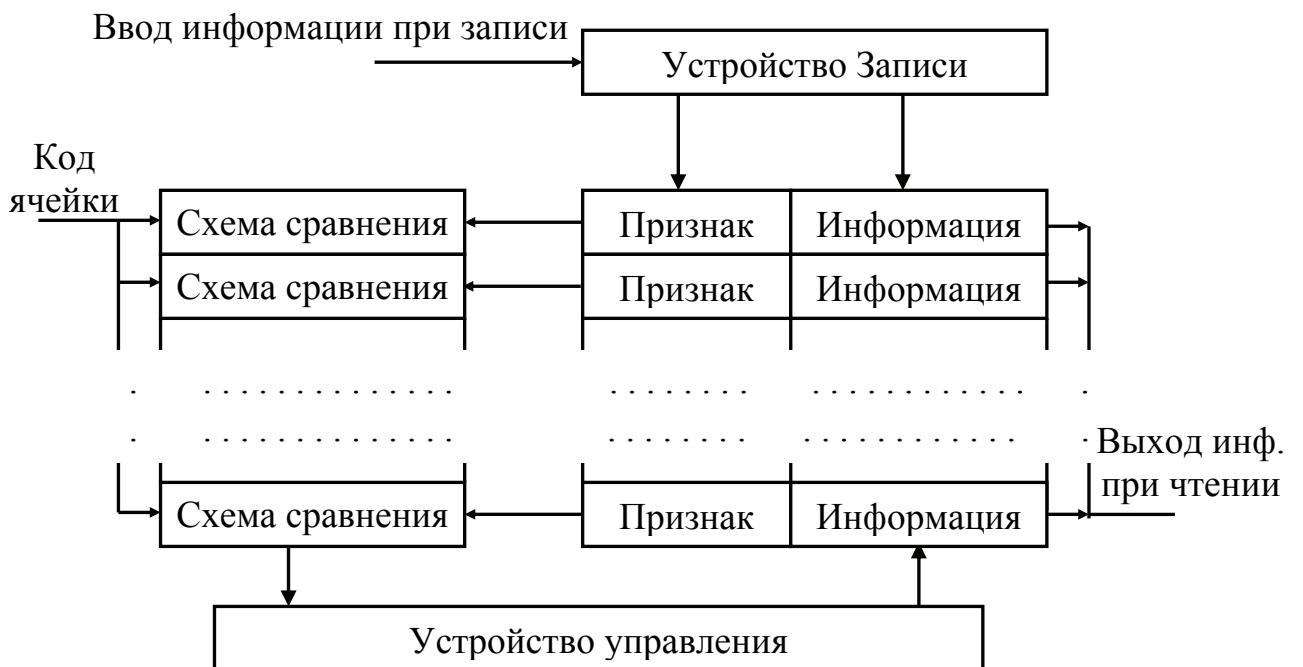


Рис. 11.2 – Структурная схема ассоциативного ЗУ

В режиме записи в каждую ячейку ассоциативного ЗУ записывается в одно поле – информация (один или несколько байтов) и в другое поле – признак (тэг) этой информации (от 8 до 32 бит). Общее количество ячеек может составлять от 4-х до нескольких десятков.

В режиме чтения на вход ассоциативного ЗУ поступает код ячейки, который сравнивается одновременно во всех Схемах сравнения с полями признаков (тэгами) всех ячеек памяти. Если входной код совпадет с признаком какой-либо ячейки, то на выход ассоциативного ЗУ подается информация из этой ячейки. При несовпадении входного кода ни с одним из признаков – информация на выходе ЗУ отсутствует.

Наличие для каждой ячейки памяти своей многоразрядной схемы сравнения кодов значительно усложняет ассоциативные ЗУ. Поэтому количество ячеек памяти обычно не превышает нескольких десятков.

## 11.2 ОСОБЕННОСТИ СХЕМОТЕХНИКИ ОЗУ

В большинстве схем ОЗУ допускается объединение входных и выходных сигналов данных ( $DI$ ,  $DO$ ). Это необходимо для непосредственного подключения микросхем памяти к ШИНЕ ДАННЫХ микропроцессорных систем.

Статические ОЗУ могут содержать регистр адреса  $RG$  (см. рис. 11.1), в который по фронту входного тактирующего синхросигнала записывается код адреса (этим объясняется название: статические тактируемые ОЗУ). Наличие внутреннего регистра позволяет объединять выводы ШИНЫ АДРЕСА микросхемы ЗУ с выводами ШИНЫ ДАННЫХ, т.е. осуществлять временное мультиплексирование этих сигналов для экономии количества выводов микросхем памяти.

В динамических ОЗУ (DRAM) обычно используют мультиплексирование адресов строк и адресов столбцов, регистр адреса  $RG$  запоминает только адрес строки (по сигналу  $\sim RAS$ ). Адреса столбцов проходят непосредственно на дешифратор  $DC\ X$  для выборки ячейки ОЗУ (по сигналу  $\sim CAS$ ).

В режиме записи в динамическое ОЗУ элементарная ячейка ЗЭ, состоящая из конденсатора и схемы выборки на полевом транзисторе, получает заряд при записи единицы (напряжение на конденсаторе увеличивается до единичного логического уровня – 1...2 В) или полностью разряжается при записи нулевого бита. Однако, с учетом малой емкости каждой элементарной ячейки (тысячные доли пикофарад) заряд логической единицы постепенно разряжается через цепи утечки.

В составе микросхем динамических ОЗУ имеется схема регенерации. При любом обращении к ячейке памяти (при записи или считывании) осуществляется регенерация всей выбранной строки матрицы накопительных ЗЭ. Если с микросхемой динамического ОЗУ не обмениваются информацией другие устройства, необходимо принудительно перебирать адреса строк матрицы накопителей в режиме считывания. Период регенерации, т.е. время, за которое заряженный конденсатор разряжается до порогового напряжения, обычно составляет несколько миллисекунд. За это время необходимо обратиться ко всем строкам матрицы накопителей и начать новый цикл регенерации.

Необходимость регенерации хранимой информации является основным недостатком динамических ОЗУ. Главное преимущество динамических ОЗУ (определенное их широкое применение) – это большая информационная емкость каждой микросхемы. На одном кристалле располагается до 1 Гбит информации и более.

Статические ОЗУ на КМОП структурах обладают высоким быстродействием (по сравнению с динамическими ОЗУ) и малой потребляемой мощностью (особенно в режиме хранения).

### 11.3 ОСОБЕННОСТИ СХЕМОТЕХНИКИ ПЗУ

Запись информации в ПЗУ осуществляется либо заводом-изготовителем, либо специальными приборами – программаторами. В составе вычислительного комплекса записанная в ПЗУ информация, как правило, не изменяется.

В качестве ЗЭ постоянных ЗУ используют: металлические перемычки (с возможностью пережигания), диоды, биполярные транзисторы, МОП структуры, аморфные полупроводники (АП) и др.

В однократно программируемых ПЗУ (ОППЗУ) информация заносится, как правило, посредством пережигания плавких металлических перемычек.

Репрограммируемые ПЗУ (РПЗУ) на МОП-структуратах допускают многократную перезапись и хранение информации при отключении питания.

В РПЗУ запоминающие элементы строят на базе МОП-структур:

- с захватом заряда (транзисторы МНОП, МАОП, МАП);
- с плавающим затвором (лавинно-инжекционные МОП-транзисторы с изолированным затвором – ЛИИЗМОП; или лавинно-инжекционный МОП-транзистор с плавающим и управляемым затворами – ЛИИЗМОП с двойным затвором).

В ЗЭ с захватом заряда заряд хранится на ловушках на границе (границах) раздела многослойного диэлектрика и (или) в объеме диэлектрика затворной части МОП-структуры.

ЗЭ с плавающим затвором более просты в изготовлении и обеспечивают более длительное сохранение информации по сравнению с ЗЭ захвата заряда.

По способу стирания информации РПЗУ подразделяются на:

- электрическое стирание информации;
- стирание информации с помощью лучей (ультрафиолетовых, рентгеновских, электронных и др.)

При записи используются импульсы напряжения 20...30 В и длительностью несколько миллисекунд. Записанная информация сохраняется не менее 5...10 лет.

В качестве запоминающего элемента РПЗУ широко используют аморфные полупроводники – приборы Овшинского. В выключенном состоянии (в слабых электрических полях) электрическое сопротивление АП велико. В полях напряженностью более 10000 В/см ток с ростом напряжения начинает экспоненциально увеличиваться, т.е. проводимость материала значительно возрастает. В результате переключения в материале образуются каналы с высокой проводимостью. Процесс переключения происходит достаточно быстро – за 100 нс. Из одного состояния в другое ЗЭ переводятся электрическими импульсами с определенными параметрами.

#### **11.4 РАСШИРЕНИЕ ИНФОРМАЦИОННОЙ ЕМКОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ**

В настоящее время выпускается большой ассортимент микросхем ОЗУ и ПЗУ. Информационная емкость одной микросхемы может состоять от 1К\*1 бит до 256M\*8 бит и более. Первая цифра означает количество

ячеек памяти, а вторая – количество бит информации в каждой ячейке. Имеются микросхемы памяти, у которых в каждой ячейке может быть по 4, 8 или 16 бит, например,  $1K*4$ ,  $8K*8$ ,  $8K*16$  и более. Однако объем памяти реальных ЗУ значительно превышает информационную емкость одной микросхемы. Поэтому, обычно, ЗУ содержат большое количество микросхем памяти (до нескольких десятков).

**Задача 11.1** – Разберем построение ЗУ объемом  $M = 16K*16$  на основе микросхем памяти с информационной емкостью  $M_1 = 4K*4$ .

В начале определяем количество микросхем. Для этого общий объем ЗУ делится на информационную емкость одной микросхемы:

$$N = (16K*16) / (4K*4) = 16(\text{м/с}).$$

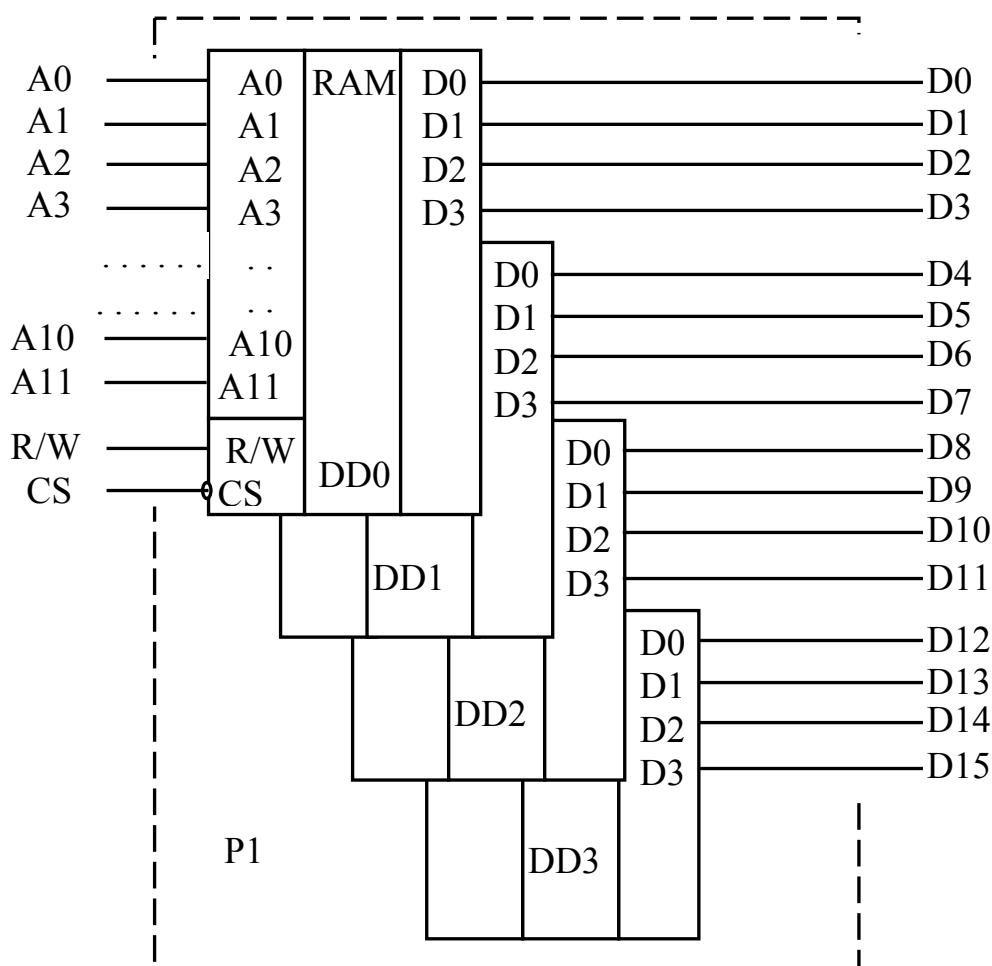


Рис. 11.3 – Страница памяти объемом  $4K*16$

Количество адресных входов в каждой микросхеме определяется по формуле:

$$n_1 = \log_2(4K) = 12$$

На следующем этапе создаем страницу ЗУ необходимой разрядности  $4K*16$ . Для этого у 4-х микросхем ( $DD0...DD3$ ) объединяются одноименные АДРЕСНЫЕ входы ( $A0...A11$ ) и входы управления ( $R/W$ ,  $\sim CS$ ). На

схеме (рис. 11.3) эти объединенные одноименные выводы всех микросхем обозначены один раз. Выводы ДАННЫХ всех микросхем образуют 16-ти разрядную ШИНУ ДАННЫХ (см. рис. 11.3).

На заключительном этапе 4 страницы памяти ( $P0\dots P3$ ) распределяются в адресном пространстве в 16 Кслов. Для этого используется дополнительная микросхема дешифратора  $DD17$  (см. рис. 11.4), на входы которой подаются старшие адресные разряды  $A12, A13$ , а выходы дешифратора разрешают работу только одной страницы памяти, подавая активный (нулевой) сигнал  $\sim CS$  (chip select – выбор кристалла) на вход только одной страницы. У всех страниц памяти объединяются одноименные адресные входы  $A0\dots A11$ , вход  $R/W$  и сигналы шины данных  $D0..D15$  (на рис. 11.4 эти выводы обозначены один раз).

Проверяем общее количество адресных входов всего ЗУ:

$$n_2 = \log_2(16K) = 14$$

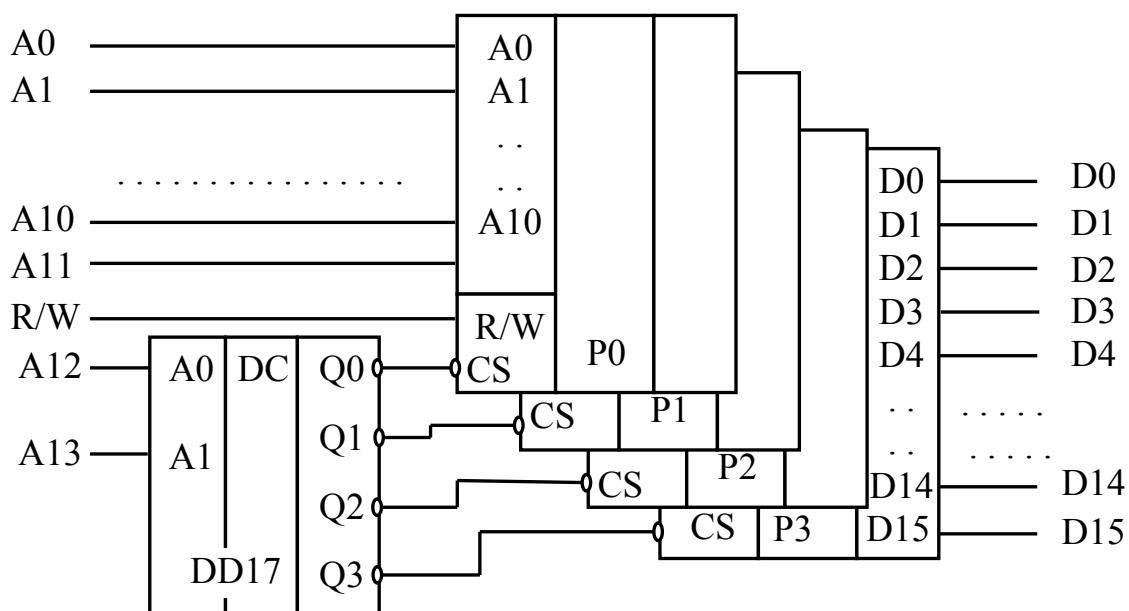


Рис. 11.4 – Запоминающее устройство 16K\*16

## 11.5 ПРАКТИЧЕСКИЕ ЗАДАНИЯ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ

- 11.5.1 Реализовать запоминающее устройство  $16K*16$  на микросхемах памяти  $2K*8$ .
- 11.5.2 Реализовать запоминающее устройство  $20K*8$  на микросхемах памяти  $4K*4$ .
- 11.5.3 Реализовать запоминающее устройство  $48K*8$  на микросхемах памяти  $8K*1$ .

## 11.6 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Чем отличаются оперативные запоминающие устройства (ОЗУ) от постоянных запоминающих устройств (ПЗУ)?
2. Назовите основные методы занесения информации в ПЗУ.
3. Назовите основные отличия статических ОЗУ от динамических ОЗУ.
4. Какие основные технологические структуры используются при изготовлении ЗУ?
5. Чем отличаются адресные ЗУ от ассоциативных ЗУ?
6. Перечислите основные параметры ЗУ.
7. Перечислите основные структурные элементы адресного ЗУ.
8. Перечислите основные структурные элементы ассоциативного ЗУ
9. Зачем в динамических ОЗУ необходимо регенерировать хранимую информацию?
10. Зачем необходимо расширять информационную емкость запоминающих устройств?
11. Какие дополнительные микросхемы необходимы для распределения адресов страниц памяти в адресном пространстве ЗУ?

## **ТЕМА 12 ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛМ)**

### **12.1 ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ (ПЛМ)**

Развитие интегральных микросхем от Малых Интегральных Схем (МИС) до СИС и БИС сопровождается, с одной стороны, усложнением схем и удорожанием процесса разработки, а с другой стороны – узкой специализацией БИС и, как следствие, сужением рынка сбыта. Возникает экономическое противоречие: большие затраты на разработку БИС могут быть оправданы только при массовом производстве, но узкая специализация БИС делает бессмысленным производство этих микросхем в больших количествах.

Одним из путей преодоления этого противоречия является разработка универсальной микросхемы, которая после небольшой доводки самим пользователем может выполнять разнообразные функции. Такие микросхемы будут иметь большой рынок сбыта (вследствие их универсальности) и оправдают первоначальные затраты на их разработку.

Одним из первых шагов в этом направлении является разработка Программируемых Логических Матриц (ПЛМ) с двухступенчатой структурой (рис. 12.1). Входные буферы разгружают входные цепи и формируют инверсии входных сигналов. Структура Матрицы «И» и Матрицы «ИЛИ» состоит из горизонтальных и вертикальных шин; в узлах пересечения находятся Элементы Связи, которые при программировании устраняются. Выходные буферы обеспечивают необходимую нагрузочную способность ПЛМ а также обеспечивают перевод выходных шин в высокоомное состояние (Z-состояние) по сигналу разрешение выхода  $\overline{OE}$ .

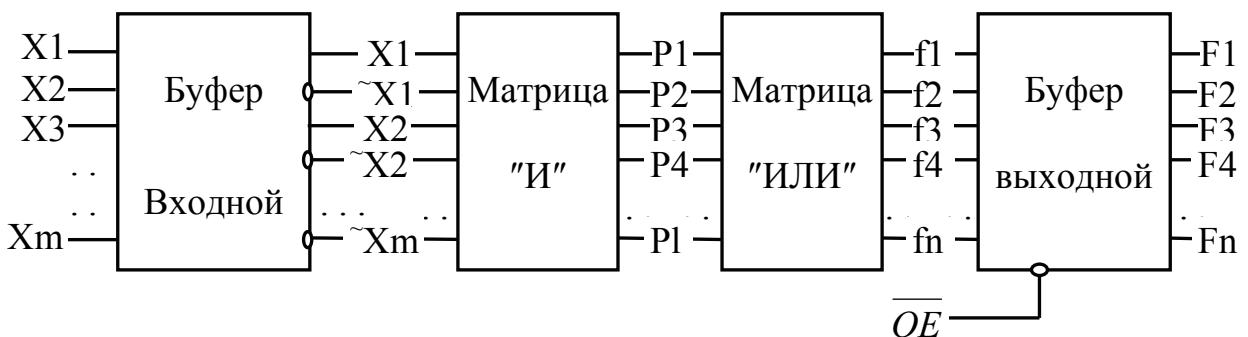


Рис. 12.1 – Структурная схема двухступенчатой ПЛМ

Основными параметрами ПЛМ являются:

- число входов –  $m$ ;
- число переходных цепей (термов) –  $l$ ;
- число выходов –  $n$ ;
- время задержки распространения сигнала –  $t_3$ ;
- потребляемая мощность и др.

Например, ПЛМ КР556РТ1, выполненная по технологии ТТЛШ, в DIP корпусе с 28 выводами, имеет время задержки распространения сигнала – 60 нс и следующие параметры:  $m = 16$ ,  $l = 48$ ,  $n = 8$ .

ПЛМ отличается от РПЗУ (или ОППЗУ) тем, что в РПЗУ матрица «И» – жесткая (роль матрицы «И» выполняет дешифратор адреса), а матрица «ИЛИ» – программируемая (поэтому РПЗУ еще называют одноступенчатой ПЛМ). В обычных (двухступенчатых) ПЛМ обе матрицы программируемые.

На основе РПЗУ (или ОППЗУ) возможна реализация любой Логической Комбинационной Схемы (ЛКС). При этом таблица состояний ЛКС является таблицей программирования РПЗУ. Минимизация логических функций не производится.

**Задача 12.1** – Рассмотрим реализацию ЛКС преобразователя двоичного кода в код семисегментного индикатора на примере ОППЗУ К155РЕ3. На рис. 12.2 показаны шестнадцатеричные цифры, отображаемые семисегментным индикатором.

На вход преобразователя кодов подается двоичный код цифры ( $X_4, X_3, X_2, X_1$ ). Каждый выход преобразователя соответствует одному из сегментов ( $A, B, \dots, G$ ). На выходах формируется логический ноль, если данный сегмент подсвечен в отображаемой цифре (см. таблицу 12.1) (для светодиодных индикаторов с общими анодами).

На рис. 12.3 приведена схема двоичного счетчика, преобразователя кодов на основе ОППЗУ К155РЕ3 (запрограммированного в соответствии с таблицей 12.1) и светодиодного семисегментного индикатора с общими анодами.

Хотя на основе РПЗУ можно реализовать любые ЛКС, но с ростом числа входов ЛКС резко возрастает информационная емкость ПЗУ и, как следствие, возрастает потребляемая мощность, количество корпусов, стоимость и др.

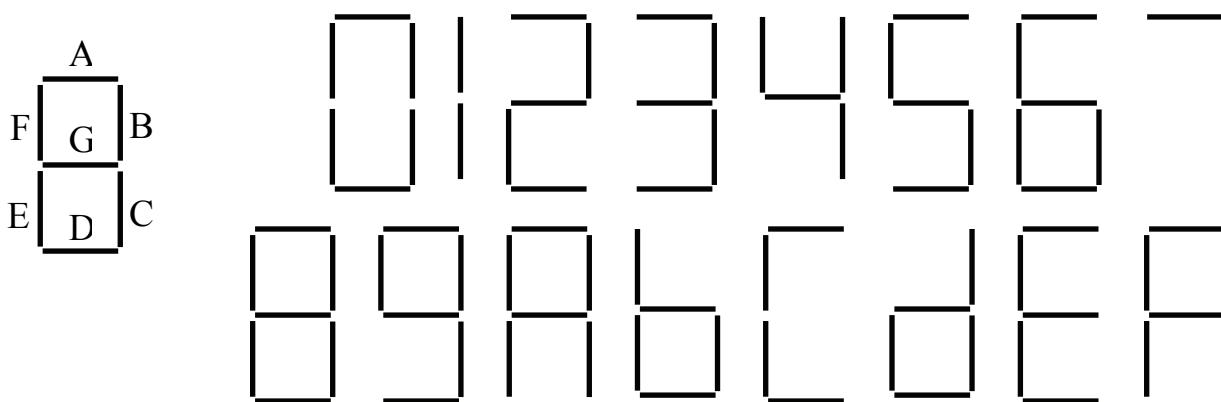


Рис. 12.2 – Семисегментный индикатор для отображения цифр

Таблица 12.1 – Таблица состояний преобразователя кодов

X4	X3	X2	X1	FA	FB	FC	FD	FE	FF	FG
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0
1	0	1	0	0	0	0	1	0	0	0
1	0	1	1	1	1	0	0	0	0	0
1	1	0	0	0	1	1	0	0	0	1
1	1	0	1	1	0	0	0	0	1	0
1	1	1	0	0	1	1	0	0	0	0
1	1	1	1	0	1	1	1	0	0	0

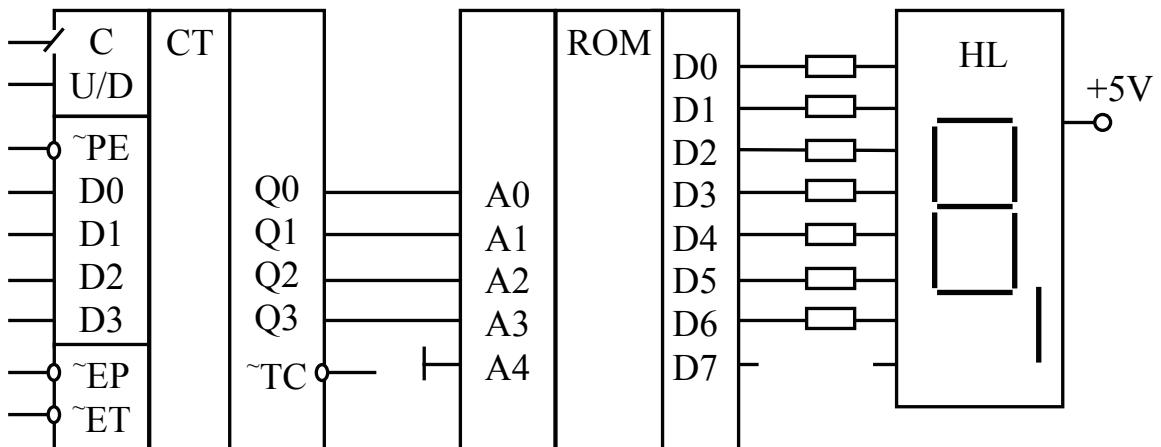


Рис. 12.3 – Двоичный счетчик с индикацией

Улучшить эти параметры можно применением двухступенчатых ПЛМ с программируемыми матрицами «И», «ИЛИ» (см. рис. 12.1).

Отличительная особенность применения двухступенчатых ПЛМ – **необходимость минимизации** реализуемой системы логических функций.

Принципиальная схема двухступенчатой ПЛМ приведена на рис. 12.4. На входы элементов «И» первой матрицы поступают все входные сигналы и их инверсии. В процессе программирования можно отключить (отсоединить) любое количество входов от каждого элемента «И».

Количество элементов «И» (количество термов) является основным параметром, определяющим возможность реализации ЛКС.

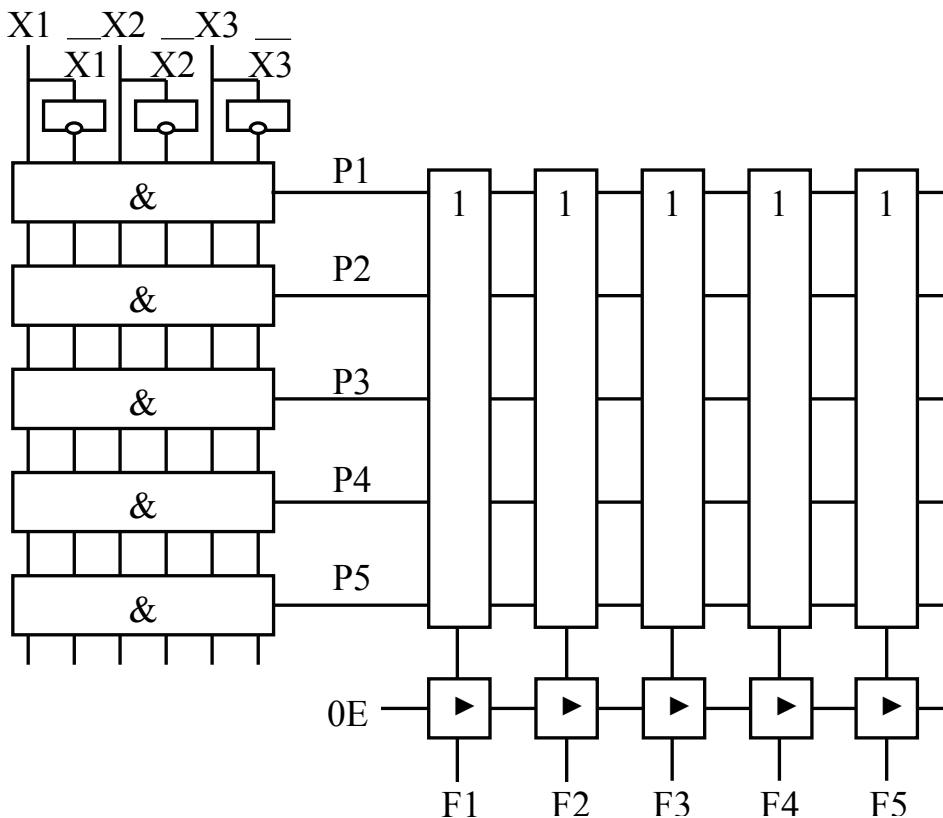


Рис. 12.4 – Принципиальная схема двухступенчатой ПЛМ

Выходы всех элементов «И» подключены к входам элементов «ИЛИ». Количество элементов «ИЛИ» определяется количеством выходов ПЛМ. В процессе программирования можно отключить (отсоединить) любые элементы «И» от входов элементов «ИЛИ».

Логические элементы матрицы «И» реализованы на диодах (см. рис. 12.5) аналогично входной логике ТТЛ-элементов (сравни с рис. 3.2). Плавкими перемычками на входах схемы «И» можно удалить (отсоединить) не-нужные связи.

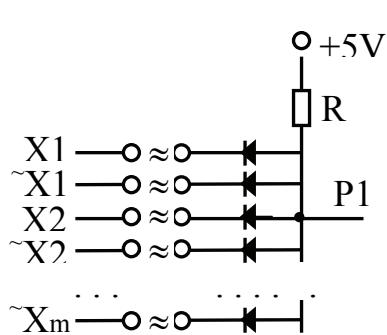


Рис 12.5 – Логические элементы матрицы «И»

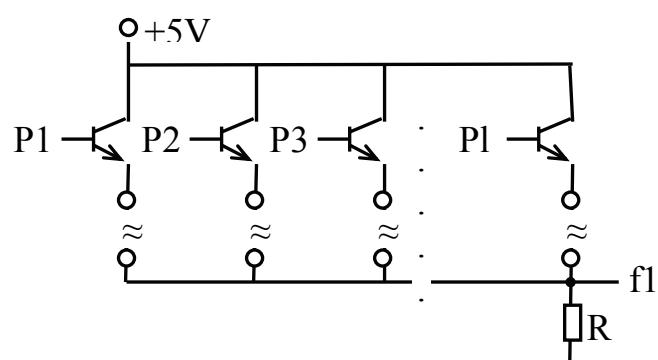


Рис 12.6 – Логические элементы матрицы «ИЛИ»

Логические элементы матрицы «ИЛИ» реализованы на транзисторах с объединенными эмиттерами (рис. 12.6) аналогично логике «ИЛИ» в ТТЛ-элементах (сравни с рис. 3.8). Плавкими перемычками в цепях эмиттеров можно удалить (отсоединить) лишние связи.

Рассмотрим реализацию на двухступенчатой ПЛМ логических функций сумматора:

$$S = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC;$$

$$P = AB + BC + AC.$$

Процесс программирования ПЛМ сводится к пережиганию перемычек на входах схем «И», а также «ИЛИ». Разомкнутые в процессе программирования связи обозначены на рис. 12.7 символом «x».

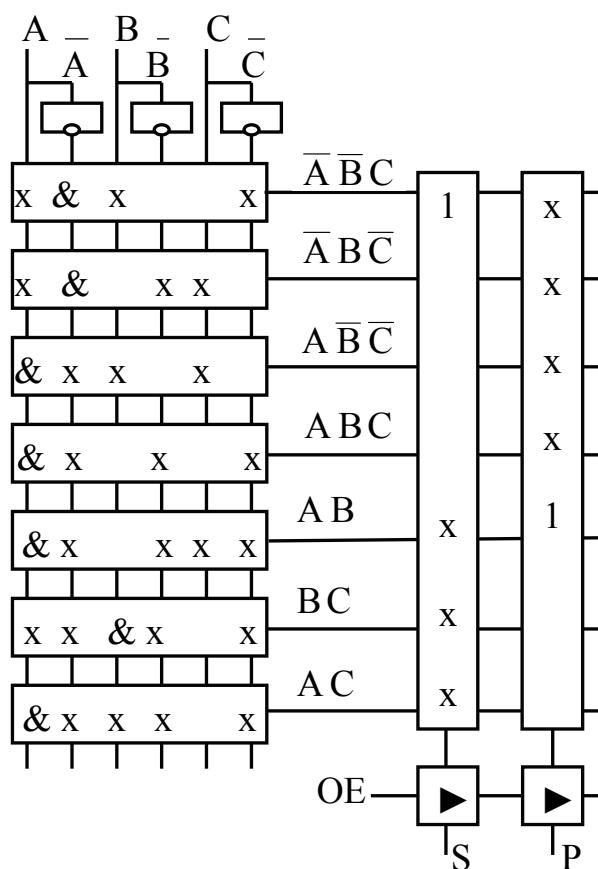


Рис. 12.7 – Реализация на ПЛМ логических функций сумматора

## 12.2 ПРОГРАММИРУЕМЫЕ МАТРИЦЫ С ПАМЯТЬЮ

Следующим шагом в развитии ПЛМ явилось введение элементов памяти – триггеров. Структурная схема ПЛМ с памятью приведена на рис. 12.8. Эти схемы имеют более общее название – Программируемые Логические Интегральные Схемы (ПЛИС или в английской аббревиатуре – PLD).

В этих схемах результат каждого шага обработки информации (определенного периодом входной тактовой частоты «C») зависит не только

от состояния входных сигналов ( $X_1 \dots X_m$ ), но и от результатов предыдущих шагов. Это обеспечивается обратной связью с выходов триггеров регистра на входы программируемой матрицы «И».

Такая архитектура ПЛИС позволяет реализовать практически любые схемы цифровой электроники: счетчики, регистры, дешифраторы, мультиплексоры, шины интерфейса и др.

Первые ПЛИС выпускались по технологии ТТЛШ с плавкими перемычками. Они имели высокое энергопотребление, что ограничивало степень интеграции элементов на кристалле, а также не обладали возможностью перепрограммирования. Основным их преимуществом является простота и низкая стоимость.

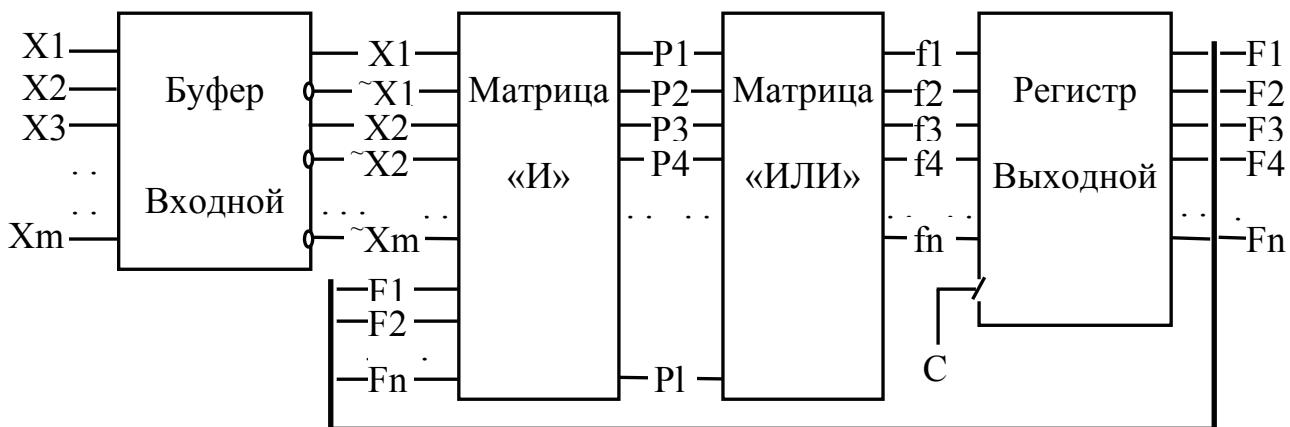


Рис. 12.8 – Структурная схема ПЛИС с памятью

В настоящее время на мировом рынке полностью доминируют ПЛИС, изготавливаемые по технологии КМОП. Переход на субмикронные технологии позволил достичь быстродействия 150 МГц и более. Токи потребления зависят от рабочей частоты и увеличиваются в пропорции примерно 1 мА/МГц. Многие ПЛИС в статике потребляют 20...30 мкА. Нагрузочная способность большинства КМОП ПЛИС характеризуется величиной  $IO=10\dots16$  мА, что упрощает совместное применение ПЛИС с микросхемами ТТЛШ.

КМОП ПЛИС обеспечивают высокую гибкость при отладке посредством перепрограммирования, т.е. стирание запрограммированных связей внутри микросхемы и загрузки в нее новой конфигурации. Ранее стирание информации в ПЛИС осуществляется УФ-облучением, однако в настоящее время большинство ПЛИС выпускаются с конфигурационным ПЗУ с электрическим перепрограммированием (FLASH-ROM).

Некоторые ПЛИС изготавливаются на основе технологии статического ОЗУ. Это обеспечивает неограниченное число загрузок конфигурации на этапе отладки, однако такая «прошивка» является энергозависимой и требует резервного электропитания от встроенных батарей.

Важной особенностью ПЛИС является наличие бита (перемычки) секретности. Если после программирования ПЛИС ее внутреннюю конфигурацию можно считать и полученный шаблон использовать для тиражирования схемы, то после программирования (разрыва) бита секретности содержимое ПЛИС становится недоступным для чтения. Благодаря этому, ПЛИС могут применяться в качестве электронного ключа для защиты аппаратных и программных средств от несанкционированного доступа и копирования.

С точки зрения степени интеграции ПЛИС можно условно разделить на 2 группы:

- средней интеграции – 300...1000 эквивалентных вентилей;
- высокой степени интеграции – более 1000 вентилей.

К первой группе относятся микросхемы:

- PAL фирмы AMD;
- GAL фирмы Lattice;
- EPLD фирм Intel и Altera и др.

Ко второй группе относятся:

- MAX фирмы Altera;
- MACH фирмы AMD;
- ACT фирмы Actel;
- XC фирмы Xilinx и др.

Новые ПЛИС, выпускаемые после 1995 года, достигли степени интеграции – более 10000 вентилей и содержат 500...1000 и более триггеров на одном кристалле.

Безусловным лидером мирового рынка ПЛИС является фирма Altera. Ее семейство MAX7000 считается своего рода стандартом на ПЛИС матричной архитектуры, обеспечивая при этом самую низкую удельную стоимость (соотношение цена/интеграция).

Наиболее широко ПЛИС используются в микропроцессорной, вычислительной и радиотехнике. На их основе разрабатываются контроллеры шины, адресные дешифраторы, логика обрамления микропроцессоров, формирователи управляющих сигналов и др.

Применение ПЛИС наиболее целесообразно при разработке оригинальной аппаратуры, требующей нестандартных схемотехнических решений, а также при разработке малогабаритных устройств. ПЛИС обычно заменяет на плате до 50...70 корпусов МИС и СИС. При этом резко снижаются размеры оборудования и потребляемая мощность.

Схема одной из ячеек выходного регистра (см. рис. 12.8) приведена на рис. 12.9. На этом рисунке прямоугольником с буквой «Р» обозначена возможность программирования функции мультиплексоров для конфигурирования схемы. Аналогичный знак у триггера указывает возможность программирования работы триггера: как D-триггер или как T-триггер. На управляющий вход триггера «С» может быть скоммутирован входной тактовый сигнал *CLK* или один из выходов матрицы «ИЛИ». Входной сигнал

D-триггера с помощью элемента «исключающее ИЛИ» может быть проинвертирован. Этот же сигнал может непосредственно подаваться на выходной контакт микросхемы (I/O). Выходной мультиплексор может быть переведен в Z-состояние. При этом контакт *I/O* может использоваться как вход ПЛИС и сконфигурирован на вход матрицы «И». На вход матрицы «И» может подключаться также выход триггера.

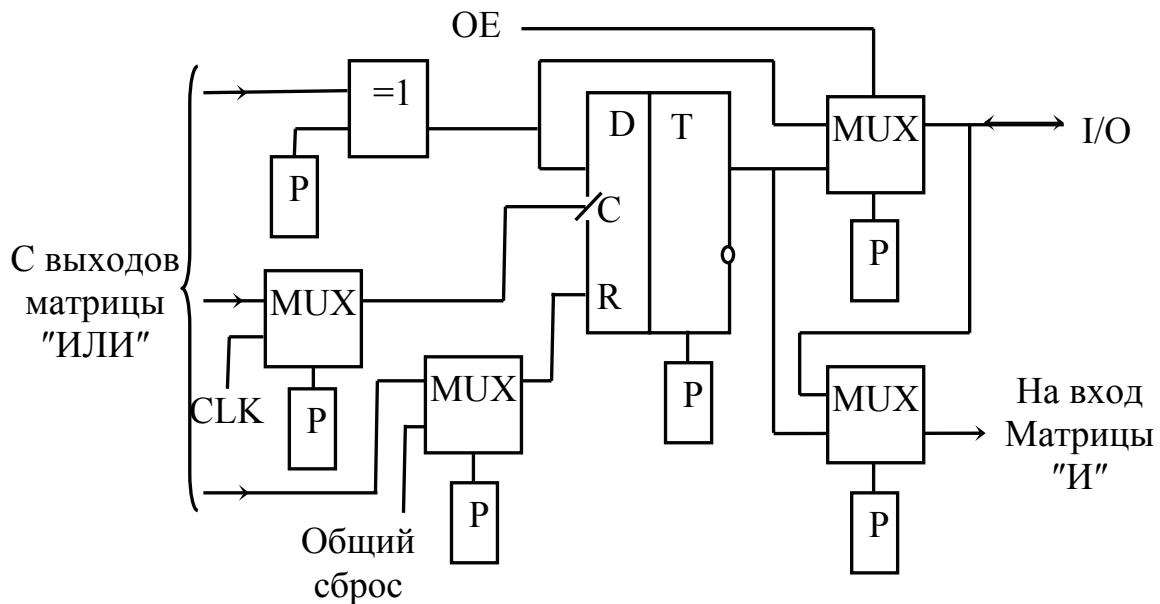


Рис. 12.9 – Ячейка выходного регистра ПЛИС

ПЛИС имеют самый широкий спектр применения: от узлов детектора валюты, пейджера, мультипортовой платы до сложных систем обработки изображений, аппаратуры телефонных станций и др.

В последние годы появилась новая тенденция в развитии ПЛИС – так называемые ISP-микросхемы (*in sistem programmable* – программируемые в системе). Программирование и стирание таких ПЛИС выполняется непосредственно на плате посредством специального четырехканального кабеля, подключаемого к компьютеру через последовательный или параллельный порт. Помимо возможности производить отладку в реальных условиях работы, ISP-ПЛИС не требуют весьма дорогостоящего программатора.

Эффективное использование ПЛИС невозможно без применения средств автоматизации проектирования – САПР ПЛИС. Программное обеспечение САПР ПЛИС позволяет описать проектируемую схему одним из стандартных способов:

- булевые уравнения;
- таблицы состояний;
- принципиальные схемы и др.

Любой из способов задания позволяет выполнить проектирование, т.е. сформировать так называемую таблицу прошивки ПЛИС. Большинству

САПР ПЛИС присущи такие дополнительные функции, как минимизация, верификация, моделирование и др. Завершающим этапом создания схемы на основе ПЛИС является технологическое программирование.

За рубежом создано большое количество разнообразных систем проектирования ПЛИС (например, MAX-PLUS для ПЛИС фирмы ALTERA).

### **12.3 ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ**

1. Назовите основное назначение ПЛМ.
2. Перечислите основные параметры ПЛМ.
3. Чем отличаются одноступенчатые ПЛМ от двухступенчатых ПЛМ?
4. Назовите основные отличия ПЛМ с памятью от обычных ПЛМ.
5. Перечислите области применения ПЛМ.
6. Какая технология используется при производстве современных ПЛИС?
7. Перечислите наиболее известные фирмы-изготовители ПЛИС.
8. Перечислите основные способы описания проектируемых схем на основе ПЛИС в современных САПР.

## **МЕТОДИЧЕСКИЕ УКАЗАНИЯ**

к лабораторным работам по курсу  
**«КОМПЬЮТЕРНАЯ СХЕМОТЕХНИКА»**

### **ОБЩИЕ ПОЛОЖЕНИЯ**

Цикл лабораторных работ ставит своей целью привить студентам практические навыки схемной реализации элементов и устройств ЭВМ, а также измерения их статических и динамических параметров. Лабораторные работы проводятся фронтально на универсальных лабораторных макетах УМ-11 или с помощью программного схемного эмулятора Electronics Workbench Pro (версия не ниже 5.12) по мере изучения соответствующих тем лекционного курса.

Методические указания соответствуют программе курса «Компьютерная схемотехника», ориентированы на самостоятельную индивидуальную подготовку студентов к лабораторным работам. Успешное выполнение предлагаемых лабораторных работ является основой для изучения последующих курсов: «ЭВМ и микропроцессорные системы», «Проектирование цифровых устройств на микроконтроллерах» и др.

К выполнению лабораторных работ допускаются студенты, предоставившие преподавателю необходимые расчеты в соответствии с вариантом задания и синтезировавшие все принципиальные схемы для исследований в процессе лабораторной работы.

По результатам выполнения лабораторных работ каждый студент составляет отчет, который может быть выполнен в тетради. Эту тетрадь допускается использовать на экзамене или зачете по курсу «Компьютерная Схемотехника» вместе с другими справочными материалами. После успешной сдачи экзамена или зачета тетрадь сдается преподавателю.

Отчет по каждой лабораторной работе должен содержать:

- все принципиальные схемы исследуемых устройств;
- результаты расчетов в соответствии с вариантом задания;
- необходимые таблицы и графики (карты Карно и др.);
- результаты исследований в виде таблиц, графиков, осцилограмм и пр. (схемы и результаты исследований помещаются отдельно по каждому пункту задания, желательно на отдельных страницах отчета);
- выводы по результатам исследований.

При подготовке к сдаче лабораторной работы студент должен:

- уметь объяснить порядок выполнения работы и полученные результаты,
- ответить на контрольные вопросы;
- уметь выполнить контрольные задания.

## ЛАБОРАТОРНАЯ РАБОТА 1

### ИССЛЕДОВАНИЕ БАЗОВЫХ ЛОГИЧЕСКИХ ТТЛ-ЭЛЕМЕНТОВ

#### 1.1 ЦЕЛЬ РАБОТЫ:

- углубить и закрепить знания по схемотехнике базовых логических элементов и измерению их статических и динамических характеристик;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### 1.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ

Перед выполнением лабораторной работы студентам необходимо изучить по предлагаемой литературе и конспекту лекций схемотехнику базовых логических элементов и их основные статические и динамические параметры.

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных элементов, входящих в лабораторный макет УМ-11 или программный эмулятор «ELECTRONICS WORKBENCH PRO».

Рассчитать статические параметры:  $I_{0ex}$ ,  $I_{1ex}$ ,  $I_{0potr}$ ,  $I_{1potr}$ .

#### 1.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

В соответствии с вариантом задания (табл. 1.1) подготовить в отчете принципиальную схему базового элемента ТТЛ с многоэмиттерным транзистором на входе (на рис. 1.1 показан инвертор ТТЛ с одним входом) или с диодной сборкой на входе (рис. 1.2).

В лабораторной работе исследуется передаточная характеристика ТТЛ-элемента. Для этого на вход схемы и на «вход X» осциллографа (Channel A) подается пилообразное напряжение с выхода функционального генератора. Напряжение генератора изменяется от нуля до величины питающего напряжения (см. рис 1.2). На второй «вход Y» осциллографа (Channel B) подается напряжение с выхода исследуемого ТТЛ-элемента (см. рис. 1.1 и рис. 1.3). Режим осциллографа: В – функция от А (B/A) (см. рис 1.3).

Для измерения напряжений в контрольных точках осцилограмм удобно использовать графический анализатор с двумя визирными линиями (см. рис. 1.4).

Для исследования входной характеристики ТТЛ-элемента последовательно со входом схемы подключается дополнительный резистор. Падение напряжения на этом резисторе, пропорциональное входному току ТТЛ-элемента, подается на «вход Y» осциллографа (рис. 1.5). Номинал дополнительного резистора определяется в соответствии с табл. 1.1.

нительного резистора выбирается небольшим - так, чтобы падение напряжения на нем не превышало 1% от величины входного напряжения. При сопротивлении дополнительного резистора 1 Ом падение напряжения на нем в милиВольтах равно по величине протекающему через него току в миллиамперах.

На вход схемы и на «вход X» осциллографа подается пилообразное напряжение с выхода функционального генератора. Напряжение генератора изменяется от нуля до величины питающего напряжения (см. рис. 1.6).

Таблица 1.1 – Варианты номиналов схемы ТТЛ-элементов

Вариант	R1 (кОм)	R2 (кОм)	R3 (кОм)	R4 (кОм)	Входная схема
1	4,3	1,6	1	0,13	МЭТ
2	4,3	1,6	1	0,13	Диодн. сборка
3	2,8	0,7	0,43	0,058	МЭТ
4	2,8	0,7	0,43	0,058	Диодн. сборка
5	40	20	12	0,5	МЭТ
6	40	20	12	0,5	Диодн. сборка
7	3	0,9	0,6	0,05	МЭТ
8	3	0,9	0,6	0,05	Диодн. сборка
9	20	8	3	0,2	МЭТ
10	20	8	3	0,2	Диодн. сборка

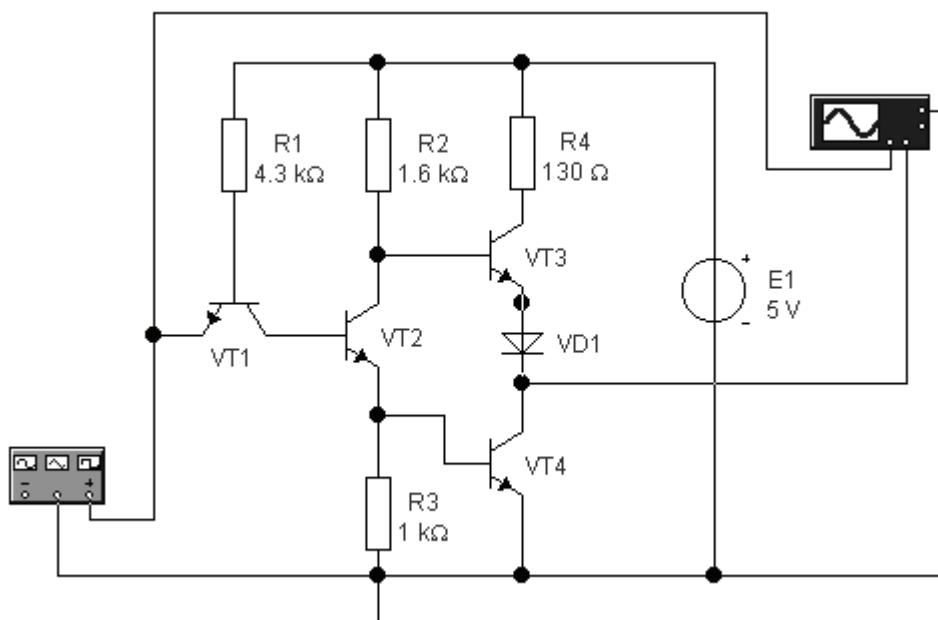


Рис. 1.1 – Инвертор ТТЛ

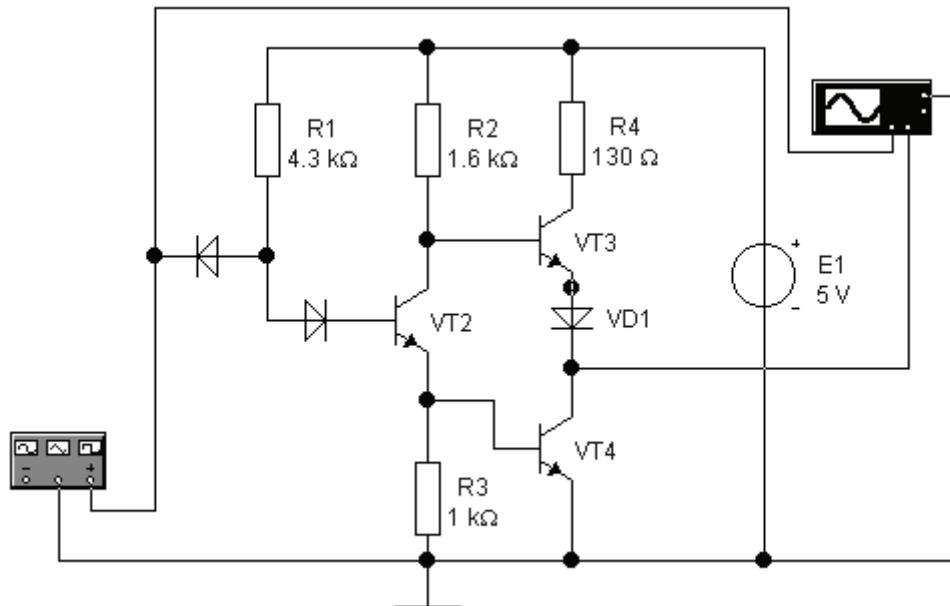


Рис. 1.2 – Инвертор ТТЛ с диодной матрицей на входе

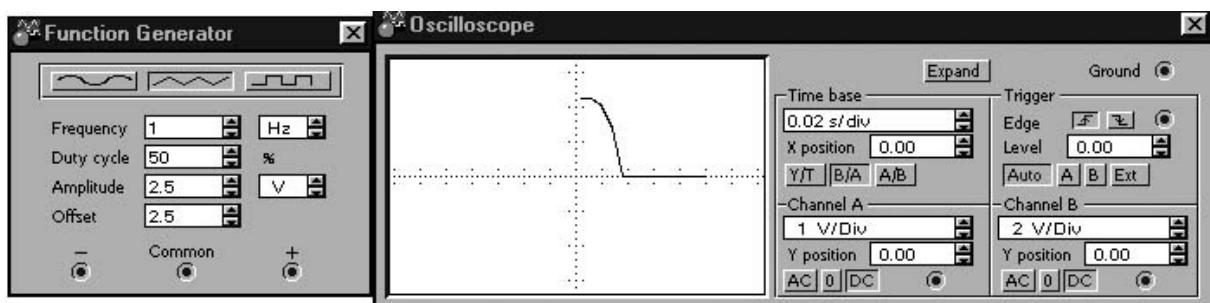


Рис. 1.3 – Передаточная характеристика инвертора ТТЛ

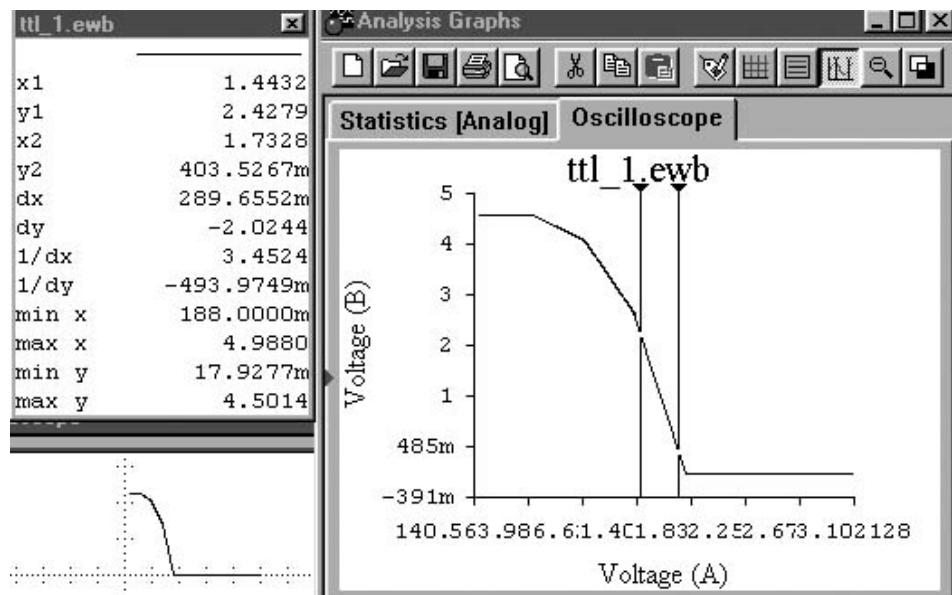


Рис. 1.4 – Графический анализатор с двумя визирными линиями

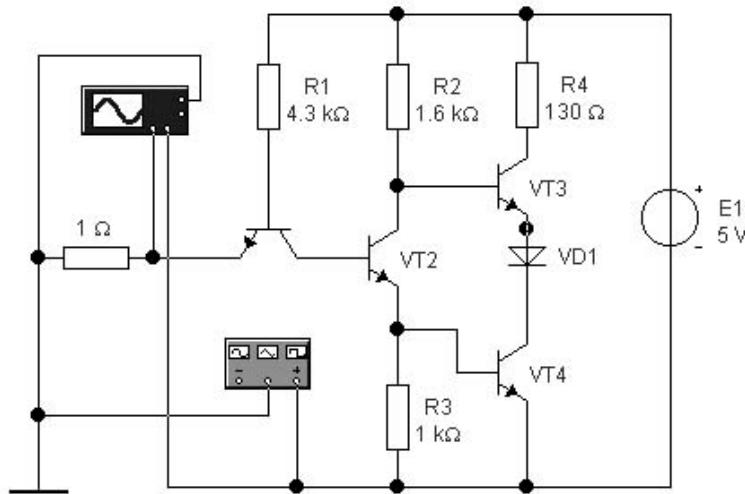


Рис. 1.5 – Схема измерения входной характеристики ТТЛ-элемента

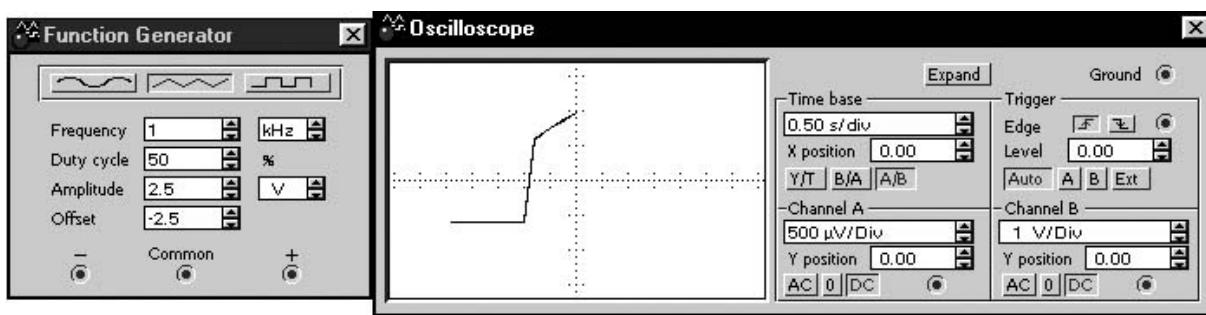


Рис. 1.6 – Входная характеристика ТТЛ-элемента

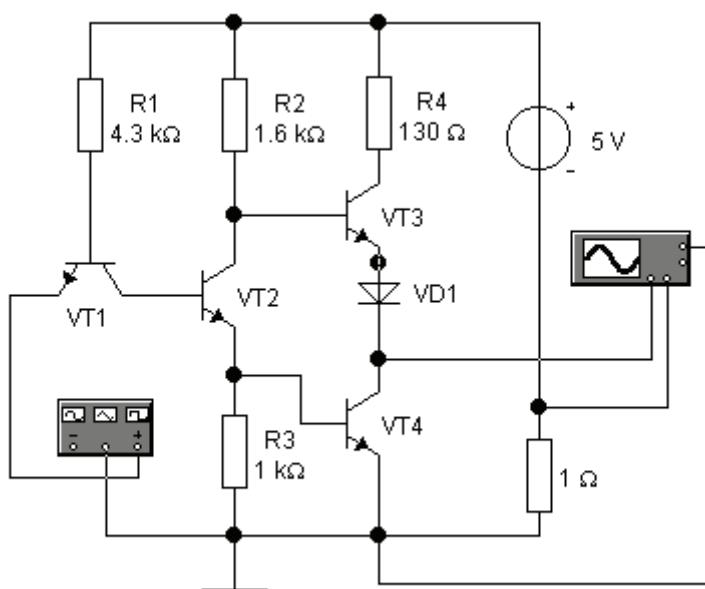


Рис. 1.7 – Схема измерения потребляемого тока ТТЛ-элементом

Для измерения потребляемого ТТЛ-элементом тока необходимо в цепь питания включить резистор небольшого номинала (рис. 1.7), а на вход схемы подать от функционального генератора прямоугольные импульсы с частотой 1 кГц и напряжением от 0 до 5 В.

На экране осциллографа (рис. 1.8) отчетливо видны различия потребляемого тока (нижняя осциллограмма) при единичном и нулевом выходных сигналах (верхняя осциллограмма). Увеличение тока в моменты переходных процессов связано с протеканием сквозных токов через открытые выходные транзисторы. Для удобства измерения параметров желательно расширить экран осциллографа и использовать две визирные линии (см. рис. 1.8).

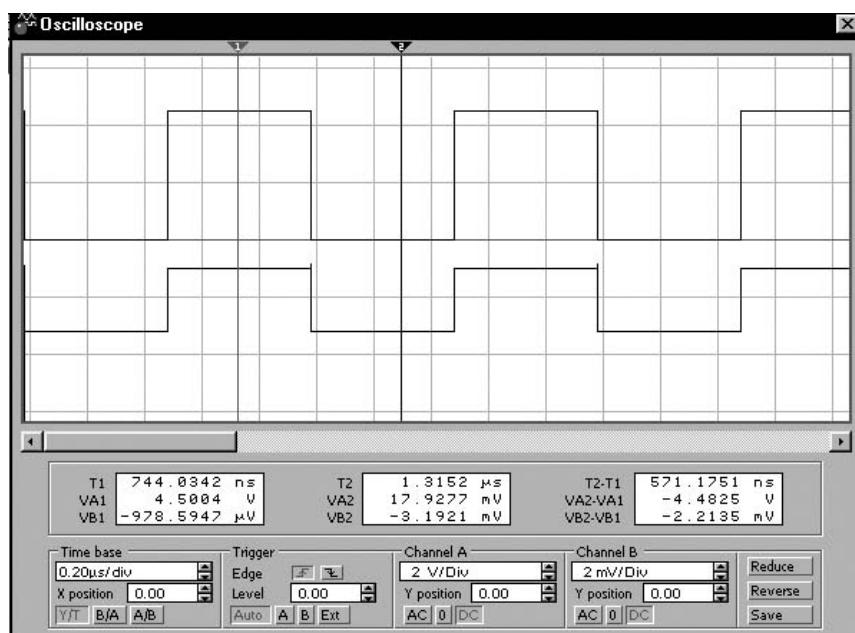


Рис. 1.8 – Расширенный экран осциллографа с двумя визирными линиями

В лабораторной работе измеряются основные динамические параметры ТТЛ-элементов (см. рис. 1.9):

- $t_{\text{зд.р}(0-1)}$  – время задержки распространения сигнала при переходе выходного напряжения из «0» в «1»;
- $t_{\text{зд.р}(1-0)}$  – время задержки распространения сигнала при переходе выходного напряжения из «1» в «0»;
- $t_{\text{ср}} = \frac{(t_{\text{зд.р}(0-1)} + t_{\text{зд.р}(1-0)})}{2}$  – среднее время задержки распространения сигнала;
- $t_{(0-1)}$  – длительность нарастающего фронта;
- $t_{(1-0)}$  – длительность спадающего фронта.

Эти параметры можно измерить по осциллограммам, подавая на вход схемы (см. рис. 1.1 или рис. 1.2) прямоугольное напряжение с выхода функционального генератора.

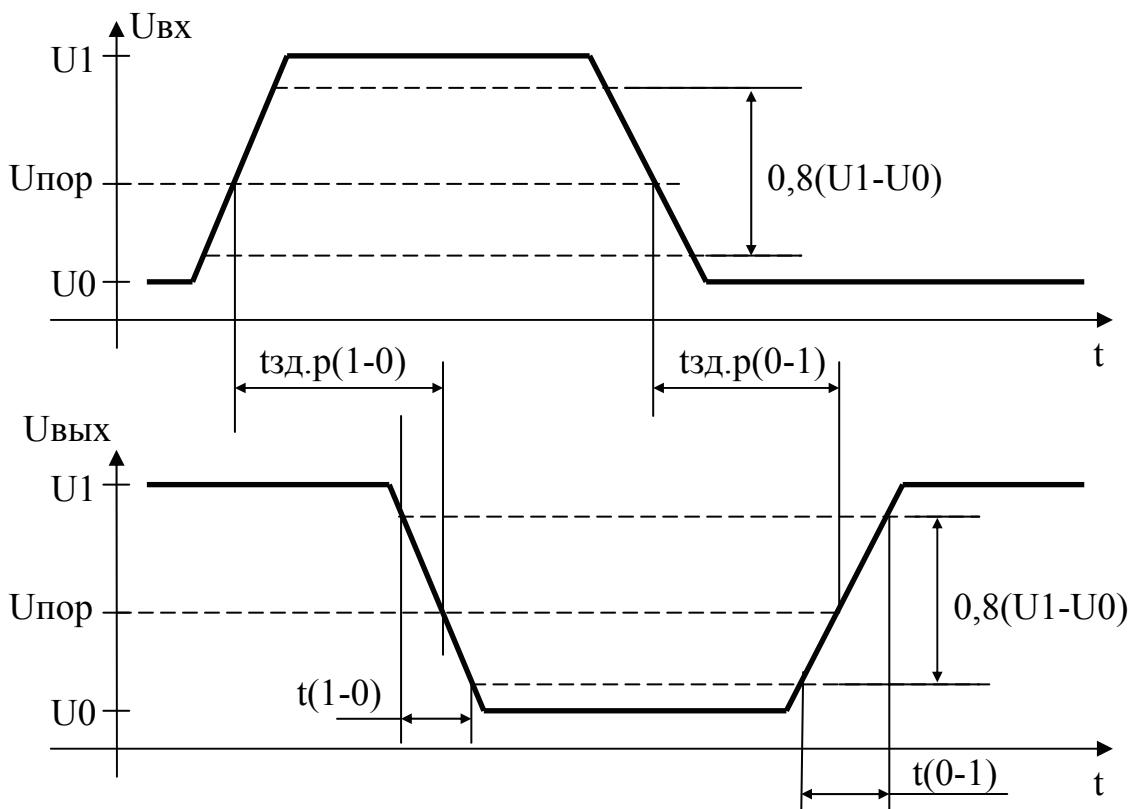


Рис. 1.9 – Динамические параметры логического элемента

Среднее время задержки распространения сигнала в логических элементах можно измерить по осциллограмме, если перевести в режим генерации замкнутые в кольцо логические элементы (рис. 1.10). При нечетном количестве логических элементов отрицательная обратная связь приводит к подаче на вход схемы выходного сигнала в противофазе ко входному. Но наличие задержки распространения сигнала в каждом логическом элементе может привести к генерации, если суммарное время задержки равно половине периода, то есть обратная связь из отрицательной превращается в положительную.

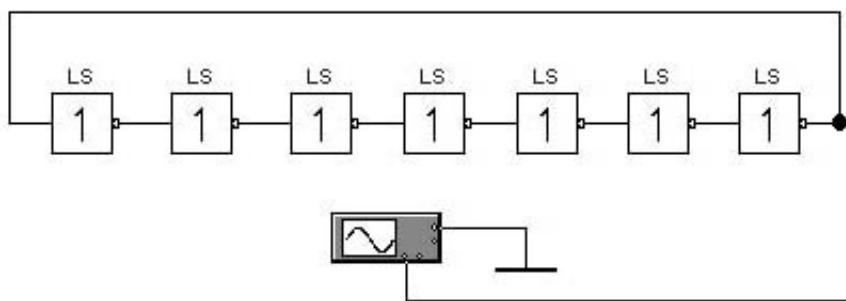


Рис. 1.10 – Схема измерения среднего времени задержки распространения сигнала

Измерив по осциллограмме (см. рис. 1.11) период генерации ( $T$ ) в схеме на рис. 1.10, можно определить среднее время задержки распространения сигнала в одном логическом элементе по формуле:

$$t_{cp} = T / (2 * n), \quad (1.1)$$

где:  $n$  – количество элементов, замкнутых в кольцо.

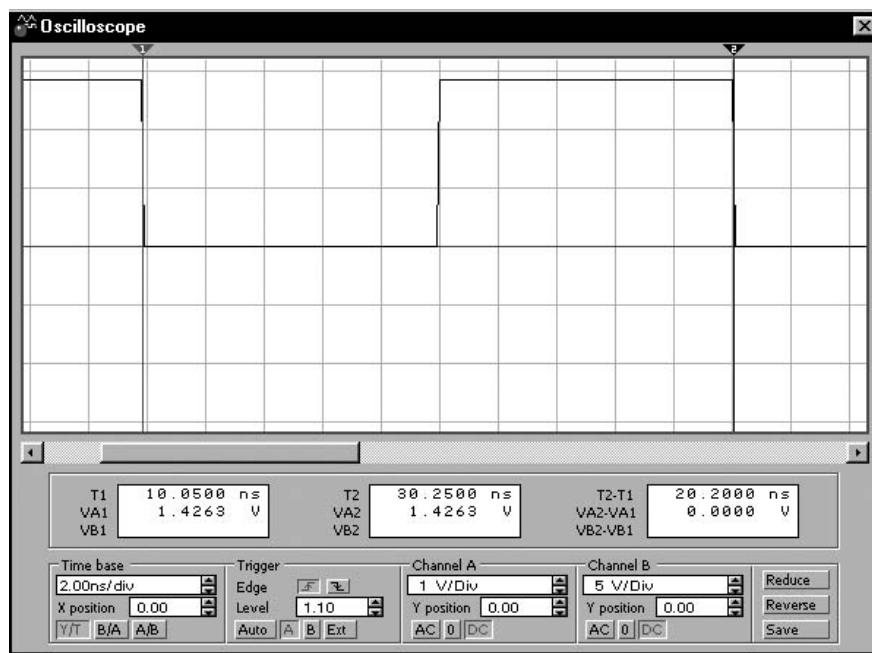


Рис. 1.11 – Осциллограмма для измерения периода генерации

## 1.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1.4.1. В соответствии с вариантом задания собрать схему базового логического элемента (см. рис. 1.1 или рис. 1.2). Зарисовать в отчет осциллограмму передаточной характеристики. По передаточной характеристике определить статические параметры ТТЛ-элемента:

- выходное напряжение логического нуля –  $U_{0\text{вых}}$ ;
- выходное напряжение логической единицы –  $U_{1\text{вых}}$ ;
- пороговое напряжение –  $U_{\text{пор}}$  – для этого перемещать одну из визирных линий, пока не выровняются значения по осям  $x$  и  $y$ , т.е. выходное напряжение станет равным входному;
- коэффициент усиления по напряжению ТТЛ-элемента –  $K_i = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}$ ; для этого необходимо выбрать две точки на самом крутом участке передаточной характеристики (см. рис. 1.4) и поделить значения  $dy$  на  $dx$ .

Проверить расчетный коэффициент усиления. Для этого подать на вход ТТЛ-элемента с выхода функционального генератора пилообразное напряжение амплитудой 0,1 В и смещением, равным пороговому напряжению, измерить амплитуду напряжения на выходе элемента и рассчитать коэффициент усиления.

1.4.2. Измерить входную характеристику ТТЛ-элемента в соответствии с рис. 1.4 (схема элемента не изменяется, а только переключаются измерительные приборы, поэтому у четных вариантов на входе остается диодная сборка).

Определить статические параметры и сравнить их с расчетными:

- ток при нулевом логическом уровне на входе –  $I_{0вх}$ ;
- ток при единичном логическом уровне на входе –  $I_{1вх}$ ;

1.4.3. Измерить токи, потребляемые ТТЛ-элементом (см. рис. 1.7) при нулевом и единичном логическом уровнях на выходе и сравнить их с расчетными. Измерить пиковые значения потребляемого тока во время переходных процессов.

1.4.4. Измерить динамические параметры ТТЛ-элемента, подавая на вход схемы (см. рис. 1.1 или рис. 1.2) прямоугольные импульсы с выхода функционального генератора.

1.4.5. Измерить среднее время задержки распространения сигнала при замыкании в кольцо нечетного количества ТТЛ-элементов (см. рис. 1.10).

## 1.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. Объяснить основные результаты практических исследований: рассчитать  $I_{0вх}$ ,  $I_{1вх}$ ,  $U_{Iвых}$ , токи потребления при нулевом и единичном логических сигналах на выходе.
2. Объяснить назначение всех резисторов и транзисторов в базовом ТТЛ-элементе.
3. Методы повышения быстродействия ТТЛ-элементов.
4. Можно ли объединять выходы нескольких ТТЛ-элементов?
5. Какому логическому состоянию соответствует неподключенный вход ТТЛ-элемента. Почему нежелательно оставлять неподключенными неиспользуемые входы ТТЛ-элементов? Куда подключаются неиспользуемые входы ТТЛ-элементов?
6. Привести схемы элементов 2И-2ИЛИ-НЕ, 2ИЛИ-НЕ, 2И, 2ИЛИ, схему с тремя состояниями выхода.
7. Назовите основные динамические параметры ТТЛ-элемента и методы их измерения.

**ЛАБОРАТОРНАЯ РАБОТА 2****ИССЛЕДОВАНИЕ БАЗОВЫХ ЛОГИЧЕСКИХ  
КМОП- и ЭСЛ-ЭЛЕМЕНТОВ****2.1 ЦЕЛЬ РАБОТЫ:**

- углубить и закрепить знания по схемотехнике базовых логических элементов и измерению их статических и динамических характеристик;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

**2.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ**

Перед выполнением лабораторной работы студентам необходимо изучить по предлагаемой литературе и конспекту лекций схемотехнику базовых логических КМОП- и ЭСЛ-элементов и их основные статические и динамические параметры.

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных элементов, входящих в программный эмулятор «ELECTRONICS WORKBENCH PRO».

**2.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ  
САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ**

В соответствии с вариантом задания (табл. 2.1) подготовить в отчете принципиальную схему инвертора КМОП.

Таблица 2.1 – Варианты номиналов схемы КМОП-элементов

Вариант	1	2	3	4	5	6	7	8	9	10
Напряжение питания, В	3	4	5	6	7	8	9	10	11	12

В лабораторной работе исследуется передаточная характеристика КМОП-элемента (рис. 2.1). Для этого на вход схемы и на «вход X» осциллографа (Channel A) подается пилообразное напряжение с выхода функционального генератора. Напряжение генератора изменяется от нуля до величины питающего напряжения.

На второй «вход Y» осциллографа (Channel B) подается напряжение с выхода исследуемого КМОП-элемента (см. рис. 2.2). Режим осциллографа: В – функция от А (B/A) (см. рис 2.2).

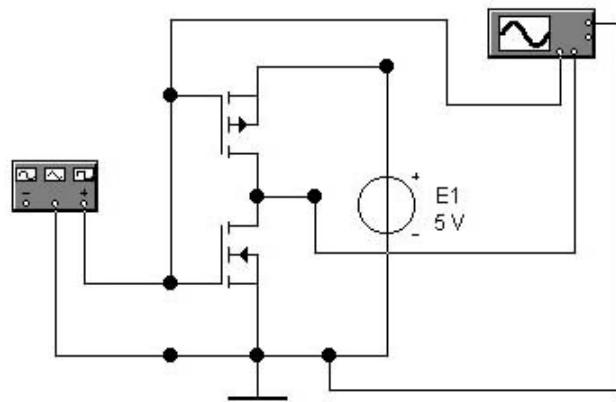


Рис. 2.1 – Измерение передаточной характеристики инвертора КМОП

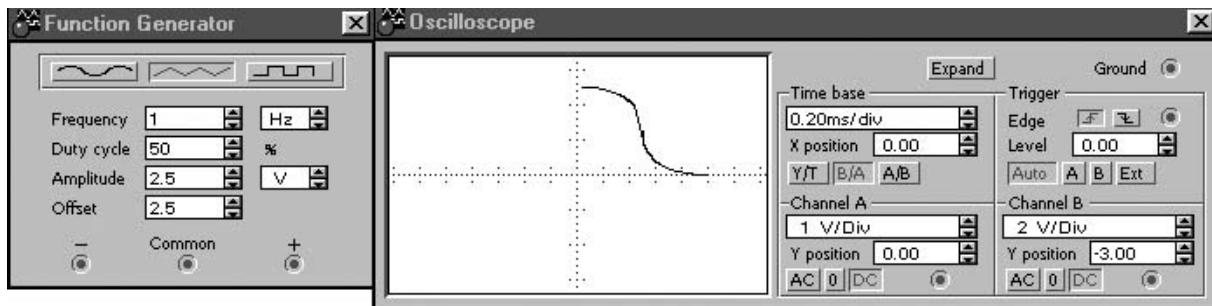


Рис. 2.2 – Передаточная характеристика КМОП-элемента

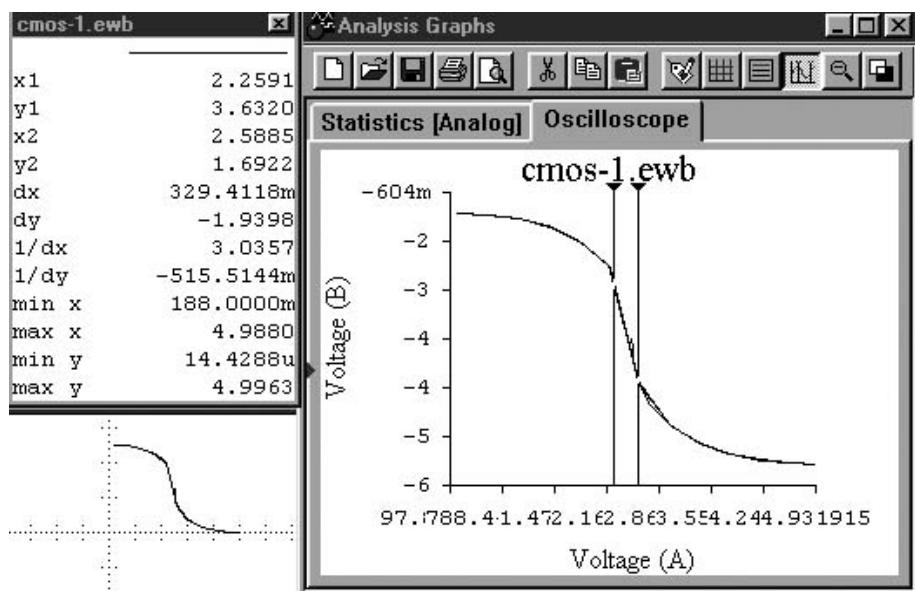


Рис. 2.3 – Графический анализатор с двумя визирными линиями

Для измерения потребляемого КМОП-элементом тока необходимо в цепь питания включить резистор небольшого номинала (рис. 2.4), а на вход схемы подать от функционального генератора **пилообразное** на-

пряжение. Напряжение генератора изменяется от нуля до величины питающего напряжения. Выходное напряжение КМОП-элемента (верхняя осциллограмма на рис. 2.5) совпадает по форме с передаточной характеристикой.

На нижней осциллограмме (рис. 2.5) отчетливо видны сквозные токи, протекающие через полуоткрытые транзисторы во время переходных процессов.

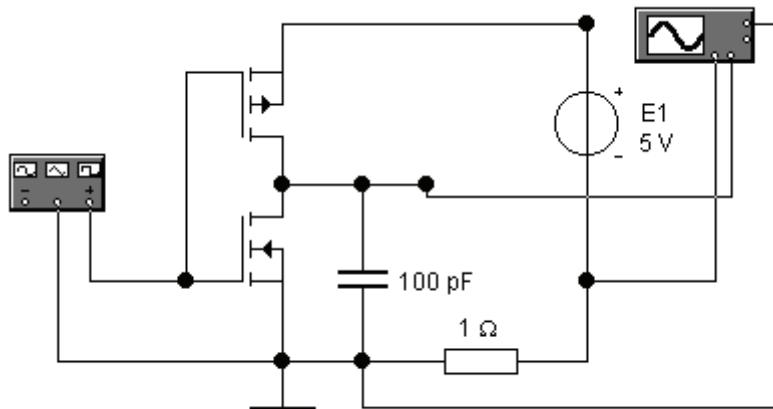


Рис. 2.4 – Измерение потребляемого тока КМОП-элементом

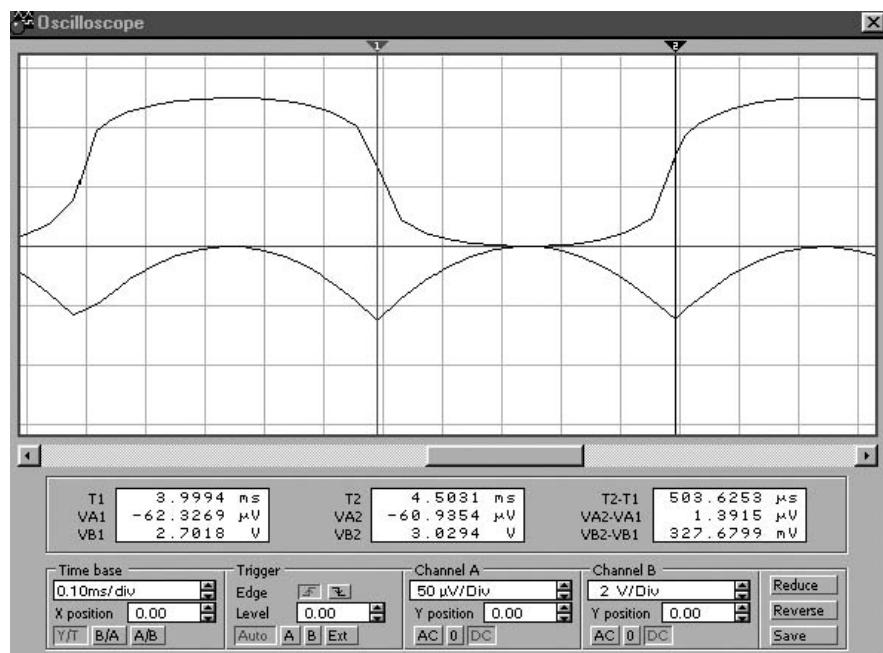


Рис. 2.5 – Осциллограммы измерения потребляемого тока

В лабораторной работе измеряются основные динамические параметры КМОП-элементов (см. рис. 1.9):

- $t_{\text{зд.р}(0-1)}$  - время задержки распространения сигнала при переходе выходного напряжения из «0» в «1»;
- $t_{\text{зд.р}(1-0)}$  - время задержки распространения сигнала при переходе выходного напряжения из «1» в «0»;

- $t_{cp} = \frac{(t_{3d,p(0-1)} + t_{3d,p(1-0)})}{2}$  - среднее время задержки распространения сигнала.

Эти параметры можно измерить по осцилограммам, подавая на вход схемы (см. рис. 2.1) прямоугольное напряжение с выхода функционального генератора.

В лабораторной работе исследуется передаточная характеристика ЭСЛ-элемента. Для этого на вход схемы и на «вход X» осциллографа подается пилообразное напряжение с выхода функционального генератора (рис. 2.6). Напряжение генератора изменяется от нуля до величины питающего напряжения. На второй «вход Y» осциллографа подается напряжение с выхода исследуемого ЭСЛ-элемента (см. рис. 2.6). Внешний нагрузочный резистор (1 кОм) подключен к эмиттеру транзистора VT6 – неинвертирующему выходу ЭСЛ-элемента.

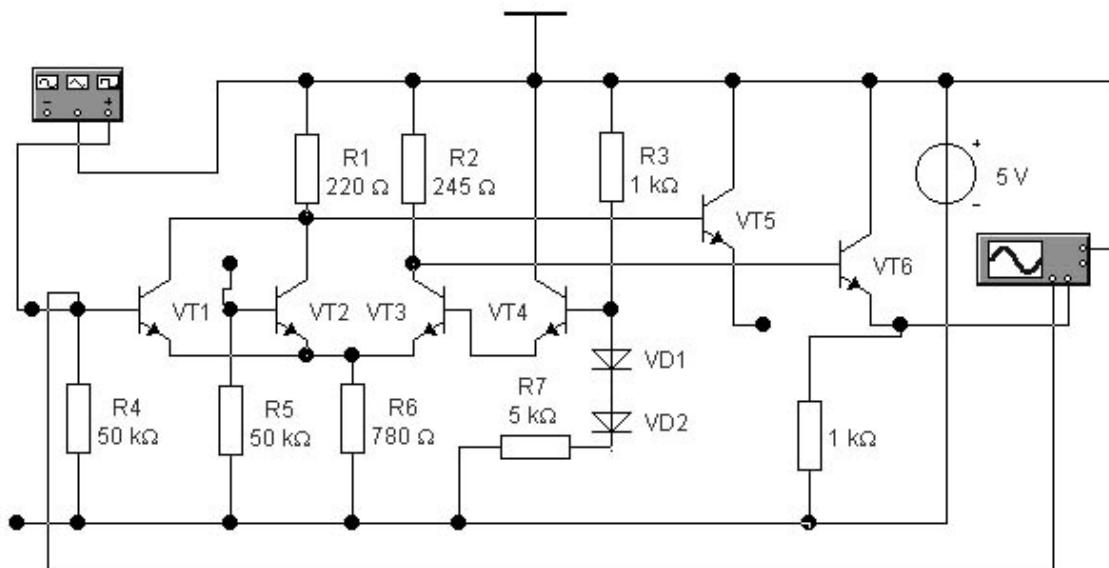


Рис. 2.6 – Схема измерения передаточной характеристики ЭСЛ-элемента

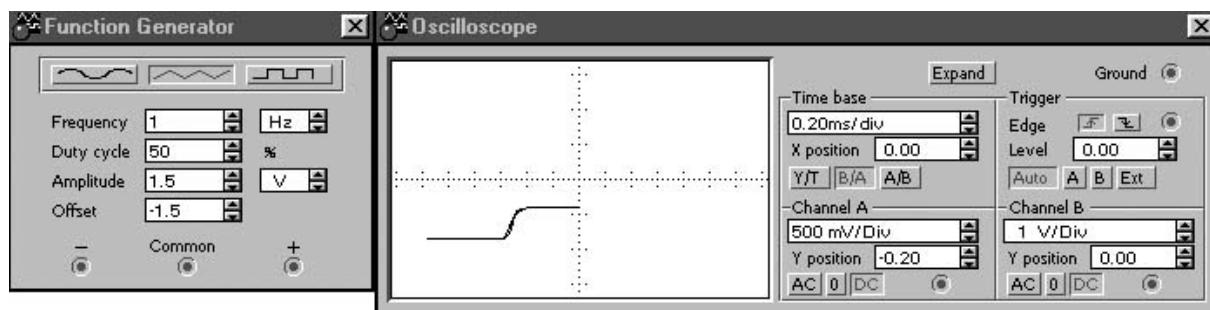


Рис. 2.7 – Передаточная характеристика ЭСЛ-элемента для неинвертирующего выхода

Для измерения передаточной характеристики с инвертирующим выходом ЭСЛ-элемента (см. рис. 2.8) необходимо «вход Y» осциллографа и нагрузочный резистор 1 кОм подключить к эмиттеру транзистора VT5 (см. рис. 2.6)

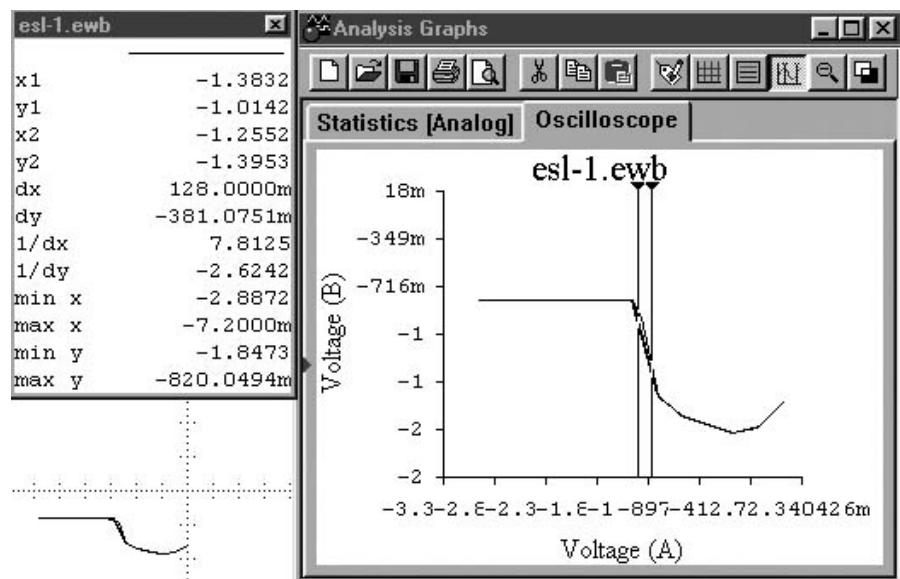


Рис. 2.8 – Передаточная характеристика для инвертирующего выхода

В лабораторной работе исследуются потребляемые ЭСЛ-элементом токи в режиме логического «0» и логической «1» на выходе (рис. 2.9). На вход схемы подаются прямоугольные импульсы с размахом от 0 до –3 В. К выходам ЭСЛ-элемента подключены внешние нагрузочные резисторы (номиналом 1 кОм).

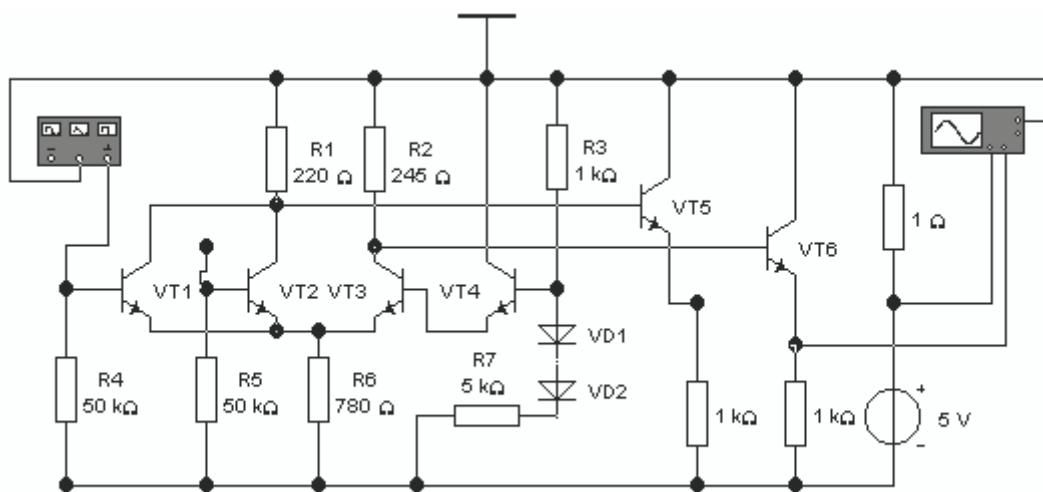


Рис. 2.9 – Схема измерения потребляемого тока ЭСЛ-элементом

На верхней осциллограмме (рис. 2.10) видны различия в потребляемом токе для единичного и нулевого сигнала на выходе ЭСЛ-элемента (см. нижнюю осциллограмму на рис. 2.10).

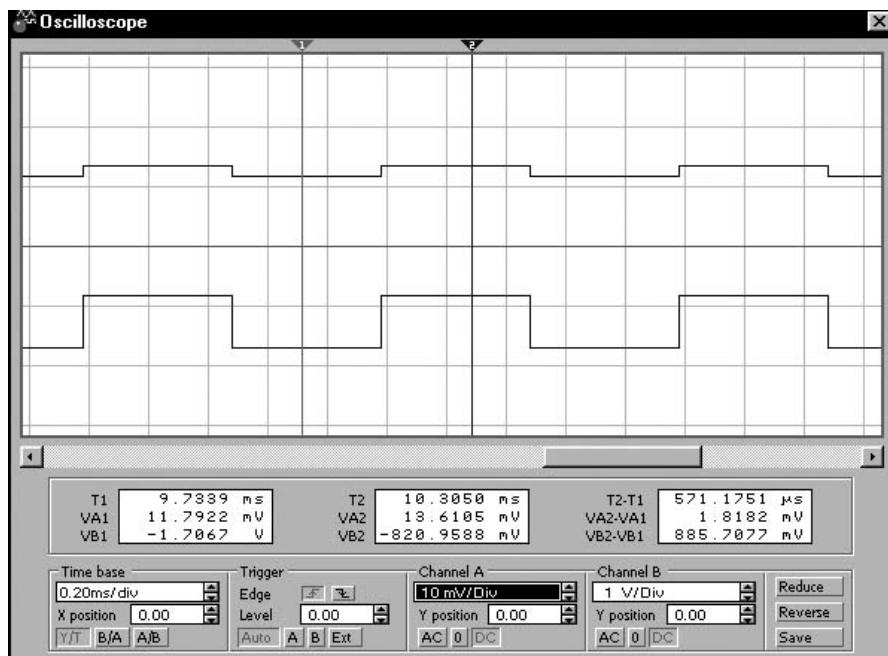


Рис. 2.10 – Осциллограммы потребляемого тока и выходного напряжения ЭСЛ-элемента

## 2.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

2.4.1. В соответствии с вариантом задания собрать схему базового логического КМОП-элемента (см. рис. 2.1). Зарисовать в отчет осциллограмму передаточной характеристики. По передаточной характеристике определить статические параметры КМОП-элемента:

- выходное напряжение логического нуля –  $U_{0\text{вых}}$ ;
- выходное напряжение логической единицы –  $U_{1\text{вых}}$ ;
- пороговое напряжение –  $U_{\text{пор}}$ ;
- коэффициент усиления по напряжению КМОП-элемента.

Проверить расчетный коэффициент усиления. Для этого подать на вход КМОП-элемента с выхода функционального генератора пилообразное напряжение амплитудой 0,1 В и смещением, равным пороговому напряжению. Измерить амплитуду напряжения на выходе элемента и рассчитать коэффициент усиления.

2.4.2. Измерить токи, потребляемые КМОП-элементом (см. рис. 2.4) при плавном изменении входного напряжения. На вход схемы подается пилообразное напряжение, которое изменяется от «0» до напряжения питания. Измерить максимальное значение сквозного тока через полуоткрытые транзисторы.

2.4.3. Измерить динамические параметры КМОП-элемента, подавая на вход схемы (см. рис. 2.1) прямоугольные импульсы с выхода функционального генератора. Параллельно выходу схемы подключить внешний конденсатор номиналом 100 пФ.

2.4.4. Измерить передаточную характеристику ЭСЛ-элемента для неинвертирующего выхода (см. рис. 2.6) и инвертирующего выхода. Зарисовать в отчет осциллограммы передаточных характеристик для инвертирующего и неинвертирующего выходов. По передаточным характеристикам определить статические параметры ЭСЛ-элемента отдельно для каждого выхода:

- выходное напряжение логического нуля –  $U0_{вых}$ ;
- выходное напряжение логической единицы –  $U1_{вых}$ ;
- пороговое напряжение –  $U_{пор}$ ;
- коэффициент усиления по напряжению ЭСЛ-элемента.

Проверить расчетный коэффициент усиления. Для этого подать на вход ЭСЛ-элемента с выхода функционального генератора пилообразное напряжение амплитудой 0,02 В и смещением, равным пороговому напряжению. Измерить амплитуду напряжения на выходе элемента и рассчитать коэффициент усиления.

2.4.5. Измерить потребляемый ток ЭСЛ-элементом (см. рис. 2.9).

## 2.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. Объяснить основные результаты практических исследований.
2. Методы повышения быстродействия КМОП- и ЭСЛ-элементов.
3. Назовите основные отличия и сходства биполярных и полевых транзисторов.
4. Можно ли оставлять неподключенными неиспользуемые входы КМОП- и ЭСЛ-элементов? Куда подключаются неиспользуемые входы КМОП- и ЭСЛ-элементов?
5. Можно ли объединять выходы КМОП- и ЭСЛ-элементов?
6. Привести схемы КМОП-элементов 2И-НЕ, 2ИЛИ-НЕ, 2И, 2ИЛИ, схему с тремя состояниями выхода.
7. Сравнить основные статические и динамические параметры логических элементов ТТЛ, ТТЛШ, КМОП, ЭСЛ.
8. Как реализовать на основе КМОП-микросхем элементы с Z-состоянием?
9. Проведите сравнительный анализ базовых логических элементов. Почему в современных ЭВМ наиболее часто используют логические КМОП-элементы?

## ЛАБОРАТОРНАЯ РАБОТА 3

### СИНТЕЗ ЛОГИЧЕСКИХ КОМБИНАЦИОННЫХ СХЕМ (ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ). ИССЛЕДОВАНИЕ СХЕМ НА МУЛЬТИПЛЕКСОРАХ

#### **3.1 ЦЕЛЬ РАБОТЫ:**

- углубить и закрепить знания по синтезу логических комбинационных схем (ЛКС), по методам минимизации переключательных функций;
- получить практические навыки по реализации ЛКС на мультиплексорах;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### **3.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ**

Перед выполнением лабораторной работы студентам необходимо изучить по предлагаемой литературе и конспекту лекций способы описания логических комбинационных схем (переключательных функций), методы минимизации логических комбинационных схем (ЛКС), синтез ЛКС по булевым функциям на основе логических элементов, составляющих функционально полную систему. Изучить назначение и основные схемы мультиплексоров и демультиплексоров, изучить методы реализации ЛКС на основе мультиплексоров.

*Таблица 3.1 – Варианты заданий*

Вариант	Функция равна 1 на наборах	Функция равна 0 на наборах	Функция имеет про- извольное значение на наборах
1	1, 4, 8, 11, 14, 15	0, 2, 5, 6, 7, 12	на остальных
2	1, 5, 7, 10, 12, 15	2, 3, 6, 8, 11, 14	на остальных
3	3, 5, 8, 9, 11, 13	1, 4, 6, 7, 10, 15	на остальных
4	0, 2, 7, 8, 10, 13	3, 4, 6, 9, 11, 14	на остальных
5	2, 3, 6, 8, 13, 15	0, 5, 7, 10, 11, 14	на остальных
6	0, 4, 6, 9, 11, 12	1, 3, 7, 8, 10, 14	на остальных
7	1, 3, 7, 12, 14, 15	0, 4, 5, 9, 10, 13,	на остальных
8	0, 4, 5, 9, 10, 14	1, 3, 7, 11, 13, 15	на остальных
9	2, 5, 8, 11, 12, 13	1, 6, 7, 9, 10, 14	на остальных
10	0, 3, 6, 8, 10, 14	1, 2, 5, 9, 11, 12	на остальных
11	3, 6, 9, 11, 14, 15	2, 4, 5, 7, 10, 13	на остальных
12	1, 3, 4, 9, 11, 15	2, 5, 6, 10, 12, 13	на остальных

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных элементов, входящих в лабораторный макет УМ-11 или программный эмулятор «ELECTRONICS WORKBENCH PRO».

### 3.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

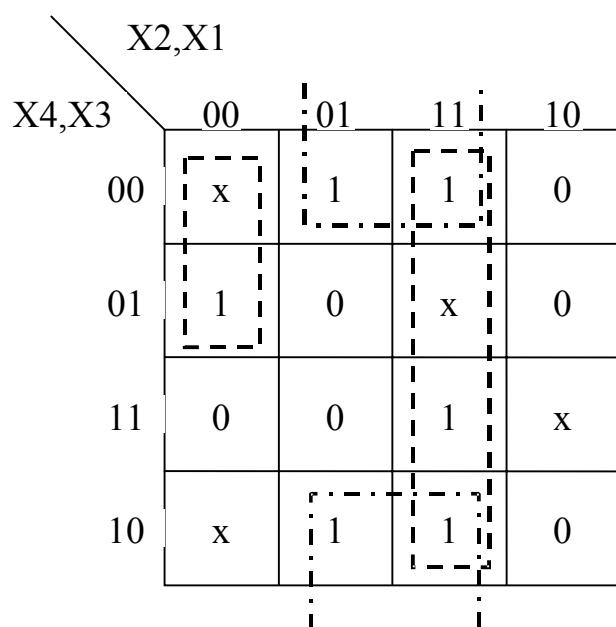
В соответствии с вариантом задания (табл. 3.1) произвести синтез логической комбинационной схемы (ЛКС), имеющей 4 входа и один выход.

*Таблица 3.2 – Таблица состояний булевой функции 4-х переменных*

3.2).

X4	X3	X2	X1	Y1	Y2	Y3
0	0	0	0	x	1	0
0	0	0	1	1	1	0
0	0	1	0	0	0	1
0	0	1	1	1	1	0
0	1	0	0	1	1	1
0	1	0	1	0	0	1
0	1	1	0	0	0	0
0	1	1	1	x	1	1
1	0	0	0	x	0	1
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	x	0	1
1	1	1	1	1	1	0

Рассмотрим порядок синтеза ЛКС на примере варианта 12 (см. табл. 3.1). Для заданной булевой функции записываем таблицу состояний (таблицу истинности) (см. столбец Y1 в табл.



*Рис. 3.1 – Карта Карно (диаграмма Вейча) для булевой функции 4-х переменных*

Минимизированная булевая функция:

$$Y = \overline{X_1} \cdot \overline{X_2} \vee \overline{X_1} \cdot \overline{X_3} \vee \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_4}$$

Для синтеза ЛКС необходимо выбрать функциональную полную систему логических элементов, например, элементы Шеффера – «И-НЕ».

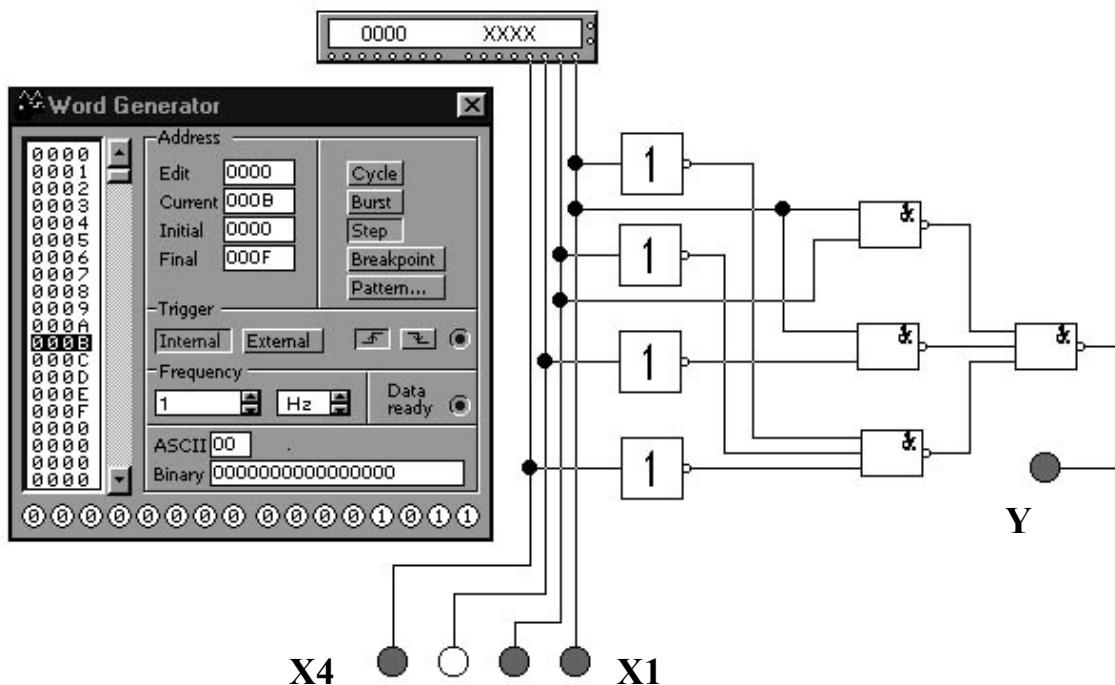


Рис. 3.2 – Синтезированная логическая комбинационная схема

Логическая операция «ИЛИ» реализована на элементе Шеффера с учетом правила де Моргана. Состояния входных логических переменных  $X_1, X_2, X_3, X_4$  задаются генератором «WordGenerator», а контролируются индикаторами (или на нижней строке панели «WordGenerator»). Выходное состояние ЛКС контролируется индикатором.

Реализацию ЛКС на мультиплексоре (8 входов на 1 выход) рассмотрим на примере логической функции  $Y_2$ . Этот метод не требует минимизации. Логическая функция  $Y_2$  задается в виде таблицы состояний (см. табл. 3.2). На адресные входы мультиплексора А, В, С (см. рис. 3.3) подаются старшие разряды входного кода ( $X_2, X_3, X_4$ ). Старший разряд входного кода ( $X_4$ ) подается на старший разряд адреса (С).

Если на адресные входы мультиплексора поданы сигналы логических нулей, то сигнал с информационного входа D0 передается на выход Y (логические уровни на остальных входах: D1...D7 – не влияют на выходной сигнал Y). Это соответствует первым двум строкам таблицы состояния (табл. 3.2). В этих двух строках выходная логическая функция  $Y_2$  равна 1. Поэтому на вход D0 подается напряжение логической 1 (см. рис. 3.3).

Если на адресные входы мультиплексора подан двоичный код единицы ( $C=0, B=0, A=1$ ), то на выход мультиплексора поступает сигнал с информационного входа D1. Это соответствует третьей и четвертой строкам таблицы 3.2. В этих строках выходная логическая функция  $Y_2$  повторяет сигнал  $X_1$ . Поэтому на вход D1 подан входной сигнал  $X_1$  (см. рис. 3.3).

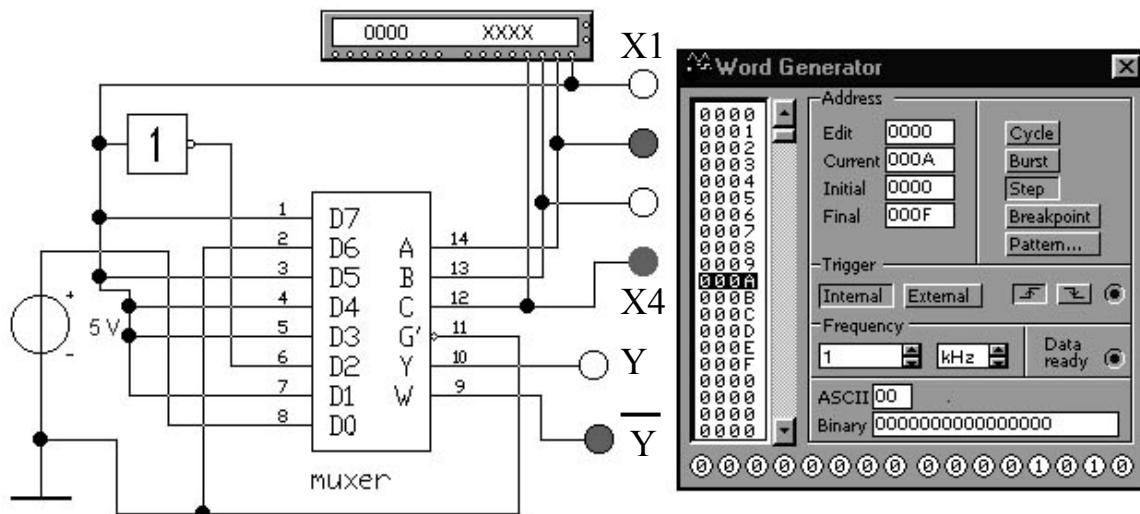


Рис. 3.3 – Реализация ЛКС на мультиплексоре

На вход D2 подается инверсия входного сигнала X1, потому что в пятой и шестой строках таблицы 3.2 выходная функция Y2 равна инверсии сигнала X1. Аналогично производится подключение остальных входов D3...D7 мультиплексора.

Выходной сигнал W (см. рис. 3.3) равен инверсии выходного сигнала Y. Нулевой активный входной сигнал G разрешает работу мультиплексора. Если на вход G подать неактивный единичный логический уровень, то на выходе Y выставляется постоянно «логический нуль», а на выходе W – «логическая единица».

Наличие входа G позволяет каскадировать мультиплексоры для реализации функций с большим количеством входов. Рассмотрим реализацию логической функции 5-ти переменных ( $X_1 \dots X_5$ ). Для этого необходим мультиплексор «16 входов - на 1 выход». Логическая функция задана в виде таблицы состояний (см. табл. 3.2). Столбец Y2 задает логическую функцию при нулевом значении входного сигнала  $X_5$ , а столбец Y3 соответствует единичному состоянию входного сигнала  $X_5$ .

Логическую функцию 5-ти переменных можно реализовать также на двух мультиплексорах «8 – на 1» (см. рис. 3.4). Для этого на разрешающий вход  $G$  первого мультиплексора подан старший бит входного сигнала  $X_5$ , а его инверсия – на разрешающий вход  $G$  второго мультиплексора. Входные сигналы  $X_4$ ,  $X_3$ ,  $X_2$  подключены параллельно к адресным входам (соответственно к  $C$ ,  $B$ ,  $A$ ) обоих мультиплексоров.

Если входной сигнал X5 равен нулю (это соответствует первым 16-ти строкам функции Y2 в таблице истинности), то на выходе второго мультиплексора установлен логический нуль, а на выходе первого мультиплексора формируется сигнал Y2. Если входной сигнал X5 равен единице (это соответствует следующим 16-ти строкам функции Y3 в таблице

истинности), то на выходе первого мультиплексора устанавливается логический нуль, а на выходе второго – формируется сигнал  $Y_3$ . Выходные сигналы двух мультиплексоров необходимо объединить логическим элементом «ИЛИ». Наличие инверсных выходов  $W$  у мультиплексоров (см. рис. 3.4) позволяет объединять их выходы логическим элементом Шеффера «И-НЕ» (с учетом правила де Моргана).

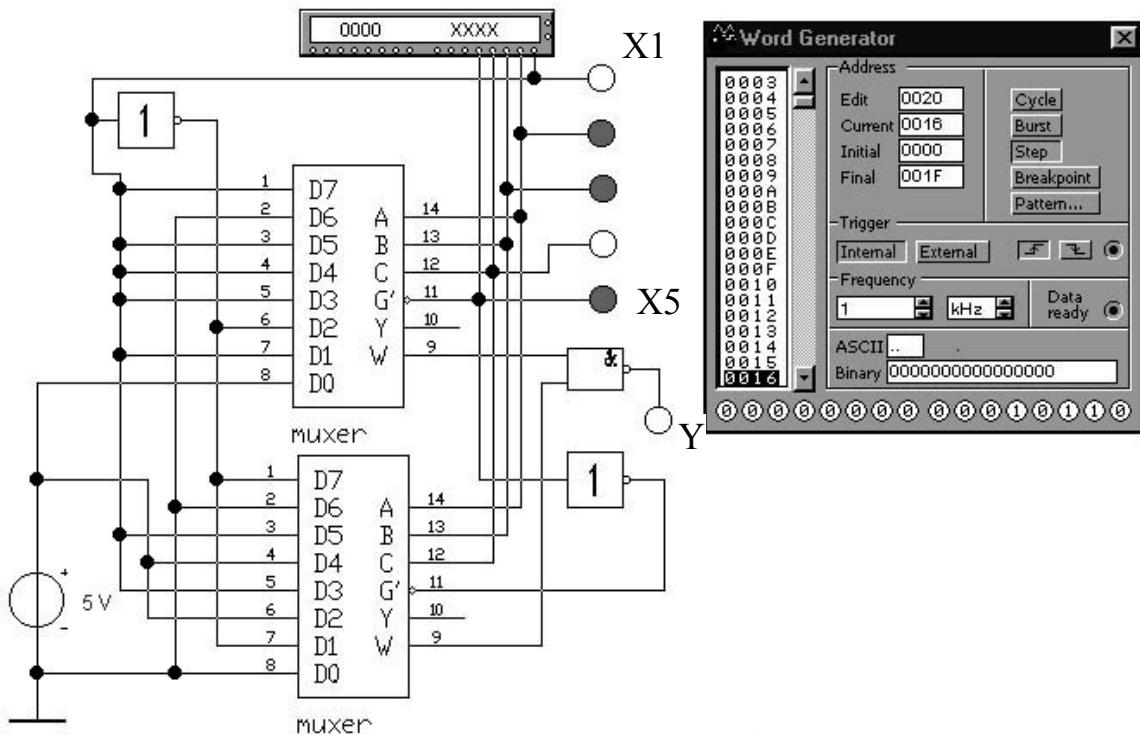


Рис. 3.4 – Реализация ЛКС 5-ти переменных на мультиплексорах

### 3.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

3.4.1. В соответствии с вариантом задания произвести минимизацию Булевой функции и синтез ЛКС. Поместить в отчет таблицу истинности, диаграмму Вейча, минимизированную функцию и синтезированную схему на основе элементов Шеффера (или других элементов, составляющих функционально полную систему).

3.4.2. Собрать синтезированную ЛКС из элементов лабораторного макета УМ-11 или программного эмулятора «ELECTRONICS WORKBENCH PRO». Записать в столбец  $Y_2$  таблицы истинности значения выходного сигнала ЛКС при изменении входных переменных. Сделать выводы о конкретных значениях выходного сигнала  $Y_2$  для неопределенных комбинаций входных сигналов в соответствии с вариантами заданий.

3.4.3. Синтезировать и поместить в отчет ЛКС для сигнала  $Y_2$  на основе мультиплексора «8 входов - на 1 выход». Проверить правильность функционирования схемы по таблице истинности.

3.4.4. Синтезировать и поместить в отчет ЛКС с 5-тью входными переменными для функций Y2 и Y3 (состояния функции Y3 выбрать произвольно) на основе двух мультиплексоров «8 входов - на 1 выход». Проверить правильность функционирования схемы по таблице истинности.

### **3.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ**

1. Объяснить основные результаты практических исследований.
2. Что такое функционально полная система логических элементов? Привести примеры функционально полных систем логических элементов.
3. Объяснить методы задания (описания) и минимизации ЛКС.
4. Что такое «гонки» (состязания)? Методы борьбы с «гонками» (состязаниями).
5. Объяснить метод синтеза ЛКС на основе мультиплексора.
6. Синтезировать сумматор на двух мультиплексорах «4 входа на 1 выход».
7. Привести схемы реализации мультиплексоров на логических элементах.
8. Объяснить методы каскадирования (расширения числа входов) мультиплексоров.

## ЛАБОРАТОРНАЯ РАБОТА 4

### ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ СХЕМ

#### 4.1 ЦЕЛЬ РАБОТЫ:

- углубить и закрепить знания по синтезу триггерных схем;
- получить практические навыки по экспериментальной проверке основных типов триггеров в статическом и динамическом режимах;
- овладеть методом логического проектирования двухступенчатого триггера с заданным законом функционирования;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### 4.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ

Перед выполнением лабораторной работы студентам необходимо изучить по предлагаемой литературе и конспекту лекций принципы работы основных типов триггеров на уровне их математического описания (таблицы и матрицы переходов) и работы функциональных схем.

Для получения практических навыков следует провести синтез заданного типа триггера с использованием матрицы переходов J-K-триггера в соответствии с вариантом задания (см. табл. 4.2).

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных элементов, входящих в лабораторный макет УМ-11 или программный эмулятор «ELECTRONICS WORKBENCH PRO».

#### 4.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

В данной лабораторной работе исследуется работа синхронных R-S-, J-K- и D- триггеров с асинхронной установкой исходного состояния.

Схема однотактного (управляемого потенциалом) R-S-триггера приведена на рис. 4.1. Для проверки работы триггера в статическом режиме необходимо составить таблицу переходов (см. табл. 4.1), в которой учитывается также исходное (предыдущее) состояние триггера (Q).

Для двух строк таблицы (учитывающих два исходных состояния триггера) необходимо сделать выводы о режиме работы:

- установка в «1»;
- сброс в «0»;
- хранение предыдущего состояния;
- режим с оборванными обратными связями или
- инверсия предыдущего состояния.

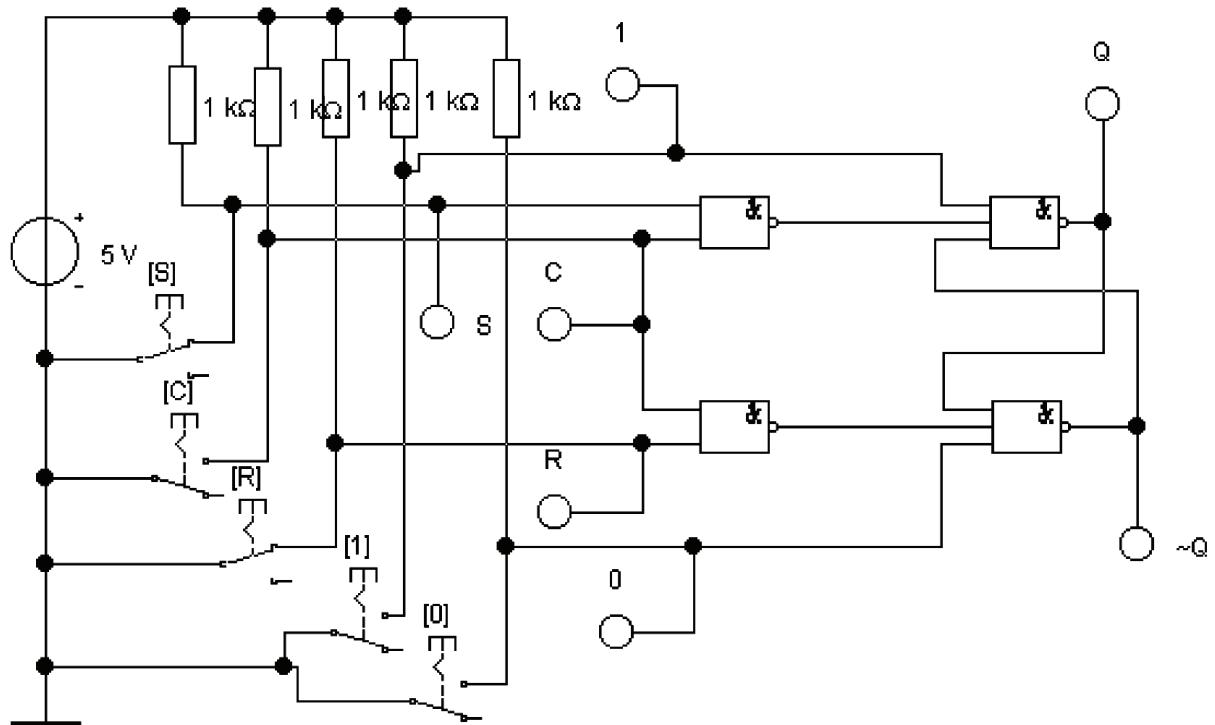


Рис. 4.1 – Однотактный R-S-триггер

Таблица 4.1 – Таблица переходов R-S-триггера

	Входные сигна- лы			Исходное со- стояние выхода $Q^-$	Состояние выходов		Режим
	R	S	C		$Q$	$\sim Q$	
1	x	x	0	0			
2	x	x	0	1			
3	0	0	1	0			
4	0	0	1	1			
5	0	1	1	0			
6	0	1	1	1			
7	1	0	1	0			
8	1	0	1	1			
9	1	1	1	0			
10	1	1	1	1			

Аналогичную таблицу (см. табл. 4.2) необходимо составить и для двухтактного триггера в соответствии с вариантом задания. Примеры двухтактных J-K- и D-триггеров приведены на рис. 4.2 и рис. 4.3.

Таблица 4.2 – Таблица переходов двухтактного R-S-триггера

	Входные сигна- лы			Исходное со- стояние выхода $Q^-$	Состояние выходов $Q \quad \bar{Q}$	Режим
	R	S	C			
1	x	x	0	0		
2	x	x	0	1		
3	x	x	1	0		
4	x	x	1	1		
5	0	0	↓	0		
6	0	0	↓	1		
7	0	1	↓	0		
8	0	1	↓	1		
9	1	0	↓	0		
10	1	0	↓	1		
11	1	1	↓	0		
12	1	1	↓	1		

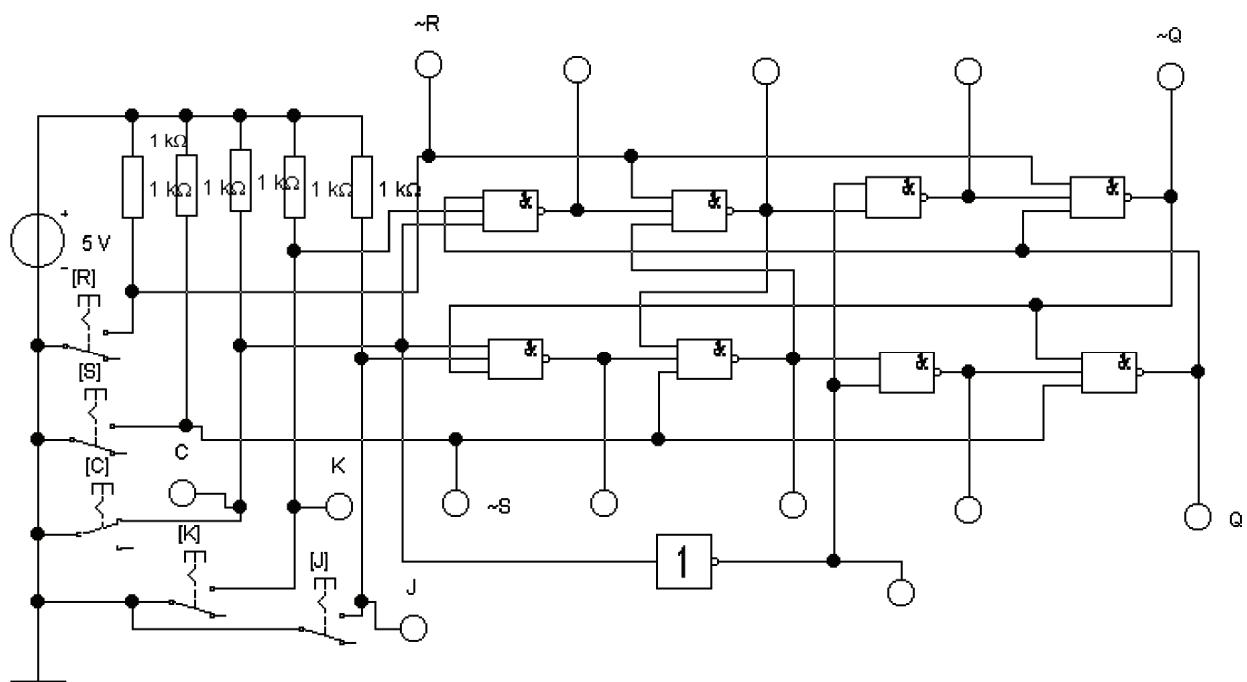


Рис. 4.2 – Двухтактный J-K-триггер

Для двухтактного триггера необходимо реализовать счетный режим и проверить работу счетного триггера, подавая на вход прямоугольные импульсы с функционального генератора и контролируя входные и выходные сигналы счетного триггера по осциллографу.

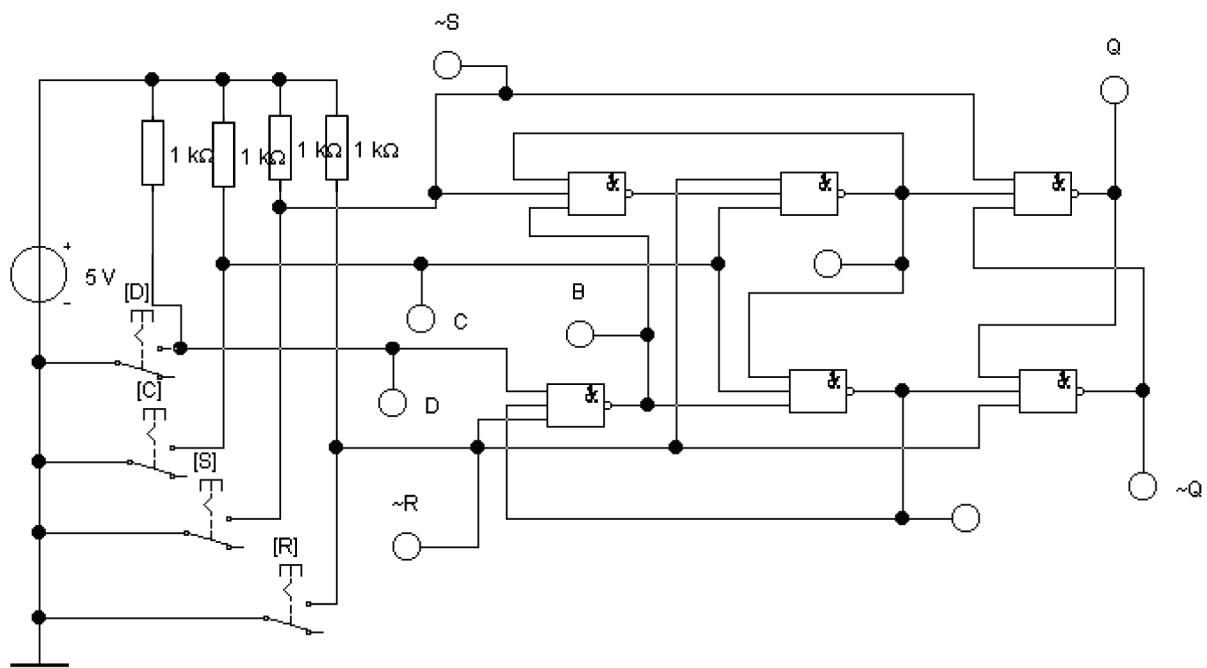


Рис. 4.3 – Динамический D-триггер, тактируемый фронтом

На основе универсальных триггеров можно построить триггер с любым произвольным законом функционирования. Рассмотрим синтез X-Y-триггера, функционирующего в соответствии с таблицей переходов (см. последний вариант в табл. 4.6), на основе J-K-триггера

Составляем полную таблицу переходов X-Y-триггера (табл. 4.3), совмещенную с матрицей условий перехода J-K-триггера (табл. 4.4).

Таблица 4.3 – Таблица переходов X-Y-триггера

X	Y	$Q'$	Q	J	K
0	0	0	0	0	x
0	0	1	1	x	0
0	1	0	1	1	x
0	1	1	1	x	0
1	0	0	1	0	x
1	0	1	0	x	1
1	1	0	0	0	x
1	1	1	0	x	1

Таблица 4.4 – Матрица переходов J-K-триггера  
(Условия переходов J-K-триггера)

$Q'$	Q	J	K	Условие перехода
0	0	0	x	сброс или хранение
0	1	1	x	инверсия или установка
1	0	x	1	инверсия или сброс
1	1	x	0	установка или хранение

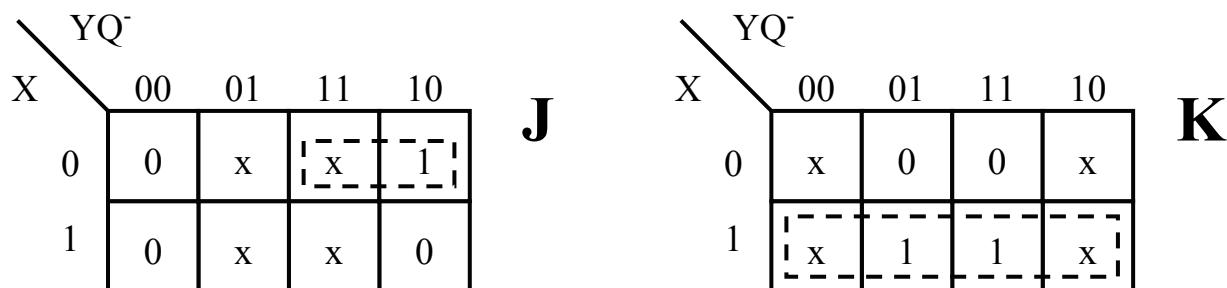


Рис. 4.4 – Карты Карно для функций  $J$  и  $K$

Считая, что  $J$  и  $K$  – функции от трех переменных  $X, Y, Q^*$ , проведем минимизацию логических уравнений, описывающих сигналы  $J, K$  (см. рис. 4.4).

$$J = \overline{XY}$$

$$K = X$$

Схема спроектированного X-Y-триггера приведена на рис. 4.5.

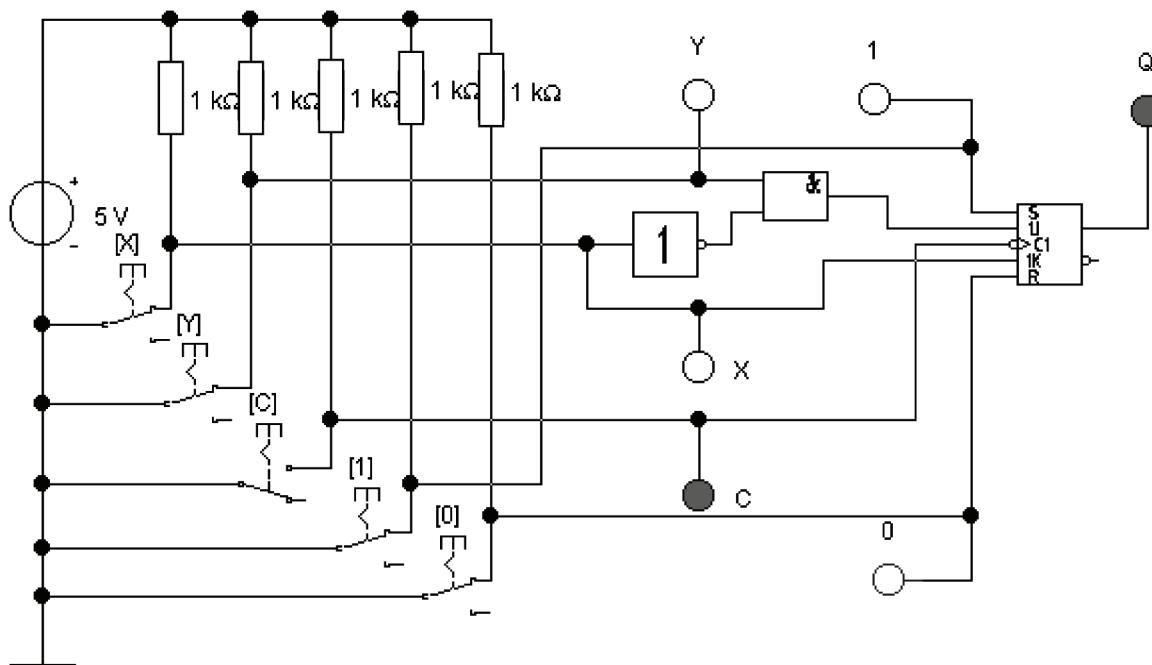


Рис. 4.5 – Двухтактный X-Y-триггер

#### **4.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ**

4.4.1. В соответствии с вариантом задания (см. табл. 4.5) собрать схему однотактного триггера с индикацией состояний входных и выходных сигналов светодиодами. Проверить все комбинации входных сигналов и записать в отчет таблицу переходов для однотактного триггера (аналогичную табл. 4.1).

4.4.2. В соответствии с вариантом задания собрать схему двухтактного триггера и поместить в отчет его таблицу переходов (аналогичную табл. 4.2).

Таблица 4.5 – Варианты первого задания

Номер варианта	Однотактный триггер	Двухтактный триггер
1, 5, 9	R-S-	R-S-
2, 6, 10	D-	D-
3, 7, 11	R-S-	J-K-
4, 8, 12	D-	J-K-

4.4.3. Перевести двухтактный триггер в счетный режим и исследовать его работу в динамическом режиме, подавая на вход прямоугольные импульсы с функционального генератора и контролируя входные и выходные сигналы счетного триггера по осциллографу.

Поместить в отчет осцилограммы входных и выходных сигналов счетного триггера.

4.4.4. В соответствии с вариантом задания (см. табл. 4.6) произвести синтез X-Y-триггера на основе J-K-триггера (обозначение состояния выхода:  $Q^-$  – сохранить предыдущее состояние,  $\sim Q^-$  – инверсия предыдущего состояния). Собрать схему триггера и по таблице переходов проверить правильность его работы.

Табл. 4.6 – Варианты второго задания

Входы		Варианты									
		1	2	3	4	5	6	7	8	9	10
X	Y	Состояние выхода ( $Q^-$ )									
0	0	0	1	$\sim Q^-$	$\sim Q^-$	0	1	0	$Q^-$	1	$Q^-$
0	1	1	$\sim Q^-$	1	0	$\sim Q^-$	$\sim Q^-$	$\sim Q^-$	0	0	1
1	0	$Q^-$	0	$Q^-$	$Q^-$	$Q^-$	0	1	$\sim Q^-$	$\sim Q^-$	$\sim Q^-$
1	1	$\sim Q^-$	$Q^-$	0	1	1	$Q^-$	$Q^-$	1	$Q^-$	0

## 4.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. В чем отличие между синхронными и асинхронными триггерами? Объяснить необходимость введения синхронизации.
2. В чем отличие между однотактными и двухтактными триггерами?
3. Как изменить направление фронта срабатывания двухтактного (динамического) триггера?
4. Назовите основные параметры триггера, которые определяют его быстродействие. Назовите методы повышения быстродействия счетных триггеров.
5. Как и в каких триггерах можно реализовать счетный режим? Можно ли реализовать счетный режим на основе однотактного триггера?
6. Как реализовать D-триггер на основе J-K- или R-S-триггера?
7. Объяснить работу двухтактных R-S-, D- или J-K-триггеров.
8. В чем отличие между прямым и инверсным входами триггера?

## ЛАБОРАТОРНАЯ РАБОТА 5

### ДВОИЧНЫЕ СЧЕТЧИКИ И СЧЕТЧИКИ С ПРОИЗВОЛЬНЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ

#### 5.1 ЦЕЛЬ РАБОТЫ:

- углубить и закрепить знания по построению двоичных и десятичных синхронных и асинхронных счетчиков (с последовательным и параллельным переносом), а также счетчиков с произвольным коэффициентом деления;
- приобрести практические навыки по исследованию и тестированию синхронных и асинхронных счетчиков (с последовательным и параллельным переносом), а также счетчиков с произвольным коэффициентом деления;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### 5.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ

Перед выполнением лабораторной работы студентам необходимо изучить методы построения двоичных и десятичных синхронных и асинхронных счетчиков с последовательным и параллельным переносом, а также счетчиков с произвольным коэффициентом деления по предлагаемой литературе и конспекту лекций.

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных микросхем, входящих в лабораторный макет УМ-11 или схемный эмулятор «ELECTRONICS WORKBENCH PRO»

#### 5.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

Перед выполнением лабораторной работы студенты должны в соответствии с вариантом задания (см. табл. 5.1) синтезировать четырехразрядный синхронный счетчик (аналогично примеру №1).

В таблицу 5.1 записаны шестнадцатеричные коды, через которые должен последовательно пройти счетчик и вернуться в исходное состояние.

**Пример №1.** Синтезировать четырехразрядный десятичный счетчик (см. вариант 12) на основе J-K-триггеров K155TB1.

Таблица 5.1 – Варианты первого задания

№№ варианта	Последовательность генерируемых кодов (шестнадцатеричные цифры)
1	3, 4, 5, 6, 7, 8, 9, A, B, C
2	0, 1, 2, 3, 5, A, C, D, E, F
3	0, 1, 4, 5, 7, 8, A, C, E, F
4	0, 1, 2, 3, 4, 5, 8, 9, A, B
5	0, 1, 2, 3, 6, 9, C, D, E, F
6	0, 1, 2, 3, 4, 8, 9, A, B, C
7	0, 1, 2, 3, 4, 5, 6, 7, C, D
8	0, 1, 2, 3, 5, 6, 9, A, C, D
9	4, 5, 6, 7, 8, 9, A, B, C, D
10	0, 1, 2, 3, 4, 5, 8, 9, B, C
11	0, 1, 2, 4, 5, 6, 7, 8, 9, A
12	5, 6, 7, 8, 9, A, B, C, D, E

Таблица 5.2 – Таблица переходов J-K-триггеров счетчика

Значения прямых выходов триггеров								Сигналы возбуждения триггеров							
Время t				Время t+1				T4		T3		T2		T1	
Q4	Q3	Q2	Q1	Q4	Q3	Q2	Q1	J4	K4	J3	K3	J2	K2	J1	K1
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	1	0	1	0	x	0	0	x	1	x	x	1
1	0	1	0	1	0	1	1	x	0	0	x	x	1	1	x
1	0	1	1	1	1	0	0	x	0	1	x	0	x	x	1
1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x
1	1	0	1	1	1	1	0	x	0	x	0	1	x	x	1
1	1	1	0	0	1	0	1	x	1	x	0	x	1	1	x

На первом этапе проектирования строится таблица переходов счетчика, совмещенная с таблицей возбуждения входов триггеров  $J_i$  и  $K_i$  (см. табл. 5.2).

При построении таблицы возбуждения J-K-триггеров (табл. 5.2) необходимо учитывать условия переходов J-K-триггера (табл. 5.3):

Таблица 5.3 – Матрица переходов J-K-триггера  
(Условия переходов J-K-триггера)

$Q(t)$	$Q(t+1)$	$J$	$K$	Условия перехода
0	0	0	x	сброс или хранение
0	1	1	x	инверсия или установка
1	0	x	1	инверсия или сброс
1	1	x	0	установка или хранение

На следующем этапе необходимо минимизировать переключательные функции для всех входов  $J_i$  и  $K_i$ , например, методом диаграмм Вейча, и представить их в соответствующем базисе – И-НЕ, И-ИЛИ-НЕ, И, ИЛИ, учитывая наличие логических элементов в лабораторном макете УМ-11 или в схемном эмуляторе Electronics Workbench Pro.

На рис. 5.1 приведены примеры диаграмм Вейча для некоторых входов  $J$  и  $K$  (пустые клетки в диаграммах - неиспользуемые состояния счетчика):

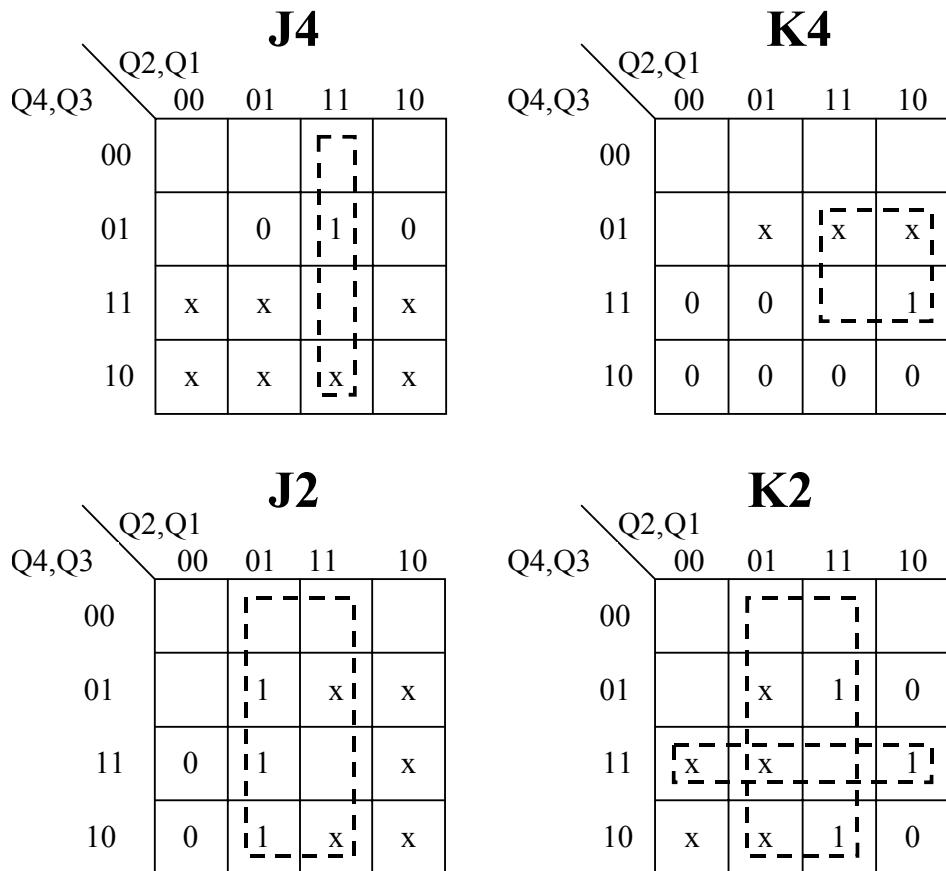


Рис. 5.1 – Диаграммы Вейча для входов  $J4, K4, J2, K2$

После минимизации функции  $J_i, K_i$  имеют вид:

$$J4 = Q2 \& Q1 ; \quad K4 = Q3 \& Q2;$$

$$J_3 = K_3 = Q_2 \& Q_1;$$

$$J_2 = Q_1;$$

$$J_1 = K_1 = 1.$$

$$K_2 = Q_1 \vee Q_4 \& Q_3 = Q_1 \& (Q_4 \& Q_3);$$

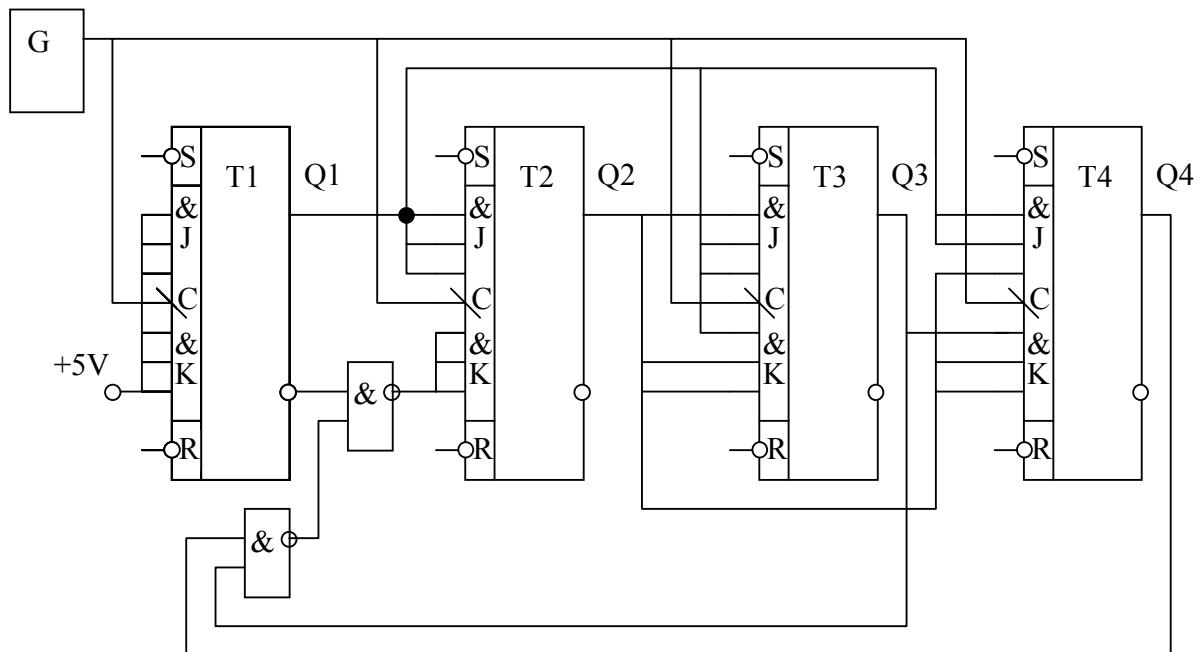


Рис. 5.2 – Синхронный счетчик по варианту №12

На рис. 5.2 приведена принципиальная схема синтезированного счетчика. Наличие встроенных конъюнкторов в микросхемах К155ТВ1 позволяет осуществлять расширение входов  $J$  и  $K$  по функции «И». Логическая операция «ИЛИ» реализована на элементах Шеффера с учетом правила де-Моргана. Инверсные входы асинхронной установки «S» и «R» используются для установки исходного состояния счетчика. Индикация состояния выходов триггеров счетчика осуществляется осциллографом или элементами индикации макета УМ-11.

На рис. 5.3 приведена схема синхронного счетчика, подготовленного для исследования схемным эмулятором «ELECTRONICS WORKBENCH PRO».

$J\text{-}K$ -триггеры из набора элементов эмулятора имеют только по одному входу  $J$ - и  $K$ , поэтому логические функции для управления этими входами реализованы на отдельных элементах «И», «ИЛИ». Механический контакт на 0,5 сек после включения питания подает активный нулевой уровень на входы асинхронной установки триггеров в исходное состояние.

Входные счетные импульсы формируются механическим контактом, который управляет клавишей «Пробел» («Spase»). В схему введен дополнительный семисегментный индикатор с дешифратором.

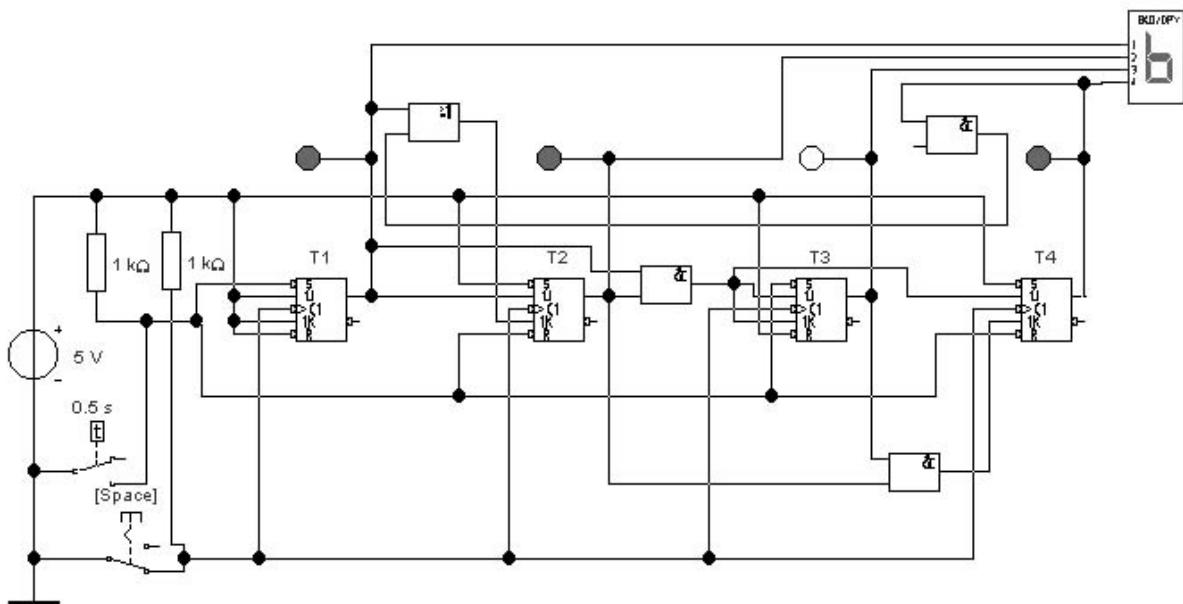


Рис. 5.3 – Синхронный счетчик по варианту №12

Для построения осцилограмм входного сигнала и всех выходных сигналов (см. рис. 5.4) удобно использовать логический анализатор, который может одновременно индицировать до 16-ти логических осциллограмм.

На вход счетчика подключается функциональный генератор (частота прямоугольных импульсов – 1 кГц, амплитуда – от 0 до 5 В). Время на переключателе начальной установки уменьшают до величины, значительно меньшей, чем период входных импульсов (например, до 0,1 мс).

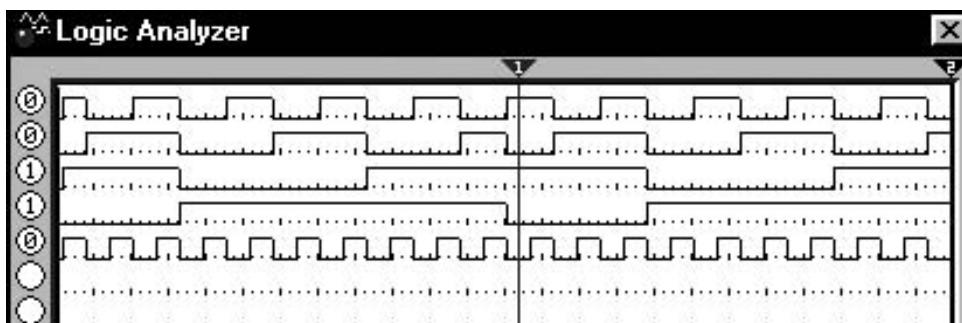


Рис. 5.4 – Осциллографмы входного и выходных сигналов счетчика

**Пример №2.** Реализацию счетчиков с произвольным коэффициентом деления рассмотрим на примере делителя на  $k = 14$ :

- определяем количество триггеров:

$$N = \lceil \log_2 (k - 2) \rceil,$$

(знак  $\lceil \dots \rceil$  – означает: ближайшее большее целое),

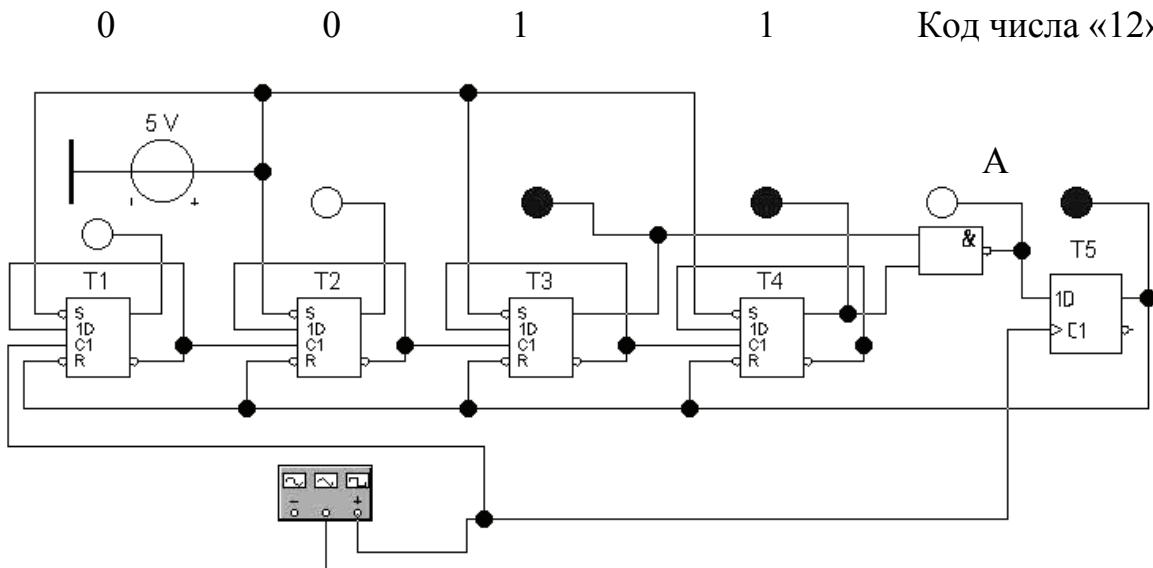


Рис. 5.5 – Делитель на 14

Таблица 5.4 – Кодовые  
комбинации счетчика  $k = 14$

Код	T4	T3	T2	T1	A	T5
0	0	0	0	0	1	1
1	0	0	0	1	1	1
2	0	0	1	0	1	1
3	0	0	1	1	1	1
4	0	1	0	0	1	1
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	1
8	1	0	0	0	1	1
9	1	0	0	1	1	1
10	1	0	1	0	1	1
11	1	0	1	1	1	1
12	1	1	0	0	0	1
0	0	0	0	0	1	0

$$N = \lceil \log_2 (14 - 2) \rceil = 4;$$

- переводим в двоичный код число  $k - 2$ ;  
 $14 - 2 = 12 D = 1100B$ ;
- в суммирующем счетчике с количеством триггеров N выделяем разряды, которым в двоичном коде числа « $k - 2$ » соответствуют единицы; с выходов этих триггеров подаем сигналы на элемент Шеффера; выходной сигнал этой схемы является информационным для дополнительного D-триггера; сигнал с выхода D-триггера подается на входы асинхронного сброса всех триггеров счетчика.

Делитель реализован на D-триггерах типа K1533TM2 (рис. 5.5).

Над триггерами T1...T4 приведен двоичный код числа 12 (младший разряд кода – над

первым триггером). Выходы триггеров T3 и T4 подключены ко входам элемента Шеффера.

Коды выходных логических сигналов для всех триггеров и элемента «И-НЕ» (точка А) приведены в табл. 5.4.

При всех состояниях, кроме 12-го, на выходе элемента Шеффера устанавливается логическая «1», которая по восходящему фронту каждого входного импульса записывается в дополнительный триггер T5. После прихода 12-го импульса на выходе схемы «И-НЕ» устанавливается логический «0», но в триггер T5 логический «0» запишется по заднему (восходящему) фронту следующего входного импульса (см. табл. 5.4).

После записи в триггер T5 «нуля» все триггеры счетчика (T1..T4) устанавливаются в нулевое состояние активным низким сигналом на входах асинхронного сброса R (см. рис. 5.5). При этом на выходе элемента Шеффера устанавливается логическая «1», которая переписывается в триггер по окончанию следующего входного импульса. Таким образом, счетчик поочередно перебирает все состояния от «0001» до «1100» и имеет два нулевых состояния (см. первую и последнюю строку табл. 5.4). Поэтому при реализации счетчика необходимо использовать код: «k – 2».

Осциллограммы сигналов на выходах делителя на 14 приведены на рис. 5.6.

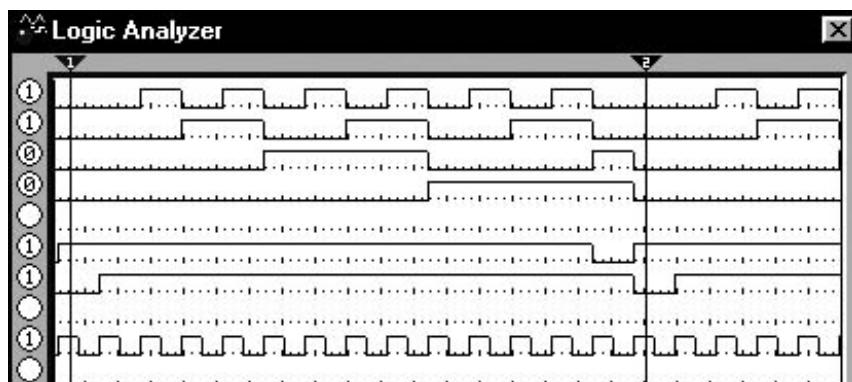


Рис. 5.6 – Осциллограммы сигналов на выходах делителя на 14

## 5.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

5.4.1. В соответствии с вариантом задания (табл. 5.1) составить схему синхронного счетчика. Представить преподавателю для проверки синтезированную схему.

5.4.2. Собрать схему счетчика с индикацией состояний триггеров и запуском от Генератора одиночных импульсов (ГОИ) из элементов лабораторного макета УМ-11.

Возможна реализация синтезированной схемы и ее анализ на основе схемного эмулятора Electronics Workbench Pro.

Установить начальное состояние (в соответствии с вариантом задания), подавая для этого низкий активный уровень на входы асинхронной установки S или R.

Подавая одиночные запускающие импульсы, проанализировать все состояния счетчика и записать их в отчет.

5.4.3. Подать на вход счетчика сигнал от генератора импульсов и проверить работу схемы в динамическом режиме. Зарисовать в отчет осциллограммы на выходах всех триггеров.

5.4.4. Представить преподавателю для проверки схему счетчика с коэффициентом деления, равным «**НОМЕР ВАРИАНТА + 19**» (по методике, описанной в *Примере № 2*).

Для этой схемы повторить пункты 5.4.2 и 5.4.3.

## 5.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. На каких триггерах можно реализовать счетчики (делители)?
2. Как реализовать счетный триггер на основе D-, R-S-, и J-K- триггеров?
3. Привести схемы и объяснить работу суммирующих, вычитающих и реверсивных счетчиков.
4. Какой из исследованных в лабораторной работе счетчиков является суммирующим, а какой вычитающим? Как из суммирующего счетчика сделать вычитающий и – наоборот?
5. Привести схемы и объяснить преимущества и недостатки счетчиков с последовательным и параллельным переносом. Какой счетчик в лабораторной работе является с последовательным, а какой – с параллельным переносом?
6. Привести схемы делителей на: 3, 5, 6, 7, 9, 10, 12, 14, 15, 20 и др.
7. Синтезировать счетчик с произвольным коэффициентом деления (по заданию преподавателя).

## ЛАБОРАТОРНАЯ РАБОТА 6

### ИССЛЕДОВАНИЕ ПОСЛЕДОВАТЕЛЬНЫХ РЕГИСТРОВ И КОЛЬЦЕВЫХ РЕГИСТРОВ

#### 6.1 ЦЕЛЬ РАБОТЫ:

- углубить и закрепить знания по построению параллельных, последовательных и кольцевых регистров (кольцевых счетчиков);
- приобрести практические навыки по исследованию последовательных регистров и кольцевых регистров (кольцевых счетчиков).
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### 6.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ

Перед выполнением лабораторной работы студентам необходимо изучить методы построения последовательных регистров и кольцевых счетчиков (кольцевых регистров) по предлагаемой литературе и конспекту лекций.

В соответствии с вариантом задания подготовить принципиальные схемы экспериментов с учетом реальных микросхем, входящих в лабораторный макет УМ-11 или программный эмулятор «ELECTRONICS WORKBENCH PRO».

#### 6.3 МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ОРГАНИЗАЦИИ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

При подготовке к лабораторной работе необходимо уяснить, что регистры предназначены для выполнения следующих основных микроопераций над *n*-разрядным кодом:

- сброс регистра в состояние «00...0» (все нули);
- установка регистра в состояние «11...1» (все единицы);
- прием и хранение в регистре кода числа;
- выдача числа из регистра в прямом или обратном коде;
- сдвиг хранимого в регистре кода на заданное число разрядов вправо или влево;
- преобразование кода из параллельной формы записи в последовательную и наоборот.

Параллельные регистры для приема и хранения операндов могут быть реализованы на однотактных (тактируемых потенциалом) или двухтактных (тактируемых фронтом) D-триггерах. Необходимо отметить, что D-триггер может быть реализован на основе R-S- или J-K-триггера и дополнительного инвертора.

Для реализации последовательных регистров необходимы только двухтактные (тактируемые фронтом) D-триггеры или аналогичные R-S- или J-K-триггеры.

Универсальные регистры, предназначенные для приема, хранения и сдвига кодов. Поэтому они могут быть реализованы только на двухтактных триггерах.

Перед выполнением лабораторной работы студенты должны, в соответствии с вариантом задания (см. табл. 6.1), синтезировать сдвигающий последовательный регистр со сдвигом влево и со сдвигом вправо, а также кольцевые счетчики (кольцевые регистры) с прямыми и перекрестными обратными связями.

Таблица 6.1 – Варианты заданий

Вариант	Тип триггеров	Кол-во разрядов	Начальный код регистра	Входной бит регистра	Начальный код кольцев. счетчика
1	D-	6	011010	0	001100
2	J-K-	5	11010	1	01110
3	D-	6	101010	1	011110
4	J-K-	5	10110	0	00011
5	D-	6	010110	1	110001
6	J-K-	5	01011	1	10001
7	D-	6	010101	0	010100
8	J-K-	5	10101	1	01100
9	D-	6	011101	1	111000
10	J-K-	5	10111	0	11011
11	D-	6	101101	0	001100
12	J-K-	4	1001	0	1001

**Пример №1:** Синтезировать четырехразрядный последовательный сдвигающий регистр на основе J-K-триггеров (см. табл. 6.1, вариант 12) со сдвигом влево (рис. 6.1) и со сдвигом вправо (рис. 6.2).

Начальный код регистра записывается в триггеры при подаче активного нулевого уровня на входы асинхронной установки  $\sim R$  или  $\sim S$  от переключателя с временной задержкой на 0,5 сек (см. рис. 6.1 и 6.2) после включения питания. Импульсы сдвига формируются переключателем, который управляется клавишей «Space» (Пробел).

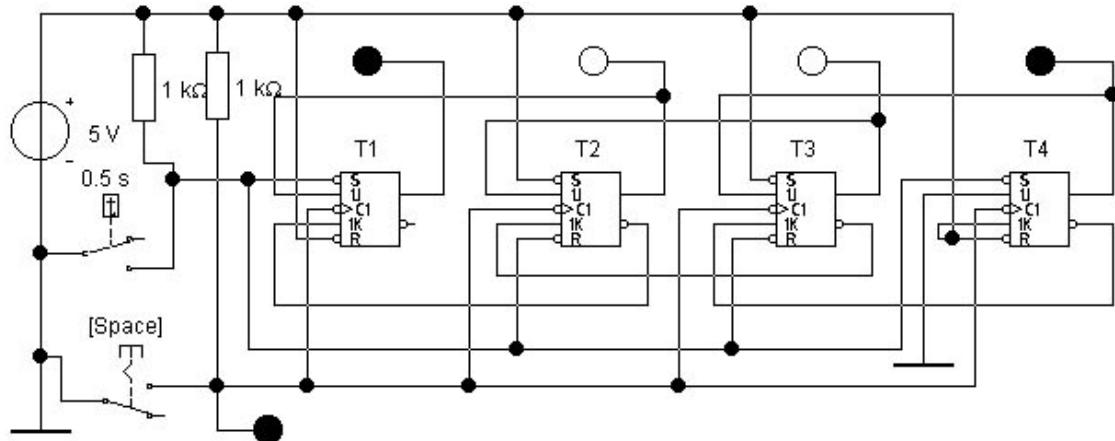


Рис. 6.1 – Последовательный регистр со сдвигом влево

Входной нулевой бит регистра (в соответствии с 12-м вариантом) заносится во входной триггер регистра по фронту синхроимпульсов «С», если вход «J» подключить к нулевому логическому уровню, а вход «K» подключить к единичному логическому уровню.

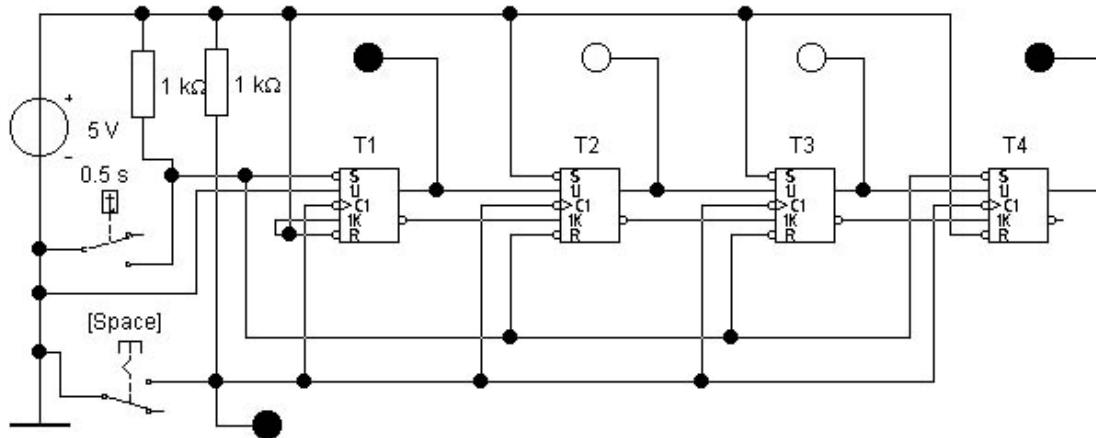


Рис. 6.2 – Последовательный регистр со сдвигом вправо

**Пример №2:** Последовательный сдвигающий регистр с прямыми обратными связями (рис. 6.3) образует кольцевой счетчик (кольцевой регистр). Максимальный коэффициент пересчета равен числу «закольцованных» триггеров.

Преимуществом кольцевых счетчиков является максимальное быстродействие вследствие синхронной работы всех триггеров.

Недостатком кольцевых счетчиков является зацикливание ошибочных кодов при случайных сбоях в работе схемы.

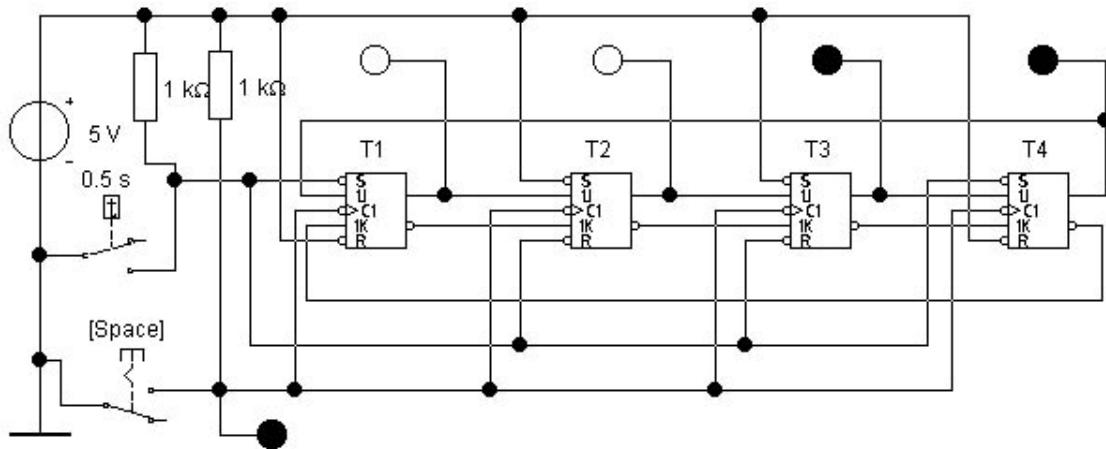


Рис. 6.3 – Кольцевой регистр (кольцевой счетчик) на J-K-триггерах

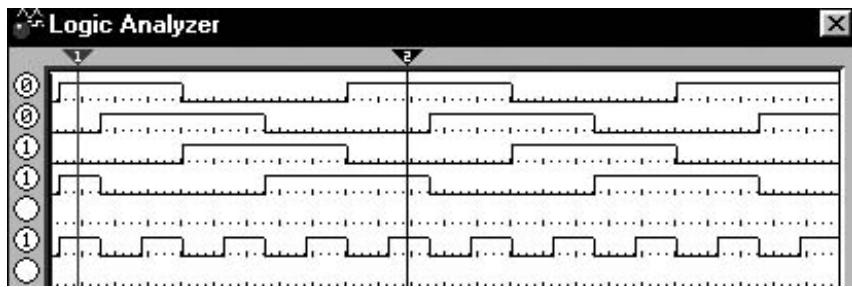


Рис. 6.4 – Осциллограммы кольцевого регистра

**Пример №3:** Введение перекрестных обратных связей в последовательный регистр позволяет реализовать кольцевой счетчик Джонсона (рис. 6.5) с коэффициентом пересчета в два раза большим, чем у обычного кольцевого регистра (кольцевого счетчика).

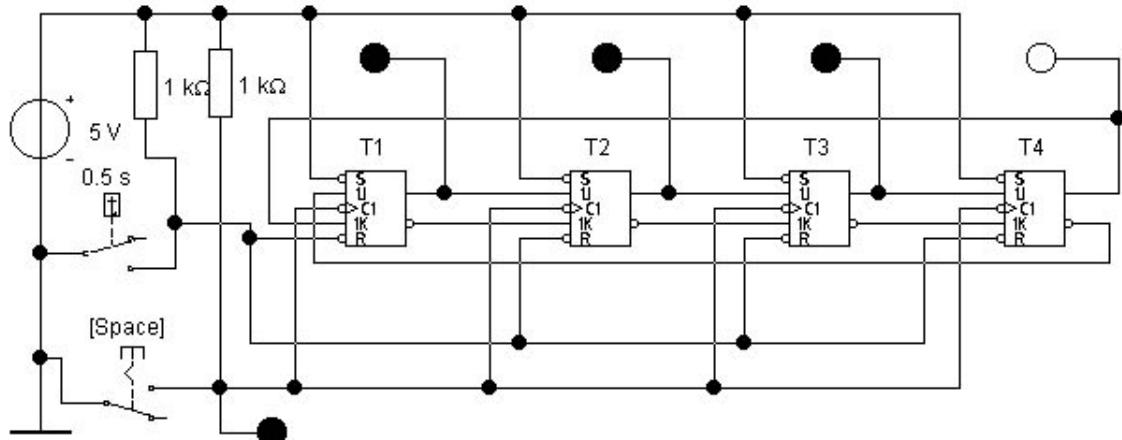


Рис. 6.5 - Счетчик Джонсона на J-K-триггерах

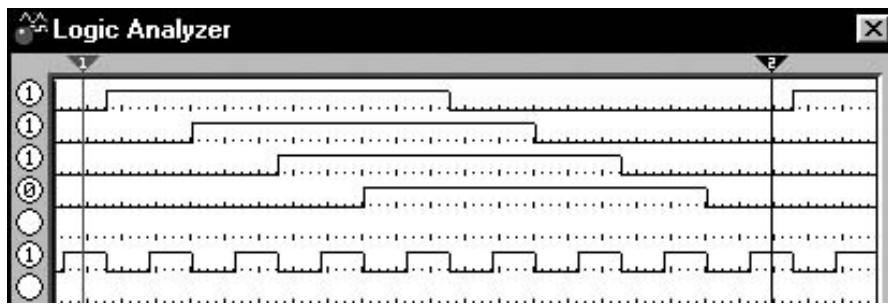


Рис. 6.6 – Осциллографмы счетчика Джонсона

## 6.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

6.4.1. Представить преподавателю схемы исследуемых регистров и кольцевых счетчиков в соответствии с вариантом заданий.

6.4.2. Собрать схему последовательного регистра (сдвиг влево) с индикацией состояний триггеров и запуском от Генератора одиночных импульсов (ГОИ) на основе элементов лабораторного макета УМ-11.

Возможна реализация последовательного регистра и анализ его работы на основе схемного эмулятора ELECTRONICS WORKBENCH PRO.

Установить начальное состояние (в соответствии с вариантом задания), подавая для этого низкий активный уровень на входы асинхронной установки S или R.

Подавая одиночные запускающие импульсы, проанализировать все состояния регистра и записать их в отчет. Проанализировать состояния регистра и записать в отчет **математическую операцию**, выполняемую над операндом в регистре.

Подать на вход сдвигающего регистра прямоугольные импульсы от функционального генератора, а выходы подключить ко входам логического анализатора. Поместить в отчет осциллографмы входного и выходных сигналов последовательного регистра.

6.4.3. Собрать схему последовательного регистра со сдвигом вправо. Повторить все действия, описанные в пункте 6.4.2.

6.4.4. Собрать схему кольцевого регистра (кольцевого счетчика) с индикацией состояний триггеров и установить начальное состояние в соответствии с вариантом задания (последний столбец табл. 6.1).

Подавая одиночные запускающие импульсы, проанализировать все состояния регистра (счетчика) и записать их в отчет.

Подать на вход счетчика сигнал от генератора импульсов и проверить работу схемы в динамическом режиме. Поместить в отчет осциллографмы на выходах всех триггеров.

6.4.5. Собрать схему счетчика Джонсона (кольцевого регистра с перекрестными обратными связями) с индикацией состояний триггеров и

установить нулевое начальное состояние всех триггеров (возможна установка единичного начального состояния всех триггеров). Повторить все действия, описанные в пункте 6.4.4.

## 6.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. На каких триггерах можно реализовать параллельные и последовательные регистры, а также кольцевые счетчики (делители)?
2. Как реализовать D-триггер на основе R-S- или J-K- триггеров?
3. Как осуществляется преобразование параллельного кода в последовательный и наоборот с помощью последовательных и универсальных регистров?
4. Как можно реализовать преобразование параллельного кода в последовательный с помощью ЛКС?
5. Привести схемы и объяснить работу параллельных, универсальных и последовательных регистров со сдвигом вправо, влево, реверсивных.
6. Привести схемы кольцевых регистров (кольцевых счетчиков) и объяснить, чем определяется их коэффициент деления?

## ЛАБОРАТОРНАЯ РАБОТА 7

### ИССЛЕДОВАНИЕ ГЕНЕРАТОРОВ ПСП

#### 7.1 ЦЕЛЬ РАБОТЫ:

- углубить и закрепить знания по построению генераторов Псевдо-случайных последовательностей (ПСП);
- приобрести практические навыки по исследованию генераторов ПСП и тестированию случайных последовательностей;
- углубить и закрепить практические навыки работы с программным эмулятором «ELECTRONICS WORKBENCH PRO».

#### 7.2 САМОСТОЯТЕЛЬНАЯ РАБОТА СТУДЕНТОВ

Перед выполнением лабораторной работы студентам необходимо изучить методы построения генераторов ПСП по предлагаемой литературе и конспекту лекций. Изучить основные методы тестирования случайных последовательностей.

В соответствии с вариантом задания подготовить принципиальную схему эксперимента с учетом реальных микросхем, входящих в лабораторный макет УМ11 или программный эмулятор «ELECTRONICS WORKBENCH PRO».

#### 7.3 ОСНОВНЫЕ СВЕДЕНИЯ О ГЕНЕРАТОРАХ ПСЕВДО-СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

С помощью цифровых логических схем можно необычайно просто генерировать последовательности бит (или слов) с хорошими стохастическими свойствами, т.е. последовательности, которые будут обладать такими же вероятностными и корреляционными свойствами, какими обладает идеальная машина для подбрасывания монеты. Поскольку эти последовательности генерируются стандартными элементами детерминированной логики, получающиеся двоичные последовательности на самом деле являются предсказуемыми и повторяемыми (детерминированными), хотя любой фрагмент такой последовательности во всех отношениях выглядит как случайное чередование «0» и «1». С помощью одной ПЛИС можно получить двоичные псевдослучайные последовательности (ПСП), которые тянутся буквально на столетия без повторения.

Наиболее известным (и самым простым) генератором ПСП является регистр сдвига с обратной связью (рис. 7.1). Регистр сдвига RG длиной «*n*» работает от тактовых импульсов с частотой  $F_0$ . Входной сигнал D1 формируется с помощью вентиля ИСКЛЮЧАЮЩЕЕ ИЛИ (сумматора по модулю 2), на входы которого поступают сигналы от *m*-того и последнего (*n*-того) разрядов регистра. Такая схема проходит через множество

состояний, которые после  $K$  тактов начинают повторяться, т.е. последовательность состояний является циклической с периодом  $K$ .

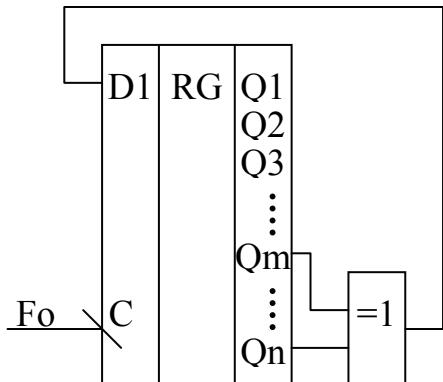


Рис. 7.1 – Последовательный регистр с одним отводом

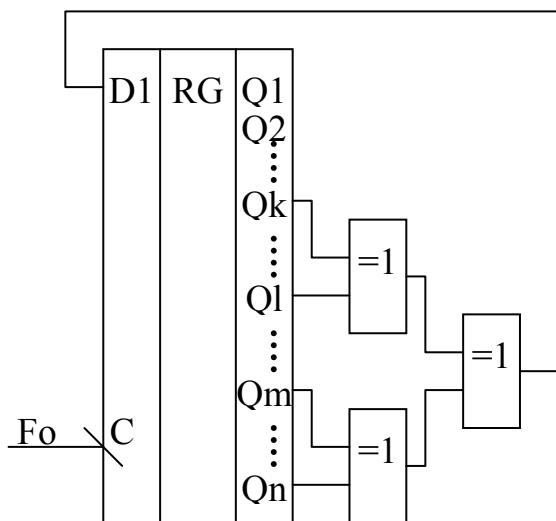


Рис. 7.2 – Последовательный регистр с тремя отводами

Максимальное число возможных состояний  $n$ -разрядного регистра равно:  $K = 2^n$ , т.е. числу  $n$ -битовых двоичных комбинаций.

Однако состояние «все нули» для этой схемы является тупиковым, поскольку на выходе схемы ИСКЛЮЧАЮЩЕЕ ИЛИ постоянно появляются нули, которые поступают на вход схемы и зацикливаются.

Если использовать схему «ИСКЛЮЧАЮЩЕЕ ИЛИ С ИНВЕРСИЕЙ» для формирования входного сигнала, то «тупиковой» будет комбинация – «все единицы».

Таким образом, последовательность максимальной длины, которую может сформировать данная схема, содержит  $2^n - 1$  бит.

Оказывается, что такую последовательность максимальной длины можно получить только при правильном выборе « $m$ » и « $n$ ». Критерием максимальной длины является неприводимость и примитивность многочлена  $1 + x^n + x^m$  над полем Галуа.

В качестве примера рассмотрим регистр сдвига с обратной связью:  $m = 3$ ,  $n = 4$ . В табл. 7.1 записаны состояния для четырехразрядного регистра в порядке их следования, начиная с состояния 1111 (можно было бы начать с любого другого состояния, за исключением 0000). Количество состояний  $K = 2^4 - 1 = 15$ , значит этот регистр – максимальной длины.

Сдвиговые регистры максимальной длины можно выполнить с числом отводов в цепи обратной связи более 2 (в этом случае используется несколько вентилей ИСКЛЮЧАЮЩЕЕ ИЛИ, соединенных в виде стандартного дерева четности (см. рис. 7.2). Для некоторых значений « $n$ » регистр максимальной длины можно сделать только с числом отводов более 2.

Таблица 7.1 – Состояния 4-х разрядного регистра

Двоичный код				Десятичн. код
Q4	Q3	Q2	Q1	
1	1	1	1	15
0	1	1	1	7
0	0	1	1	3
0	0	0	1	1
1	0	0	0	8
0	1	0	0	4
0	0	1	0	2
1	0	0	1	9
1	1	0	0	12
0	1	1	0	6
1	0	1	1	11
0	1	0	1	5
1	0	1	0	10
1	1	0	1	13
1	1	0	1	14

Таблица 7.2 – Регистры максимальной длины с одним отводом

n	m	Длина
3	2	7
4	3	15
5	3	31
6	5	63
7	6	127
9	5	511
10	7	1023
11	9	2047
15	14	32767
17	14	131071
18	11	262143
20	17	1048575
21	19	2097151
22	21	4194303
23	18	8388607
25	22	33554431
28	25	268435455
29	27	536870911
31	28	2147483647
33	20	8589934591
35	33	34359738367
36	25	68719476735
39	35	549755813887

В табл. 7.2 перечислены все регистры с длиной «n» до 40, для которых возможна реализация с максимальным числом состояний при одном отводе. В некоторых случаях подойдут и другие значения «m», но во всех случаях можно заменить «m» на значение «n - m» (например, для предыдущего случая можно использовать отвод  $m = 4 - 3 = 1$ ).

Количество ячеек регистров обычно выбирают кратным 8. В этих случаях потребуется более одного отвода для регистров с максимальным числом состояний (см. рис. 7.2 и табл. 7.3).

Таблица 7.3 – Регистры максимальной длины

n	Отводы			Длина
	k	j	m	
8	4	5	6	255
16	4	13	15	65535
24	17	22	23	16777215

При использовании 33-х разрядного регистра, работающего на частоте 1 МГц, время цикла будет около 2-х часов. Время цикла 100 разрядного регистра, работающего на частоте 10 МГц, будет в миллион раз больше, чем возраст Вселенной.

Генераторы ПСП на сдвигающих регистрах можно использовать для шифрования сообщений и данных, поскольку идентичный генератор ПСП на приемном конце дает ключ к шифру. ПСП широко используются в кодах, обнаруживающих и исправляющих ошибки, так как они позволяют видоизменить блоки данных таким образом, что правильные кодовые сообщения будут находиться друг от друга на максимально возможном «расстоянии Хэмминга» (измеряется числом позиций с разными данными).

## СВОЙСТВА ПСЕВДОСЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ МАКСИМАЛЬНОЙ ДЛИНЫ

Псевдослучайную последовательность ДВОИЧНЫХ символов можно наблюдать на выходе любого разряда регистра (рис. 7.1, рис. 7.2).

Обычно используют последний разряд (в табл. 7.1 – это будет правый столбец двоичных кодов). Последовательность максимальной длины обладает следующими свойствами:

- В полном цикле количество «1» на единицу больше, чем количество «0». Добавочная «1» появляется за счет исключения состояния «все нули». При большом количестве разрядов регистра вероятности «0» и «1» практически равны (17-ти разрядный регистр будет вырабатывать 65536 «единиц» и 65535 «нулей» за один цикл).
- В одном цикле половина серий из последовательных «1» имеет длину 1, одна четвертая серий – длину 2, одна восьмая – длину 3 и т.д. Таким же свойством обладают и серии из «0» с учетом пропущенного «0». Это говорит о том, что вероятности «0» и «1» не зависят от исхода предыдущего опыта, т.е. вероятность появления «0» или «1» в следующем бите не зависит от значения предыдущего бита.

- Если последовательность полного цикла сравнить с этой же последовательностью, но циклически сдвинутой на любое число битов (не равное нулю или длине К), то число несовпадений будет на единицу больше, чем число совпадений. Научно выражаясь, автокорреляционная функция этой последовательности представляет собой дельта-функцию Кронекера при нулевой задержке и равна величине  $1 / K$  при любой другой задержке.

Для генерации многоразрядных ПСП (256, 512, 1024 и более) используют регистры, разрядностью от 16 до 40. Считывание одного слова (разрядностью 16 или 32 бита) осуществляется в параллельном коде с выходов регистра. Между соседними считываниями необходимо пропустить количество тактовых импульсов  $F_0$ , не меньшее длины читаемого слова.

## 7.4 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

В соответствии с вариантом (см. табл. 7.4) составить схему генератора Псевдо случайных последовательностей (ПСП) с количеством разрядов не менее 6. Сдвигающий регистр можно реализовать на D-триггерах, J-K-триггерах или R-S-триггерах.

Таблица 7.4 – Варианты заданий

Вариант	Отводы		Тип триггера	Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ
	n	m		
1	6	5	D-	без инверсии
2	6	5	J-K-	без инверсии
3	6	5	D-	с инверсией
4	6	5	J-K-	с инверсией
5	6	1	D-	без инверсии
6	6	1	J-K-	без инверсии
7	6	1	D-	с инверсией
8	6	1	J-K-	с инверсией
9	7	6	D-	без инверсии
10	7	6	D-	с инверсией
11	7	1	D-	без инверсии
12	7	1	D-	с инверсией

Элементы ИСКЛЮЧАЮЩЕЕ ИЛИ могут быть реализованы на логических элементах (см. рис. 7.3 и рис. 7.4), входящих в состав макетов УМ-11, или на элементах XOR или NXOR схемного эмулятора «ELECTRONICS WORKBENCH PRO».

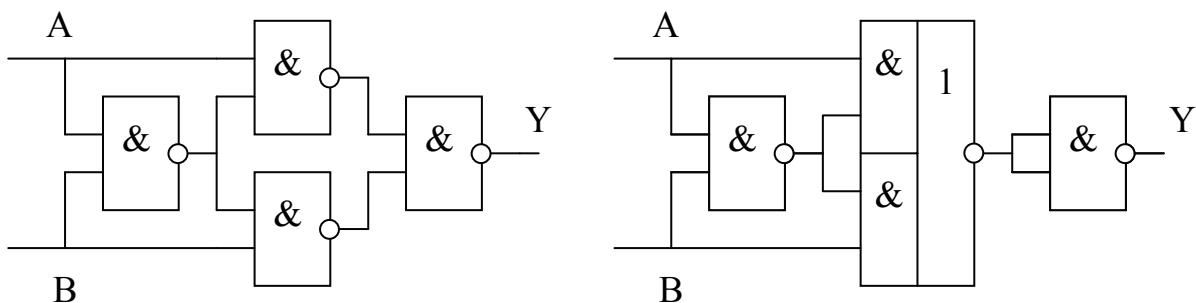


Рис. 7.3 – Элементы ИСКЛЮЧАЮЩЕЕ ИЛИ без инверсии

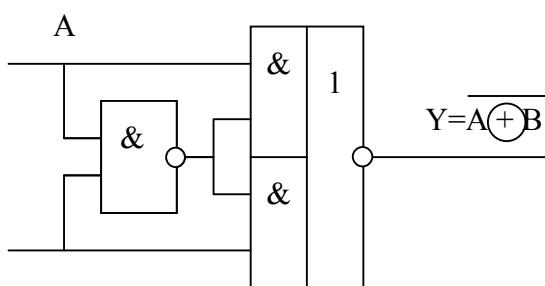


Рис. 7.4 – Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с инверсией

7.4.1. Собрать схему генератора ПСП с индикацией состояний триггеров и запуском от Генератора одиночных импульсов (ГОИ) из элементов лабораторного макета УМ-11.

Возможна реализация Генератора ПСП и его анализ на основе схемного эмулятора Electronics Workbench Pro.

Установить начальное состояние (с учетом «тупиковых состояний») и записать в отчет все неповторяющиеся состояния генератора ПСП.

7.4.2. Для полученной последовательности псевдослучайных битов (любой вертикальный столбец в таблице состояний) рассчитать и записать в отчет:

- вероятности  $P(0)$  и  $P(1)$ ;
- количество серий «0» и «1»;
- количество совпадение и несовпадений для полученной последовательности и этой же последовательности, сдвинутой на 1, 2 и 4 такта.

7.4.3. Записать в отчет количество неповторяющихся комбинаций для генераторов ПСП с другими отводами «m» (не совпадающими с вариантом задания).

## 7.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. Методы построения генераторов ПСП.
2. Количество состояний ПСП. Объяснить невозможность выхода из «тупиковых состояний» ПСП.
3. Какие триггеры можно использовать для построения генераторов ПСП?
4. Привести примеры использования генераторов ПСП.
5. Свойства ПСП.

6. Методы тестирования случайных и псевдослучайных последовательностей.
7. Основные отличия между случайными и псевдослучайными последовательностями и методами их генерирования.
8. Методы генерирования случайных последовательностей.
9. Рассчитать количество разрядов генератора ПСП для получения разности вероятностей  $P(0) - P(1)$  не более 0,00001.

## **РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА ПО ДИСЦИПЛИНЕ**

### **ОСНОВНАЯ ЛИТЕРАТУРА**

1. Угрюмов Е.П. Цифровая схемотехника.- СПб.: БХВ-Петербург, 2001.-528с.
2. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров; Под ред. О.П. Глудкина.- М.: Горячая Линия – Телеком, 2000.- 768с.
3. Хоровиц П., Хилл У. Искусство схемотехники: в 3-х томах. Пер. с англ.- 4-е изд.- М.: Мир, 1993.
4. Зубчук В.И., Сигорский В.П., Шкуро А.Н. Справочник по цифровой схемотехнике.- К.: Техника, 1990.
5. Точки Р.Дж., Уидмер Н.С. Цифровые системы. Теория и практика, 8-е издание.: Пер. с англ.– М.: Издательский дом «Вильямс», 2004.– 1024 с.
6. Схемотехника ЭВМ. / Под ред. Г.Н. Соловьева. - М.: Высш. шк., 1985.
7. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. Издание 2-е.– М.: Соломон-Р, 2001.-726с.

### **ДОПОЛНИТЕЛЬНАЯ ЛИТЕРАТУРА**

8. Титце У., Шенк К. Полупроводниковая схемотехника: Справочник: Пер. с нем.- М.: Мир, 1982.
9. Игумнов Д.В., Королев Г.В., Громов И.С. Основы микроэлектроники.- М.: Высш. шк., 1991.
10. Джонс М.Х. Электроника - практический курс.- М.: Постмаркет, 1999.- 528с.

11. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. Л.: Энергоатомиздат, 1986.
12. Авдеев Н.А., Наумов Ю.Е., Фролкин В.Т. Основы микроэлектроники.- М.: Радио и связь, 1991.
13. Гутников В.С. Интегральная электроника в измерительных устройствах: 2-е изд.- Л.: Энергоатомиздат, 1988.
14. Цифровые и аналоговые интегральные микросхемы: Справочник / С.В. Якубовский и др.; Под ред. С.В.Якубовского.- М.: Радио и связь, 1990.
15. Алексенко А.Г., Коломбет Е.А., Стародуб Г.И. Применение прецизионных аналоговых ИС.- М.: Сов. радио, 1980.
16. Завадский В.А. Компьютерная электроника. -К.: Век, 1996.- 386с.
17. Гарет П. Аналоговые устройства для микропроцессоров и миниЭВМ: Пер. с англ. под ред. М.В. Гальперина. -М.: Мир, 1981.
18. Зельдин Е.А. Импульсные устройства на микросхемах. -М.: Радио и связь, 1991.- 160с.
19. Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1987.
20. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. -М.: Энергоатомиздат, 1990.
21. Полупроводниковые БИС запоминающих устройств: Справочник / В.В. Баранов и др.; Под ред. А.Ю. Гордонова и Ю.Н. Дьякова. –М.: Радио и связь, 1987.
22. Большие интегральные схемы запоминающих устройств: Справочник/ А.Ю. Гордонов и др.; Под ред. А.Ю. Гордонова и Ю.Н. Дьякова. - М.: Радио и связь, 1990.
23. Соломатин Н.М. Логические элементы ЭВМ: Практ. пособие для вузов, 2-е изд., перераб. и доп.- М.: Высш.шк., 1990.
24. Дмитриев В.И. Прикладная теория информации. -М.: Высшая школа, 1989.
25. Кузьмин И.В., Кедрус В.А. Основы теории информации и кодирования. - Киев: Выща школа, 1986.

## ОГЛАВЛЕНИЕ

Введение .....	3
Перечень сокращений и условных обозначений .....	5
<b>ТЕМА 1 ОСНОВЫ ТЕОРИИ ИНФОРМАЦИИ И ПЕРЕДАЧИ СИГНАЛОВ .....</b>	<b>6</b>
1.1 Формы представления детерминированных сигналов .....	8
1.2 Спектральный анализ периодических и непериодических сигналов.....	9
1.2.1 Преобразование Фурье для периодических сигналов.....	10
1.2.2 Гармонический анализ непериодических сигналов .....	19
1.3 Практические задания по спектральному анализу для самостоятельной работы .....	25
1.4 Преобразование непрерывных сигналов в дискретные .....	27
1.4.1 Постановка задачи дискретизации .....	29
1.4.2 Квантование непрерывных сигналов по уровню.....	32
1.4.3 Выбор величины шага квантования .....	34
1.5 Количественная оценка информации.....	36
1.5.1 Свойства энтропии дискретных сообщений .....	38
1.5.2 Энтропия сложных сообщений.....	39
1.5.3 Свойства энтропии сложных сообщений .....	41
1.6 Вопросы для самопроверки.....	43
<b>ТЕМА 2 ОСНОВЫ ИНТЕГРАЛЬНОЙ СХЕМОТЕХНИКИ ЭВМ .....</b>	<b>44</b>
2.1 Электронный ключ на биполярном транзисторе .....	44
2.2 Общие сведения о технологии изготовления интегральных микросхем .....	50
2.2.1 Материалы для изготовления полупроводниковых ИС.....	51
2.2.2 Основные технологические операции изготовления полупроводниковых ИС .....	51
2.2.3 Технологии типовых интегральных структур.....	53
2.3 Алгебра логики при анализе и синтезе логических схем.....	56
2.4 Функционально полная система логических элементов .....	57
2.5 Вопросы для самопроверки.....	59
<b>ТЕМА 3 СХЕМОТЕХНИКА БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ .....</b>	<b>60</b>
3.1 Базовый логический элемент ТТЛ.....	60
3.2 Статические параметры базового элемента ТТЛ.....	62
3.3 Динамические параметры базового элемента ТТЛ .....	65
3.4 Особенности схемотехники элементов ТТЛ .....	66
3.5 Повышение быстродействия элементов ТТЛ.....	69
3.6 Базовые логические элементы n-МОП И КМОП.....	70
3.7 Базовый логический элемент ЭСЛ .....	76
3.8 Вопросы для самопроверки.....	80

<b>ТЕМА 4 СХЕМОТЕХНИКА ЛОГИЧЕСКИХ КОМБИНАЦИОННЫХ СХЕМ</b>	81
4.1 Логические комбинационные схемы	81
4.2 Сумматоры	85
4.3 Состязания (гонки) в логических схемах	87
4.4 Преобразователи кодов	88
4.5 Дешифраторы	89
4.6 Мультиплексоры и демультиплексоры	91
4.7 Практическое занятие по синтезу ЛКС	94
4.8 Задания для самостоятельной работы	98
4.9 Вопросы для самоконтоля	98
<b>ТЕМА 5 СХЕМОТЕХНИКА ЦИФРОВЫХ СХЕМ С ПАМЯТЬЮ</b>	99
5.1 Триггеры	99
5.2 Двоичные счетчики и счетчики на их основе	114
5.3 Параллельные и последовательные регистры	120
5.4 Кольцевые счетчики	123
5.5 Универсальные счетчики	125
5.6 Вопросы для самопроверки	128
<b>ТЕМА 6 ФОРМИРОВАТЕЛИ И ГЕНЕРАТОРЫ ИМПУЛЬСОВ</b>	129
6.1 Триггер Шmittа	129
6.2 Формирователи импульсов от механических контактов	131
6.3 Формирователи импульсов по фронту входного сигнала	132
6.4 Генераторы прямоугольных импульсов (мультивибраторы)	134
6.5 Ждущие мультивибраторы (одновибраторы)	135
6.6 Аппаратная реализация псевдослучайных последовательностей	137
6.6.1 Свойства псевдослучайных последовательностей максимальной длины	140
6.7 Вопросы для самопроверки	141
<b>ТЕМА 7 АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ</b>	142
7.1 Операционные усилители	142
7.1.1 Параметры операционных усилителей	143
7.1.2 Параметры идеального операционного усилителя	145
7.2 Обратные связи в усилителях	146
7.3 Основные схемы включения операционных усилителей	148
7.3.1 Инвертирующий усилитель	148
7.3.2 Неинвертирующий усилитель	149
7.3.3 Аналоговые интегратор и дифференциатор	150
7.3.4 Преобразователь входного тока в напряжение и входного напряжения в выходной ток	151
7.3.5 Инвертирующий сумматор	151
7.3.6 Аналоговый вычитатель	152
7.3.7 Логарифмирующий и антilogарифмирующий усилители	154
7.3.8 Триггер шmitta на ОУ	155
7.4 Компараторы напряжения	156

---

7.5 Методы коррекции частотной характеристики ОУ.....	157
7.6 Интегральный таймер и его применение.....	159
7.6.1 Ждущий мультивибратор на таймере .....	160
7.6.2 Мультивибраторы на таймерах.....	161
7.7 Практическое занятие по расчету схем на ОУ .....	163
7.8 Практические задания для самостоятельной работы .....	168
7.9 Вопросы для самопроверки.....	169
<b>ТЕМА 8 ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ .....</b>	170
8.1 Цифро-аналоговые преобразователи.....	170
8.1.1 ЦАП с делением напряжения.....	170
8.1.2 ЦАП с делением напряжения и матрицей R-2R .....	171
8.1.3 ЦАП с суммированием токов .....	171
8.1.4 ЦАП на переключателях токов .....	172
8.1.5 ЦАП с широтно-импульсной модуляцией .....	173
8.1.6 Параметры ЦАП .....	173
8.1.7 Статические параметры ЦАП .....	174
8.1.8 Динамические параметры ЦАП .....	175
8.2 Аналого-цифровые преобразователи .....	176
8.2.1 АЦП последовательного типа развертывающего уравновешивания .....	176
8.2.2 АЦП последовательного типа следящего уравно- вешивания .....	177
8.2.3 АЦП последовательного типа поразрядного уравновешивания .....	178
8.2.4 АЦП параллельного типа непосредственного считывания .....	180
8.2.5 АЦП последовательно-параллельного типа .....	181
8.2.6 Преобразования аналогового сигнала во временной интервал .....	181
8.2.7 АЦП с двухтактным интегрированием .....	183
8.2.8 Параметры АЦП .....	184
8.3 Вопросы для самопроверки.....	186
<b>ТЕМА 9 ГЕНЕРАЦИЯ СЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ ..</b>	187
9.1 Выбор и обоснование физических датчиков шума .....	188
9.2 Базовая модель генератора случайных последовательностей.....	191
9.3 Выравнивание вероятностей генерируемых случайных последовательностей.....	193
9.4 Практическая реализация генераторов случайных Последовательностей .....	196
9.5 Вопросы для самопроверки.....	198
<b>ТЕМА 10 ИСТОЧНИКИ ЭЛЕКТРОПИТАНИЯ ЭВМ .....</b>	199
10.1 Структурные схемы ИВЭП .....	200
10.2 Выпрямители .....	202

10.3 Расчет ИВЭП со стабилизатором .....	207
10.4 Расчет трансформатора.....	210
10.5 Источники бесперебойного питания.....	211
10.5.1 Резервный (OFF-LINE) ИБП .....	212
10.5.2 Интерактивный (LINE INTERACTIVE) ИБП .....	213
10.5.3 ИБП непрерывного действия (ON-LINE).....	213
10.5.4 Основные параметры ИБП.....	214
10.6 Практические задания для самостоятельной работы .....	215
10.7 Вопросы для самопроверки.....	215
<b>ТЕМА 11 ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА .....</b>	<b>216</b>
11.1 Классификация и основные параметры запоминающих устройств.....	216
11.2 Особенности схемотехники ОЗУ.....	219
11.3 Особенности схемотехники ПЗУ.....	220
11.4 Расширение информационной емкости запоминающих устройств.....	222
11.5 Практические задания для самостоятельной работы .....	224
11.6 Вопросы для самопроверки.....	224
<b>ТЕМА 12 ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС) .....</b>	<b>225</b>
12.1 Программируемые логические матрицы (ПЛМ) .....	225
12.2 Программируемые матрицы с памятью.....	229
12.3 Вопросы для самопроверки.....	233
<b>МЕТОДИЧЕСКИЕ УКАЗАНИЯ к лабораторным работам</b>	
по курсу «КОМПЬЮТЕРНАЯ СХЕМОТЕХНИКА» .....	234
Общие положения .....	234
<b>Лабораторная работа 1 Исследование базовых логических ТТЛ-элементов .....</b>	<b>235</b>
<b>Лабораторная работа 2 Исследование базовых логических КМОП и ЭСЛ-элементов.....</b>	<b>243</b>
<b>Лабораторная работа 3 Синтез логических комбинационных схем. Исследование схем на мультиплексорах .....</b>	<b>250</b>
<b>Лабораторная работа 4 Исследование триггерных схем .....</b>	<b>256</b>
<b>Лабораторная работа 5 Двоичные счетчики и счетчики с произвольным коэффициентом деления .....</b>	<b>262</b>
<b>Лабораторная работа 6 Исследование последовательных и колецевых регистров .....</b>	<b>270</b>
<b>Лабораторная работа 7 Исследование генераторов ПСП .....</b>	<b>276</b>
<b>РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА ПО ДИСЦИПЛИНЕ.....</b>	<b>282</b>

*Навчальне видання*

ТОРБА Александр Алексеевіч

## **КОМП'ЮТЕРНА СХЕМОТЕХНІКА**

*Навчальний посібник  
(російською мовою)*

За редакцією автора

Підписано до друку **29.12.2006.** Формат **60×90/16.** Папір офсетний  
Гарнітура Times New Roman. Друк ризографічний. Обл.-вид. арк.**19,05**  
**Умов. друк. арк. 18.** Тираж **300** прим. Зам. № **49**

ТОВ «Компанія СМІТ»  
**61166**, м. Харків, просп. Леніна, 14  
Тел. 8 (057) 717-54-94, 702-08-16  
Факс: 8 (057) 702-13-07

E-mail: book@smit.kharkov.ua  
<http://www.smit-book.com>

Свідоцтво про внесення суб’єкта видавничої справи  
до Державного реєстру видавців, виготовників і розповсюджувачів  
видавничої продукції ДК № 435 від 26.04.2001

Друк — ФОП «Васильєва Н. В.»  
м. Харків, просп. Леніна, 14  
Тел. 8(057) 702-13-07