

复习笔记

第一章 测量误差分析与实验数据处理 复习笔记

本章主要包含两大块内容：一是如何认识、分类和计算测量过程中产生的误差；二是如何科学地处理和分析带有误差的实验数据。

1.1 测量误差分析

A. 误差的基本定义与计算

- 绝对误差 (Δx)**: 指测量值 x 与被测量真实值 x_0 之间的差异。
 - 公式: $\Delta x = x - x_0$
- 相对误差 (γ)**: 指绝对误差 Δx 与真实值 x_0 的比值, 通常用百分比表示, 它更能反映测量的可信度。
 - 公式: $\gamma = \Delta x / x_0 \times 100\%$
- 电工仪表的精确度等级 (S)**: 仪表自身精度的一种衡量标准, 它定义了仪表在满量程时可能产生的最大相对误差。
 - 满度相对误差**: $\gamma_{\text{满度}} = \Delta x_{\text{max}} / x_n \times 100\% \leq S\%$, 其中 Δx_{max} 是最大绝对误差, x_n 是仪表的量程。
 - 应用实例**: PPT中给出了一个非常经典的例子——如何选择电压表。
 - 问题**: 用两块电表 (电表1: 量程150V, 精度0.5级; 电表2: 量程15V, 精度2.5级) 测量10V左右的电压, 该用哪块?
 - 分析**:
 - 电表1的最大绝对误差 $\Delta x_{\text{max}1} \leq 0.5\% \times 150V = 0.75V$ 。测量10V时, 其相对误差可能高达 $\gamma_1 \leq (0.75V / 10V) \times 100\% = 7.5\%$ 。
 - 电表2的最大绝对误差 $\Delta x_{\text{max}2} \leq 2.5\% \times 15V = 0.375V$ 。测量10V时, 其相对误差可能高达 $\gamma_2 \leq (0.375V / 10V) \times 100\% = 3.75\%$ 。
 - 结论**: 电表2虽然精度等级较低, 但由于其量程更接近被测值, 所以实际测量10V电压时产生的相对误差更小。因此, 在测量时应尽量选择指针偏转超过满量程2/3的量程档位, 以减小相对误差。
- 分贝误差 (γ_{db})**: 在声学、电讯等领域, 常用分贝来表示增益, 其误差也用分贝表示。
 - 电压增益分贝误差: $\gamma_{\text{db}} = 20 \log(1 + A_0 \Delta A)$ dB。
 - 功率增益分贝误差: $\gamma_{\text{db}} = 10 \log(1 + P_0 \Delta P)$ dB。

B. 测量误差的分类

1. **系统误差**：在多次重复测量中，误差的大小和方向保持恒定，或按某种确定的规律变化（如随温度线性变化）。它影响的是测量的**准确度**。
 2. **随机误差**：在多次重复测量中，误差的大小和方向都呈现无规律的随机变化。它影响的是测量的**精密度**。
 3. **粗大误差**：明显偏离正常测量值的错误，通常由设备故障或人为误操作引起。
- **准确度 vs. 精密度**：PPT中的打靶图非常形象地解释了两者的区别。
 - **高准确度，低精密度**：弹着点分散，但中心靠近靶心（系统误差小，随机误差大）。
 - **高精密度，低准确度**：弹着点集中，但整体偏离靶心（随机误差小，系统误差大）。
 - **高准确度，高精密度**：弹着点集中且命中靶心（系统和随机误差都小），这是最理想的测量结果。

C. 随机误差的统计处理

D. 异常数据的判断与剔除

- **粗大误差的判断**：
 - **拉依达准则 (3σ 准则)**：如果某个数据的残差的绝对值大于3倍的标准差（ $|v_d| > 3\sigma(X)$ ），则认为该数据为粗大误差，应予以剔除。

E. 间接测量的误差传递

当被测量 y 是通过直接测量量 x_1, x_2 等通过函数关系 $y=f(x_1, x_2)$ 计算得出时， x 的误差会传递给 y 。

- **误差传递公式（绝对误差）**： $\Delta y = \frac{\partial f}{\partial x_1} \Delta x_1 + \frac{\partial f}{\partial x_2} \Delta x_2 + \dots$
- **应用举例：两电阻并联**
 - 函数关系： $R = \frac{R_1 R_2}{R_1 + R_2}$ 。
 - 通过对 R_1 和 R_2 求偏导，可以推导出总电阻的相对误差 γ_R 与分电阻的相对误差 $\gamma_{R_1}, \gamma_{R_2}$ 之间的关系： $\gamma_R = \frac{R_1}{R_1 + R_2} \gamma_{R_1} + \frac{R_2}{R_1 + R_2} \gamma_{R_2}$

1.2 实验数据处理

A. 数据的预处理：有效数字与修约

- **误差位数据对齐**：记录数据的有效位数应与测量的不确定度相匹配。例如，若仪表的误差在小数点后两位，那么记录的数据也应保留到小数点后两位，多余的位数没有意义。
- **有效数据的修约规则**：通常采用“四舍六入五成双”的原则。当要舍弃的数字恰好为5时，如果5前面的数字是奇数，则进位；如果是偶数，则舍去。
 - 示例：保留3位小数，5.62350 修约为 5.624；4.5105 修约为 4.510。

B. 实验数据曲线的绘制

- 平滑法**：先将实验数据点在坐标纸上描出，用折线连接，然后画一条光滑的曲线，尽量穿过最多的点，并使曲线两侧的“面积”大致相等。
- 分组平均法**：将相邻的几个数据点（如2个或3个）的重心作为新的点，再将这些新的重心点连接成光滑曲线。这种方法可以有效减小随机误差的影响。

C. 实验数据的函数拟合

当实验数据点大致呈某种函数规律时，我们需要找到一个最佳的函数来匹配这些数据。

- 最小二乘法**：这是最常用的数学优化技术。其原理是，寻找一组函数参数（如直线 $y=ax+b$ 中的 a 和 b ），使得所有实验数据点到这条拟合函数的误差的平方和最小 ($Q=\sum v_i^2=\min$)。
- 回归分析法**：根据数据点的分布趋势，凭经验判断其可能符合的函数类型（如线性、指数、对数等），然后用数学方法求出函数中的待定系数。

D. 实验数据的插值计算

第二章 模拟电子线路

本章旨在介绍构成模拟电子电路的基本“砖块”，理解它们的特性是进行更复杂电路设计与分析的基础。

一、二极管 (§ 2.1)

二极管是最基本的半导体器件，其核心特性是**单向导电性**。

A. 核心特性与参数

- 伏安特性曲线**：描述二极管电流 i_D 与两端电压 u_D 关系的曲线。
 - 正向特性**：当施加正向电压时，电压超过**阈值电压** U_{th} （硅管约0.5V，锗管约0.1V）后，二极管开始导通。电压达到**导通电压** $U_D(on)$ （硅管约0.7V，锗管约0.3V）后，电流随电压呈指数级增长。
 - 反向特性**：当施加反向电压时，只有极微弱的**反向饱和电流** I_S 流过。
 - 反向击穿**：当反向电压超过一定限度，即**反向击穿电压** U_{BR} 时，反向电流会急剧增大，二极管被击穿。

B. 主要类型与应用电路

1. 普通二极管

- 整流**：利用单向导电性，将交流电转换为脉动直流电。**桥式整流**是最高效的全波整流方式。
- 检波**：在收音机等电路中，用于从调幅（AM）波中提取出低频的包络信号（音频信号）。

- **限幅**：将信号的幅度限制在某一范围内。例如，在运放输入端并联两个反向的二极管，可以将输入电压钳位在 $\pm 0.7V$ 左右，起到保护作用。
- **钳位**：将波形的顶部或底部“钳”在某一固定的直流电平上，但不改变波形本身。

2. 发光二极管 (LED)

- **应用**：
 - **电源指示**：利用其发光特性作为设备工作状态的指示灯。
 - **逻辑电平指示**：显示数字电路的高低电平状态。
 - **信号耦合**：作为光电耦合器的发光元件，实现信号的电气隔离传输。
 - **字符显示**：七段数码管就是由多个LED组成的，用于显示数字。
 - **照明与显示**：作为LCD显示器的背光源或直接构成大型LED显示屏。

3. 稳压二极管 (Zener Diode)

- **核心特性**：工作在**反向击穿区**，在此区域内，其两端电压在很大电流变化范围内几乎保持恒定。
- **应用**：
 - **提供基准电压/稳压**：为电路提供一个非常稳定的参考电压。
 - **构建恒流源**：与三极管配合，可以构成一个输出电流恒定的电路。
 - **输出限幅**：在运放输出端或比较器输出端，可以精确地将输出电压限制在稳压值。

4. 变容二极管

- **核心特性**：其PN结的结电容会随着所加**反向偏置电压**的变化而改变。
- **应用**：本质上是一个**压控可变电容**。将它接入LC振荡回路，通过一个调制信号去改变其反向偏压，就可以改变振荡回路的谐振频率，从而实现**调频 (FM)** 功能。

二、双极结型晶体管 (BJT) (§ 2.2)

三极管是模拟电路中最重要放大元件，核心功能是**电流放大**。

A. 核心特性与工作区

- **输出特性曲线**：描述了在不同基极电流 I_B 下，集电极电流 I_C 与集电极-发射极电压 V_{CE} 的关系。
- **三个工作区**：
 - a. **放大区**：发射结正偏，集电结反偏。在此区域， I_C 受 I_B 的线性控制， $I_C = \beta * I_B$ ，是作为放大器使用的区域。
 - b. **饱和区**：发射结和集电结均正偏。 V_{CE} 很小， I_C 不再受 I_B 控制，三极管相当于一个闭合的开关。

c. 截止区：发射结反偏（或零偏）。 I_B 和 I_C 都接近于零，三极管相当于一个断开的开关。

B. 管脚识别与基本应用

- 管脚识别：可以用万用表的二极管档或电阻档来判断。首先找到基极（一个脚到另外两个脚都导通），然后根据红黑表笔的接法判断是NPN型还是PNP型，最后通过比较正向电阻大小区分发射极和集电极。

三、场效应晶体管 (FET) (§ 2.3)

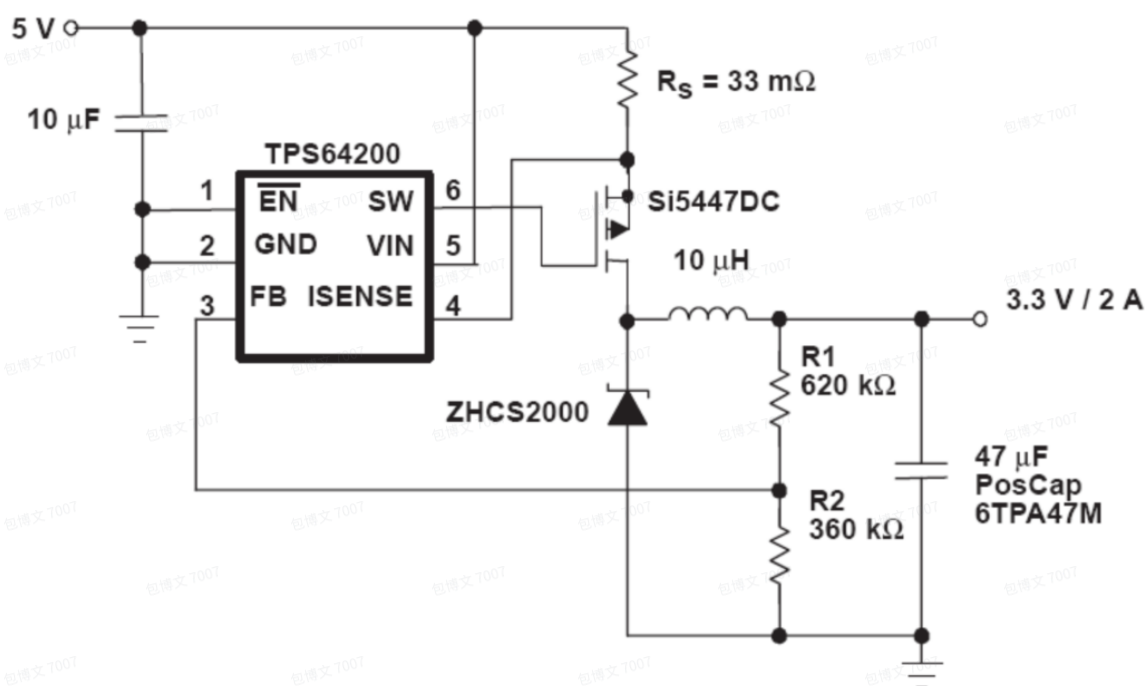
FET是另一种重要的放大元件，核心是电压控制器件，即用栅源电压 V_{GS} 来控制漏极电流 I_D 。

A. 分类、特性与优势

- 分类：分为结型 (JFET) 和绝缘栅型 (MOSFET)。MOSFET又分为增强型和耗尽型。
- 特性：其输出特性曲线也分为可变电阻区（线性区）和恒流区（饱和区/放大区）。
- 核心优势：
 - 极高的输入阻抗，几乎不从信号源索取电流。
 - 是多子导电，温度稳定性好。
 - 噪声系数小，非常适合用于低噪声放大器。

B. 基本应用电路

- 高频振荡器：利用其高输入阻抗和放大特性构建LC振荡电路。
- 放大器：如共源、共漏、共栅放大器，是构成模拟集成电路的基本单元。
- 开关应用：MOSFET被广泛用作高速开关，尤其是在DC-DC电源变换等功率电子领域。



这个电路通过开关管Si5447DC以极高的频率（通常是几百kHz到几MHz）快速地“开”和“关”，通过控制开关导通时间的占空比来实现降压。整个过程可以分为两个阶段：

阶段一：开关管导通 (MOSFET ON)

- 控制器动作：**TPS64200的 SW 引脚（Pin 6）输出低电平，这使得P沟道MOSFET Si5447DC的栅极电压低于源极电压，开关管导通。
- 电流路径：**电流从5V输入端流出，经过电流检测电阻 R_S ，通过导通的MOSFET，流向10 μ H电感。
- 能量转换：**
 - 电流流过电感，电感中的磁场增强，开始储存能量。此时电感两端的电压是“左正右负”。
 - 同时，电流也为输出电容（47 μ F PosCap）充电，并向负载提供能量。

阶段二：开关管截止 (MOSFET OFF)

- 控制器动作：**TPS64200的 SW 引脚（Pin 6）输出高电平，使得MOSFET的栅极和源极电压基本相等，开关管截止，切断了从5V输入端来的主电流。
- 电感的作用（关键）：**由于电感的电流不能突变，其内部储存的磁场能量开始释放，并试图维持电流继续流动。此时，电感会产生一个反向感应电动势，其两端电压极性会瞬间反转，变为“左负右正”。
- 二极管的作用：**这个反向的电压使得续流二极管ZHCS2000的正极电压高于负极，二极管迅速导通，为电感电流提供了一个新的回路。这个过程被称为“续流”（Freewheeling）。
- 电流路径：**电感中储存的能量通过这个新回路继续向输出电容和负载释放。电流从电感流出，经过负载和输出电容，然后通过导通的二极管ZHCS2000流回电感的另一端。

通过以极高的频率不断重复这两个阶段，并通过精确调节MOSFET导通时间（即占空比），电路就能保证输出端获得一个平滑且稳定的平均电压3.3V。

四、集成运算放大器 (Op-Amp) (§ 2.4)

运放是模拟电路中功能最强大、应用最广泛的“积木”，它是一个具有极高开环增益的差分放大器。

A. 内部结构与关键性能指标

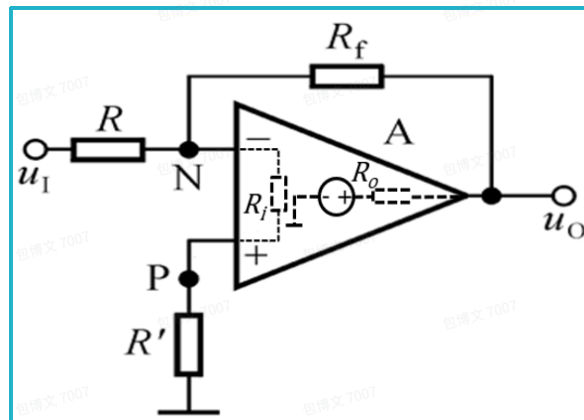
- 内部结构 (以 μ A741为例)：**通常由四部分组成：
 - 差动输入级：**提供高输入阻抗和高共模抑制比。
 - 偏置电路：**为各级提供稳定的工作电流。
 - 中间放大级：**提供主要的电压增益。
 - 互补推挽输出级：**提供低输出阻抗和较强的带负载能力。
- 关键性能指标：**

- **输入失调电压 V_{IO} 与电流 I_{IO}** ：理想运放输入为0时输出也为0，但实际存在失调，需要外部电路调零。
- **差模开环增益 A_{vo}** ：理想运放此值为无穷大，实际运放如 $\mu A741$ 可达 10^6 倍以上。
- **共模抑制比 K_{CMR}** ：衡量运放抑制共模干扰（如电源噪声）的能力，值越大越好，通常在80~120dB。
- **增益带宽积**：是一个常数，反映了增益和带宽之间的制约关系。
- **转换速率 SR** ：衡量运放输出电压变化快慢的指标，决定了运放处理大信号和高频信号的能力。

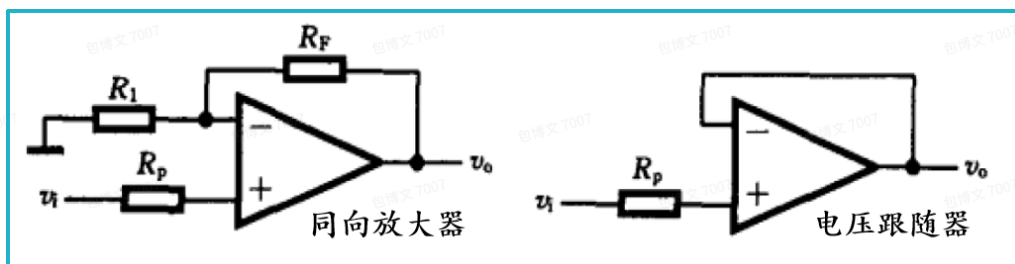
B. 基础应用电路详解 (核心重点)

运放的绝大多数应用都基于**深度负反馈**，此时电路的性能几乎只取决于外部反馈网络（电阻、电容），而与运放自身的参数无关。

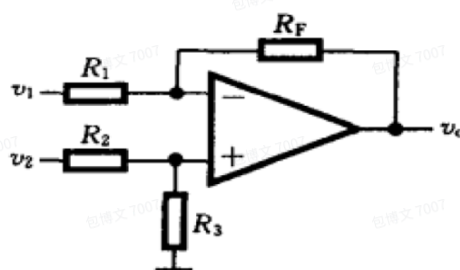
- **反相放大器**：输出与输入相位相反，增益 $A_v = -R_f/R_1$ 。



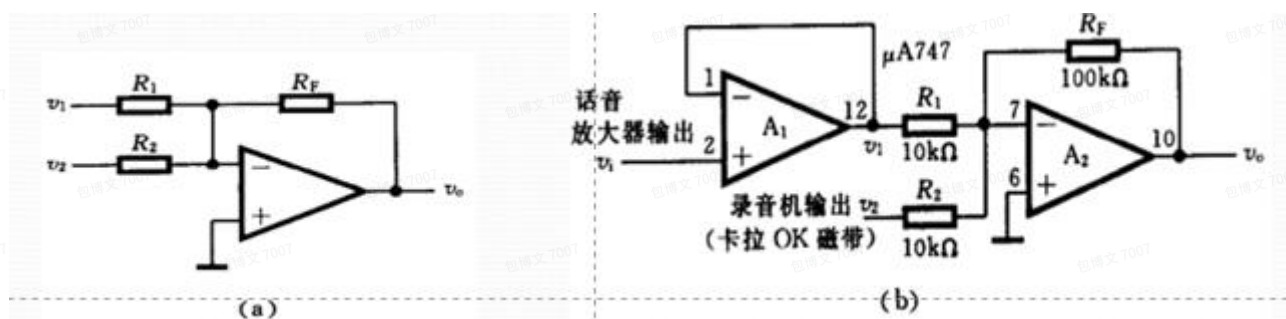
- **同相放大器**：输出与输入相位相同，增益 $A_v = 1 + R_f/R_1$ 。输入阻抗极高。当 $R_f = 0, R_1 = \infty$ 时，即为**电压跟随器**，增益为1，是理想的阻抗变换器。



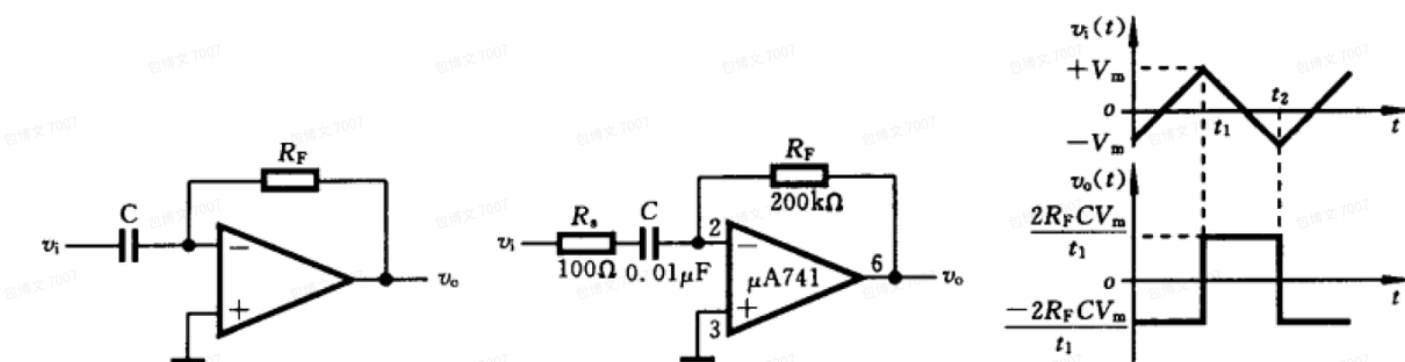
- **差动放大器**：放大两个输入端电压之差。当电阻匹配时， $v_o = (v_2 - v_1) \cdot (R_f/R_1)$ 。**仪器放大器**是其精密版本，具有极高的共模抑制比。



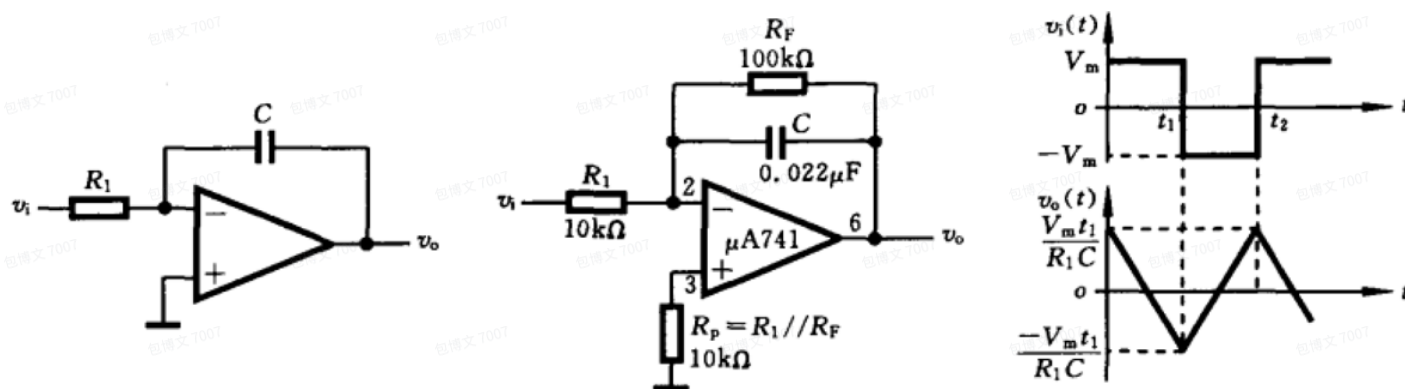
- **加/减法器**：实现多路信号的加权求和。在反相加法器基础上，配合反相器即可实现减法。



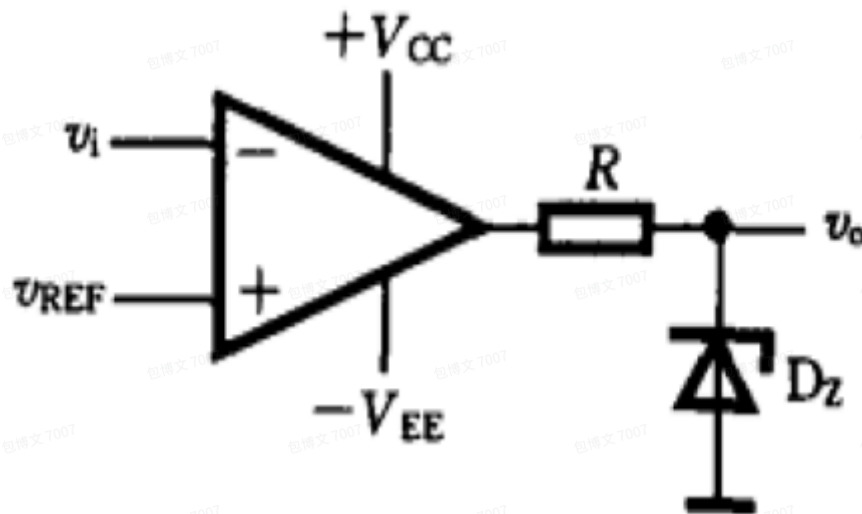
- **微分器**：输出电压与输入电压的微分成正比， $v_o = -R_F C \frac{dv_i}{dt}$ 。



- **积分器**：输出电压与输入电压的积分成正比， $v_o = -R_1 C \int v_i dt$ 。它可以将方波转换为三角波。



- **比较器**：比较两个输入电压的大小，输出高电平或低电平。() **窗比较器**可以判断输入信号是否在某个电压“窗口”范围内。



- **RC正弦波振荡器**：如文氏桥振荡器和双T型振荡器，通过RC选频网络和放大电路构成正反馈，产生特定频率的正弦波。
- **方波发生器**：利用运放的正反馈和RC充放电，构成一个迟滞比较器（施密特触发器），可以产生自激振荡输出方波。

第三章 数字逻辑电路

本章的核心是掌握常用集成逻辑器件（包括门电路、触发器、MSI电路、555定时器等）的**电气特性、逻辑功能和典型应用**，并学会如何将它们组合起来，设计出具有特定功能的数字逻辑系统。

一、集成逻辑门基础 (§ 3.1)

集成逻辑门是数字电路最基本的单元。本章主要介绍了TTL和CMOS两大系列。

A. TTL与CMOS门电路的核心参数对比

了解这些参数是正确使用逻辑门、保证电路可靠性的前提。

参数	TTL门电路 (Transistor-Transistor Logic)	CMOS门电路 (Complementary Metal-Oxide Semiconductor)
输出高电平 (VOH)	一般 $VOH \geq 3.5V$ 。输出高电平并非理想的+5V，有一定压降。	$VOH \geq 0.95V_{DD}$ 。输出电平非常接近电源电压。
输出低电平 (VOL)	一般 $VOL \leq 0.4V$ 。	$VOL \leq 0.05V_{DD}$ 。输出低电平非常接近地（0V）。
静态功耗 (PD)	相对较大，mW级别。因为内部三极管在稳态时可能有导通路径。	极低 ， μW 级别。理想情况下，稳态时P管和N管都不会从电源到地的直流通路。
平均传输延迟 (tpd)	速度快，典型值为几纳秒至几十纳秒。 $tpd = (t_{PLH} + t_{PHL})/2$ 。	早期CMOS较慢，但现代HC/HCT系列速度已接近TTL。
扇出系数 (NO)	反映带负载能力，即一个输出能驱动多少个同类门的输入。一般规定 $NO \geq 8$ 。它由拉电流和灌电流能力决定，取两者中较小值。	输入阻抗极高，输入电流极小。在低频时扇出能力很强。在高频时，主要受后级输入电容影响，-
噪声容限 (VN)	V_{NH} 和 V_{NL} 一般约为 400mV 。抗干扰能力一般。	通常为电源电压 V_{DD} 的 **30%** 左右。当 V_{DD} 为1.5V， 抗干扰能力远强于TTL 。提高 V_{DD} 可进

B. 逻辑门通用使用规则

这些是电路设计中的“金科玉律”，违反它们极易导致电路工作不正常。

1. 电源要求：

- 电源电压波动不能过大，一般允许在 $V_{CC} \pm 10\%$ 范围内。
- 必须进行**电源滤波**。由于数字器件高速切换会产生毫安级的电流跳变，这些跳变会在电源走线上产生噪声。解决方法是在每个芯片的电源引脚附近并联一个**0.01~0.1 μ F**的高频滤波电容（瓷片电容），并在电路板的电源入口处并联一个**10 μ F**左右的低频滤波电容（电解电容）。

2. 输入端处理：

- 绝对不允许悬空！** TTL输入端悬空相当于输入高电平，但极易受干扰。CMOS输入端悬空，其电平不确定，可能导致功耗剧增甚至器件损坏。
- 正确做法：**不用的输入管脚，根据逻辑需要，通过上拉电阻接至VCC（或直接接VCC），或通过下拉电阻接地（或直接接地），给它一个确定的高电平或低电平。

3. 输出端连接：

- 绝对不允许**将普通门电路的输出端直接接到VCC或GND，这会造成短路烧毁器件。
- 绝对不允许**将普通门电路（如图腾柱输出）的输出端直接并联在一起，这会产生逻辑冲突和器件损坏。
- 例外：**只有**集电极开路(OC)**门和**三态(TS)**门的输出端才允许并联使用，以实现“线与”或构建总线结构。

二、集成逻辑门的高级应用

除了实现基本的逻辑运算，逻辑门还可以组合成更复杂的电路。

A. 逻辑门构成的振荡器与时钟源

- RC多谐振荡器：**利用两个反相器（或与非门）、一个电阻R和一个电容C构成正反馈环路，可以产生自激振荡，输出矩形脉冲。
 - 原理：**通过电容C的充放电过程，使反相器输入端的电压在门电路的阈值电压 V_{th} 上下摆动，从而导致输出状态的周期性翻转。
 - 周期计算：**对于CMOS门，当 $V_{th}=V_{DD}/2$ 时，周期 $T \approx 1.4RC$ 。对于TTL门，由于其输入输出特性不对称，高低电平的持续时间也不同。
- 晶体振荡器：**将RC替换为**石英晶体**，可以构成频率稳定性极高的时钟源。
 - 原理：**石英晶体具有压电效应，其等效电路为一个LC谐振网络。只有在晶体的谐振频率附近，电路的反馈才满足振荡的相位和幅度条件，从而产生频率极其精确和稳定的振荡。
- 环形振荡器：**将**奇数个**反相器首尾相接，利用门电路自身的传输延迟 t_{pd} 来构成振荡。振荡周期 $T=2nt_{pd}$ （n为门个数）。这种振荡器结构简单，但频率稳定性较差。

B. 特殊门电路：集电极开路(OC)与三态(TS)门

这两种门电路是构建**总线 (Bus)** 结构的基础。

- **集电极开路(OC)门：**

- **结构：**其输出级没有内部的上拉部分，输出晶体管的集电极是开路的。
- **使用：**使用时必须在输出端和电源VCC之间外接一个**上拉电阻 RL**。
- **线与 (Wired-AND)：**多个OC门的输出端可以直接连接在一起。只要有一个门的输出为逻辑“0”（内部晶体管导通，将总线拉到低电平），整个总线的电平就是低电平。只有当所有门的输出都为逻辑“1”（内部晶体管均截止，呈高阻态）时，总线才会被上拉电阻RL拉到高电平。这就实现了“与”逻辑。
- **应用：****I²C总线**就是OC门（或等效的开漏OD门）的典型应用，SDA和SCL两条线允许多个主从设备挂接。()

- **三态(TS)门：**

- **结构：**比普通门多了一个**使能端(EN)**。
- **三种状态：**
 - i. EN有效（如EN=0）：门正常工作，输出逻辑“1”或“0”。
 - ii. EN无效（如EN=1）：门的输出级上下拉部分全部截止，输出端呈现**高阻态 (Hi-Z)**，相当于从总线上断开。
- **应用：**非常适合用于**数据总线**。多个设备（如CPU、内存、外设）的输出端可以并联到同一组总线上。任何时候，通过使能信号（片选信号），只允许其中一个设备向总线输出数据，其他设备都处于高阻态，避免了总线冲突。()

三、集成触发器原理与应用 (§ 3.2)

触发器是构成**时序逻辑电路**的基本单元，它具有**记忆功能**，能够存储1位二进制信息。

A. 触发器的基本概念与分类

- **触发方式：**

- **电平触发（基本RS触发器）：**输入电平变化，输出立刻变化。
- **脉冲触发 (主从触发器)：**在一个时钟脉冲CP周期内分两步动作，先在CP=1期间接收数据（主触发器），再在CP下降沿将数据传递到输出（从触发器）。
- **边沿触发：**仅在时钟CP的**上升沿**或**下降沿**的瞬间接收输入数据并改变输出状态。边沿触发器的抗干扰能力最强，是现代数字系统中最常用的类型。

- **逻辑功能：**

- **RS触发器：**置位(S)、复位(R)功能，存在S=R=1的约束（不定态）问题。

- **JK触发器**：具备置位、复位、保持功能，并在 $J=K=1$ 时具有**翻转(Toggle)**功能，解决了RS触发器的不定态问题。
- **D触发器**：数据(Data)触发器，其输出状态 Q 在时钟有效边沿到来时，直接复制输入端 D 的状态。 $Q_{n+1}=D$ 。非常适合用于数据寄存。
- **T触发器**：翻转(Toggle)触发器，当 $T=1$ 时，每个时钟脉冲到来，输出状态 Q 就翻转一次。 $Q_{n+1}=T \oplus Q_n$ 。常用于分频。

B. 单稳态触发器

- **定义**：只有一个稳定状态，一个暂稳态。在外加脉冲触发下，会从稳态翻转到暂稳态，维持一段时间 t_w 后，自动返回稳态。 t_w 的宽度由外部RC参数决定。
- **分类**：
 - **不可重触发单稳 (74LS121)**：在暂稳态期间，对新的触发脉冲不响应。
 - **可重触发单稳 (74LS123)**：在暂稳态期间，如果再次接收到触发脉冲，会从新的触发时刻起，重新开始计时，从而实现脉冲展宽。
- **应用**：脉冲延时、脉冲整形、高通/低通滤波器、构成占空比可调的脉冲发生器等。

四、集成定时器555的原理与应用 (§ 3.3)

555定时器是一款功能强大、用途极广的模数混合集成电路。

- **内部结构**：其核心由**两个电压比较器**、一个**基本RS触发器**、一个**放电三极管T**以及一个由三个 $5k\Omega$ 电阻构成的**分压器**组成。这个分压器为两个比较器提供了 $2/3V_{CC}$ 和 $1/3V_{CC}$ 两个固定的基准电压。
- **两种核心工作模式**：
 - 单稳态触发器**：
 - **连接**：触发输入端(2脚)接触发脉冲，阈值端(6脚)和放电端(7脚)通过外接RC电路连接。
 - **工作过程**：平时输出为低电平。当2脚输入一个低于 $1/3V_{CC}$ 的负脉冲时，内部触发器置位，输出变为高电平，同时放电管T截止，电源通过外接电阻R向电容C充电。当电容电压 v_C 充到 $2/3V_{CC}$ 时，6脚的比较器翻转，使触发器复位，输出恢复为低电平，放电管T导通将电容C迅速放电。
 - **脉宽**：输出高电平的持续时间 $t_p=1.1RC$ 。
 - 多谐振荡器 (无稳态)**：
 - **连接**：将2脚和6脚连在一起，接到电容C上。通过外接电阻 R_1, R_2 构成充放电回路。
 - **工作过程**：电路接通后，电源通过 R_1 和 R_2 给电容C充电，当 v_C 上升到 $2/3V_{CC}$ 时，输出翻转为低电平，放电管T导通，电容C通过 R_2 和放电管T放电。当 v_C 下降到 $1/3V_{CC}$ 时，输出又翻转为高电平，放电管T截止，C又开始充电。如此周而复始，形成自激振荡。
 - **频率**： $f_o=0.7/((R_1+R_2)C+R_2C)$ 。通过外接二极管，可以使充放电路径分开，实现占空比从0到100%的连续可调，而频率基本保持不变。

五、 中规模组合逻辑电路 (MSI Combinational Logic) (§ 3.4)

- **编码器 (Encoder):** 将多个输入信号赋予特定的二进制编码。如**74LS148**是8线-3线优先编码器，它会将8个输入中优先级最高的有效输入（低电平有效）编码成3位二进制数输出。()
- **译码器 (Decoder):** 编码的逆过程。如**74LS138**（3-8线译码器），它将3位二进制地址码翻译成8个输出信号，其中只有一个输出为有效（低电平），常用于微机系统中的**地址译码**（片选信号产生）。()
- **数据选择器 (Multiplexer):** 又称多路开关，从多路输入数据中选择一路送到唯一的输出端。如**74LS151**是8选1数据选择器。()
- **模拟开关 (Analog Switch):** 可以传输模拟信号或数字信号电子开关。如**CD4051/4052**，常用于多通道信号的切换，或构成可编程增益放大器。()()()
- **全加器 (Full Adder):** 实现二进制加法运算。如**74LS83**是4位全加器，通过将低位的进位输出(C4)连接到高位的进位输入(C0)，可以方便地级联成8位、16位等多位加法器。()

六、 时序逻辑电路设计 (§ 3.5 & § 3.6)

- **设计原则:** 用最少的元件（触发器和门），实现最简的逻辑电路，并能自启动。()
- **同步时序电路设计步骤 (以同步六进制计数器为例):**
 - a. **逻辑抽象:** 画出状态转换图，确定状态数 $M=6$ 。()
 - b. **确定触发器数目:** 需要 n 个触发器，满足 $2^{n-1} < M \leq 2^n$ 。对于 $M=6$ ，需要 $n=3$ 个触发器。()
 - c. **状态编码:** 为每个状态分配唯一的二进制编码（如 $S_0=000, S_1=001\dots$ ）。()
 - d. **求状态方程:** 列出状态转换真值表，用卡诺图化简，得到每个触发器的次态方程(Q_{n+1})。()
 - e. **求驱动方程:** 根据选用的触发器类型（如JK触发器）和次态方程，求出每个触发器输入端（J, K）的驱动方程。()
 - f. **画出逻辑图:** 根据驱动方程画出电路图。()
 - g. **检查自启动:** 检查无效状态（如110, 111）能否在时钟作用下自动进入有效循环。()
- **常用MSI时序器件:**
 - **异步计数器 (74LS90/92/93):** 内部各级触发器时钟非统一，有累积延迟，速度较慢。()
74LS90是非常灵活的十进制计数器，可配置成8421码或5421码输出。()
 - **同步加/减计数器 (74LS190/191):** 所有触发器由同一时钟驱动，速度快。可通过控制端实现加/减计数和预置数功能。()
 - **移位寄存器 (74LS95):** 可实现数据的并行输入/输出、串行输入和左/右移位等功能。

第五章 低频

§ 5.1 晶体管放大器设计

核心：设计一个具有稳定静态工作点（Q点）且满足增益、输入/输出阻抗等性能指标的放大器。

1、静态工作点（Q点）的稳定

- **电路结构：**最常用的是**分压式电流反馈偏置电路** ()。
- **稳定原理：**通过在发射极（e极）引入电阻 R_E 形成**直流负反馈**。当温度升高导致集电极电流 I_{CQ} 增大时，发射极电压 V_{EQ} 会随之升高，这使得基极-发射极电压 V_{be} 减小，从而抑制基极电流 I_{BQ} 的增长，最终使 I_{CQ} 恢复稳定 ()。
- **稳定条件：**必须满足流过偏置电阻 R_{B2} 的电流 I_1 远大于基极静态电流 I_{BQ} （即 $I_1 \gg I_{BQ}$ ），通常对于硅管取 $I_1 = (5 - 10)I_{BQ}$ ()。

2、静态参数估算

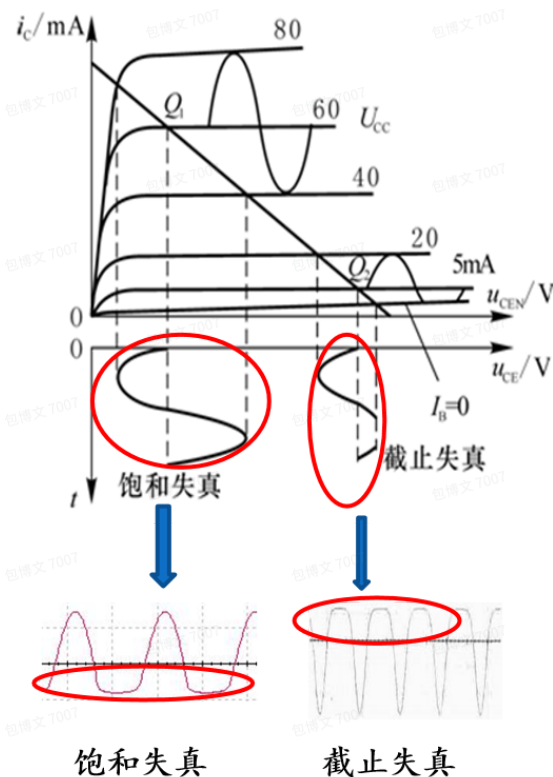
对于小信号放大器，一般取值如下：

- 集电极静态电流： $I_{CQ} = 0.5\text{mA} \sim 2\text{mA}$
- 发射极静态电压： $V_{EQ} = (0.2 \sim 0.5)V_{CC}$
- 集电极-发射极静态电压： $V_{CEQ} \approx V_{CC} - I_{CQ}(R_C + R_E)$ ，为保证不失真，Q点应设置在负载线中点附近。

3、动态性能指标

- **电压放大倍数 (A_v)：** $A_v = v_o / v_i = -\beta R_L' / r_{be}$ ，其中 $R_L' = R_C \parallel R_L$ 。
- **输入电阻 (R_i)：**反映放大器从信号源获取信号的能力，希望其值较大。 $R_i = R_{B1} \parallel R_{B2} \parallel r_{be}$ ()。
- **输出电阻 (R_o)：**反映放大器带负载的能力，希望其值较小。 $R_o \approx R_C$ ()。
- **通频带 (BW)：** $BW = f_H - f_L$ ，代表放大器能够有效放大的频率范围 ()。

4、失真



- **饱和失真：**Q点设置过高，导致输出波形顶部被削平。
 - **饱和状态的判断：**当晶体管处于**饱和状态**时，它相当于一个闭合的开关。此时，集电极和发射极之间的电压降 **VCEQ** 会变得非常小。对于硅管，这个饱和压降通常小于0.5V（典型值为0.2V~0.3V）。因此，如果测得VCEQ小于0.5V，就可以判断晶体管已经深度饱和。
- **截止失真：**Q点设置过低，导致输出波形底部被削平。
 - **截止状态的判断：**当晶体管处于**截止状态**时，它相当于一个断开的开关，几乎没有集电极电流 I_C 流过。因此，集电极电阻 R_C 上几乎没有电压降 ($V_{RC}=I_C \times R_C \approx 0$)。在这种情况下，集电极的对地电压 **VCQ** 就约等于电源电压 **VCC** ()。所以，当你测得 $VCQ \approx VCC$ 时，就可以判断晶体管工作在截止区。

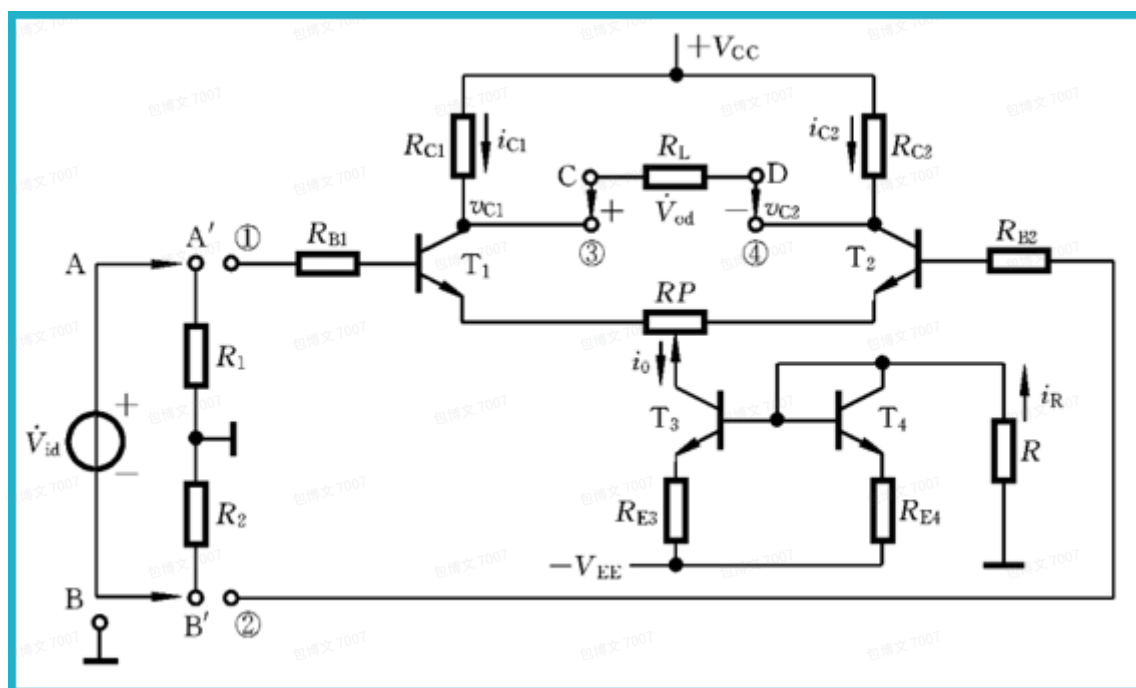
§5.2 场效应管 (FET) 源极跟随器设计

核心：利用FET高输入阻抗、低噪声的优点，常用于高灵敏度仪器的输入级。

- **特点：**FET是**电压控制器件**，利用栅源电压 v_{GS} 控制漏极电流 i_D 。输入阻抗极高，热稳定性好 ()。
- **工作区：**放大器工作在**饱和区**（恒流区）。
- **源极跟随器：**
 - **电压增益 (A_v)：**约等于1，无电压放大能力，但有电流放大能力。
 - **输入电阻 (R_i)：**非常高。
 - **输出电阻 (R_o)：**非常低。
 - **作用：**主要用作**缓冲级**或**阻抗匹配**。

§ 5.3 差分放大器设计

核心：有效抑制零点漂移，对共模信号有很强的抑制能力。



- **电路结构：**由一对特性完全相同的差分对管 (T_1, T_2) 和恒流源电路组成。
- **工作原理：**电路的对称性和恒流源的作用，使得温度、电源等变化对两管的影响相同且相互抵消，从而有效抑制零点漂移。常作为**输入级**或**中间放大级**
- **传输特性：**输出电流随差模输入电压 v_{id} 变化而变化，具有线性区、非线性区和限幅区。
 - 当差模输入电压 $V_{id}=0$ 时, 两管的集电极电流相等, $I_{C1Q}=I_{C2Q}=I_O/2$, 称Q点为**静态工作点**;
 - 当 v_{id} 增加 ($\pm 25\text{mV}$ 以内) 时, i_{C1} 随 v_{id} 增加而线性增加, i_{C2} 随 v_{id} 增加而线性减小, $I_{C1}+I_{C2}=I_O$ 的关系不变, 称 v_{id} 的这一变化范围为**线性放大区**;
 - 在 v_{id} 增加到使 T_1 趋于饱和区, T_2 趋于截止区 (v_{id} 超过 $\pm 50\text{mV}$) 时, i_{C1} 的增加和 i_{C2} 的减小都逐渐缓慢, 这时 i_{C1} 、 i_{C2} 随 v_{id} 的变化作非线性变化, 称 v_{id} 的这一变化范围为**非线性区**;
 - 在 v_{id} 再继续增加 (超过 $\pm 100\text{mV}$), T_1 饱和、 T_2 截止时, i_{C1} 、 i_{C2} 不再随 v_{id} 变化而变化, 称 v_{id} 的这一变化范围为**限幅区**。
- **差模特性：**放大差模信号 (两个输入端大小相等、极性相反的信号)。

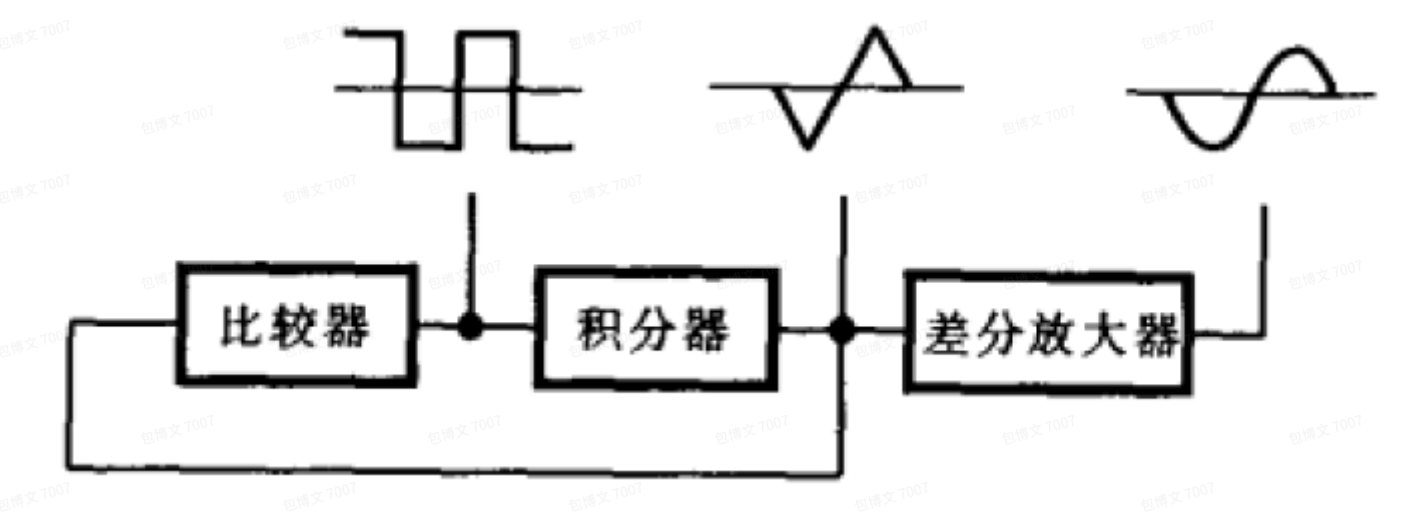
连接方式	差模特性		
	差模电压增益 A_{VD}	差模输入电阻 R_{id}	差模输出电阻 R_{od}
双端输入—双端输出	$A_{VD} \approx \frac{-\beta R'_L}{R_{B1} + r_{be}}$ $R'_L = R_C // \frac{R_L}{2}$	$R_{id} \approx 2(R_{B1} + r_{be}) + (1 + \beta) R_P$ $r_{be} \approx 300\Omega + (1 + \beta) \frac{26mV}{\{I_{C1}\}_{mA}}$	$R_{od} = 2R_C$
单端输入—双端输出	同上	同上	同上
双端输入—单端输出	$A_{VD} \approx \frac{-\beta R'_L}{2(R_{B1} + r_{be})}$ $R'_L = R_C // R_L$	同上	$R_o = R_C$
单端输入—单端输出	同上	同上	同上

- 共模特性与共模抑制比（CMRR）：
 - 对共模信号（两个输入端大小相等、极性相同的信号）有很强的抑制作用。
 - CMRR** 是衡量差分放大器抑制共模信号能力的指标，定义为差模增益 A_{vd} 与共模增益 A_{vc} 的比值： $K_{CMRR}=|A_{vd}/A_{vc}|$ 。CMRR越大，放大器性能越好。

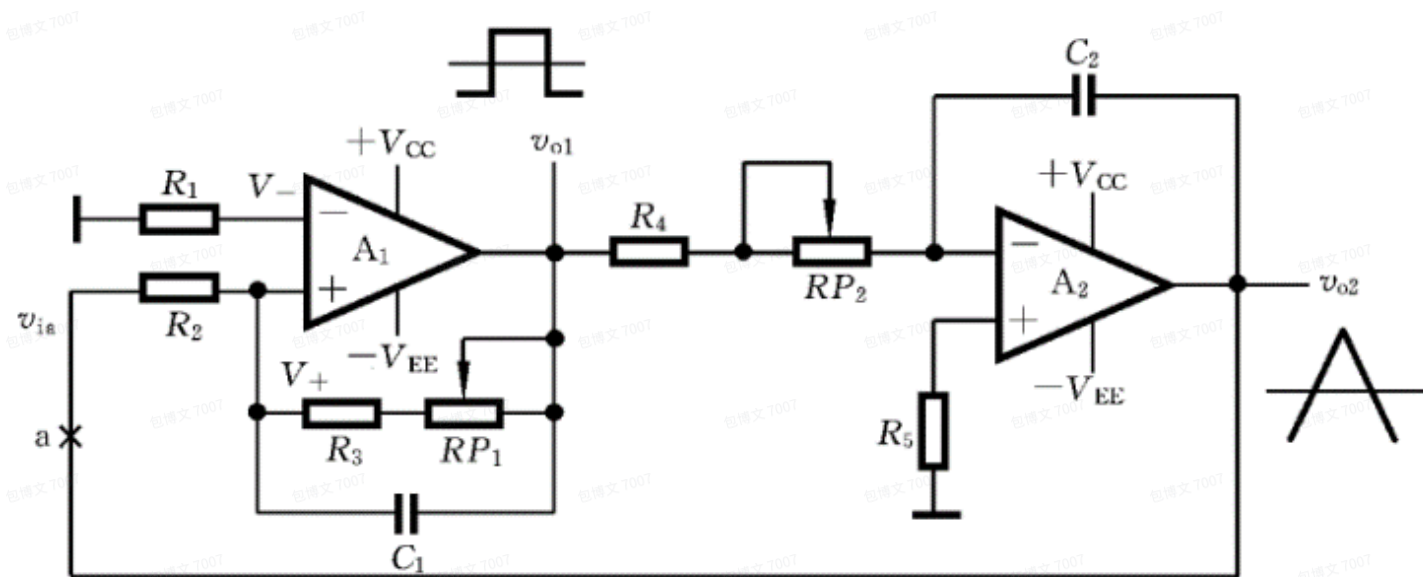
§ 5.4 函数发生器设计

核心：产生方波、三角波、正弦波等基本函数信号。

- 方波-三角波产生电路：由电压比较器和反相积分器首尾相连构成闭环电路。



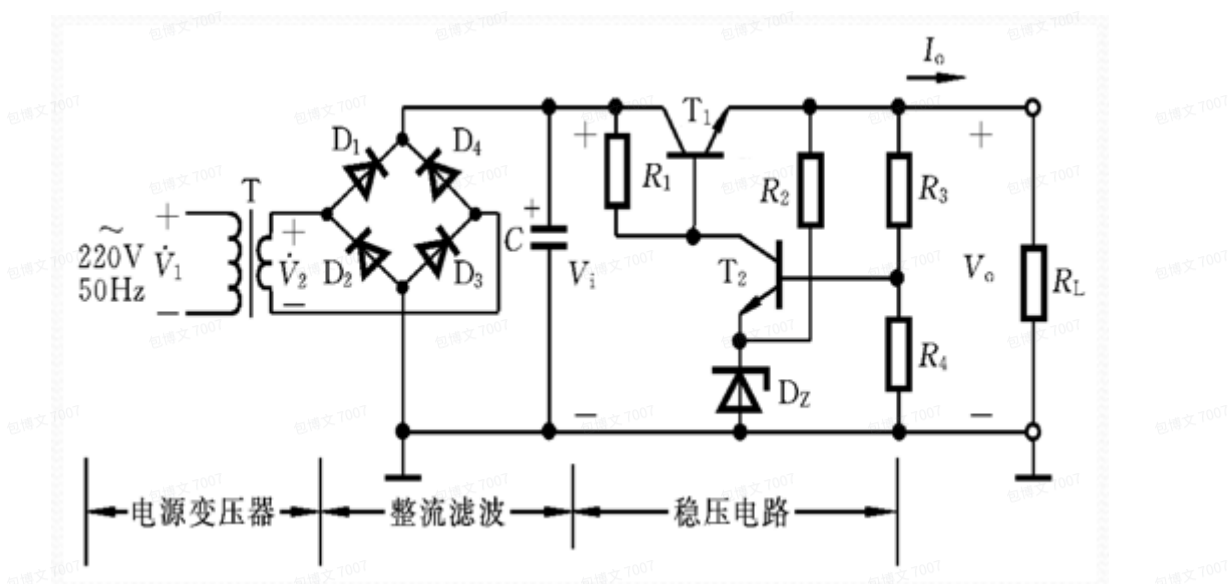
- 电压比较器产生方波。
- 积分器将方波转换为三角波。



- 三角波-正弦波转换电路：利用差分放大器的非线性传输特性（饱和与截止特性）将三角波转换为正弦波（）。

§ 5.5 集成直流稳压电源设计

核心：将交流电转换为稳定、可靠的直流电。



- 基本组成：

第一步：降压 (电源变压器 T)

- 市电220V、50Hz的交流电 V_1 首先经过电源变压器 T。
- 作用：变压器的作用是将高压的交流电降低到一个适合后续电路工作的低压交流电 V_2 。例如，如果最终需要输出12V的直流，那么 V_2 的有效值可能会被设计在15V左右。

第二步：整流 (桥式整流电路 D_1 - D_4)

- 降压后的低压交流电 V_2 被送到由四个二极管 D_1 、 D_2 、 D_3 、 D_4 组成的桥式整流电路。
- 作用：将方向和大小都周期性变化的交流电，转换成方向单一、但大小仍在脉动的直流电。

工作原理：

- 当 V_2 处于**正半周**时，电流从变压器上端流出，经过二极管 D_1 ，流向负载（电容C），再从负载流回，经过二极管 D_3 ，回到变压器下端（）。
- 当 V_2 处于**负半周**时，电流从变压器下端流出，经过二极管 D_2 ，流向负载（电容C），再从负载流回，经过二极管 D_4 ，回到变压器上端（）。
- **关键点：**无论 V_2 是正半周还是负半周，流过电容C和后续电路的**电流方向始终是相同的**（从上到下）。这样，输出的就不再是交变的电压，而是一连串向上拱起的“脉动”直流电压。

第三步：滤波 (滤波电容 C)

- 桥式整流电路输出的脉动直流电被送到一个大容量的**滤波电容C**（）。
- **作用：**将脉动的直流电“削峰填谷”，使其变得相对平滑。
- **工作原理：**
 - 当脉动电压上升时，电容 C 会快速充电，将其电压充至脉动电压的峰值（）。
 - 当脉动电压从峰值开始下降时，由于电容两端的电压不能突变，它会通过后续的稳压电路和负载 R_1 缓慢地放电，这个放电过程“填补”了脉动电压的“波谷”（）。
 - 经过电容的滤波，输出的电压 V_i 就不再是剧烈脉动的，而是一个带有少量波纹（纹波）的、基本平稳的直流电压（）。

第四步：稳压过程（负反馈调节）

首先，我们来明确一下各个元器件的角色：

- **T_1 (调整管)：**这是一个大功率晶体管，**串联**在主电路中，像一个“**可变水龙头**”，通过调节自身的导通程度（等效电阻的大小）来控制流向负载的电流，从而稳定输出电压。
- **D_z (稳压管)：**它的作用是提供一个**极其稳定的基准电压**。只要流过它的电流在一定范围内，它两端的电压就几乎不变。它是整个稳压系统的“标尺”。
- **T_2 (比较放大管)：**这个小功率晶体管像一个“精密的比较器和放大器”。它负责比较输出电压的“采样”和稳压管的“基准”，并将微小的误差放大，然后去控制调整管 T_1 。
- **R_3 和 R_4 (取样电阻)：**它们组成一个分压电路，从输出电压 V_o 中“取出”一个按比例缩小的**采样电压**，送到 T_2 的基极。
- **R_1 ：**为调整管 T_1 提供偏置电流。

这个电路通过一个精巧的**负反馈**环路实现稳压。我们来分析两种典型情况：

情况一：当输出电压 V_o 试图升高时 (例如负载 R_1 变大或输入 V_i 升高)

- 取样：** $V_o \uparrow \rightarrow$ 通过 R_3 、 R_4 分压后， T_2 B极的采样电压也 \uparrow 。

- ii. **比较放大**： T_2 的E极电压被稳压管 D_z “钉” 在一个固定的基准值上。现在 T_2 的B极电压升高，导致其基极-发射极电压 V_{be} 增大， T_2 的**导通程度加深**，集电极电流 I_{C2} 增大。
- iii. **控制**：增大的 I_{C2} 流过电阻 R_2 ，使得 R_2 上的压降增大，从而导致 T_2 C电极的电压下降。
- iv. **调整**： T_2 的集电极连接着 T_1 的基极，所以 T_1 的基极电压也随之下降。 T_1 的基极电压降低，导致 T_1 的导通程度**减弱**，其**等效电阻增大**。
- v. **结果**： T_1 这个“水龙头”被关小了一点，它分担了更多的输入电压，使得最终输出到负载的电压 V_o 被**拉低**，从而抵消了最初想要升高的趋势，使 V_o 恢复到设定值。

情况二：当输出电压 V_o 试图降低时 (例如负载 R_L 变小或输入 V_i 降低)

过程正好相反：

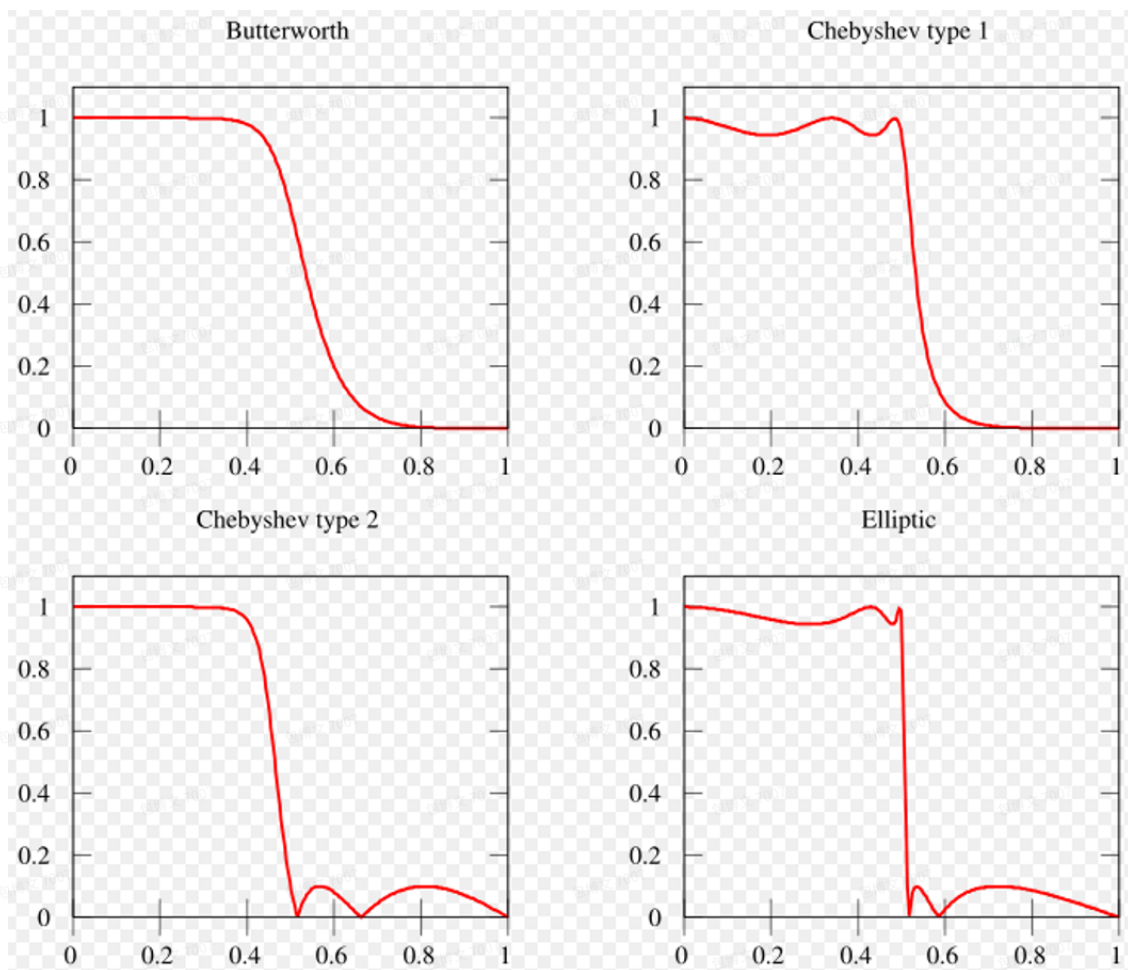
- i. $V_o \downarrow \rightarrow T_2$ 基极电压 \downarrow
- ii. T_2 导通程度**减弱**， $I_{C2} \downarrow$
- iii. R_2 上压降 $\downarrow \rightarrow T_2$ 集电极电压 \uparrow
- iv. T_1 基极电压 $\uparrow \rightarrow T_1$ 导通程度**加深**，等效电阻减小
- v. T_1 这个“水龙头”被开大了一点，最终输出的电压 V_o 被**抬高**，从而使 V_o 恢复到设定值。

通过这样持续、快速的动态反馈调节，电路就能始终保持输出电压 V_o 的稳定。

§ 5.6 RC有源滤波器设计

核心：利用运放和RC网络，对特定频率范围的信号进行选择性地通过或抑制。

- **滤波器类型**：低通、高通、带通、带阻。
- **常用响应特性**：
 - **巴特沃斯 (Butterworth)**：通带内最平坦，无波纹。
 - **切比雪夫 (Chebyshev)**：比巴特沃斯有更陡峭的过渡带，但通带内 (I型) 或阻带内 (II型) 有等波纹。
 - **椭圆 (Cauer)**：过渡带最陡峭，但通带和阻带内均有波纹。



- **基本电路形式：**

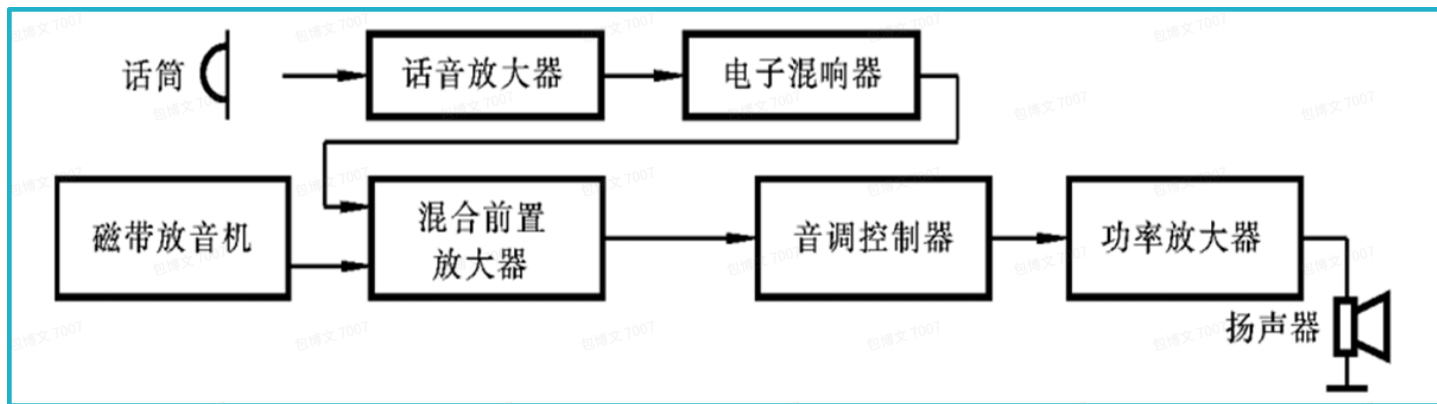
- **压控电压源 (VCVS)：** 运放同相输入，性能稳定，增益调节方便 ()。
- **无限增益多路反馈 (MFB)：** 运放反相输入，元件少，但增益调节会影响性能 ()。

- **快速设计法：**

- 确定指标：** 如截止频率 f_c 、增益 A_v 、品质因数 Q 等 ()。
- 查表：** 根据指标和选定的电路形式，从设计表中查出归一化 ($K=1$ 时) 的元件参数值 ()。
- 计算：** 根据公式计算出实际所需的元件值。

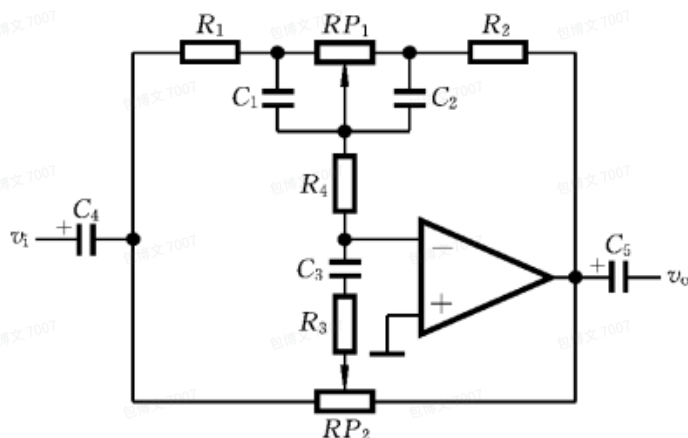
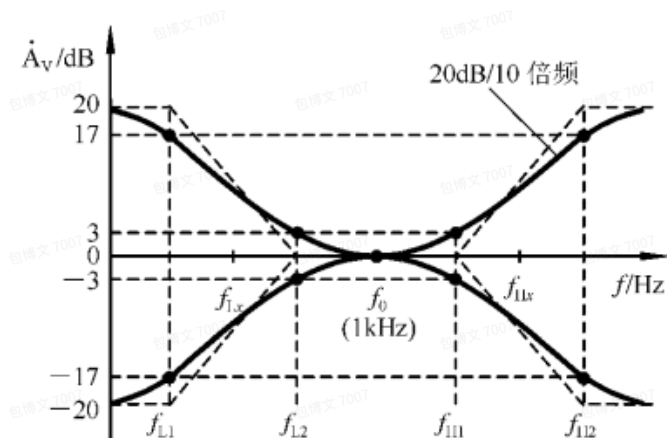
§ 5.7 音频电子线路设计

核心： 处理20Hz至20kHz范围内的音频信号。



• 基本组成：

- 话筒放大器：**放大话筒输出的微弱信号，要求高输入阻抗。
- 电子混响延时器：**使用BBD（桶形器件）芯片（如MN3207）产生延时效果，增加声音的立体感。
- 混合前置放大器：**将多路信号（如话筒、音乐）混合，常用反相加法器实现。
- 音调控制器：**只对低音频与高音频的增益进行提升与衰减，中音频的增益保持 0dB 不变。



音频功率放大器：给音响放大器的负载扬声器提供一定的输出功率。当负载一定时,希望输出的功率尽可能大,输出信号的非线性失真尽可能小。集成功放 LM386 是一个单电源供电的音频功放,外部封装为 8 个引脚,通过改变引脚①和⑧之间的外部连接电阻和电容,就可以改变放大器的增益。

第六章 高频

§ 6.1 高频小信号谐振放大器

高频小信号谐振放大器是无线通信系统的核心部件，主要功能是放大特定频率的高频信号并滤除其他频率的干扰信号，即兼具放大和选频两种作用。

1、基本工作原理

- 核心结构：**其负载通常不是纯电阻，而是 **LC 并联谐振回路**。这个回路使得放大器只对谐振频率 f_0 及其附近的信号有很高的增益，而对偏离此频率的信号增益急剧下降，从而实现选频。

- **电路组成**：以单级单调谐回路谐振放大器为例，它由晶体管、偏置电路、输入回路和 LC 并联谐振负载组成。
- **高频效应**：在高频下，必须考虑晶体管的**极间电容**（如 C_{be} , C_{bc} ）和电路的**分布参数**（导线电感、电容等），它们会影响放大器的性能，成为谐振回路总电容的一部分。
- **静态工作点**：其计算方法与低频放大器相同，由偏置电阻 R_{B1} 、 R_{B2} 和 R_E 决定。
- **高频等效模型**：分析高频特性时，需要使用晶体管的高频等效电路模型，最常用的是**混合 π 模型**。该模型包含了基区电阻 $r_{bb'}$ 、发射结电阻 $r_{b'e}$ 、发射结电容 $C_{b'e}$ 、集电结电容 $C_{b'c}$ 等多个参数，能准确反映晶体管在高频下的特性。

2、主要性能指标及测试

(1) 谐振频率 (f_0)

- **定义**：指放大器 LC 谐振回路发生谐振时对应的频率，此时放大器增益最大。
- **计算公式**： $f_0 = \frac{1}{2\pi LC\Sigma}$

其中， $C\Sigma$ 是回路的总电容，包括外接电容 C 、晶体管输出/输入电容的折合值以及分布电容。

- **测量**：调节输入信号频率，观察到**输出电压 V_o 最大**或**集电极直流电流 I_{co} 最小**时，对应的输入频率即为谐振频率 f_0 ()。

(2) 谐振电压增益 (AVO)

- **定义**：放大器在谐振频率 f_0 处的电压放大倍数 ()。
- **计算**： $AVO = V_i/V_o$ ，在谐振状态下分别测量输出和输入电压有效值得到 ()。

(3) 通频带 (BW)

- **定义**：电压增益从最大值 AVO 下降到其 **0.707倍**（即-3dB）时所对应的频率范围 ()。
- **计算公式**： $BW = f_H - f_L = QLf_0$ ，其中 QL 是回路的**有载品质因数** ()。QL 越高，通频带越窄，选择性越好。
- **增益带宽积**：对于给定的晶体管和回路总电容 $C\Sigma$ ，谐振增益与通频带的乘积是一个常数： $AVO \cdot BW = 2\pi C\Sigma g_m$ (其中 $g_m \approx y_{fe}$)。这意味着增益和带宽相互制约，要提高增益就必须牺牲带宽，反之亦然 ()。

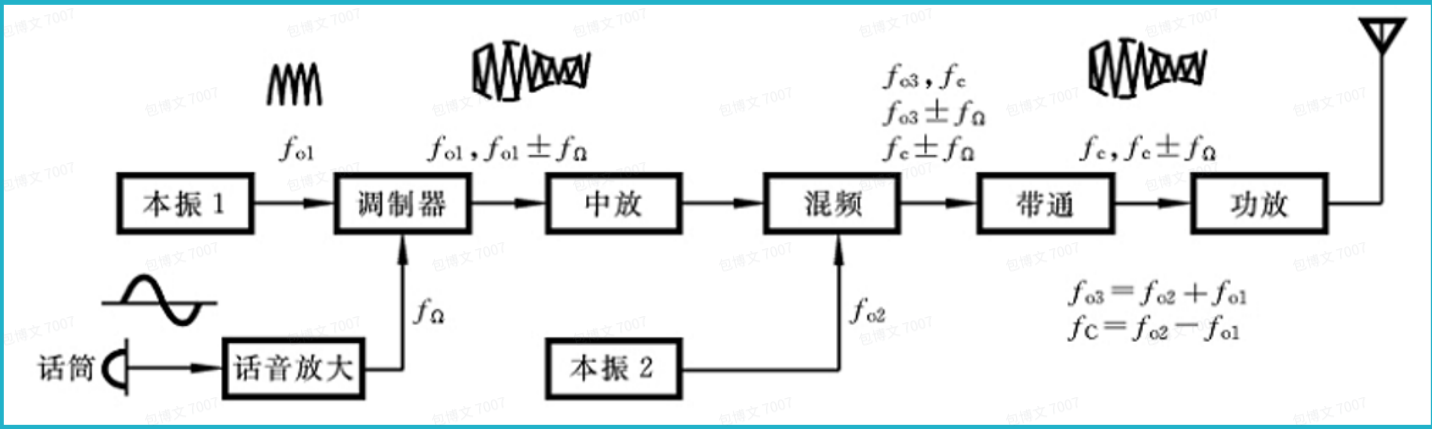
(4) 选择性与矩形系数 ($K_{r0.1}$)

- **定义**：衡量谐振放大器选频能力好坏的指标，即区分相邻信道、滤除干扰信号的能力。
- **矩形系数**： $K_{r0.1} = BW_{2\Delta f_{0.1}}/BW$ ，即电压增益下降到 $0.1AVO$ 时的频带宽度与下降到 $0.707AVO$ 时的频带宽度（即通频带 BW ）之比。
- **意义**： $K_{r0.1}$ 的值越接近 **1**，说明谐振曲线越陡峭，形状越接近矩形，选择性就越好。单级谐振放大器的选择性通常较差，为改善选择性，常采用**多级级联**的方式。

§ 6.2 调幅 (AM) 与调频 (FM) 系统

1、调幅（AM）发射机与接收机

• 调幅发射机原理：

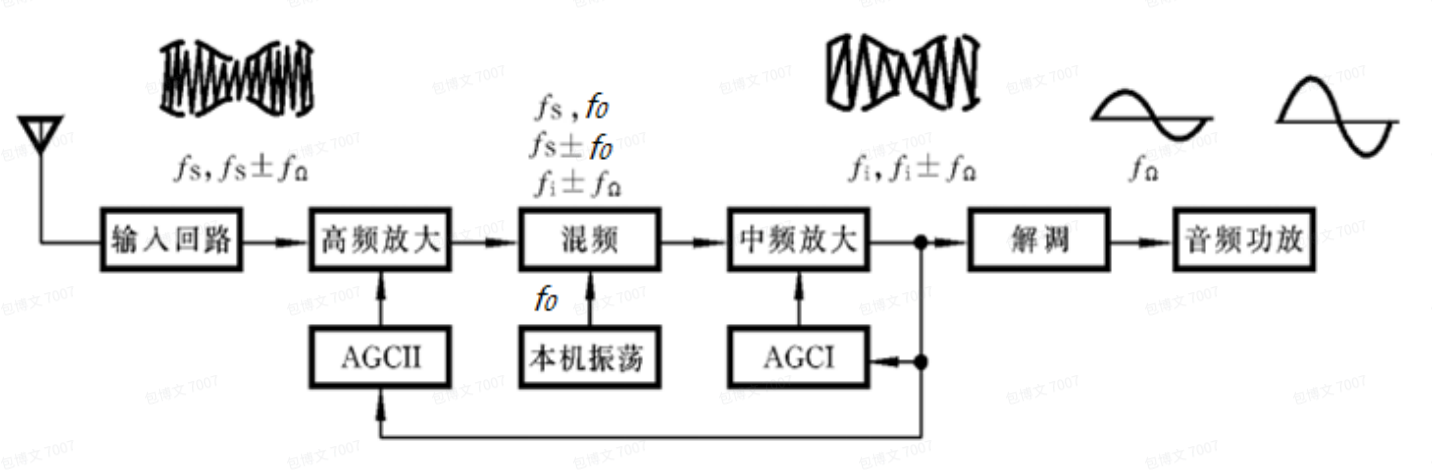


- 1. **话音放大**：将话筒输入的音频信号进行放大 ()。
- 2. **载波产生**：由本机振荡器（本振1）产生一个稳定的高频载波信号（中频信号 f_{o1} ） ()。
- 3. **调制**：将放大的音频信号与载波信号送入调制器，使载波的**振幅**随音频信号的规律变化，形成已调幅波 ()。
- 4. **混频与滤波**：将已调幅的中频信号与另一个更高频率的本振信号（本振2, f_{o2} ）进行混频，然后通过带通滤波器选出所需的发射频率 $f_c = f_{o2} - f_{o1}$ 。
- 5. **功率放大**：将已调制的载波信号进行功率放大，最后通过天线发射出去 ()。

• AM 发射机主要技术指标：

- **工作频率范围**：中波、短波段，通常为 300kHz ~ 30MHz ()。
- **调幅系数 (m_a)**：表示调制深度，取值范围 0~1 (0%~100%) ()。
- **失真**：包括非线性失真和线性失真，要求小于10% ()。

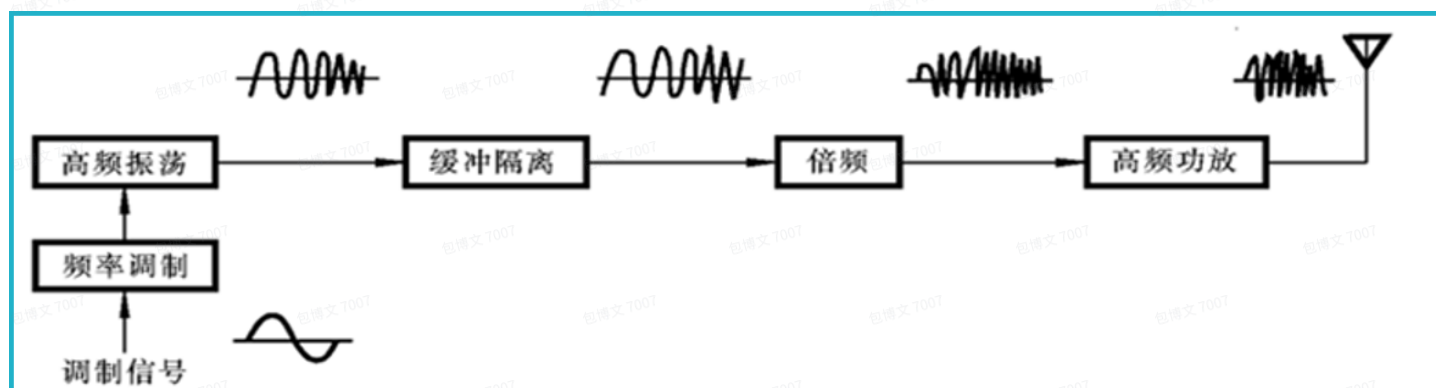
• 调幅接收机原理（超外差式）：



- 1. **高频放大与选频**：天线接收到众多电台信号，通过输入回路和高频放大器初步选出并放大所需要的电台信号 f_s 。

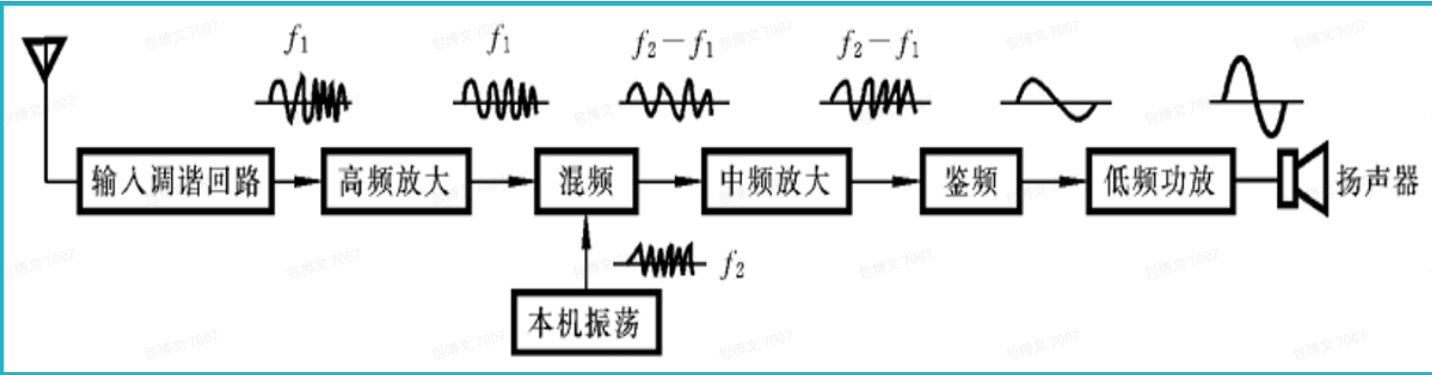
2. **混频**：将放大的高频信号 f_s 与本机振荡器产生的信号 f_o 送入混频器，产生一个新的、固定的**中频信号** $f_i=f_o-f_s$ 。标准调幅收音机的中频为 **465kHz** ()。
 3. **中频放大**：对固定的中频信号进行多级放大，这是超外差式接收机获得高灵敏度和高选择性的关键 ()。
 4. **解调（检波）**：从中频信号中恢复出原始的音频信号 ()。
 5. **低频功放**：将解调出的音频信号放大，用以驱动扬声器 ()。
- **AM 接收机主要技术指标**：
 - **灵敏度**：接收微弱信号的能力，一般为 $5\mu V \sim 50\mu V$ ()。
 - **选择性**：抑制相邻电台干扰的能力 ()。
 - **镜频抑制比**：抑制镜像频率干扰 (f_s+2f_i) 的能力，这是超外差式接收机特有的问题 ()。
 - **中频抑制比**：抑制频率刚好为中频的外部干扰的能力 ()。

2、调频（FM）发射机与接收机



- **调频原理与电路**：
 - **核心元件**：变容二极管。其结电容 C_j 会随着其两端反向偏压 v 的变化而改变。
 - **电路实现**：将变容二极管并联在 LC 振荡器（如克拉泼电路）的谐振回路中。用音频调制信号去改变变容二极管的偏压，从而改变其结电容，进而改变整个谐振回路的谐振频率。这样，振荡器输出信号的**频率**就随音频信号的规律变化，而振幅保持不变。
- **小功率调频发射机原理**：
 - a. **频率调制**：由高频振荡器和频率调制电路（含变容二极管）直接产生已调频信号 ()。
 - b. **缓冲隔离**：防止后续电路（负载）的变化影响主振荡器的频率稳定性 ()。
 - c. **倍频**：将频率和频偏同时提高到所需倍数。
 - d. **高频功放**：将信号功率放大后由天线发射。
- **FM 发射机主要技术指标**：
 - **工作频率范围**：通常在超短波（VHF）频段，如 $30\text{MHz} \sim 300\text{MHz}$ ()。
 - **最大频偏 (Δf_m)**：广播级一般为 $\pm 75\text{kHz}$ ()。

- 频率稳定度：要求载波频率非常稳定，以防信号漂移出接收机通带 ()。
- 发射功率 (PA)：决定了通信距离 ()。
- 调频接收机原理（超外差式）：



- 整体结构与调幅接收机类似，也包括高放、混频、中放、功放等部分。
- 关键区别：
 - 中频频率：调频收音机的中频通常为 **10.7MHz**，远高于调幅的465kHz。
 - 解调电路：使用**鉴频器**代替检波器，其作用是将频率的变化转换为幅度的变化，从而恢复音频信号 ()。
- FM 接收机主要技术指标：
 - 工作频率范围：与发射机对应。
 - 灵敏度：接收微弱信号的能力。
 - 通频带：调频接收机的通频带要宽得多，一般为 **200kHz** 左右，以容纳±75kHz的频偏 ()。

§ 6.3 无线技术与天线设计

1、常见短距离无线通信技术对比

现代无线应用广泛，涉及多种技术，各有特点。

技术	工作频段	有效距离	数据速率	功耗	主要特点/应用
Wi-Fi	2.4GHz / 5GHz	~100m	高 (11-600Mbps)	高	无线局域网、高速数据传输
Bluetooth / BLE	2.4GHz	10m - 100m	中 (2Mbps)	低	无线外设、音频、智能家居设备
ZigBee	2.4GHz / 915MHz	10m - 75m	低 (250Kbps)	非常低	低功耗传感器网络、智能控制
NFC	13.56MHz	< 0.1m	低 (≤424Kbps)	低	近场支付、门禁、快速配对
UWB	3.1-10.6GHz	~10m	高 (100Mbps)	低	高精度定位、高速短距离通信

2、无线传输硬件系统与天线

- **硬件系统组成：**典型的射频前端电路由**射频收发芯片、巴伦（Balun）与滤波器、阻抗匹配电路和天线**组成。
 - **巴伦（Balun）：**用于平衡信号（差分）与不平衡信号（单端）之间的转换。
 - **滤波器：**如T型或 π 型滤波器，用于滤除谐波和带外噪声。
 - **阻抗匹配：**至关重要，目的是使天线的输入阻抗与射频芯片的输出阻抗（通常为 **50 Ω** ）相匹配，以实现最大功率传输，减少信号反射。
- **天线种类：**
 - **PCB天线（板载天线）：**直接在电路板上蚀刻出天线图案，成本低，集成度高。常见的有**倒F型天线（IFA）和曲流型天线（Meandered Antenna）**。
 - **陶瓷贴片天线：**体积小，性能稳定。
 - **FPC天线：**柔性电路板天线，可灵活布置。
 - **棒状天线：**外置天线，增益通常较高。

3、PCB天线设计与参数

- **设计规则：**
 - 天线应布置在PCB**顶层**，周围区域（包括上下层）必须**净空**，不能有元器件或覆铜。
 - 天线附近需要**密集的接地过孔**，以保证良好的接地，抑制干扰。
 - 天线总长度与工作波长直接相关，例如，曲流型天线的长度通常为**四分之一波长**。2.4GHz信号在PCB中的波长约12cm，四分之一即为3cm。
- **关键性能参数：**
 - **输入阻抗：**天线馈电点的阻抗，目标是匹配到50 Ω 。
 - **回波损耗 (Return Loss) / S11参数：**衡量阻抗匹配程度的指标。它表示因不匹配而被反射回来的功率大小。S11值越小（负得越多），表示反射越小，匹配越好。通常要求在工作频带内S11 < -10dB。
 - **带宽 (Bandwidth)：**天线能够有效工作的频率范围，通常定义为S11参数小于-10dB的频率范围。
 - **辐射效率：**天线实际辐射出去的功率与输入到天线的总功率之比。效率越高，信号越强。
 - **增益与方向性：**增益表示天线在特定方向上辐射功率的能力，与全向辐射的理想天线相比。方向图描述了天线在各个方向上的辐射强度分布。

§ 6.4 单片微功率无线方案

1、相关术语

- **dBm：**表示功率绝对值的单位，0dBm = 1mW ()。
- **数字调制方式：**

- **ASK (幅移键控)**: 用载波的不同**幅度**表示0和1 ()。
- **FSK (频移键控)**: 用载波的不同**频率**表示0和1 ()。
- **GFSK (高斯频移键控)**: FSK的一种改进, 在调制前用高斯滤波器对数据进行滤波, 以减小已调信号的频谱宽度, 减少对邻近信道的干扰。nRF905和nRF2401都采用此方式。
- **曼彻斯特编码**: 一种自同步的编码方式, 将时钟信号和数据信号结合在一起。每个码元中间的跳变既作为时钟又作为数据。nRF905使用了此编码。

第七章 数字逻辑电路

本章的核心在于将基础的数字逻辑单元(如门电路、触发器、计数器、译码器等)和功能更复杂的集成电路(如555定时器、A/D、D/A转换器、EPROM等)组合起来, 设计出具有特定应用价值的数字系统。我们将逐一攻克PPT中的五个经典设计案例。

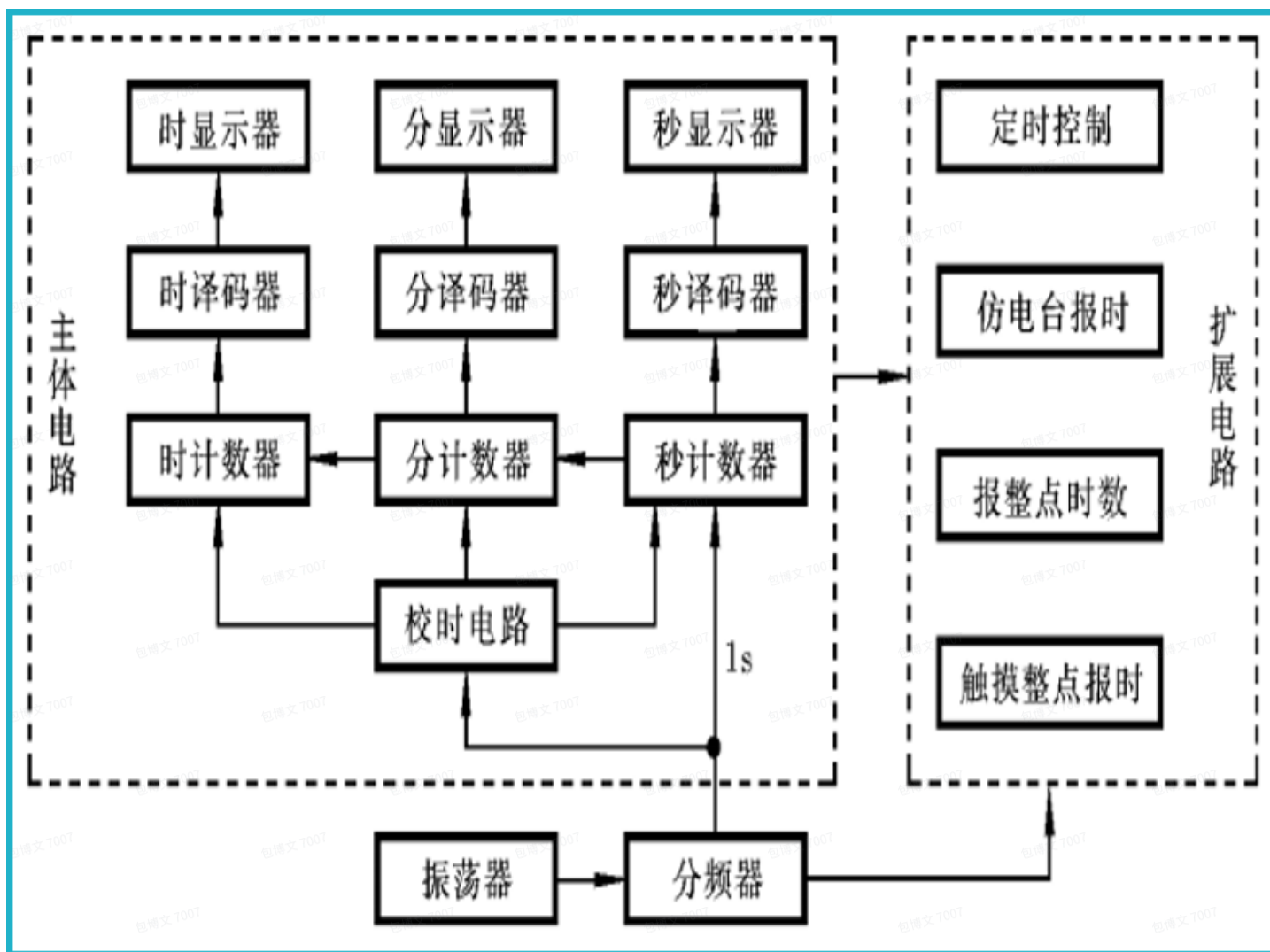
一、实例一: 多功能数字钟电路设计 (§ 7.1)

数字钟是数字电路课程中最经典的综合设计案例, 它完美地融合了时序逻辑、组合逻辑和显示技术。

A. 系统总体框图与工作原理

数字钟的核心思想是“计数”。它通过一个极其稳定的频率源, 经过分频得到标准的“秒”信号, 然后对秒信号进行累加计数, 并按照60进制和12进制的规则进行进位, 最终将时间信息通过译码驱动数码管显示出来。

- **信号流向**: 振荡器产生高频脉冲 → 分频器分频得到1Hz的标准秒脉冲 → 秒计数器计数(满60进1) → 分计数器计数(满60进1) → 时计数器计数(12翻1) → 译码器将计数结果(BCD码)转换为七段显示码 → 显示器显示时间。
- **控制部分**: 校时电路可以独立于正常计时通路, 向时、分计数器送入校时脉冲, 实现时间的快速或慢速校准。
- **功能扩展**: 在主体电路基础上, 可以引出特定频率信号或利用计数状态, 实现定时控制、整点报时等高级功能。



B. 核心模块详解

1. 振荡器与分频器

- 振荡器：作为数字钟的“心脏”，其频率稳定度直接决定了计时的准确性。
 - 高精度方案：采用石英晶体振荡器，如使用32768Hz的晶体。这个频率恰好是2的15次方，通过15级二分频即可得到精确的1Hz秒信号。
 - 低成本方案：如果精度要求不高，可使用555定时器搭建的多谐振荡器。PPT中的例子设计了一个1KHz的555振荡器，作为后续分频的基准。
- 分频器：其功能是产生标准秒脉冲，并为扩展功能提供其他频率的信号。
 - 实现：PPT中选用3片74LS90（十进制计数器）级联。若输入为1KHz，第一片输出可得100Hz，第二片输出可得10Hz，第三片输出可得标准的1Hz秒脉冲。同时，从中间级还可以引出如500Hz的音频信号用于报时等。

2. 时/分/秒计数器

- 秒、分计数器：这两个都是60进制计数器，计数范围为00-59。

- **实现：**可以用两片计数器级联。**个位**使用一片74LS90（0-9的BCD计数器）；**十位**则需要一个6进制计数器（0-5），PPT中选用**74LS92**（这是一个模12计数器，可以方便地配置成模6计数器）。当个位计到9后，向十位进一个脉冲；当秒计数器达到59后，再来一个秒脉冲时，秒计数器清零，并向分计数器发出一个进位脉冲。

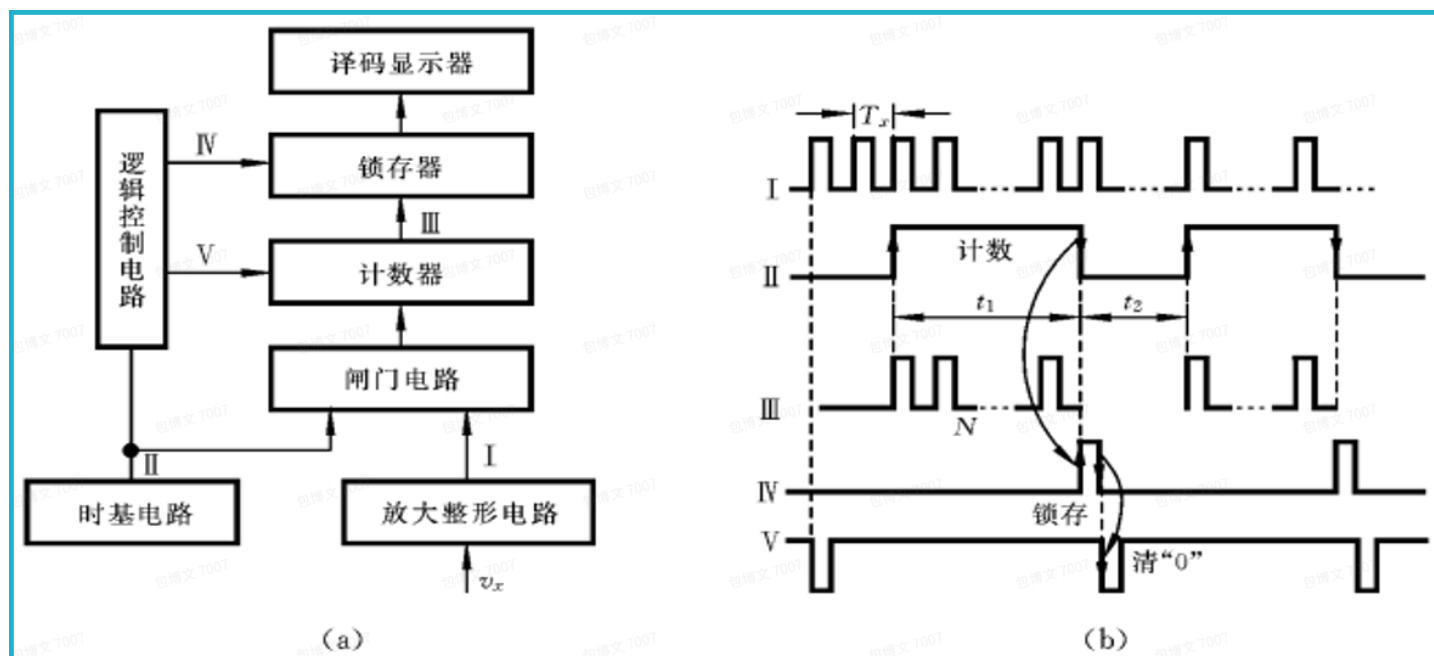
- **时计数器：**这是一个特殊的“**12翻1**”计数器，其计数规律为 `...11 -> 12 -> 01 -> 02...`。

- **实现：**这是设计的难点和重点。当时间从12:59:59跳转到下一秒时，需要产生一个状态，使时计数器直接置为01，而不是13或00。这通常需要额外的组合逻辑电路，监测到“12”这个状态，并在下一个时进位脉冲到来时，通过计数器的异步置数端强制置为“01”状态。

3. 校时电路

- **功能：**允许用户手动校准小时和分钟。
- **电路原理：**如PPT图7.2.4所示，通过开关S1和S2选择校准对象（时或分）。当开关按下时，正常的计时脉冲被逻辑门阻断，而外部的“校时脉冲”被接入相应的计数器。
- **快/慢校时：**“快校时”使用分频器输出的1Hz脉冲，按住开关即可连续快速调整；“慢校时”通过手动按键产生单脉冲，实现精确的步进调整。
- **防抖动：**开关在按下和抬起的瞬间会产生机械抖动，导致一个动作被误识别为多个脉冲。PPT中的电容C1和C2与电阻构成了简单的RC滤波电路，用于**缓解开关抖动**带来的影响。

数字频率计是另一种重要的数字系统设计，其核心思想是在精确的时间内对被测信号的脉冲个数进行计数。



A. 测频与测周期的基本原理

1. 测频原理:

- 公式: $f = N/T$ 。
- 过程: 由一个精确的**时基电路**产生一个标准时间宽度的“闸门”信号(例如,宽度为1秒)。在此期间,允许被测的脉冲信号通过闸门进入计数器。闸门关闭后,计数器得到的计数值 N ,在数值上就等于被测信号的频率 f (单位Hz)。

2. 测周期原理:

- 过程: 与测频相反。将被测信号整形后,用它的一个完整周期来作为“闸门”开启的时间 T_x 。在此期间,让一个频率非常高且稳定的标准时钟信号(周期为 T_s)通过闸门并被计数。若计数值为 N ,则被测信号周期 $T_x = N \times T_s$ 。测周期法对于测量低频信号具有更高的精度。

B. 主要技术指标

- 频率准确度:** 通常用相对误差表示 $\Delta f_x / f_x = \pm 1 / (T \cdot f_x)$ 。它主要由**量化误差**(计数时丢掉或多计的不足一个的脉冲, ± 1 个字)和**闸门时间误差**(由时基电路的晶振稳定度决定)构成。通常闸门时间误差远小于量化误差。
- 分辨率:** 能显示的最小频率变化值,由显示位数决定。
- 测量时间:** 完成一次测量所需的时间,主要由闸门时间决定。

C. 电路设计与模块详解 (参考PPT图7.3.1)

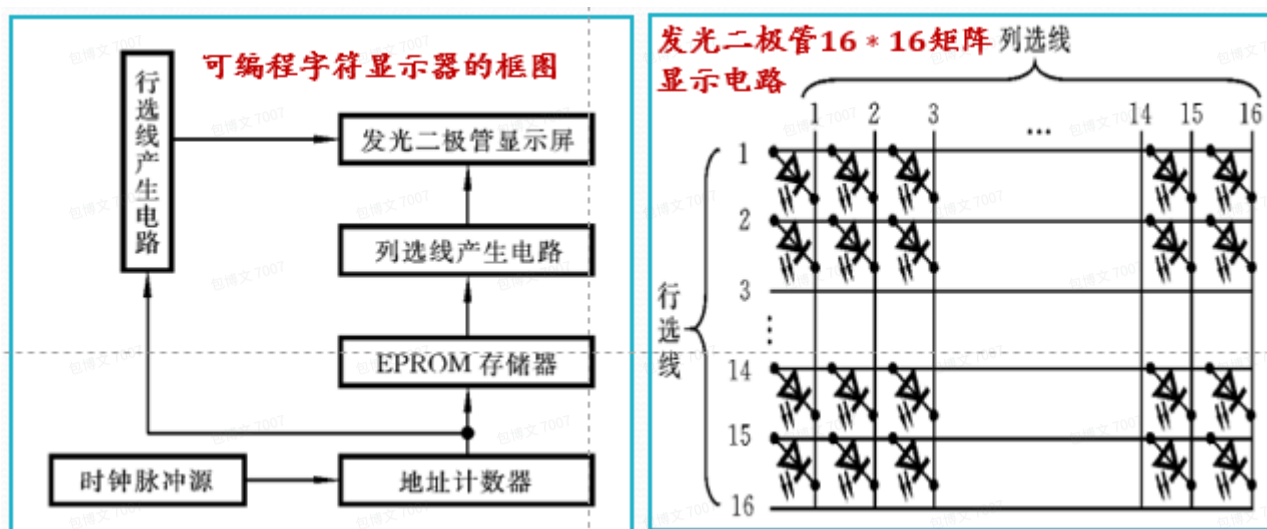
- **闸门**：通常用一个与门实现。一端接整形后的被测信号，另一端接时基电路的闸门信号。只有当闸门信号为高电平时，被测信号才能通过。

4. 计数、锁存与显示：

- **计数器**：由多片74LS90级联构成，位数决定了最大测量频率。
- **锁存器**：如74LS273。它的作用是在计数结束的瞬间，“拍照”并“定格”住计数器的值，然后送去显示。如果没有锁存器，显示器上的数字会在下一次计数开始时立即变化，人眼无法看清稳定的读数。
- **译码与显示**：与数字钟类似，用74LS48等译码器驱动七段数码管。

三、 实例三：可编程字符显示器设计 (§ 7.3)

该设计利用**存储器（EPROM）**和**扫描**的原理，在LED点阵屏上显示预设的字符或图案。

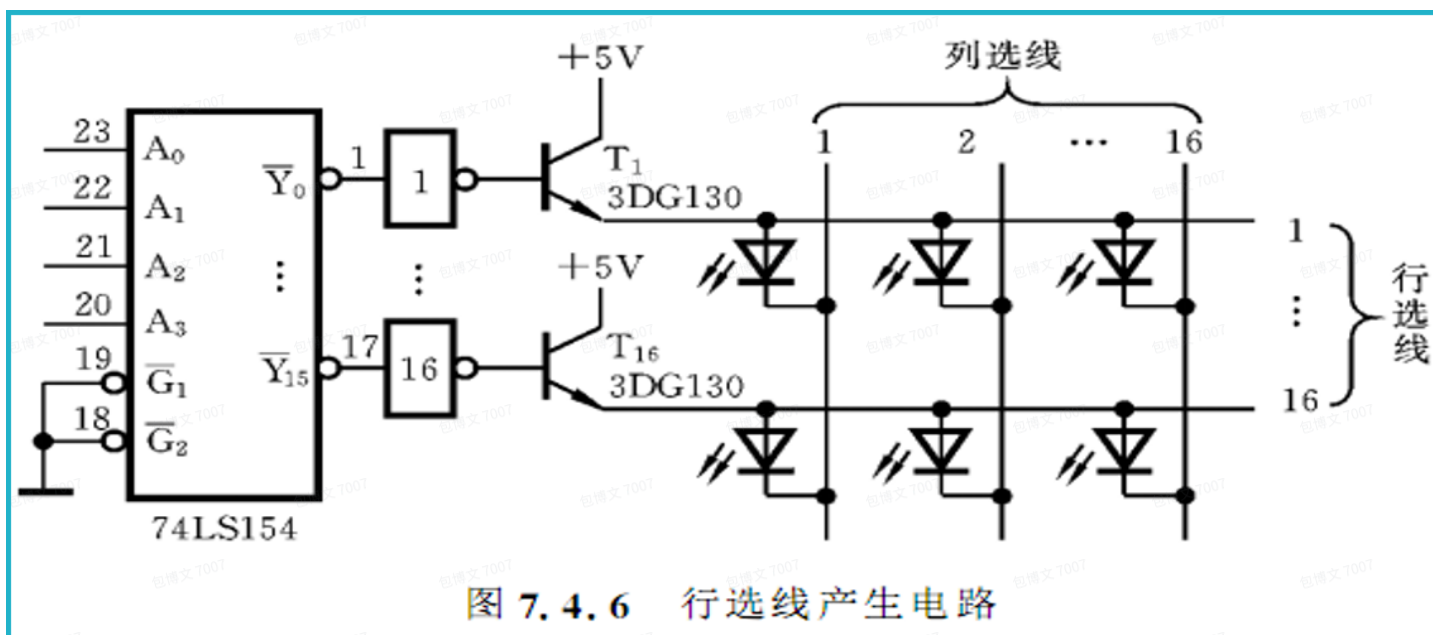


A. 系统框图与扫描显示原理

- **核心原理**：利用人眼的**视觉暂留效应**。我们并不是同时点亮一个字符的所有LED点，而是通过**逐行（或逐列）快速扫描**的方式，在极短的时间内依次点亮每一行需要亮的LED。当扫描速度足够快时（例如，整屏扫描频率大于50Hz），人眼看到的就是一幅稳定、完整的图像。
- **信号流向**：**时钟脉冲源驱动地址计数器** → 地址计数器产生地址信号，送给**EPROM存储器**和**行选线产生电路** → EPROM根据地址输出对应的字符点阵数据，驱动**列选线产生电路** → 行、列选线共同作用，点亮LED显示屏上的特定像素点。

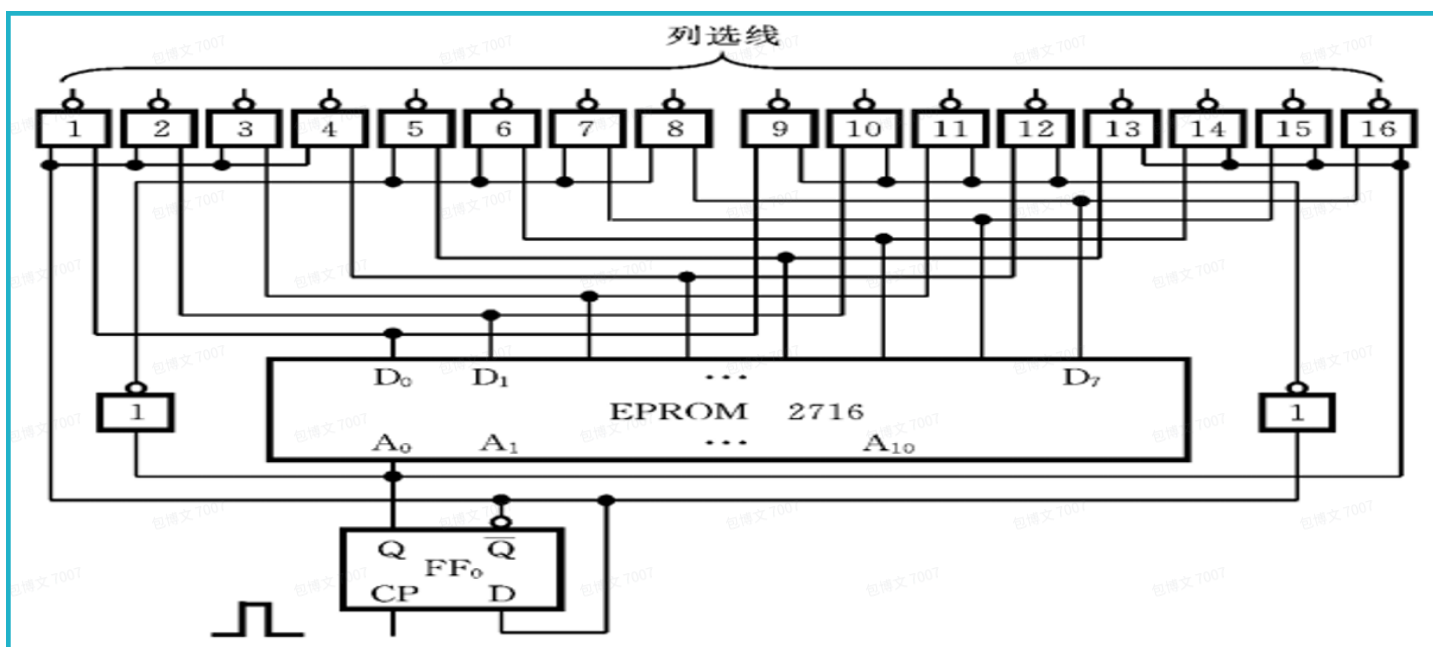
B. 核心模块电路设计

1. 行选线产生电路：



- **功能：**依次选中16行中的某一行，给该行所有LED的正极提供高电平。
- **实现：**可以使用一个译码器，如74LS154（4-16线译码器）。地址计数器的一部分输出（如4位）作为译码器的输入，译码器就会依次在其16个输出端产生低电平有效的选通信号，再经过反相器和驱动三极管（如3DG130），就可以依次产生驱动能力足够强的行选高电平信号。

2. 列选线产生电路：

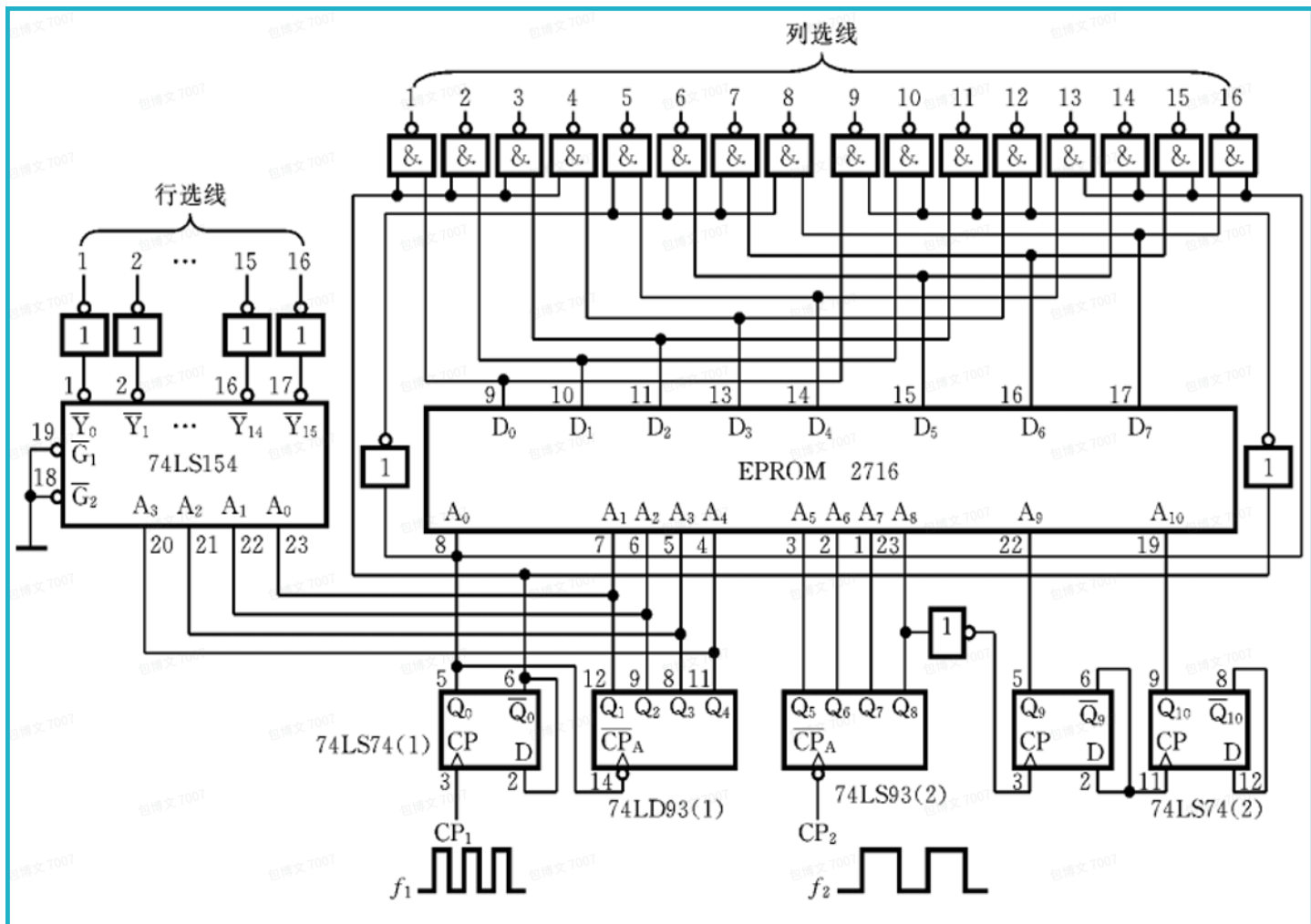


- **功能：**根据EPROM输出的数据，控制16列中哪些列的LED负极接地，从而决定在当前被选中的行上，哪些点被点亮。
- **实现：**EPROM（如2716）的数据线通常只有8位，而我们需要控制16列：
 - 使用一个D触发器（FF0）将EPROM的地址最低位（A0）进行二分频。
 - 当A0=0时，使能控制1-8列的逻辑门，此时EPROM的8位数据（D0-D7）控制前8列的亮灭。
 - 当A0=1时，使能控制9-16列的逻辑门，此时EPROM的8位数据（D0-D7）控制后8列的亮灭。

- 这样，通过分时复用，用8位数据线就控制了16条列选线。

3. 地址计数器与时钟源：

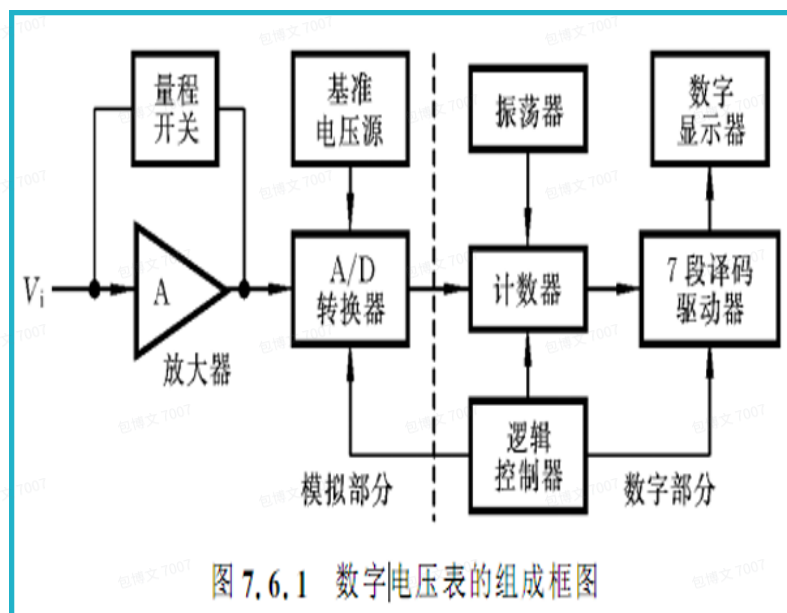
- **功能：**为EPROM提供地址，以读取预存的字符点阵数据。
- **实现：**EPROM 2716有11根地址线（A0-A10），因此需要一个11位的二进制计数器。
 - **低5位地址（A0-A4）：**这5根地址线的作用是在单个字符的内部进行扫描，以读取构成该字符的点阵数据（即字符代码）。
 - **字符的存储方式：**一个字符（例如一个16x16点阵的汉字）并不是一个单一的数据，而是由一系列“亮”或“不亮”的像素点组成的图案。在这个设计中，一个16x16的字符被存储为**32个字节（Bytes）**的数据，正好对应 25=32 个地址。
 - **扫描过程：**
 - 由高速时钟 **f1** 驱动的计数器（74LS74(1)和74LS93(1)）负责产生这5位低位地址。
 - 这个计数器会以非常快的速度从00000循环到11111，使得地址线A0-A4快速地遍历这32个存储单元。
 - 每当地址变化一次，EPROM就输出一个新的8位数据，这个数据通过“列选线产生电路”控制LED点阵的某一行的某些点亮或灭。
 - 结合同步的“行选线产生电路”，整个过程就像一支画笔在屏幕上以极高的速度逐行画出字符的点阵图案。由于人眼的视觉暂留效应，我们最终看到的是一个稳定、完整的字符。
 - **高6位地址（A5-A10）：**用于在多个字符之间进行切换。驱动它的时钟频率f2必须远低于f1，以控制字符切换的速度。
 - **多字符存储：**EPROM 2716的存储空间远大于一个字符所需的32个字节。因此，我们可以在里面存储多个字符的数据。例如，第一个字符存放在地址块0，第二个字符存放在地址块1，以此类推。
 - **字符切换：**
 - 由低速时钟 **f2** 驱动的计数器（74LS93(2)和74LS74(2)）负责产生这6位高位地址。
 - 当这6位地址（A5-A10）的值为 **000000** 时，EPROM的地址范围被限定在第一个32字节的块内，此时低位地址A0-A4的循环将只会读取并显示第一个字符。
 - 当f2时钟到来，高位地址计数器加一，A5-A10的值变为 **000001**。此时，EPROM的地址范围被切换到第二个32字节的块，低位地址的循环将开始读取并显示第二个字符。
 - 由于f2的频率远低于f1，所以每个字符都会在屏幕上稳定显示一段时间，然后才切换到下一个字符，实现了字符的滚动或切换显示。



四、实例四：数字电压表(§ 7.4)

A. 数字电压表基本原理与技术指标

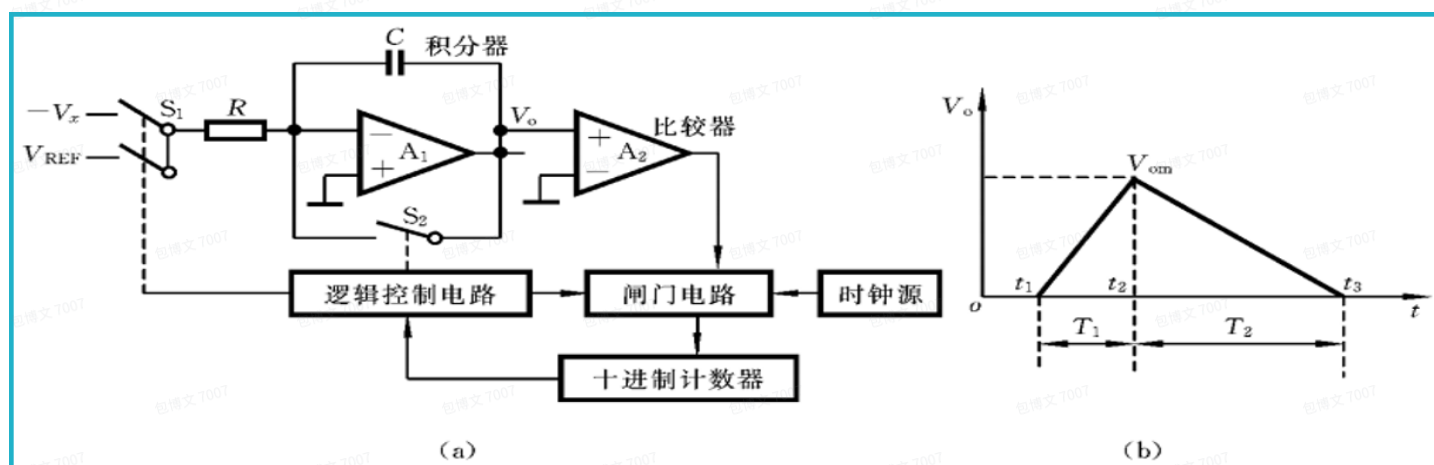
- **基本组成：**由**模拟部分**（放大器、A/D转换器、基准电压源）和**数字部分**（逻辑控制、计数、译码、显示）组成。
- **核心部件：A/D转换器**，它负责将输入的模拟电压转换成数字量。
- **主要技术指标：**
 - **显示位数：**如“ $3^{1/2}$ 位”即三位半表示最高位只能显示0或1。
 - **分辨率：**能显示的最小电压变化值。
 - **测量速度：**取决于A/D转换器的转换速率。



B. 核心技术: 双积分式A/D转换器

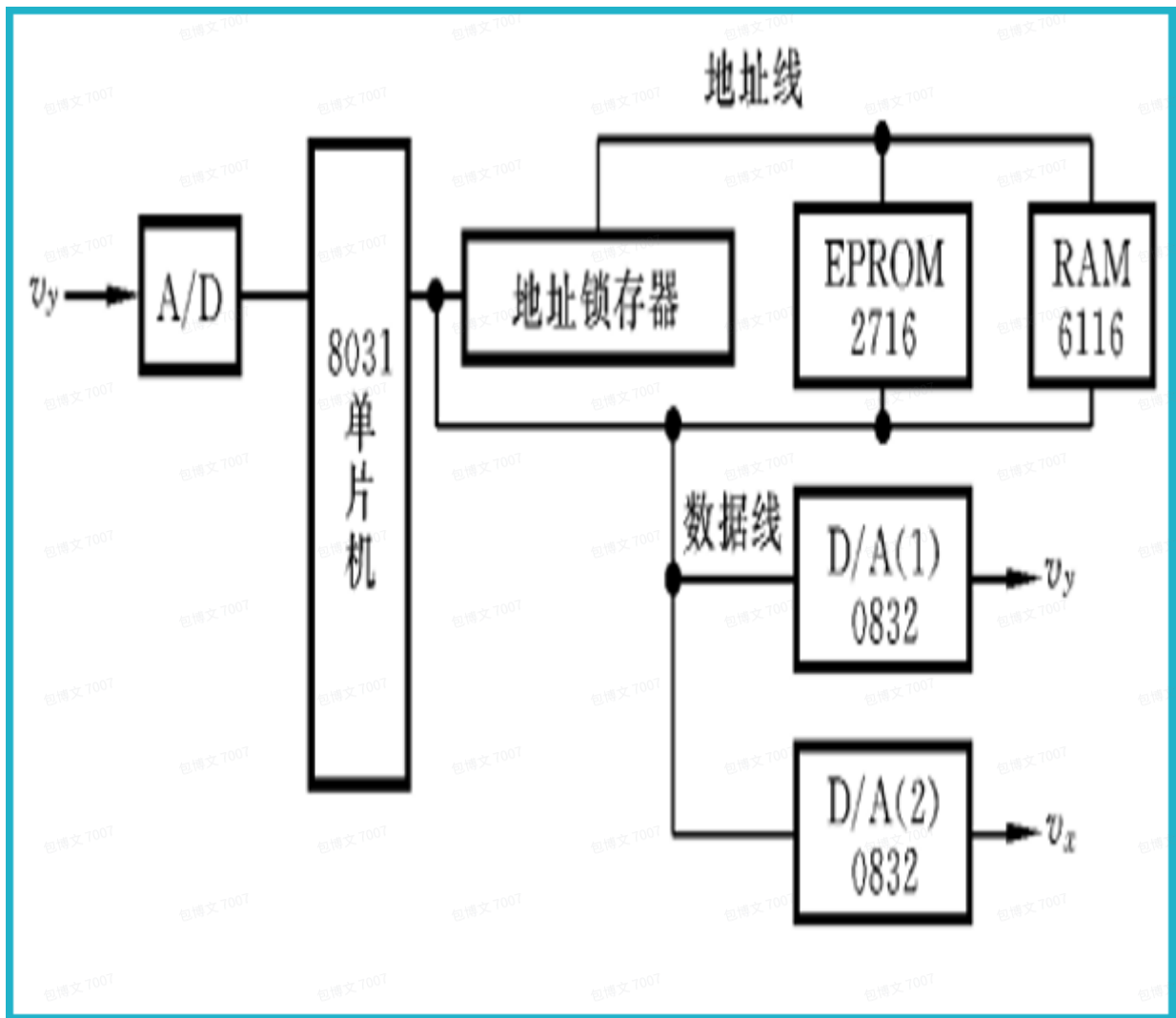
这是数字电压表中应用最广泛的一种A/D转换技术，以其高精度和强抗干扰能力著称。

- **工作原理：** 在一个测量周期内进行**两次积分**。
 - 第一次积分（对被测电压积分）：** 在固定的时间 T_1 内，对输入的被测电压 V_x 进行积分。积分结束时，积分器输出电压 V_{om} 与 $V_x \cdot T_1$ 成正比。
 - 第二次积分（对基准电压积分）：** 然后，将积分器输入切换到一个精确的、与 V_x 极性相反的基准电压 V_{REF} ，并开始反向积分，直到积分器输出回到零。这个过程所花费的时间为 T_2 。



- **电压换算：** 由于充电和放电的电荷相等，可以推导出： $V_x \cdot T_1 = V_{REF} \cdot T_2$ 。
 - T_1 是由时钟脉冲计数固定的（例如，计 N_1 个数）， T_2 是通过时钟脉冲计数得到的（计 N_2 个数）。
 - 最终得到 $V_x = V_{REF} \cdot (N_2 / N_1)$ 。可见，被测电压 V_x 只与计数值 N_2 和基准电压 V_{REF} 有关，与积分元件 R 、 C 的精确值无关，这是其精度高的根本原因。

五、实例五：数字存储示波器核心技术 (§ 7.5)



A. 数字存储示波器(DSO)原理与特点

- **显示原理：**与传统模拟示波器不同，DSO先用**A/D转换器**将被测的模拟信号高速采样，转换成数字数据流，并存入**数字存储器（RAM）**中。需要显示时，再从存储器中读出这些数据，通过**D/A转换器**还原成模拟电压，送到示波管的Y偏转板；同时，由地址计数器通过另一个D/A转换器产生同步的锯齿波扫描电压，送到X偏转板，从而在屏幕上重现波形。
- **特点：**
 - 可以**存储和冻结**波形，便于观察单次、瞬变和低频信号。
 - 存储的数字信号可以传输到计算机进行复杂的**分析和处理**。
 - 可以自动**测量**波形的参数（如频率、幅度）并以字符形式显示在屏幕上。

B. 核心技术2: D/A转换器 (DAC)

- **主要性能参数：**
 - **分辨率：**输入数字量最低位（LSB）变化1所引起的输出电压的变化量。
 - **建立时间：**输出电压从变化到稳定所需的时间，决定了转换速度。
 - **线性度与转换误差：**衡量实际输出与理想输出之间的偏差。
- **核心芯片DAC0832：**这是一款通用的8位D/A转换器芯片。

- **内部结构**：其核心是R-2R倒T型电阻网络。内部包含两级寄存器（输入寄存器和DAC寄存器），这种**双缓冲结构**可以提高数据吞吐率，因为在DAC寄存器进行当前数据转换的同时，输入寄存器可以接收下一个数据。
- **三种工作方式**：通过控制其片选和写信号引脚，DAC0832可以工作在**完全直通**（数据直接通过，速度最快）、**单缓冲**（一级锁存，一级直通）和**双缓冲**（两级均锁存，适用于多路DAC同步更新）三种模式。

C. 应用实例: 示波器字符显示电路

DSO不仅能显示波形，还能利用其D/A转换能力在屏幕上“画”出字符。

- **原理**：采用**李沙如图形法**。将字符的笔画分解成一系列X-Y坐标点，并将这些坐标点的数字值（代码）预先存储在EPROM中。
- **实现**：
 - 存储**：如PPT表7.7.1所示，EPROM的存储单元中，成对地存放着构成字符“2”的各个点的X坐标和Y坐标的8位代码。
 - 读出与转换**：字符控制器（地址计数器）依次寻址EPROM，读出X和Y的坐标代码，分别送给两片DAC0832（一片负责X，一片负责Y）。
 - 显示**：两片DAC将数字坐标转换为模拟的X、Y偏转电压，送到示波器的X、Y输入端，电子束就会在屏幕上依次“走”过这些点，快速扫描后，人眼看到的就是一个完整的字符“2”。
 - 滤波**：D/A转换器的输出常带有毛刺和尖峰干扰，PPT电路中在DAC输出后接了 **π 型滤波器**，用于平滑输出电压，使画出的字符线条更平滑、干净。

第八章 Verilog HDL

一、Verilog HDL 概述 (§ 8.1)

A. HDL与PLD开发流程

- **硬件描述语言 (HDL)**：它是一种类似于高级编程语言的文本语言，但其最终目的是**描述数字硬件电路的结构和功能（行为）**
- **基于HDL的开发流程**：这是一个标准化的数字电路设计流程，是考试中可能出现的基本概念题。
 - 输入HDL程序**：用Verilog编写描述电路功能的代码。(4)
 - 选择目标器件**：根据设计需求，选择一个具体的FPGA或CPLD芯片。(5)
 - 分配引脚号**：将设计中的输入、输出信号指定到目标芯片的物理引脚上。(6)
 - 编译**：EDA工具进行**逻辑综合 (Logic Synthesis)**，将HDL代码转换成由基本逻辑门（与、或、非门等）和触发器组成的连接关系列表，即**门级网表**。(7)

- e. **仿真测试**：通过输入测试激励，检查设计的功能和时序是否符合预期。(8)
- f. **对目标器件编程**：生成最终的编程文件，下载到FPGA/CPLD芯片中，实现硬件电路。(9)

B. Verilog模块的三种基本描述方式

Verilog的核心思想是“模块化”。一个模块（module）可以描述一个从简单逻辑门到复杂CPU的任何数字电路。对于同一个电路，Verilog提供了多种描述角度。以一个**2选1数据选择器**为例：

1. 门级建模 (Gate-Level Modeling)

- 思想：直接使用Verilog内置的基本逻辑门（如 `and` , `or` , `not` ）来搭建电路，**完全忠实于电路的物理结构**。
- 示例代码：

代码块

```
1 module mux2to1_GL (a, b, sel, out);
2     input a, b, sel;
3     output out;
4     wire selnot, a1, b1; // 定义中间连线
    not U1 (selnot, sel); // U1非门
    and U2 (a1, a, selnot); // U2与门
    and U3 (b1, b, sel); // U3与门
    or U4 (out, a1, b1); // U4或门
endmodule
```

2. 数据流建模 (Dataflow Modeling)

- 思想：着眼于数据在模块内的流动和处理过程，使用**连续赋值语句** (`assign`) 和各种运算符来描述逻辑功能。
- 示例代码：

代码块

```
1 module mux2x1_DF (a, b, sel, out);
2     input a, b, sel;
3     output out;
4
5     // 使用条件运算符
    assign out = sel ? b : a;
6 endmodule
```

- (15)

3. 行为级建模 (Behavioral Modeling)

- 思想：不关心电路的具体结构，只描述电路在什么条件下会发生什么行为（即**算法描述**）。这是最高级的抽象层次，最接近高级编程语言。
- 核心：使用 `always` 或 `initial` 过程块来描述行为。

示例代码：

代码块

```
1 module mux2to1_Bh (a, b, sel, out);
2     input a, b, sel;
3     output out;
4     reg out; // 在always块内被赋值的变量必须是reg类型always @(sel or a or b) // 敏感列表, 当列表内信号变化时执行beginif (sel == 1)
5         out = b;
6     else
7         out = a;
8     endendmodule
```

C. Verilog模块的基本结构

一个完整的Verilog模块通常由“说明部分”和“逻辑功能描述部分”组成。

Verilog

代码块

```
1 module 模块名 (端口名1, 端口名2, ...); // ---- 说明部分 ----
2     端口类型说明 (input, output, inout); [cite: 11]
3     参数定义 (parameter); // 可选
4     数据类型定义 (wire, reg); [cite: 11]
5     // ---- 逻辑功能描述部分 (顺序任意) ---- // 1. 门级元件实例化 // 2. 连续赋值语句 (assign) // 3. 过程块结构 (always, initial)endmodule
```

二、Verilog HDL 核心语法 (§ 8.2)

A. 词法规定

- **间隔符**：空格、TAB、换行符等，主要用于分隔和提高代码可读性，在非字符串中会被编译器忽略。(20)
- **标识符**：给对象（如模块名、变量名）起的名字。必须以**字母或下划线**开头，可包含字母、数字、`$` 和下划线。区分大小写。
- **关键词**：Verilog语言预定义的有特殊含义的单词，如 `module` , `wire` , `always` 等，必须小写，不能用作标识符。
- **注释符**：单行注释用 `//` ，多行注释用 `/* ... */` 。

B. 逻辑值与常量

- **四种逻辑值**：这是Verilog与普通编程语言的重要区别。

- `0` : 逻辑0, 假。
- `1` : 逻辑1, 真。
- `x` 或 `X` : 未知状态, 不确定值。
- `z` 或 `Z` : 高阻态, 表示物理连接断开。
- 常量表示:
 - 整数: 可以直接写十进制数 (如23456), 或使用带基数的格式: `<位宽>'<基数><数值>`。
 - 示例: `3'b101` (3位二进制数101), `12'h13x` (12位十六进制数, 低4位未知)。
 - 实数: 可以用十进制或科学记数法表示。
 - 符号常量 (parameter): 可以用 `parameter` 关键字定义一个标识符来代表一个常量, 便于修改和阅读。 (32) 例如: `parameter BYTE = 8;`。

C. 关键数据类型: `wire` 与 `reg` 的区别 (核心考点)

这是Verilog中最重要的概念之一。

- `wire` (线网类型)
 - 物理意义: 代表电路中的物理连线, 用于连接不同的模块或门。
 - 特性: `wire` 本身不能存储值。它的值是由驱动它的元件决定的 (例如, 一个门的输出或一个 `assign` 语句的右侧)。如果没有驱动源, 它的值就是高阻态 `z`。
 - 使用场景:
 - a. 模块的输入输出端口。
 - b. 门级原语的输出。
 - c. 连续赋值语句 `assign` 的赋值对象。
- `reg` (寄存器类型)
 - 物理意义: 代表一个数据存储单元, 类似于一个触发器或锁存器。
 - 特性: `reg` 可以存储值, 并保持这个值不变, 直到在过程块中被下一次赋值。
 - 使用场景:
 - a. 过程块 (`always` 或 `initial`) 中被赋值的变量必须声明为 `reg` 类型。
 - 存储器 (Memory): 在Verilog中, 存储器被建模为 `reg` 类型的一维数组。
 - 定义格式: `reg [位宽-1:0] 存储器名 [深度-1:0];`
 - 示例: `reg [7:0] my_ram [255:0];` 定义了一个深度为256, 位宽为8位的RAM。

三、Verilog HDL 运算符 (§ 8.3)

Verilog拥有丰富的运算符, 用于构建逻辑表达式。

- **算术运算符：** `+` , `-` , `*` , `/` , `%` (求模)。 (42) 如果操作数中某一位是 `x` 或 `z` , 整个运算结果就是 `x` 。
- **相等运算符：**
 - `==` (逻辑相等), `!=` (逻辑不等): 如果操作数中有 `x` 或 `z` , **比较结果为 `x` (未知)**。
 - `===` (全等), `!==` (不全等): 严格进行逐位比较, 包括对 `x` 和 `z` 的比较, **结果一定是 `0` 或 `1`**。
- **逻辑运算符：** `!` (逻辑非), `&&` (逻辑与), `||` (逻辑或)。 (46) 将操作数作为一个整体看待, 非零为真, 全零为假。
- **按位运算符：** `~` (按位非), `&` (按位与), `|` (按位或), `^` (按位异或), `~^` (按位同或)。 (48) 对操作数的每一位进行运算。
- **缩位运算符：** `&` , `|` , `^` 等作为单目运算符使用。将单个操作数的所有位进行**从右向左**的逐位运算, 最终产生一个1位的结果。例如, `&A` 表示将A的所有位进行“与”运算。
- **位拼接运算符：** `{}` 。将多个信号的某些位拼接成一个更长的信号。 (54) 例如: `{A[3:0], B[3:0]}` 拼接成一个8位信号。

四、 Verilog HDL 建模详解 (§ 8.4 & § 8.5)

A. 行为级建模 (`always`)

这是最常用、最灵活的建模方式。

1. `always` 块与事件控制：

- `always` 块是“过程块”，其内部的语句是顺序执行的。
- **敏感列表：** `always @(...)` 括号内的列表决定了 `always` 块何时被触发执行。
 - `always @(a or b or c)` : 当信号 `a`、`b` 或 `c` 中任意一个发生变化时, 执行块内语句。用于描述**组合逻辑**。
 - `always @(posedge clk)` : 仅在时钟信号 `clk` 的**上升沿**时刻执行。用于描述**同步时序逻辑**。
 - `always @(negedge clk)` : 仅在时钟信号 `clk` 的**下降沿**时刻执行。

2. 核心考点：阻塞赋值 (`=`) 与非阻塞赋值 (`<=`) 的区别与应用

- 这是Verilog中极其重要且易错的概念, 决定了电路行为的正确性。
- **阻塞赋值 (`=`) :** (56)
 - **行为：顺序执行。** 当前语句执行完毕并完成赋值后, 下一条语句才开始执行。它会“阻塞”后续语句的执行。 (57)
 - **物理意义：** 模拟的是**组合逻辑**的行为, 其中信号的传播是有先后顺序的。

■ 示例: `begin B = A; C = B; end`。执行结果是 C 的值等于 A 的值。

○ 非阻塞赋值 (`<=`): (58)

■ 行为: 并行执行。在 `always` 块开始执行时, 所有 `<=` 右边的表达式被同时计算, 然后在块结束时, 所有左边的变量被同时更新。(59)

■ 物理意义: 完美地模拟了同步时序逻辑的行为, 即所有触发器在同一个时钟沿同时采样输入, 并同时更新自己的输出。(60)

■ 示例: `begin B <= A; C <= B; end`。执行结果是 B 的值更新为 A 的当前值, 而 C 的值更新为 B 在本次更新前的旧值。这正是一个两级移位寄存器的行为。

○ 使用准则 (重要!):

i. 描述组合逻辑时, 使用阻塞赋值 (`=`)。

ii. 描述时序逻辑时, 使用非阻塞赋值 (`<=`)。

iii. 不要在同一个 `always` 块中混用两种赋值方式。

第九章 高速数字电路

一、高速数字电路与信号完整性 (SI) 概述

A. 什么是高速数字信号?

在数字电路设计中, “高速”并非由时钟频率 (如MHz或GHz) 的绝对值来定义, 而是由信号边沿的变化速度 (即上升/下降时间) 决定。

- 核心定义: 通常认为, 当信号的上升时间小于其传输延迟的4倍时, 该信号就应被视为高速数字信号。在这种情况下, 承载信号的物理连接线 (如PCB走线) 不能再被看作理想的导线, 而必须被当作传输线来分析 ()。
- 破除误解: 一个常见的误解是认为低时钟频率的信号就是低速信号。例如, 一个8KHz的时钟信号, 如果其边沿非常陡峭 (上升时间极短), 那么在传输过程中同样会产生反射、串扰等高速效应, 因此它也必须按照高速信号的规则来设计。

B. 信号完整性 (Signal Integrity, SI) 的核心问题

信号完整性 (SI) 是衡量信号在传输线末端质量的指标, 确保信号能够被接收端正确地识别。它主要关心两大方面: 时序和质量。

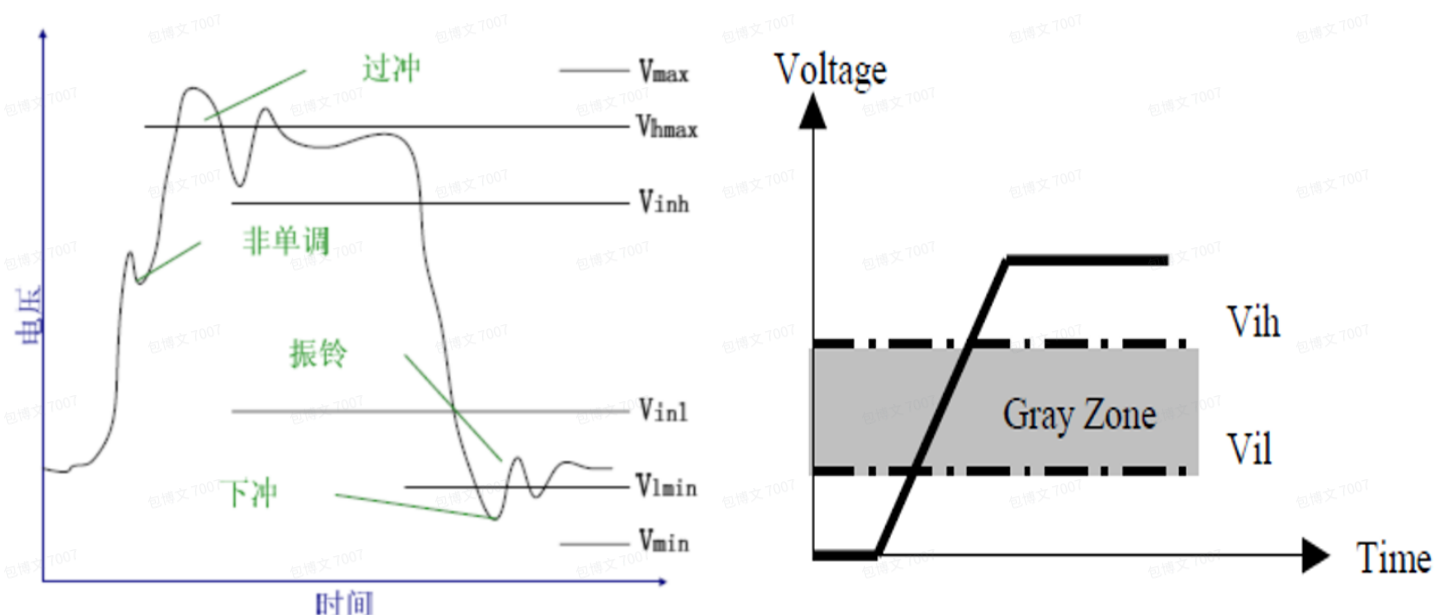
1、时序问题: 信号是否在正确的时间窗口内到达接收端?

2、质量问题: 信号到达接收端时的波形质量是否满足要求?

当信号质量不佳时, 会出现一系列问题, 这些问题会严重影响电路的可靠性和稳定性。

- 过冲 (Overshoot): 信号上升沿或下降沿超过了其稳定的高电平 (V_{ih}) 或低电平 (V_{il}) 值。过高的过冲电压可能会损坏器件的输入保护二极管。

- **下冲 (Undershoot):** 信号在从高到低或从低到高转换后，跌落到稳定电平以下。严重的下冲可能会被误识别为错误的逻辑状态。
- **振铃 (Ringing):** 信号在稳定下来之前，在电平上下反复振荡的现象。振铃可能导致信号多次穿越逻辑门限 (V_{ih}/V_{il})，造成接收端的逻辑混乱。
- **非单调 (Non-monotonic):** 信号的上升或下降边沿不是平滑单向变化的，而是在中途出现平台甚至反向变化的现象。这会影响信号的时序，导致建立/保持时间违规。
- **灰区 (Gray Zone):** 指逻辑高电平门限 (V_{ih}) 和逻辑低电平门限 (V_{il}) 之间的电压区域。理想的数字信号应快速穿越此区域，但由于SI问题，信号可能在此区域长时间停留或振荡，导致接收端输出不确定的逻辑状态。



C. 影响信号完整性的主要因素

信号完整性问题主要由以下几个因素引起：

- **反射 (Reflections):** 由于传输路径上的阻抗不连续或不匹配导致信号能量被反射。
- **串扰 (Crosstalk):** 相邻信号线之间因电磁场耦合而产生的不希望的噪声干扰。
- **电源/地噪声 (Power/Ground Noise):** 由于电源分配网络 (PDN) 不完善，导致电源和地平面上产生电压波动，影响信号质量。
- **电磁干扰 (Electro-Magnetic Interference, EMI):** 来自系统外部或内部其他部分的电磁辐射对信号产生的干扰。

二、反射 (Reflections) 与传输线理论

A. 反射的成因与解决方法

- **产生原因:** 反射的根本原因是传输路径上出现了**阻抗不连续**或**阻抗不匹配**。当信号在传输线上传播时，如果遇到阻抗变化点（如连接器、过孔、走线宽度变化、终端负载等），一部分信号能量会继续向前传播，另一部分则会被反射回源端。只有当负载阻抗 (Z_L) 等于源端阻抗 (Z_S) 且等于传输线特征阻抗 (Z_0) 时，信号能量才能被完全吸收，没有反射。

- **解决方法：**解决反射问题的核心方法是进行**阻抗匹配**，确保信号传输路径上的阻抗尽可能保持连续和一致。

B. 传输线基础：微带线 (Microstrip)

- **模型定义：**微带线是位于PCB**表层**的传输线模型，其下方由一层电介质材料与一个参考平面（通常是GND或VCC）隔开。
- **特性计算公式：**
 - **特征阻抗 (Z_0)：** $Z_0 = \epsilon_r + 1.4187 \ln(0.8w + t5.98h) (\Omega)$ 。
 - **传输延迟 (t_{pd})：** $t_{pd} = 1.0170.457\epsilon_r + 0.67(\text{ns/ft})$ 。
 - **单位长度电容 (C_0)：** $C_0 = 1000Z_0t_{pd} (\text{pF/ft})$ 。
 - **单位长度电感 (L_0)：** $L_0 = Z_0^2C_0 (\text{pH/ft})$ 。
 - 其中， ϵ_r 是电介质常数， h 是介质厚度， w 是线宽， t 是铜箔厚度 (mil)。
- **计算实例：**PPT中给出了一个例子：当铜厚 $t=1.4\text{mil}$ ，线宽 $w=10\text{mil}$ ，介电常数 $\epsilon_r=5$ ，介质厚度 $h=30\text{mil}$ 时，计算得出特征阻抗 $Z_0 \approx 100\Omega$ (mil)。

C. 传输线基础：带状线 (Stripline)

- **模型定义：**带状线是位于PCB**内部**的传输线模型，它被夹在**两个参考平面**（如GND和PWR/GND）之间，完全被电介质材料包围。
- **特性计算公式：**
 - **特征阻抗 (Z_0)：** $Z_0 = \epsilon_r$
 $60 \ln(0.67\pi w(0.8 + t/w)4h) (\Omega)$ 。
 - **传输延迟 (t_{pd})：** $t_{pd} = 1.017\epsilon_r(\text{ns/ft})$ 。
 - h 是两个参考平面之间的总厚度。
 - 带状线的电磁场完全被限制在两个平面之间，因此其EMI特性比微带线更好，但成本更高。

D. 特征阻抗经验数据

对于最常用的PCB材料FR-4（介电常数约4.5~5），有以下快速估算的经验法则：

- 75 Ω 微带线: 线宽 (w) \approx 介质厚度 (h)。
- 50 Ω 微带线: 线宽 (w) \approx 介质厚度的2倍 ($2h$)。
- 75 Ω 带状线: 线宽 (w) \approx 总介质厚度 (h) / 8。
- 50 Ω 带状线: 线宽 (w) \approx 总介质厚度 (h) / 3。

三、阻抗匹配技术

阻抗匹配是解决反射问题的关键手段，目的是让负载阻抗看起来与传输线的特征阻抗相等。常用的方法有以下几种：

A. 简单并联匹配

- **电路：**在传输线的负载端（L）并联一个电阻 R_T 到地（GND），使 $R_T=Z_0$ 。
- **匹配原理：**这种方法的核心思想是在接收端为信号提供一个到地的路径，使得接收器输入端看到的总阻抗等于传输线的特征阻抗 Z_0 。当信号到达终端时，高阻抗的接收器输入端和并联的电阻 R_T 组合在一起，如果 R_T 的值被精确地设置为等于 Z_0 ，那么从传输线的角度看，负载阻抗就等于其自身的特征阻抗。这样，信号能量会被 R_T 完全吸收，从而抑制了反射的发生（）。
- **优点：**电路结构非常简单。
- **缺点：**当源端（S）输出高电平时，会有一个从源端经过 R_T 到地的**静态工作电流**。如果这个电流超出了源端器件的驱动能力（IOH），则无法获得正确的逻辑高电平（）。功耗较大（）。

B. 戴维南匹配

- **电路：**在负载端（L）接一个上拉电阻 R_1 到VCC，一个下拉电阻 R_2 到GND，并满足 $R_1 \parallel R_2=Z_0$ （）。
- **匹配原理：** R_1 和 R_2 形成一个分压器。从传输线的角度看，这两个电阻是并联的（因为VCC和GND对于交流信号来说都是接地）。因此，只要满足条件 $R_1 \parallel R_2=Z_0$ ，就能实现阻抗匹配（）。同时，这个分压器还为接收端的输入管脚提供了一个直流偏置电压，其值为 $V_{CC} \times \frac{R_2}{R_1+R_2}$ 。
- **优点：**减小了对源端器件的驱动能力要求，因为上拉电阻 R_1 可以在源端输出高电平时提供一部分电流（）。
- **缺点：**无论源端输出高电平还是低电平，始终存在从VCC经过 R_1 和 R_2 到GND的**静态工作电流**，这会显著增加系统功耗。

C. 有源匹配

- **电路：**在负载端（L）通过一个电阻 R_T 连接到一个专门的偏置电源VBIAS，使 $R_T=Z_0$ 。
- **匹配原理：**与戴维南匹配类似，通过终端电阻 R_T 将负载端的阻抗匹配到传输线的特征阻抗 Z_0 。VBIAS电源通常被设置在信号高低电平的中间值。当信号摆动时，电流可以流入或流出VBIAS电源，从而实现对信号的端接。
- **优点：**电源静态工作电流较小。
- **缺点：**需要增加一路单独的偏置电源，并且要求该电源的响应速度足够快（）。
- **典型应用：**DDR/DDR2内存接口。

D. 串接RC匹配（交流匹配）

- **电路：**在负载端（L）串联一个电阻 R_T 和一个电容C到地，其中 $R_T=Z_0$ 。
- **匹配原理：**这种方法利用了电容“隔直通交”的特性。
 - 对于信号的直流分量（即稳定的高电平或低电平），电容C相当于**开路**，因此没有直流电流流过 R_T ，**没有静态功耗**。

- 对于信号的交流分量（即快速变化的上升/下降沿），电容C相当于**短路**，此时终端电阻 R_T 被接入电路，起到吸收反射的作用。只要 $R_T=Z_0$ ，就能对信号的边沿进行有效匹配。
- **优点：**电容C能够**阻断直流通路**，因此没有静态功耗 ()。电容值通常在100pF量级。
- **缺点：**由于电容的充放电效应，它只对信号的边沿（交流部分）起作用。对于周期性不强的信号，可能无法起到良好的匹配效果。

E. 串联匹配

- **电路：**在传输线的**源端** (S)，靠近驱动器的地方，串联一个电阻 R_T 。其原理是让驱动器的输出阻抗加上 R_T 的值等于传输线的特征阻抗 Z_0 。
- **匹配原理：**这种方法的思想与前面几种终端匹配完全不同。它不是在负载端吸收反射，而是在**源端控制并消除反射**。
 - a. 信号从驱动器发出时，会先经过 R_T 和传输线 Z_0 的分压。如果选择 R_T 使得驱动器的输出阻抗 $Z_S+R_T=Z_0$ ，那么初始发出的信号幅度只有最终幅度的一半。
 - b. 这个“半幅度”的信号传播到高阻抗的负载端 (L) 时，会发生一次近乎100%的正反射。
 - c. 反射回来的信号与原始信号叠加，使得负载端的电压恰好达到完整的逻辑电平。
 - d. 当这个反射波返回到源端时，由于源端的总阻抗 (Z_S+R_T) 已经被匹配到 Z_0 ，所以反射波会被完全吸收，不会再次反射到负载端。
- **优点：**电路结构简单，且没有静态工作电流。
- **缺点：**由于增加了RC常数，会导致信号的**边沿变缓**，降低信号的切换速度。

F. 差分信号匹配

- **电路：**对于差分信号对，通常在**负载端**跨接一个电阻 R_T 。如果每条传输线的特征阻抗为 Z_0 （如50Ω），则差分阻抗为 $2Z_0$ （100Ω）。匹配电阻 R_T 的值应等于差分阻抗，即 $R_T=2Z_0$ 。
- **匹配原理：**差分信号由一对大小相等、极性相反的信号组成。差分系统有一个“差分阻抗”的概念，它约等于单根传输线特征阻抗的两倍。例如，如果每条线的特征阻抗是50Ω，那么差分阻抗就是100Ω。匹配电阻 R_T 的值应被设置为等于这个**差分阻抗**，即 $R_T=2 \times Z_0$ ()。这样，对于差模信号而言，负载是匹配的，能够有效吸收差模信号能量，抑制反射。同时，这种端接方式对于共模信号（如噪声）呈现高阻抗，有助于抑制共模干扰。

五、电源分配网络 (PDN) 设计

一个稳定、干净的电源是高速数字电路正常工作的基础。

A. 电源总线 (Power Bus)

- **特点：**
 - 通常用于成本较低的双层板。
 - 使用较宽的走线来分配电源和地。

- 具有较高的直流阻抗，因此走线宽度需要尽量大。
- 由于电流路径被限定在固定的总线上，不同器件的噪声容易通过总线相互耦合，产生干扰。

B. 电源平面 (Power Plane)

- 特点：**
 - 通常用于多层板，成本较高。
 - 使用完整的铜皮平面来分配电源和地。
 - 直流阻抗非常小。
 - 电流可以沿着最低阻抗路径自由流动，因此各个器件产生的噪声不会相互耦合。
- 去耦电容：**为了更好地滤除高频噪声，需要在每个高速器件的电源和地管脚之间放置0.1uF至0.01uF的去耦电容。它们为芯片的瞬时开关电流提供一个低阻抗的局部路径。

六、串扰 (Crosstalk) 分析与抑制

A. 串扰的类型

串扰是指一条信号线（攻击线）上的信号变化，通过电磁场耦合到邻近的另一条信号线（受害线）上，形成不希望的噪声。

- 容性串扰：**由信号线之间的互容（耦合电容）引起。当信号线之间距离太近时，会产生明显的容性耦合。
- 感性串扰：**由信号线形成的电流环产生的互感引起。

B. 串扰的解决方法

- 阻抗匹配：**串扰的影响会随负载阻抗的增加而增加，因此对易受串扰影响的信号进行合适的阻抗匹配可以减轻其危害。
- 保证信号间距：**增大信号线之间的距离可以有效减小互容，从而减小容性串扰。常用的规则是“3W规则”，即线间距不小于线宽的3倍。
- 插入地线：**在敏感信号线之间插入一条地线（Guard Trace）可以有效地屏蔽电场，减小容性串扰。
- 减小电流环面积：**对于感性串扰，必须保证信号及其返回路径形成的电流环面积尽量小。使用完整的电源/地平面作为返回路径是减小环路面积的最佳方法。

七、电磁干扰 (EMI) 及其抑制策略

A. EMI问题概述

- 影响：**高速器件由于其快速的边沿变化，更容易产生高频谐波，从而向外辐射电磁能量，形成EMI源。同时，它们也更容易受到外部EMI的干扰。

- **法规限制：**即使系统自身工作正常，其对外产生的EMI也必须符合各个国家和地区的法规限制，如美国的FCC认证、欧洲的CE认证和中国的3C认证等。

B. 关键抑制方法

1. 电流环控制

- **原理：**任何电流环路都相当于一个天线，环路面积越大，辐射（或接收）EMI的能力就越强。
- **解决方法：**
 - 避免人为的电流环，保证任意两点间只有一条路径。
 - 尽量减小不可避免的电流环的面积。
 - 尽量使用电源平面，因为电源/地平面为信号提供了面积最小的返回路径回路。同时要保证电源平面的完整性，避免被分割。

2. 滤波技术

- **原理：**通过对电源和信号进行滤波，滤除高频噪声，从而减小系统的EMI辐射。
- **方法：**
 - **添加去耦电容：**在电源入口和芯片电源引脚处放置。
 - **使用EMI滤波器：**这是一种专门用于衰减高频噪声的器件，常见的有L型、T型和 π 型结构。
 - **使用铁氧体噪声抑制器 (Ferrite Bead)：**它是一种等效于频率相关的电阻器的器件。在低频时呈现低阻抗，对信号影响很小；在高频时呈现高阻抗，能有效地吸收和耗散高频噪声能量。可用于单根信号线或电源线，也有用于排线的Ferrite Clamp形式。