

2022-2023

一、填空 7 题 18 空 36 分

- 1、循环方式有几种，哪些可综合哪些不可综合
- 2、状态机分类+特点
- 3、三态门代码补充（知识点 ppt 上有）
- 4、时序逻辑和组合逻辑使用的敏感信号分别是
- 5、verilog 编码方式有（列两种），分别有什么特点
- 6、verilog 是____驱动的语言。RTL 分为哪两类
- 7、verilog 的编程结构是____、____和 Arbiter（仲裁器）

二、简答 5 题 25 分

- 1、简述锁存器的概念，列举形成锁存器的例子，锁存器的危害
- 2、简述时钟域的概念，不同时钟域的数据直接传递会发生什么，不同时钟域之间数据传输的常用方法
- 3、触发器有两种状态 Worst case 和 Best case，简述其概念。简述建立时间 T-setup 和保持时间 T-hold 的概念。T-comax, T-comin、T-setup、T-hold 和时钟周期 T 有两个关系式，分别对应 Worst case 和 Best case，写出关系式。
- 4、阻塞赋值和非阻塞赋值有什么区别。分析下面程序，a, b, c 的采样时间和赋值时间。（知识点 ppt 里有） 大概这样的（省略版）：
①a = #100 d; b = #50 e; c = #150 f;
②#100 a <= d; b <= #50 f; c <= f;
- 5、电平转换图，类似历年卷。一些延时赋值、逻辑运算。

三、编程 3 题 18 分

- 1、大小端转换
- 2、同步置位、异步复位的 D 触发器，增加 parameter Tco 默认为一个时间单位，模块例化时能被赋值
- 3、用组合逻辑实现一个类似 Mux 的东西

四、综合设计 2 题 21 分

数字序列检测，类似实验

实现仲裁器 Input [2:0] request_i 每一位分别对应一个 Master, output [2:0] host

有 ABC 三个 Master 默认优先级 ABC，有三个优先级，每被响应一次优先级会滚动, ABC->BCA->CAB

对应位的 request 变为 1 代表 Master 需要被响应，按照优先级选择响应哪一个 Master，响应后把对应的 host 置 1