

### **TP VHDL combinatoire**

Le but de ce TP est la prise en main du logiciel de synthèse et de simulation logique ISE Desing Suite, environnement de développement conçu par la société Xilinx pour ses composants programmables, à travers quelques exemples de modélisation VHDL de fonctions combinatoires.

L'idée est d'aller jusqu'à la réalisation électronique d'une fonction logique dans un composant programmable de type FPGA.

Vous trouverez sur le site web de l'UV, rubrique « Sujets de TP », les documents suivants :

- la documentation de la carte de TP (ref\_carte\_tp.pdf),
- un tutoriel du logiciel ISE que vous suivrez dans ce TP (tutoriel\_ise.pdf).

#### **Exercice 1. Modéliser en VHDL et réaliser un opérateur ET à 2 entrées.**

On désire modéliser un opérateur ET. Vous utiliserez les signaux suivants :

SW_0	Premier interrupteur à droite	Entrée : 1 <sup>er</sup> opérande
SW_1	Second interrupteur à droite	Entrée : 2 <sup>nd</sup> opérande
LED_0	Première LED à droite	Sortie : résultat

- Suivez le tutoriel pour créer un nouveau projet ainsi que le module VHDL.
- Simuler le circuit comme indiqué dans le tutoriel
  - Lancer le simulateur ISim.
  - Affecter des valeurs logiques aux entrées
  - Démarrer la simulation
  - Interpréter les résultats. Que pouvez-vous conclure ?
- Réalisez la synthèse comme indiqué dans le tutoriel. Examinez le résultat de la synthèse (RTL Schematic et Technology Schematic). Le résultat vous semble-t-il cohérent ?
- Si vous êtes satisfait du résultat précédent, programmez le FPGA.
- Constater le fonctionnement correct de la fonction logique au moyen des interrupteurs et de la LED.

**Exercice 2. Modélisation d'un additionneur 2 bits**

On désire modéliser un additionneur sur 2 bits.

Vous utiliserez les signaux suivants :

SW_10	Groupe des 2 interrupteurs de droite	Entrée : 1 <sup>er</sup> opérande à additionner
SW_32	Groupe des 2 interrupteurs de gauche	Entrée : 2 <sup>nd</sup> opérande à additionner
LED_10	Groupe des 2 LED de droite	Sortie : résultat

- Ecrire le VHDL en utilisant une méthode comportementale.
- Saisir le VHDL.
- Simuler le circuit et effectuez la synthèse de la même manière que dans l'exercice 1,
- Programmez le FPGA et vérifiez le fonctionnement à l'aide des interrupteurs.
- Que se passe-t-il pour si les 2 valeurs d'entrée sont à 2 ? Que proposez-vous pour régler ce problème ?

**Exercice 3. Unité arithmétique et logique**

On souhaite étendre les fonctionnalités de cet additionneur par deux autres instructions : soustraction et multiplication. On gardera les entrées à 2 bits chacune. Des entrées supplémentaires seront rajoutées pour sélectionner la fonction à effectuer : SW\_4 et SW\_5.

- Ecrire le modèle VHDL qui permet de rajouter une fonction soustraction, et la possibilité de choisir entre addition et soustraction.
- Saisir et simuler sur écran seulement la fonction.
- Ecrire le modèle VHDL pour rajouter la multiplication.
- Saisir et simuler sur écran la fonction.
- Faire la synthèse et programmer le FPGA
- Obtenez-vous les mêmes résultats qu'en simulation ? Et pourquoi ?