

Premiers pas avec ISE Design Suite 12.2

Lancer « ISE Project Navigator »

1. Double-cliquez sur l'icône Xilinx ISE Design Suite sur le bureau ou aller dans le menu Démarrer, Xilinx ISE Design Suite 12.2, ISE Design Tools, 32-bit Project Navigator.

Créer un nouveau projet

1. Dans ISE, Menu « File », sélectionnez « New Project ». Une fenêtre s'affiche.
2. Dans la fenêtre « Create New Project », dans la ligne « Location », entrez « Z:\ » ou naviguez vers le lecteur Z:\ au moyen du bouton « ... ».
3. Entrez un nom pour le projet dans la ligne « Name ». **Le nom ne doit pas comporter de caractères accentués ou d'espaces.** Vérifier que « Top-level source Type » est réglé sur « HDL » et appuyer sur le bouton « Next ».
4. La fenêtre qui s'affiche permet de régler la cible du projet. Sélectionnez les paramètres suivants :

Paramètre	Valeur
Product Category	All
Family	Spartan3
Device	XC3S200
Package	TQ144
Speed	-5
Preferred Language	VHDL

5. Appuyez sur le bouton « Next ». Un récapitulatif s'affiche, vérifiez que tout est correct et appuyez sur « Finish ». Le nouveau projet s'affiche, il est vide.
6. Sur le site web de l'UV, téléchargez le fichier « `carte_tp.ucf` » et enregistrez-le dans le dossier de votre projet (par exemple, Z:\Test\carte_tp.ucf » si vous avez choisi de nommer votre projet « Test »).

Ce fichier contient toutes les correspondances entre les noms de signaux externes que vous pouvez utiliser dans le code VHDL et leur emplacement physique sur les broches d'entrées/sorties du FPGA.

7. Dans le Project Navigator, ajoutez ce fichier à votre projet : menu « Project » -> « Add source... » puis sélectionnez le fichier `carte_tp.ucf`. Le nouveau fichier apparaît dans l'onglet « Design » à gauche, volet « Hierarchy ». Ce volet regroupe tous les modules qui constituent votre projet.

Ajouter un module VHDL

1. Une fois votre projet créé, ajoutez un nouveau module VHDL : menu « Project » -> « New source... ».
2. Dans la fenêtre « Select Source Type », choisissez « VHDL Module », puis saisissez un nom de fichier (inutile de spécifier l'extension). Ce nom sera utilisé à la fois pour nommer le fichier et l'entité VHDL. Il faut donc qu'il s'agisse d'un identifiant VHDL valide. Appuyez sur le bouton « Next ».
3. Dans la fenêtre « Define Module », vous pouvez changer le nom de l'entité et de l'architecture. Acceptez les noms par défaut et appuyez sur le bouton « Next ». Un récapitulatif s'affiche, appuyez sur le bouton « Finish ».

Deux onglets s'ouvrent automatiquement : un onglet d'édition de votre fichier VHDL et un volet « Design Summary ».

Editer le module VHDL

1. Cliquez sur l'onglet de votre fichier VHDL. Vous constatez qu'un squelette a été automatiquement créé pour vous.
2. Editez votre code VHDL.

Il est impératif de n'utiliser dans la déclaration « port » de l'entité que les noms de signaux qui sont définis dans le manuel de référence de la carte d'expérimentation de TP afin que la correspondance entre les signaux VHDL et les signaux physiques s'opère correctement.

Lorsque vous enregistrez votre fichier (Menu « File » -> « Save »), une vérification de syntaxe est réalisée automatiquement. Le résultat d'affiche dans la zone de messages. Les onglets « Errors » et « Warnings » permettent de filtrer la console et de n'afficher que ces types de messages.

3. Ouvrez le fichier « carte_tp.ucf » en double-cliquant sur son nom dans le volet « Hierarchy ». Dans ce fichier, décommentez les entrées NET qui correspondent aux signaux utilisés dans votre module VHDL, puis sauvegardez ce fichier (menu « File » -> « Save » ou utilisez l'icône dans la barre d'outils). **Cette étape peut être omise si vous voulez seulement utiliser le simulateur.**

Tester le module VHDL en simulation

1. Dans l'onglet « Design », choisissez la vue « Simulation » (bouton radio « Simulation ») puis sélectionnez le module VHDL que vous souhaitez simuler.
2. La partie basse de l'onglet « Design » comprend l'ensemble des actions réalisables sur l'objet sélectionné. Développez l'arbre « ISim Simulator » puis double-cliquez sur « Simulate Behavioral Model ». Le code VHDL est compilé et le simulateur ISim est lancé. Par défaut, 1 µs de simulation est réalisée automatiquement.
3. Réinitialisez la simulation (menu « Simulation » -> « Restart »).

ISim est à la fois un simulateur et un débogueur. Nous ne nous préoccupons que de la partie simulation ici.

Donner une valeur aux signaux d'entrée

Vous pouvez forcer un signal à une valeur constante :

1. Cliquez avec le bouton de droite sur le nom d'un signal, soit dans la fenêtre des chronogrammes, soit dans la fenêtre « Objects ».
2. Sélectionnez l'option « Force constant... ».
3. Dans la fenêtre « Force Selected Signal », entrez la valeur que vous voulez donner au signal dans la ligne « Force to value ». Vous pouvez changer de base d'entrée au moyen de la liste « Value Radix ». Vous pouvez aussi préciser un décalage temporel à partir duquel la valeur doit être forcée.
4. Appuyez sur « Ok ».

Note : La nouvelle valeur n'apparaîtra que lorsque vous lancerez la simulation.

Vous pouvez aussi créer un signal périodique :

1. choisissez « Force Clock... » dans le menu contextuel.
1. Entrez la valeur après le premier front dans « Leading Edge Value », par exemple 1.
2. Entrez la valeur après le second front dans « Trailing Edge Value », par exemple 0.
3. Dans « Period », choisissez la période du signal. Vous pouvez spécifier une unité, par exemple 10ns, 10us, 10s. L'unité par défaut est la picoseconde (ps).
4. Appuyez sur « Ok ».

Lancer la simulation

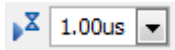
Trois boutons de la barre d'outils contrôlent la simulation :



Réinitialise la simulation. Revient à l'instant 0 et supprime toutes les valeurs forcées des signaux.



Lance la simulation complète. N'a de sens que si un Test Bench VHDL existe (un programme VHDL qui spécifie la valeur des signaux d'entrée au cours du temps).



Lance la simulation pendant un temps donné. Le temps peut être modifié.

Pour simuler votre circuit, utilisez la troisième option.

Visualiser les chronogrammes

La fenêtre des chronogrammes ne s'ajuste pas automatiquement au temps de simulation. Il faut utiliser les commandes de zoom et les curseurs pour contrôler la plage affichée.

Les curseurs sont des lignes jaunes verticales qui repèrent un instant donné. Par défaut, un curseur est placé automatiquement à l'instant de fin de la simulation. Vous pouvez créer deux curseurs en cliquant sur les chronogrammes. Le curseur principal est créé à l'emplacement du clic ainsi qu'un curseur secondaire en pointillés que vous pouvez faire glisser. Vous pouvez ensuite modifier la position des deux curseurs en les faisant glisser.

Quatre boutons contrôlent le zoom :



Augmente le zoom autour du curseur principal



Diminue le zoom autour du curseur principal



Affiche l'intégralité de la simulation



Affiche la simulation entre les deux curseurs

Terminer la simulation

Une fois que vous êtes satisfait du comportement de votre module en simulation, fermez l'application ISim (Menu « File » -> « Exit »).

Synthétiser le design et générer le fichier de configuration du FPGA

Pour générer le fichier de configuration du FPGA, repassez en vue « Implémentation » (bouton radio « Implementation » dans l'onglet « Design »).

1. Sélectionnez le module VHDL que vous voulez synthétiser.
2. Dans la liste d'actions, double-cliquez sur « Generate Programming File ». Toutes les étapes de synthèse nécessaire sont exécutées automatiquement. Si le processus se déroule correctement, un fichier d'extension « .bit » est généré dans votre dossier de projet. Le nom de ce fichier est le même que celui de l'entité VHDL que vous avez choisi à l'étape 1.

Visualiser le résultat la synthèse

Vous pouvez visualiser sous forme d'un schéma le résultat de la synthèse en lançant le processus « View RTL Schematic » dans le sous-arbre de l'action « Synthesize – XST ». Si une fenêtre s'affiche, choisissez l'option « Start with a schematic of the top-level block » puis cliquez sur « Ok ».

Vous pouvez aussi visualiser le schéma électrique qui est implémenté dans le FPGA en lançant le processus « View Technology Schematic ». Pour visualiser le contenu d'un bloc, il suffit de double-cliquer dessus. Si la vue ne change pas, il s'agit d'un bloc élémentaire qui ne contient pas de sous-blocs.

Vous pouvez utiliser les commandes de zoom pour contrôler la vue, ou sélectionner une zone d'affichage en cliquant-déplaçant la souris sur le schéma.

Programmer le FPGA

Le chargement du fichier de configuration dans le FPGA se fait au moyen du programme externe « TeraTerm ».

1. Lancez le programme « Tera Term » : dans le menu Démarrer, groupe « Tera Term » -> « Tera Term ».
2. Une fois que le programme est lancé, tapez une fois « Entrée » dans la fenêtre. Un prompt « BIOS> » s'affiche.
3. Au prompt, tapez :
`BIOS> run load_fpga`
puis « Entrée ».
4. Le message suivant s'affiche :
`## Ready for binary (kermit) download to 0x08000000 at 115200
bps...`
5. Dans le menu « File » -> « Transfer » -> « Kermit », choisissez l'option « Send... » puis sélectionnez le fichier « .bit » dans votre dossier de projet. Le transfert démarre automatiquement. S'il n'y a pas d'erreur, au bout de quelques secondes le prompt « BIOS> » réapparaît. Le FPGA est alors configuré avec votre design.

Le logiciel ISE Design Suite est très complet. N'hésitez pas à en explorer les autres fonctionnalités !