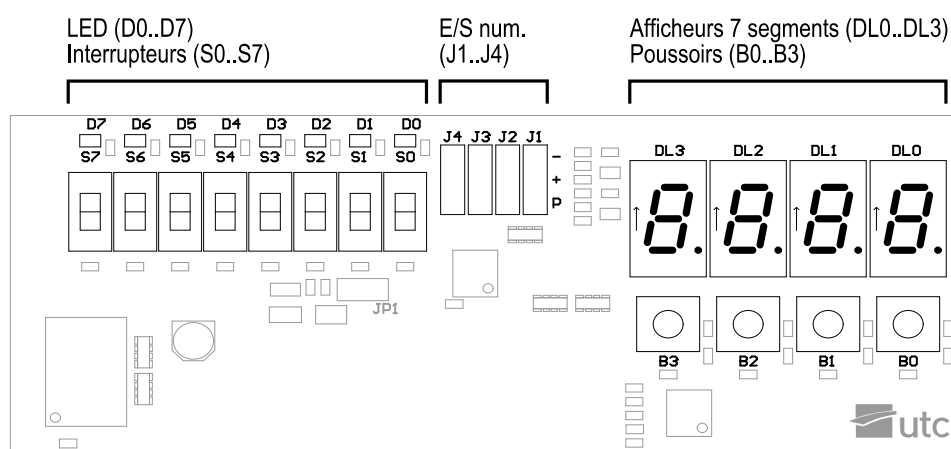


## Carte d'expérimentation de TP - Référence

La carte d'expérimentation de TP est connectée au FPGA Xilinx X3CS200 monté sur les kits de développements APF9328 d'Armadeus utilisés en TP. Elle comprend les éléments suivants :

- 8 diodes électroluminescentes LED,
- 8 interrupteurs à deux positions,
- 4 afficheurs 7 segments + point décimal multiplexés,
- 4 boutons poussoirs,
- 4 connecteurs pour dispositif externe (E/S numériques),
- Mémoire SRAM externe de 32 Ko.



Tous ces éléments sont directement accessibles au travers des broches d'entrées/sorties du FPGA.

Les noms des signaux donnés dans cette documentation sont conventionnels et sont définis dans le fichier de contraintes `carte_tp.ucf` fourni sur le site web de l'UV. Ce fichier doit être impérativement utilisé dans chaque projet Xilinx ISE Design Suite destiné à la carte. **Il est indispensable de respecter les noms de signaux indiqués dans ce document dans les codes sources VHDL et de décommenter dans le fichier de contraintes uniquement ceux qui sont utilisés.**

### IMPORTANT



La carte est conçue de telle manière qu'une configuration erronée du FPGA ne puisse pas causer de dégâts. Il s'agit cependant d'un dispositif sensible aux **décharges électrostatiques** importantes. **Merci de toucher une masse métallique avant de la manipuler.**

## Diodes électroluminescentes

Elles sont repérées D0 à D7 sur la sérigraphie de la carte. Les signaux associés et leur effet sont les suivants :

Désignateur	Nom du signal	Valeur	Effet
D0	LED_0	' 0 '	LED éteinte
D1	LED_1	' 1 '	LED allumée
D2	LED_2		
D3	LED_3		
D4	LED_4		
D5	LED_5		
D6	LED_6		
D7	LED_7		

Il est possible d'utiliser des vecteurs de bits à la place des signaux discrets. Les diodes peuvent être groupées en vecteurs de 2, 4 ou 8 éléments selon la convention ci-après :

Désignateur	D7	D6	D5	D4	D3	D2	D1	D0
Signal discret	LED_7	LED_6	LED_5	LED_4	LED_3	LED_2	LED_1	LED_0
Vecteur de 2 bits	LED_76(1 downto 0)		LED_54(1 downto 0)		LED_32(1 downto 0)		LED_10(1 downto 0)	
Vecteur de 4 bits	LED_7654(3 downto 0)				LED_3210(3 downto 0)			
Vecteur de 8 bits	LED(7 downto 0)							

**L'utilisation du vecteur est exclusive de celle des signaux discrets.**

## Interrupteurs à deux positions

Ils sont repérés S0 à S7 sur la sérigraphie de la carte. Les signaux associés et leur valeur en fonction de la position des interrupteurs sont les suivants :

Désignateur	Nom du signal	Position de l'interrupteur	Valeur du signal
S0	SW_0	Bas	' 0 '
S1	SW_1	Haut	' 1 '
S2	SW_2		
S3	SW_3		
S4	SW_4		
S5	SW_5		
S6	SW_6		
S7	SW_7		

Il est possible d'utiliser des vecteurs de bits à la place des signaux discrets. Les interrupteurs peuvent être groupés en vecteurs de 2, 4 ou 8 éléments selon la convention ci-dessous :

Désignateur	S7	S6	S5	S4	S3	S2	S1	S0
Signal discret	SW_7	SW_6	SW_5	SW_4	SW_3	SW_2	SW_1	SW_0
Vecteur de 2 bits	SW_76(1 downto 0)		SW_54(1 downto 0)		SW_32(1 downto 0)		SW_10(1 downto 0)	
Vecteur de 4 bits	SW_7654(3 downto 0)				SW_3210(3 downto 0)			
Vecteur de 8 bits	SW(7 downto 0)							

On peut aussi affecter d'autres types aux signaux composés. Il est acceptable dans un code VHDL d'écrire :

```
SW_76 : integer range 0 to 3 ;
SW_3210 : integer range 0 to 15 ;
```

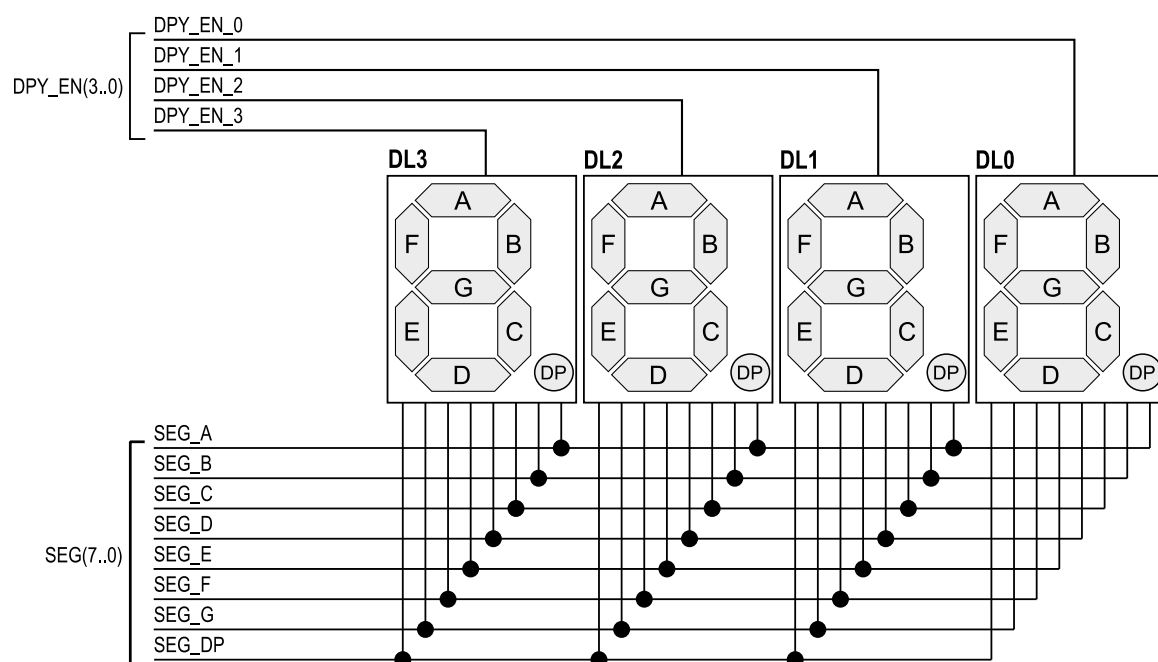
La seule contrainte est que le nombre de bits nécessaires à la représentation de l'intervalle soit cohérente avec la taille du signal choisi. **Il est par contre interdit d'utiliser plusieurs fois le même signal avec des noms différents.**

**Les interrupteurs ne peuvent pas être utilisés dans la liste de sensibilité d'un process.**

## Afficheurs 7 segments et point décimal

Il y a quatre afficheurs 7 segments repérés DL0 à DL3 sur la carte. Les signaux SEG\_A à SEG\_F et SEG\_DP pilotant l'allumage et l'extinction des segments et du point décimal sont communs aux quatre afficheurs. Chaque afficheur dispose d'un signal d'activation DPY\_EN\_x qui permet d'éteindre tous ses segments, quelle que soit la valeur des signaux SEG.

Le schéma ci-dessous reprend le câblage ainsi que le nom des signaux associés.



Il est possible d'utiliser des vecteurs de bits à la place des signaux discrets. Dans ce cas, le nom du signal associé aux segments individuels est `SEG`, qui se déclare sous la forme d'un vecteur de 8 bits en VHDL, et le nom du signal associé à l'activation des afficheurs est `DPY_EN`, qui se déclare sous forme d'un vecteur de 4 bits en VHDL. **L'utilisation des vecteurs est exclusive de celle des signaux discrets associés.**

#### Correspondances entre segments et position des bits dans le vecteur `SEG`

Segment	A	B	C	D	E	F	G	DP
N° de bit	0	1	2	3	4	5	6	7

#### Valeurs possibles des signaux ainsi que leurs effets

Valeur <code>SEG_x</code>	Effet	Valeur <code>DPY_EN_x</code>	Effet
'0'	Segment éteint	'0'	Afficheur éteint
'1'	Segment allumé	'1'	Afficheur allumé en fonction de <code>SEG_x</code>

## Boutons poussoirs

Ils sont repérés B0 à B3 sur la sérigraphie de la carte. Les signaux associés et leur valeur en fonction de la position des interrupteurs sont les suivants :

Désignateur	Nom du signal	Position du poussoir	Valeur du signal
B0	PB_0	Relâché	'0'
B1	PB_1	Pressé	'1'
B2	PB_2		
B3	PB_3		

Il est possible d'utiliser un vecteur de bits à la place des signaux discrets. Dans ce cas, le nom du signal est `PB` et il se déclare sous la forme d'un vecteur de 4 bits en VHDL. **L'utilisation du vecteur est exclusive de celle des signaux discrets.**

**Les boutons poussoirs peuvent être utilisés dans la liste de sensibilités d'un process VHDL.** Dans ce cas, un avertissement sera produit lors de la synthèse par ISE. Il peut être ignoré.

## Sorties numériques TTL

Quatre connecteurs 3 broches au pas de 2.54mm sont disponibles, repérés J1, J2, J3 et J4 sur la carte. Ils comportent chacun :

- une broche d'alimentation +5V, repérée '+',
- une broche de masse, repérée '-',
- une broche de sortie numérique connectée au FPGA, repérée 'P'. Cette sortie respecte le standard TTL 5V.

**Le courant total qui peut être fourni sur les quatre broches d'alimentation est limité à 350mA.**

Les signaux associés aux quatre sorties numériques sont les suivants :

Désignateur	Nom du signal
J1, broche P	OUT_0
J2, broche P	OUT_1
J3, broche P	OUT_2
J4, broche P	OUT_3

Il est possible d'utiliser un vecteur de bits à la place des signaux discrets. Dans ce cas, le nom du signal est `OUT` et il se déclare sous la forme d'un vecteur de 4 bits en VHDL. **L'utilisation du vecteur est exclusive de celle des signaux discrets.**

#### IMPORTANT

Les quatre sorties numériques sont partagées avec les quatre interrupteurs S0, S1, S2 et S3. Pour obtenir un fonctionnement correct, il faut impérativement positionner ces interrupteurs en haut quand les sorties numériques sont utilisées. L'utilisation simultanée des signaux `SW_0`, `SW_1`, `SW_2`, `SW_3` et `OUT_0`, `OUT_1`, `OUT_2`, `OUT_3` est impossible.

## Mémoire SRAM externe

Le boîtier de mémoire SRAM est repéré U2 sur la carte. Il s'agit d'un boîtier Alliance Memory d'une capacité de 32768 mots de 8 bits, adressables directement de référence AS7C3256A-10

L'interface entre le boîtier mémoire et le FPGA est réalisé au moyen de trois bus :

- Un bus de données sur 8 bits. Le signal associé est `SRAM_BD`, déclaré sous forme d'un vecteur de 8 bits en VHDL,
- Un bus d'adresses sur 15 bits. Le signal associé est `SRAM_BA`, déclaré sous forme d'un vecteur de 15 bits en VHDL,
- Un bus de contrôle comportant les trois signaux `SRAM_CE`, `SRAM_OE` et `SRAM_WR`.

Une description complète des cycles d'accès à cette mémoire est fournie dans la documentation du boîtier disponible sur le site de l'UV.