

RELATÓRIO- PROJETO 1

Questão 1

Arquivo somador_completo.vhd:

```
1  --Cabeçalho contendo uma breve descricao do dispositivo modelado (Comentario opcional)
2
3  -- *****
4  --  Circuito 1: Porta OU EXCLUSIVO (XOR) de tres entradas:
5  --          A      Entrada 1
6  --          B      Entrada 2
7  --          Cin    Entrada 3
8  --          S      Saida
9  --  Circuito 2: Soma de produtos de 3 entradas:
10 --          A      Entrada 1
11 --          B      Entrada 2
12 --          Cin    Entrada 3
13 --          Cout   Saida
14 -- *****
15
16 --Package (Pacote)
17 --constantes e bibliotecas
18
19 library IEEE;
20 use IEEE.std_logic_1164.all;
21
22 --Entity (Entidade)
23 --pinos de entrada e saída
24
25 entity SOMADOR_COMPLETO is port (
26     A      :in std_logic;
27     B      :in std_logic;
28     Cin    :in std_logic;
29     S      :out std_logic;
30     Cout   :out std_logic );
31 end SOMADOR_COMPLETO;
32
33 --Architecture (Arquitetura)
34 --implementacoes do projeto
35
36 architecture rtl of SOMADOR_COMPLETO is
37 begin
38
39     S <= A xor B xor Cin;
40     Cout <= (A and B) or (A and Cin) or (B and Cin);
41
42 end rtl;
```

Arquivo tb_somador_completo.vhd:

```
1  --Cabecalho contendo uma breve descricao do dispositivo modelado (comentario opcional)
2
3
4  -- *****
5  -- Testbench para simulacao Funcional do
6  -- Circuito 1: Porta OU EXCLUSIVO (XOR) de tres entradas:
7  --           A   Entrada 1
8  --           B   Entrada 2
9  --           Cin  Entrada 3
10 --           S    Saida
11 -- Circuito 2: Soma de produtos de 3 entradas:
12 --           A   Entrada 1
13 --           B   Entrada 2
14 --           Cin  Entrada 3
15 --           Cout Saida
16 -- *****
17
18 --ENTITY (Entidade)
19 --somador_tb uma entidade sem pinos de entrada e saida
20
21 ENTITY somador_tb IS END;
22
23 -- Testbench para somador_completo.vhd
24 -- Validacao assincrona
25
26 --Package (Pacote)
27 --constantes e bibliotecas
28
29 LIBRARY ieee;
30 USE ieee.std_logic_1164.ALL;
31 USE std.textio.ALL;
32
33 ARCHITECTURE tb_somador_completo OF somador_tb IS
34
35 -- Declaracao do componente somador_completo, referente a sua arquitetura descrita no arquivo somador_completo.vhd
36
37 component SOMADOR_COMPLETO
38
39 port(
40     A, B, Cin :in std_logic;
41     S, Cout   :out std_logic
42 );
43 end component;
44
45 --Sinais auxiliares para a interconexao ao
46 --processo de estimulo
47
48 signal A : std_logic;
49 signal B : std_logic;
50 signal Cin : std_logic;
51
52 --Instancia do componente somador_completo e interconexao do componente ao processo
53 --de estimulo
54
55 Begin
56
57 somador: SOMADOR_COMPLETO PORT MAP (A => A, B => B, Cin => Cin, S => open, Cout => open);
58
59
60 --Implementacao do processo de estimulo
61
62 estimulo: PROCESS
63
64 begin
65
66 wait for 5 ns; A   <= '0'; B   <= '0'; Cin <= '0';
67 wait for 5 ns; Cin <= '1';
68 wait for 5 ns; B   <= '1';
69 wait for 5 ns; Cin <= '0';
70 wait for 5 ns; A   <= '1';
71 wait for 5 ns; B   <= '0';
72 wait for 5 ns; Cin <= '1';
73 wait for 5 ns; B   <= '1';
74 wait;
75
76 end PROCESS estimulo;
77
78 end tb_somador_completo;
79
```

Compilação:

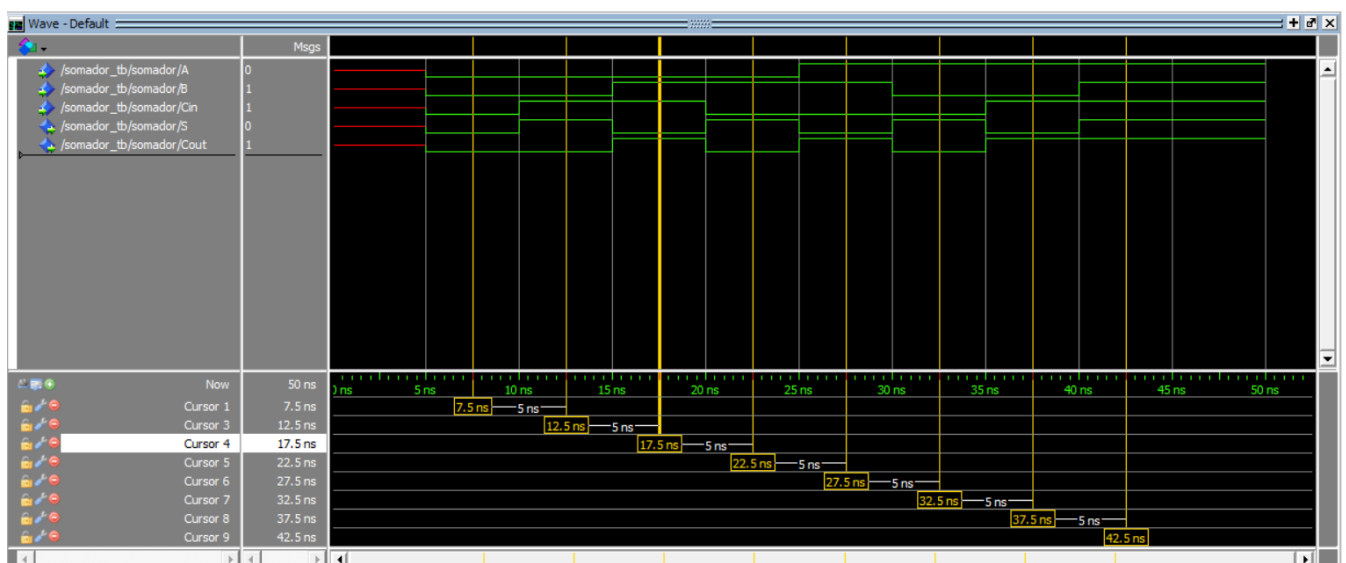
Name	Status	Type	Order	Modified
tb_somador_compl...	✓	VHDL	1	03/05/2021 12:25:34 ...
somador_completo...	✓	VHDL	0	03/05/2021 12:19:09 ...

Library x Project x

Transcript

```
# Compile of somador_completo.vhd was successful.  
# Compile of tb_somador_completo.vhd was successful.  
# 2 compiles, 0 failed with no errors.  
ModelSim>
```

Simulação:



Questão 2

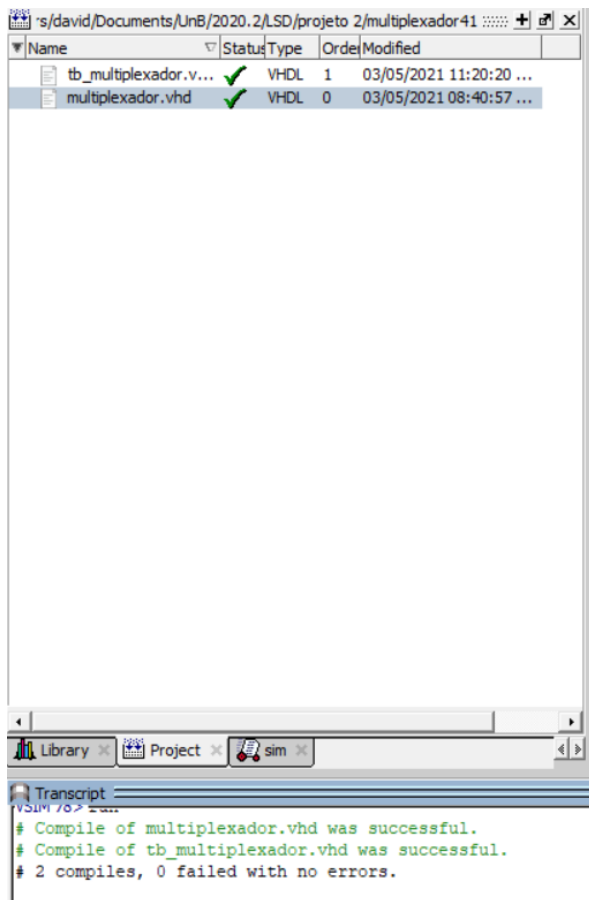
Arquivo multiplexador.vhd:

```
1  -- *****
2  -- Circuito: Multiplexador 4x1
3  --      D0  Entrada 1
4  --      D1  Entrada 2
5  --      D2  Entrada 3
6  --      D3  Entrada 4
7  --      S0  Seletor 1
8  --      S1  Seletor 2
9  --      Y   Saída
10 -- *****
11 -----
12 library IEEE;
13 use IEEE.std_logic_1164.all;
14 -----
15
16 entity MULTIPLEXADOR is port (
17     S          :in std_logic_vector (1 DOWNTO 0);
18     D0, D1, D2, D3 :in std_logic;
19     Y          :out std_logic);
20 end MULTIPLEXADOR;
21 -----
22
23 architecture mux of MULTIPLEXADOR is
24 begin
25
26     Y <= (D0 and (not S(1)) and (not S(0)))
27         or (D1 and (not S(1)) and S(0))
28         or (D2 and S(1) and (not S(0)))
29         or (D3 and S(1) and S(0));
30
31 end mux;
32
```

Arquivo tb_multiplexador.vhd:

```
12  ENTITY testbench_mux IS END;
13
14  -----
15  LIBRARY ieee;
16  USE ieee.std_logic_1164.ALL;
17  USE std.textio.ALL;
18  -----
19
20  ARCHITECTURE tb_multiplexador OF testbench_mux IS
21
22    component MULTIPLEXADOR
23
24    port(
25      S          :in std_logic_vector (1 DOWNTO 0);
26      D0, D1, D2, D3 :in std_logic;
27      Y          :out std_logic);
28    end component;
29    -----
30
31    signal clk1, clk2, clk3, clk4 : std_logic;
32    signal tb_s : std_logic_vector (1 DOWNTO 0);
33
34    Begin
35
36    mux: MULTIPLEXADOR PORT MAP (D0 => clk1, D1 => clk2, D2 => clk3, D3 => clk4, S => tb_s, Y => open);
37
38
39    --Implementacao do processo de estimulo
40
41    clk_1: PROCESS
42    begin
43      clk1 <= '0', '1' after 40 ns, '0' after 80 ns; wait for 80 ns;
44    end PROCESS;
45
46    clk_2: PROCESS
47    begin
48      clk2 <= '0', '1' after 20 ns, '0' after 60 ns; wait for 80 ns;
49    end PROCESS;
50
51    clk_3: PROCESS
52    begin
53      clk3 <= '0', '1' after 10 ns, '0' after 30 ns; wait for 40 ns;
54    end PROCESS;
55
56    clk_4: PROCESS
57    begin
58      clk4 <= '0', '1' after 5 ns, '0' after 15 ns; wait for 20 ns;
59    end PROCESS;
60
61    tbs: PROCESS
62    begin
63      tb_s <= "00", "01" after 80 ns, "11" after 160 ns, "10" after 240 ns; wait for 320 ns;
64    end PROCESS;
65
66    end tb_multiplexador;
```

Compilação:



Simulação:

