



ENE - UnB

Latches – Introdução aos circuitos sequenciais

Sistemas Digitais 1

Dispositivos lógicos

I. Lógica Combinacional

a) Saída corrente depende apenas das entradas correntes

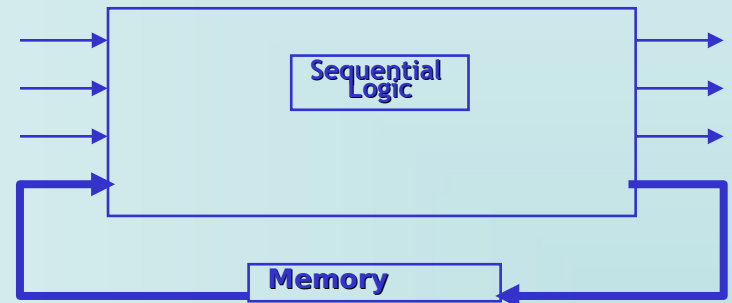
- Portas
- Decodificadores
- Multiplexadores
- ALUs



II. Lógica Sequencial

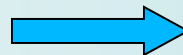
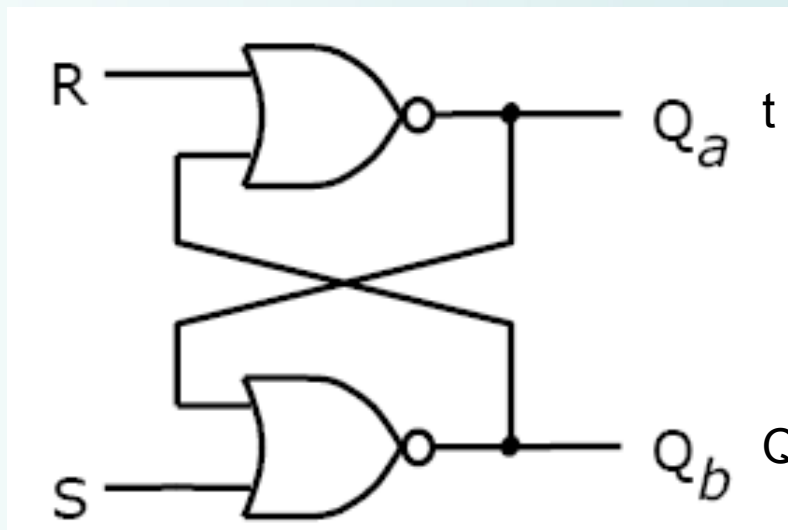
a) Saída corrente depende das entradas passadas bem como presentes; assim tem uma memória (estado)

- Latches e Flip-Flops
- Máquinas de estado
- Contadores
- Registradores de deslocamento



Latch RS

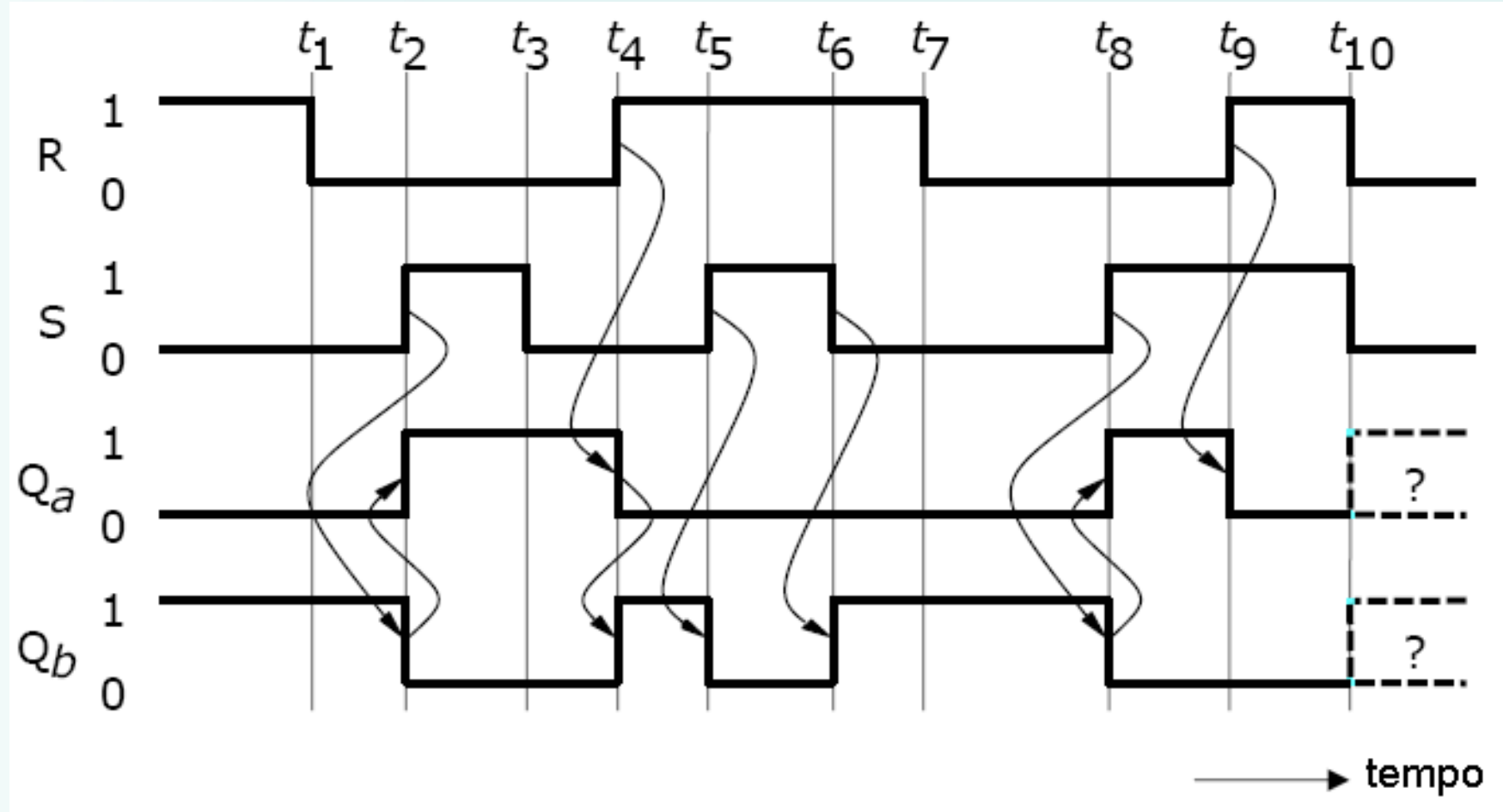
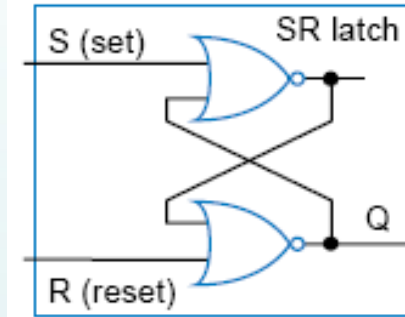
- Quando **$R=S=0$** o circuito permanece em seu estado atual (mesmo que $Q_a=1$ e $Q_b=0$ ou quando $Q_a=0$ e $Q_b=1$)
- Quando **$S=1$ e $R=0$** , o *latch* é ativado (**set**) no estado em que $Q_a=1$ e $Q_b=0$
- Quando **$S=0$ and $R=1$** , o latch é desativado (**reset**) no estado em que $Q_a=0$ e $Q_b=1$
- Quando **$S=1$ e $R=1$** , $Q_a=Q_b=0$ (esse estado provocará problemas na saída do circuito)



S	R	Q_a	Q_b
0	0	0/1	1/0
0	1	0	1
1	0	1	0
1	1	0	0

Latch RS

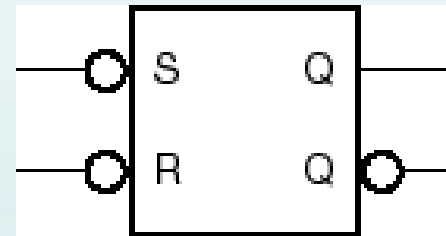
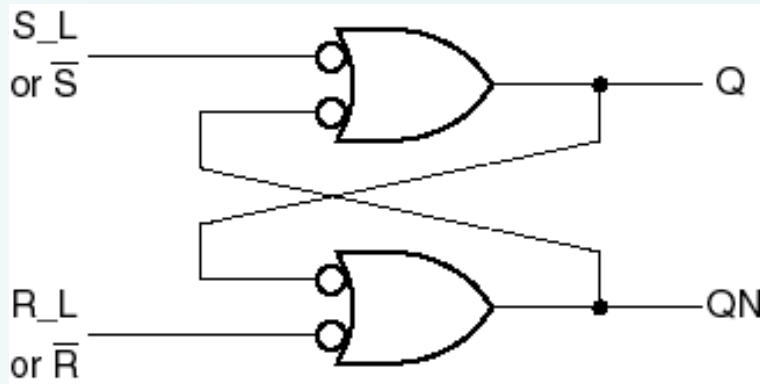
S	R	Q _a	Q _b
0	0	0/1	1/0
0	1	0	1
1	0	1	0
1	1	0	0



Latch RS

- Se o atraso de propagação de Q_a e Q_b são exatamente iguais, a oscilação no instante de tempo t_{10} continuará indefinidamente.
- Em circuitos reais existirá alguma diferença entre os atrasos (quase insignificante) e o *latch* seria, eventualmente, jogado em um de seus estados estáveis (mas não se sabe qual exatamente)
- Portanto, a combinação **$S=R=1$** é geralmente considerada um estado proibido no *latch* RS.

Latch /R-/S: Portas NAND



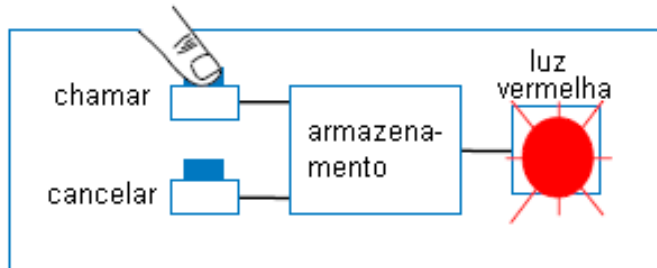
S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN

Function Table

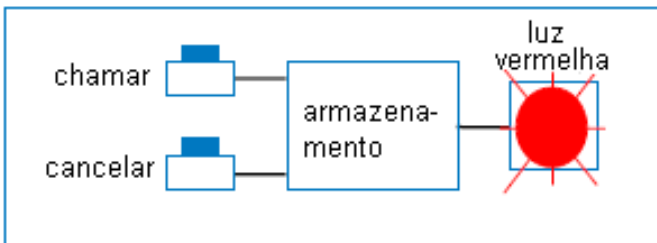
	/S	/R	Q	/Q
Illegal	0	0	1	1
Set	0	1	1	0
Reset	1	0	0	1
Hold	1	1	Last Q	Last /Q

Latch RS

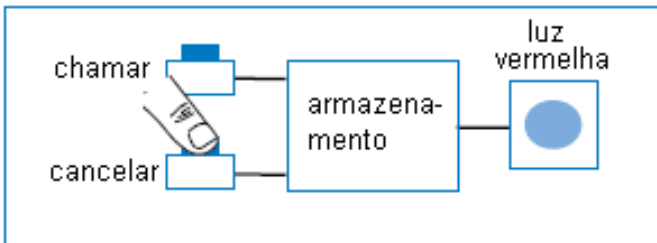
Exemplo:



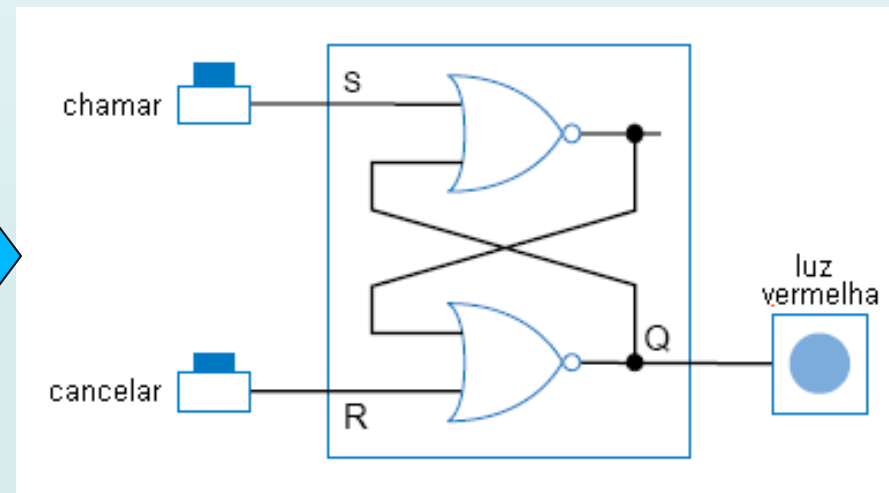
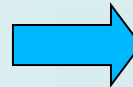
1. Botão "chamar" pressionado - luz acesa



2. Botão "chamar" liberado - luz continua acesa

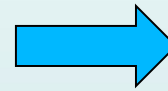
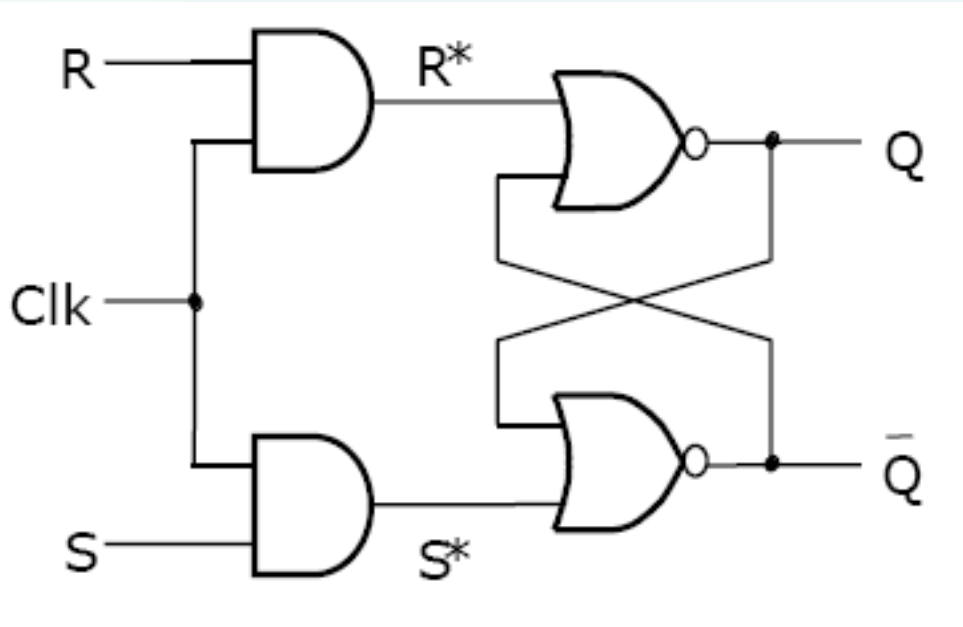


3. Botão "cancelar" pressionado - luz apagada



- Chamar = 1 : Q vai para 1
Q fica em 1 mesmo depois que Chamar = 0
- Cancelar = 1 : Q vai para 0

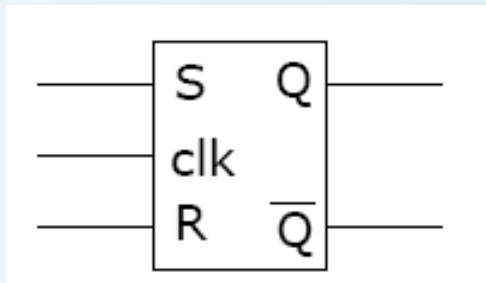
Latch RS gatilhado



CLK	S	R	Q(t+1)
0	X	X	Q(t)
1	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	X



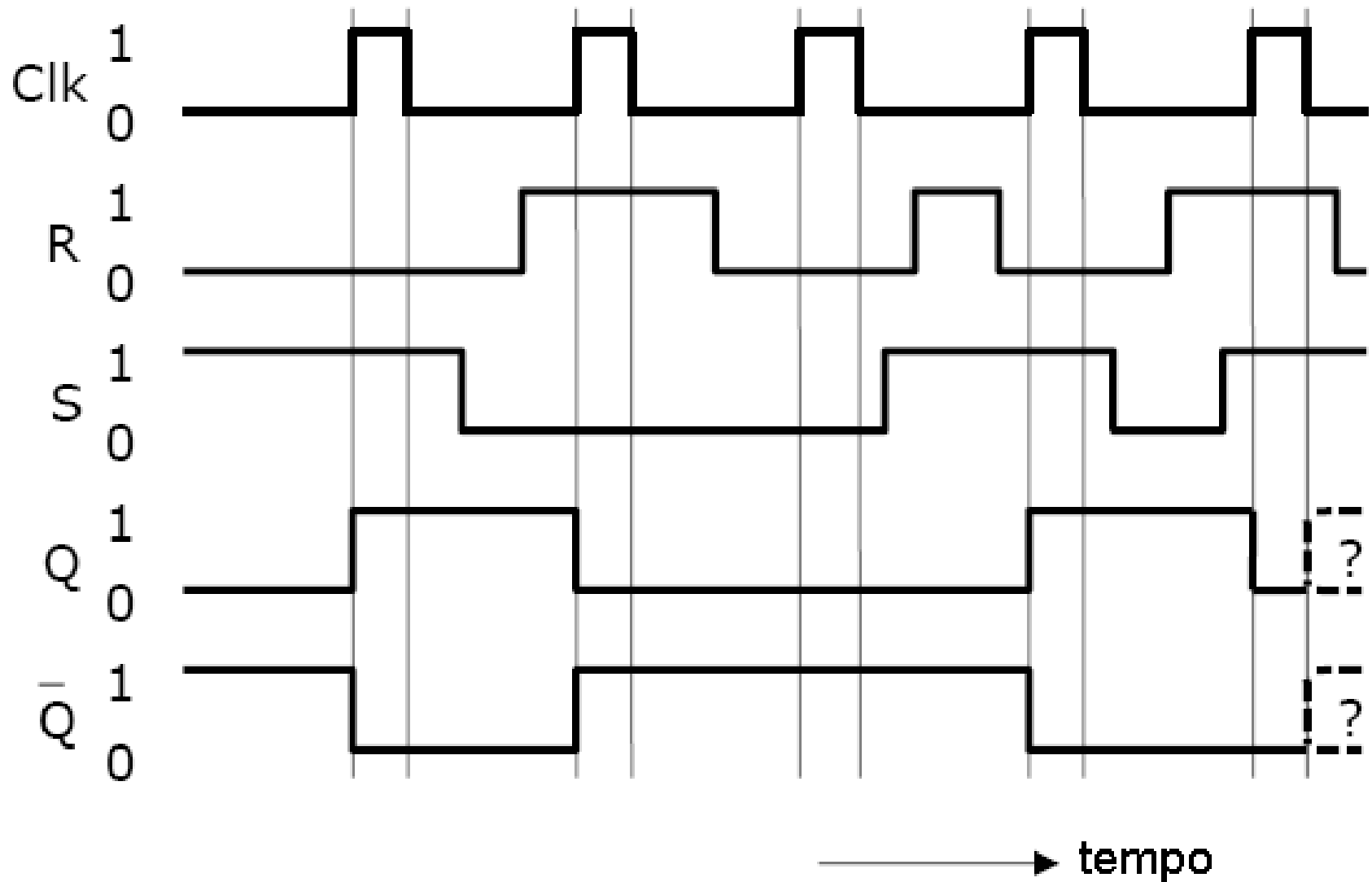
representação



Q(t) → estado atual

Q(t+1) → próximo estado

Latch RS gatilhado



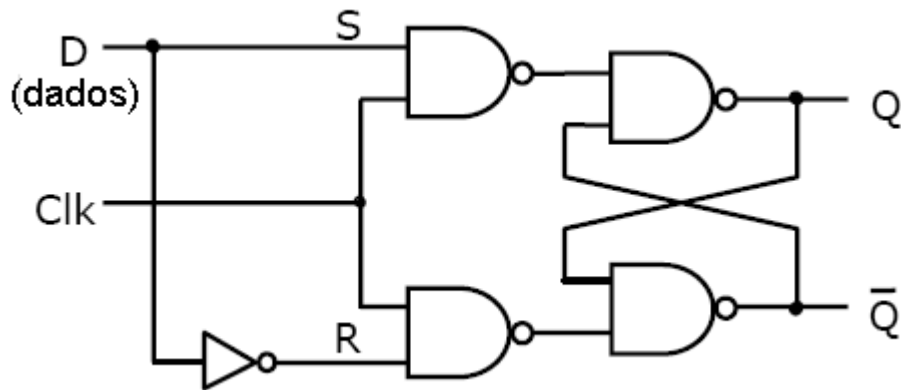
Sinal de *clock*

- Período do sinal de clock
 - tempo entre dois pulsos
 - sinal: período = 20 ns
- Ciclo do clock
 - um intervalo de tempo
 - sinal abaixo tem 3,5 ciclos de clock
- Frequência do clock
 - $1/\text{período}$
 - sinal: frequência = $1/20 \text{ ns} = 50 \text{ MHz}$
 - $1 \text{ Hz} = 1/\text{s}$

frequência	período
100 GHz	0.01 ns
10 GHz	0.1 ns
1 GHz	1 ns
100 MHz	10 ns
10 MHz	100 ns

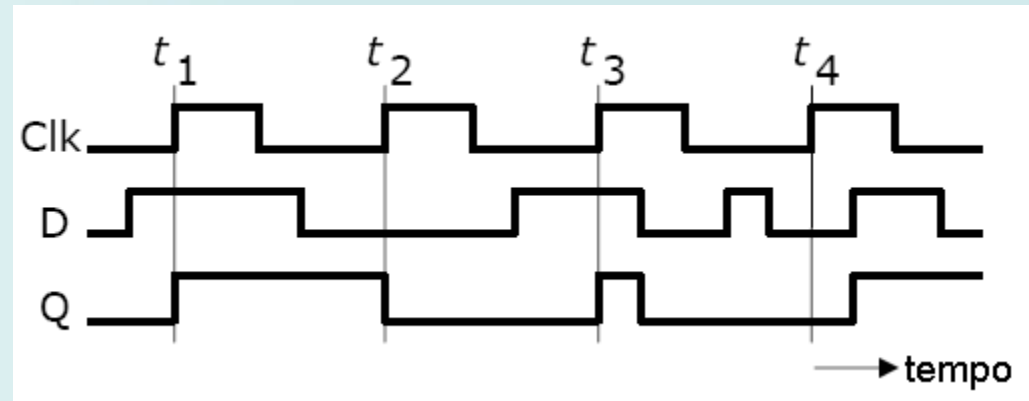
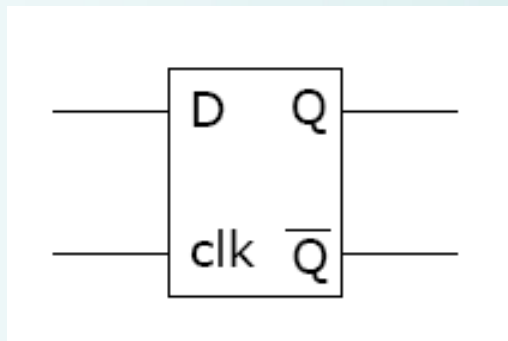


Latch D



CLK	D	Q(t+1)
0	X	Q(t)
1	0	0
1	1	1

↓ representação



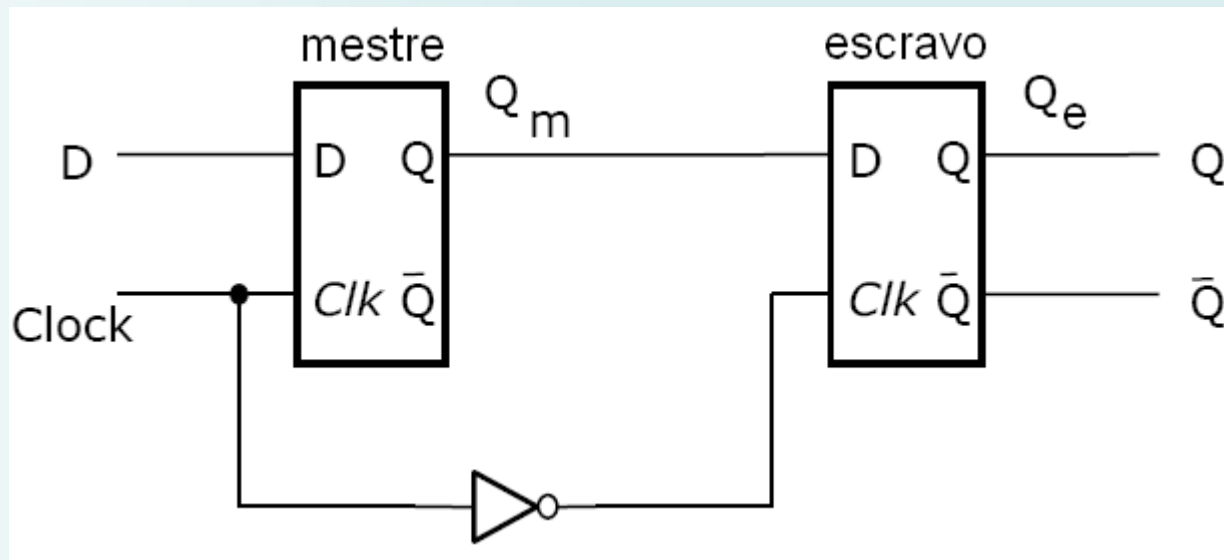
Flip-Flops

Flip-flop D (mestre-escravo)

- Formado por 2 latches D:

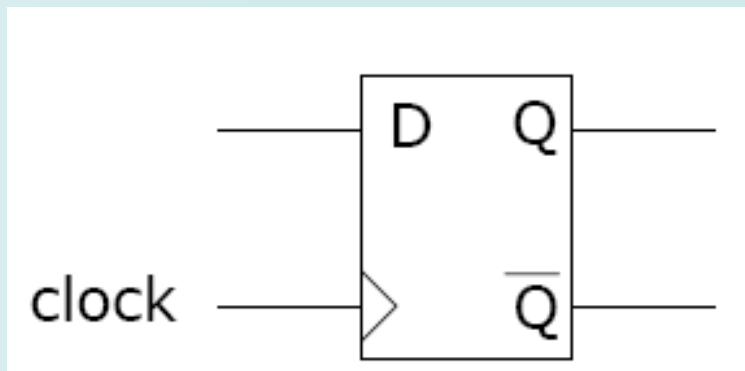
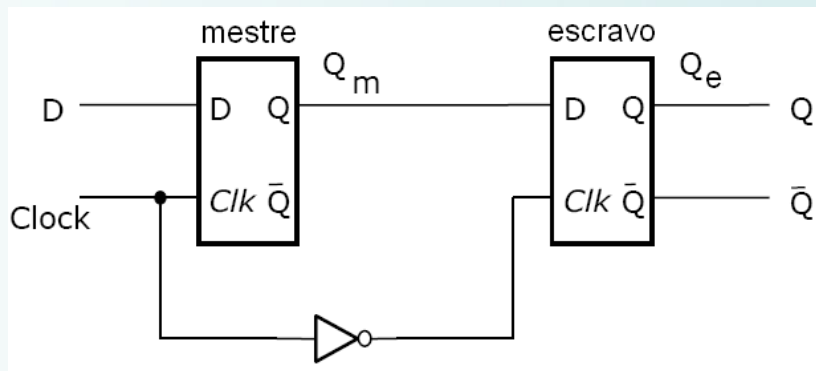
O primeiro é chamado de **mestre** e muda de estado quando o clock=1

O segundo é chamado de **escravo** e muda de estado quando o clock=0

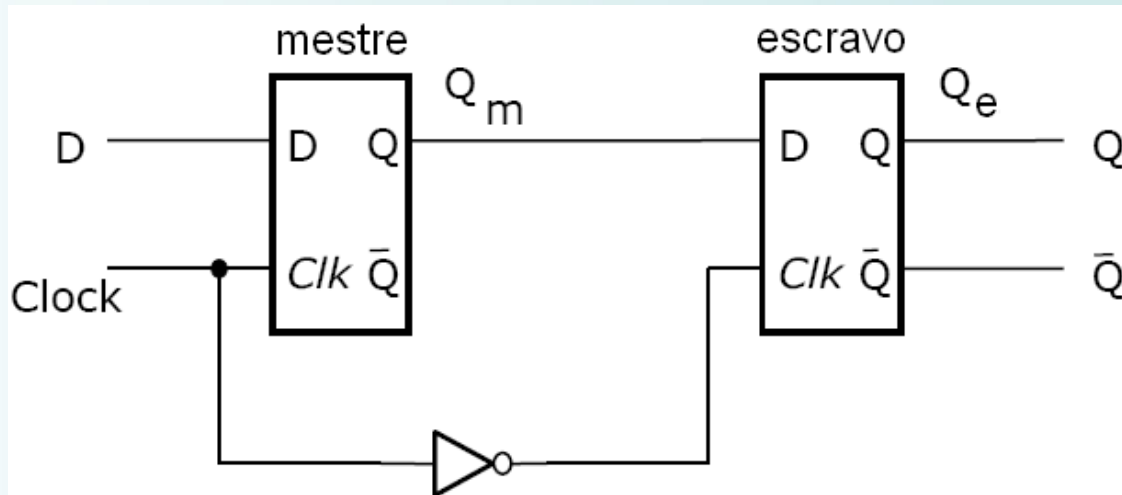
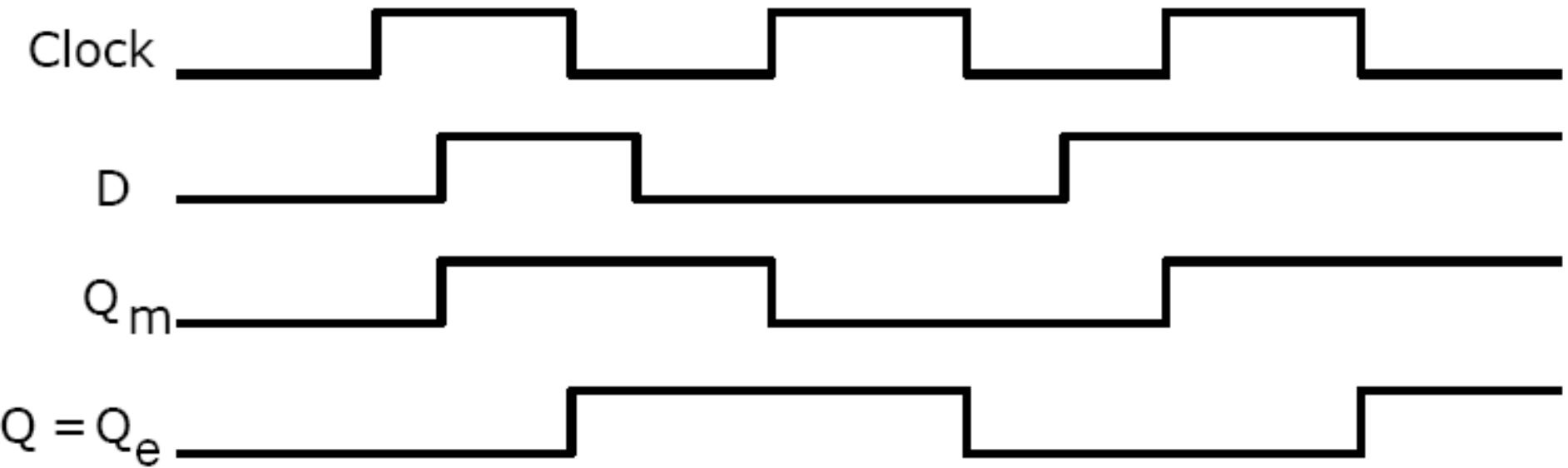


Flip-flop D (mestre-escravo)

- Quando o clock=1, o estágio mestre é acionado de acordo com o sinal de entrada D, e o estágio escravo não muda
Portanto Q_m segue qualquer mudança em D e Q_e permanece constante
- Quando o clock muda para 0, o estágio mestre permanece constante e o flip-flop-escravo
- Ao mesmo tempo, o estágio escravo responde às variações de Q_m e muda de estado de acordo
- Se Q_m não variar enquanto o clock estiver em 0, o escravo sofrerá apenas uma mudança de estado durante o ciclo de clock
- A saída Q_e do circuito só mudará na borda de descida (ou negativa) do sinal de clock



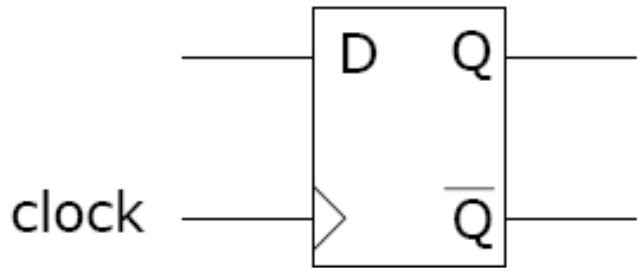
Flip-flop D (mestre-escravo)



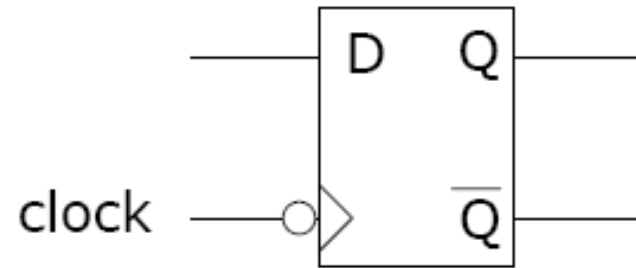
CLK	D	$Q(t+1)$
0	X	$Q(t)$
1	0	0
1	1	1

Gatilhado pela borda

Pode-se projetar *flip-flops* que operem na borda de subida ou na borda de descida
Depende de qual estágio (mestre ou escravo) estiver com o sinal de *clock* invertido

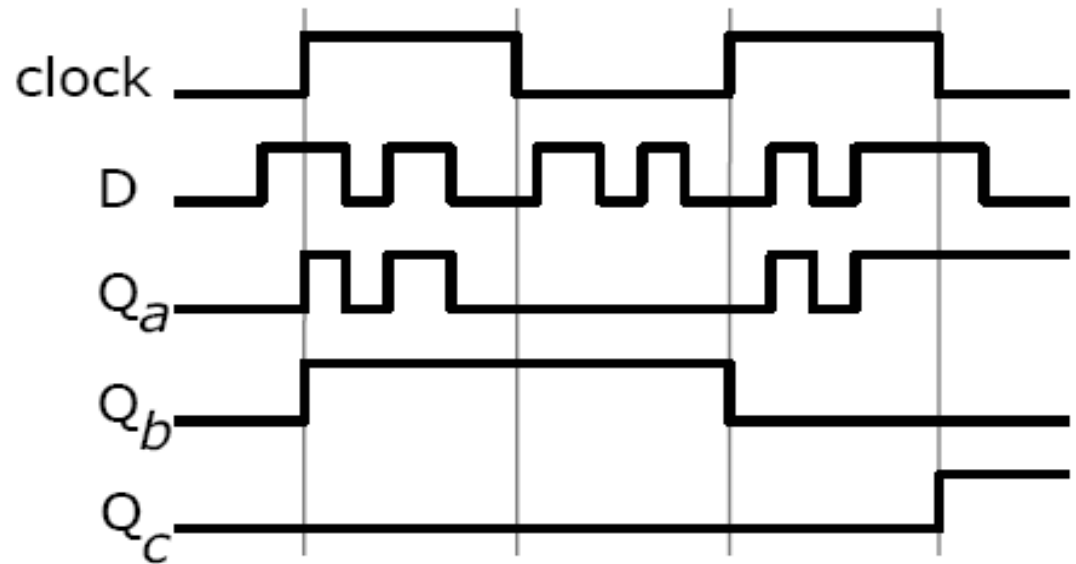
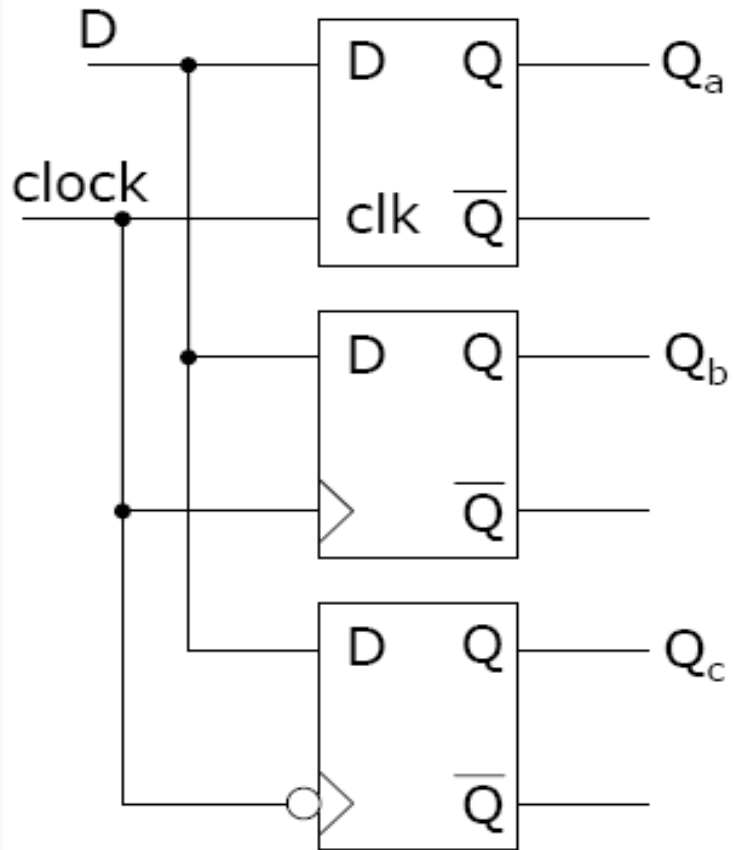


gatilhado pela borda de subida (ou positiva)



gatilhado pela borda de descida (ou negativa)

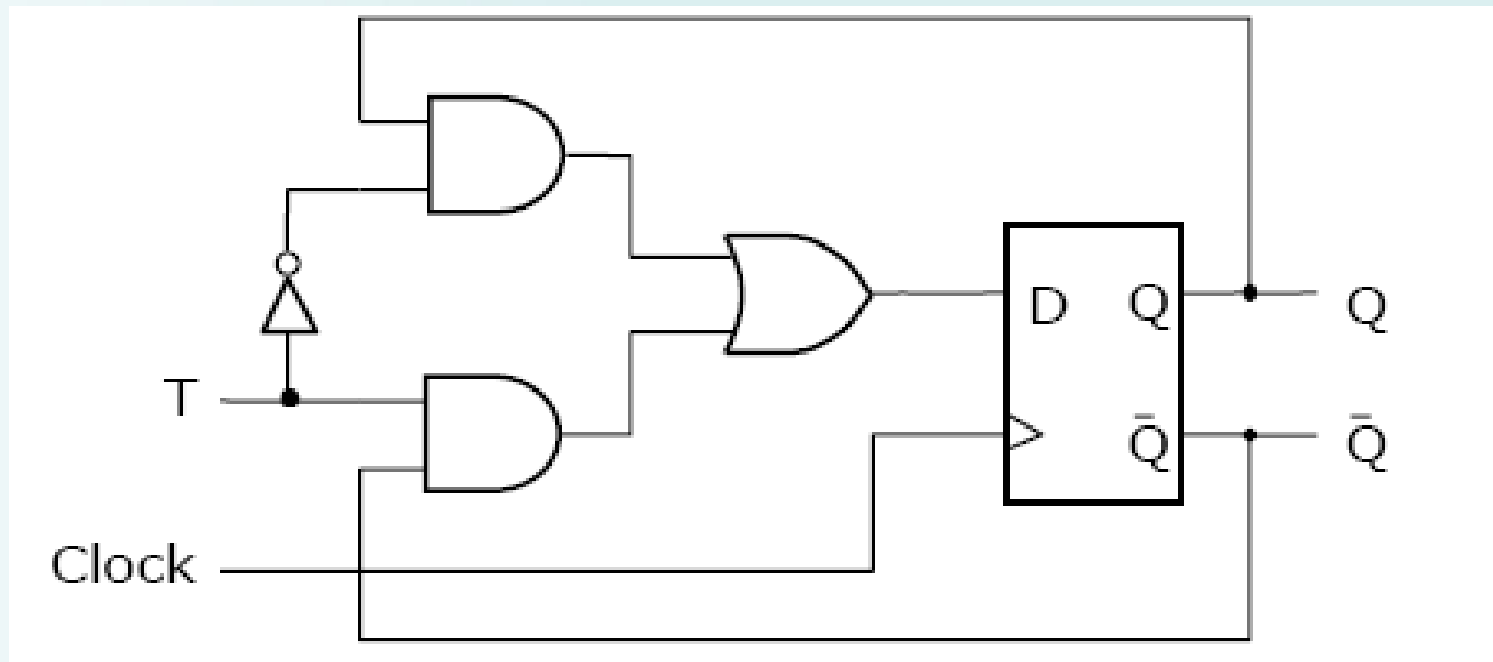
Comparação



Flip-flop T

O flip-flop T pode ser obtido do flip-flop D apresentado anteriormente

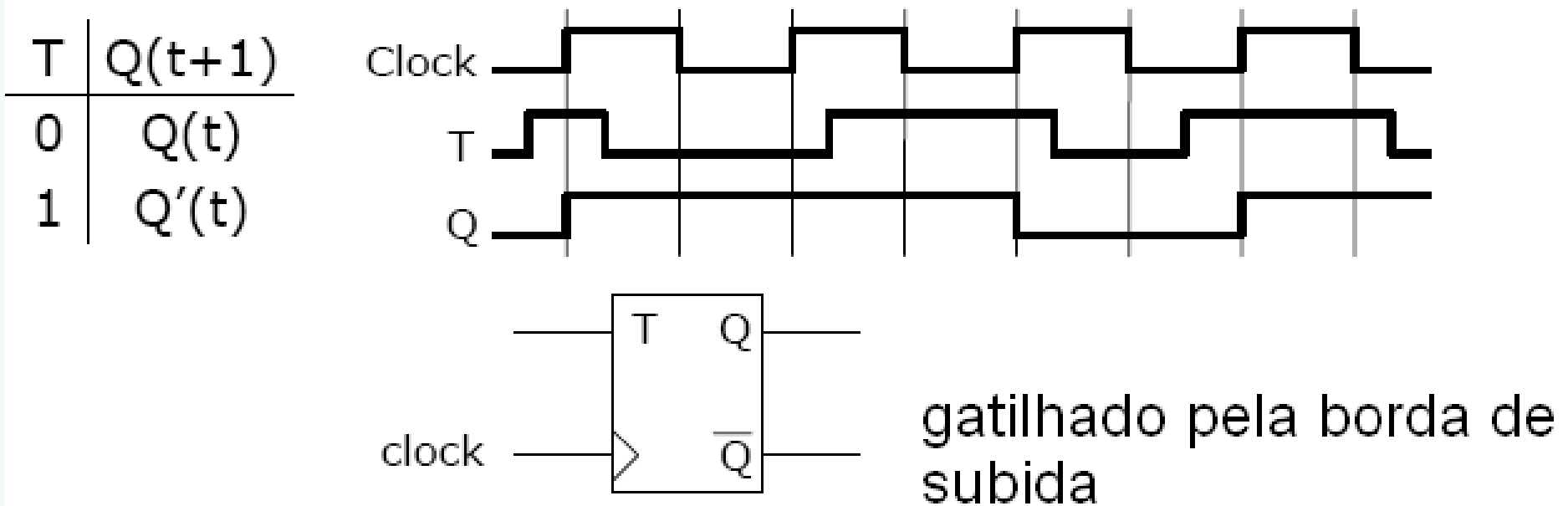
Conexões de realimentação fazem com que a entrada D seja igual ao valor de Q ou Q' sob o controle de uma sinal denominado T



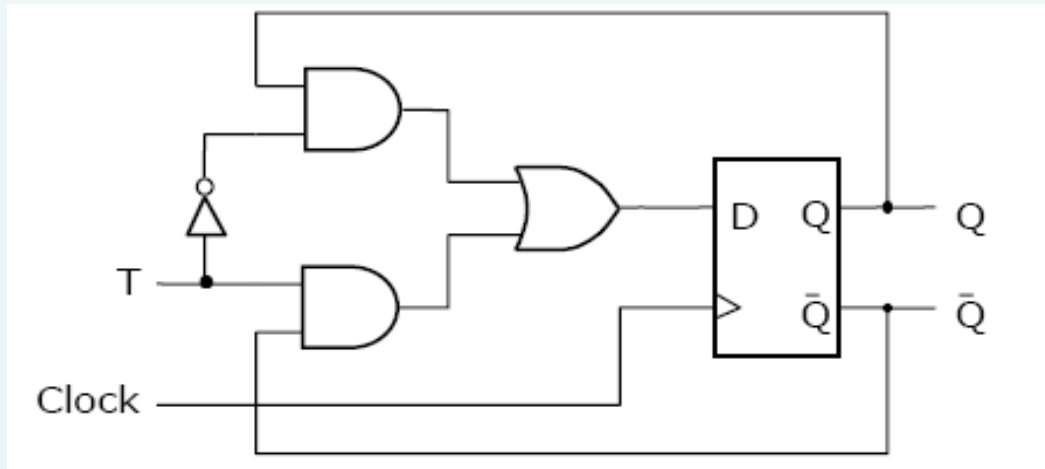
Flip-flop T

O nome T vem do termo “toggle” (“chavear”) que descreve o comportamento do circuito, pois o estado será chaveado de acordo com o valor de T.

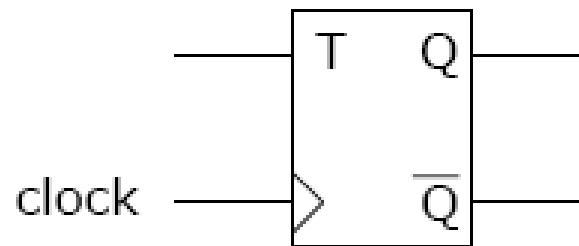
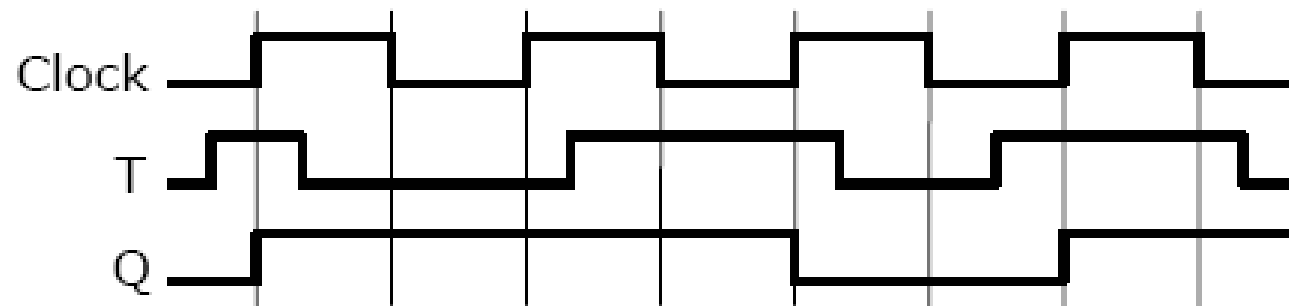
Essa característica faz com que o flip-flop T seja um elemento utilizado na construção de contadores



Flip-flop T



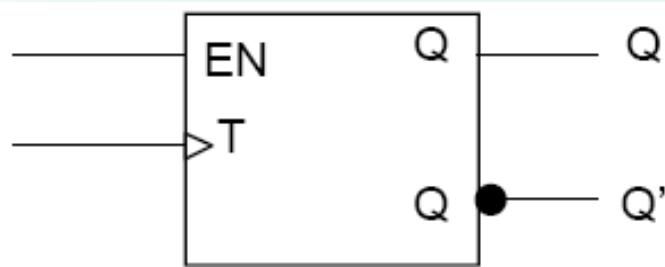
T	Q(t+1)
0	Q(t)
1	Q'(t)



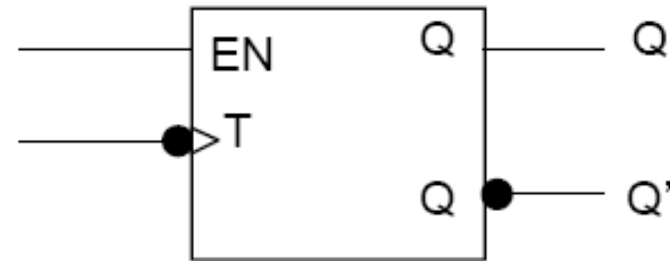
gatilhado pela borda de subida

Flip-flop T com enable

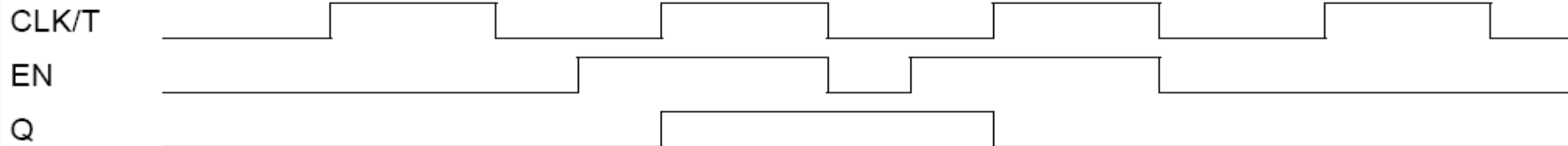
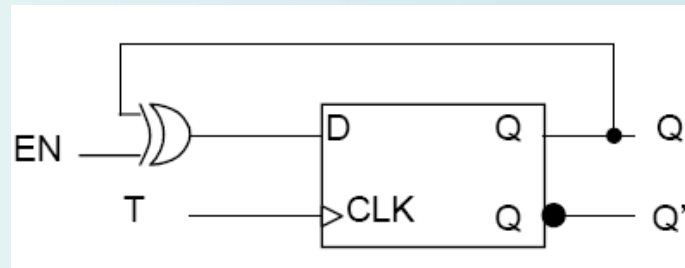
Alguns flip-flops T possuem sinal de *enable*



gatilhado pela borda de subida



gatilhado pela borda de descida



Flip-flop JK

O flip-flop JK também pode ser obtido do flip-flop D, de modo que:

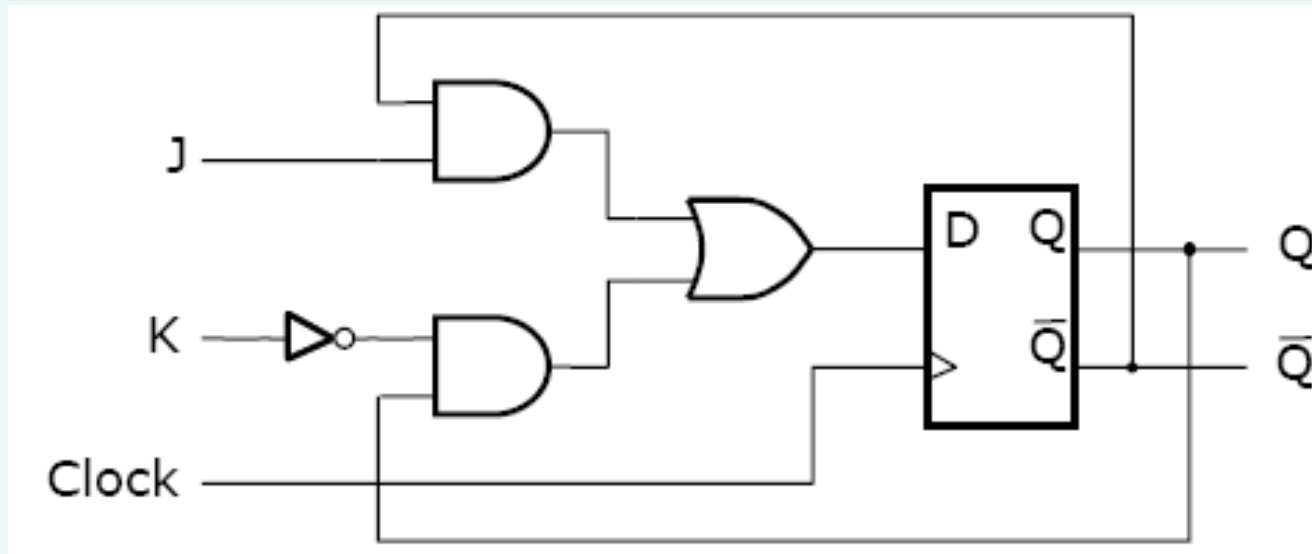
$$D = JQ' + K'Q$$

O flip-flop JK combina aspectos do latch SR com o flip-flop T

Se comporta como um latch RS, considerando $J = S$ e $K = R$, para todos os valores exceto $J=K=1$

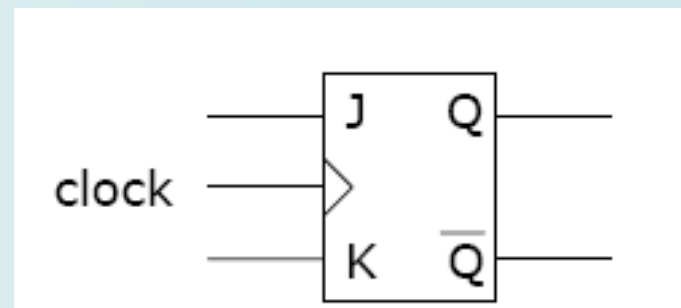
Para $J=K=1$, se comporta com o flip-flop T

Flip-flop JK

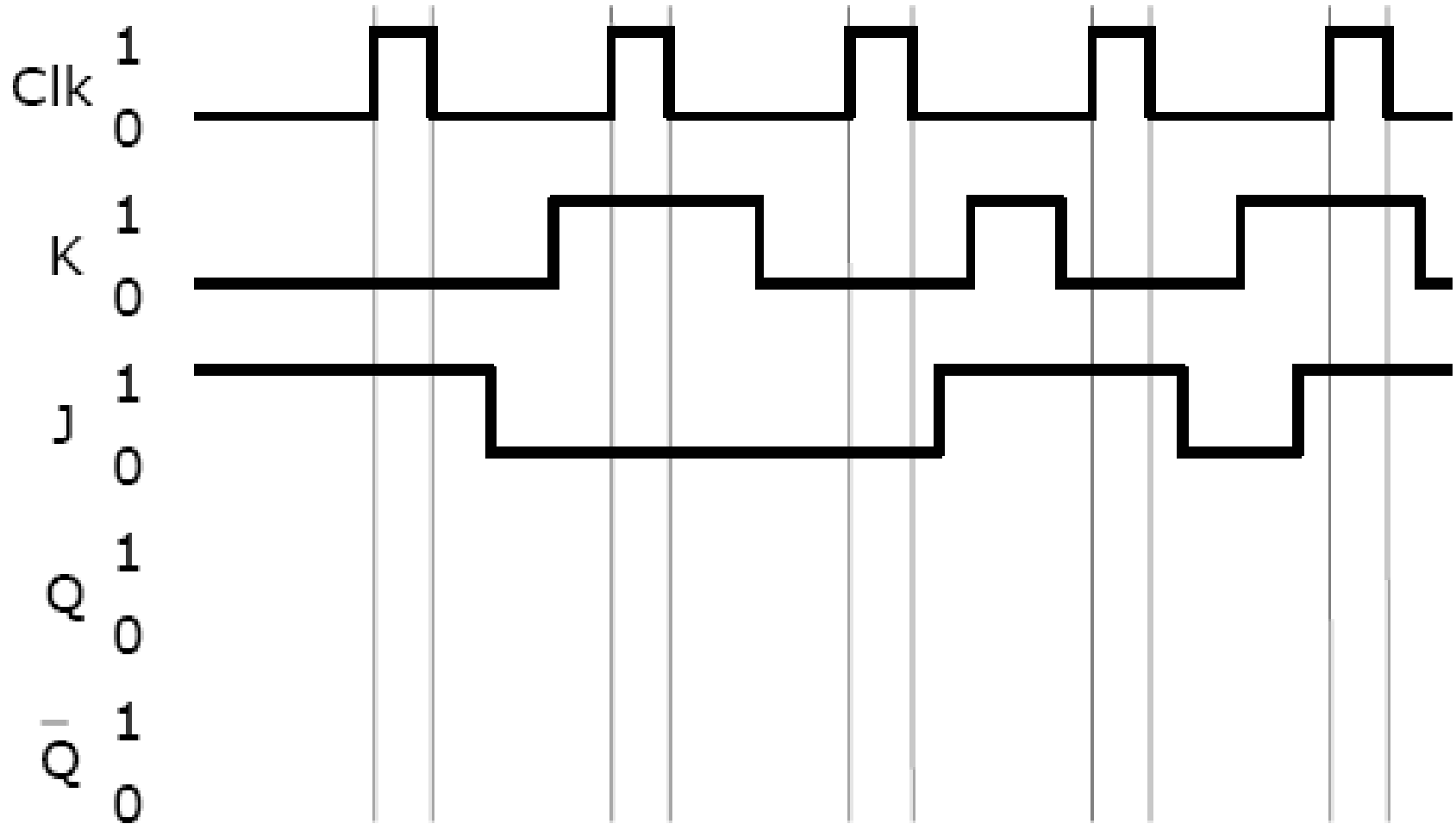


representação

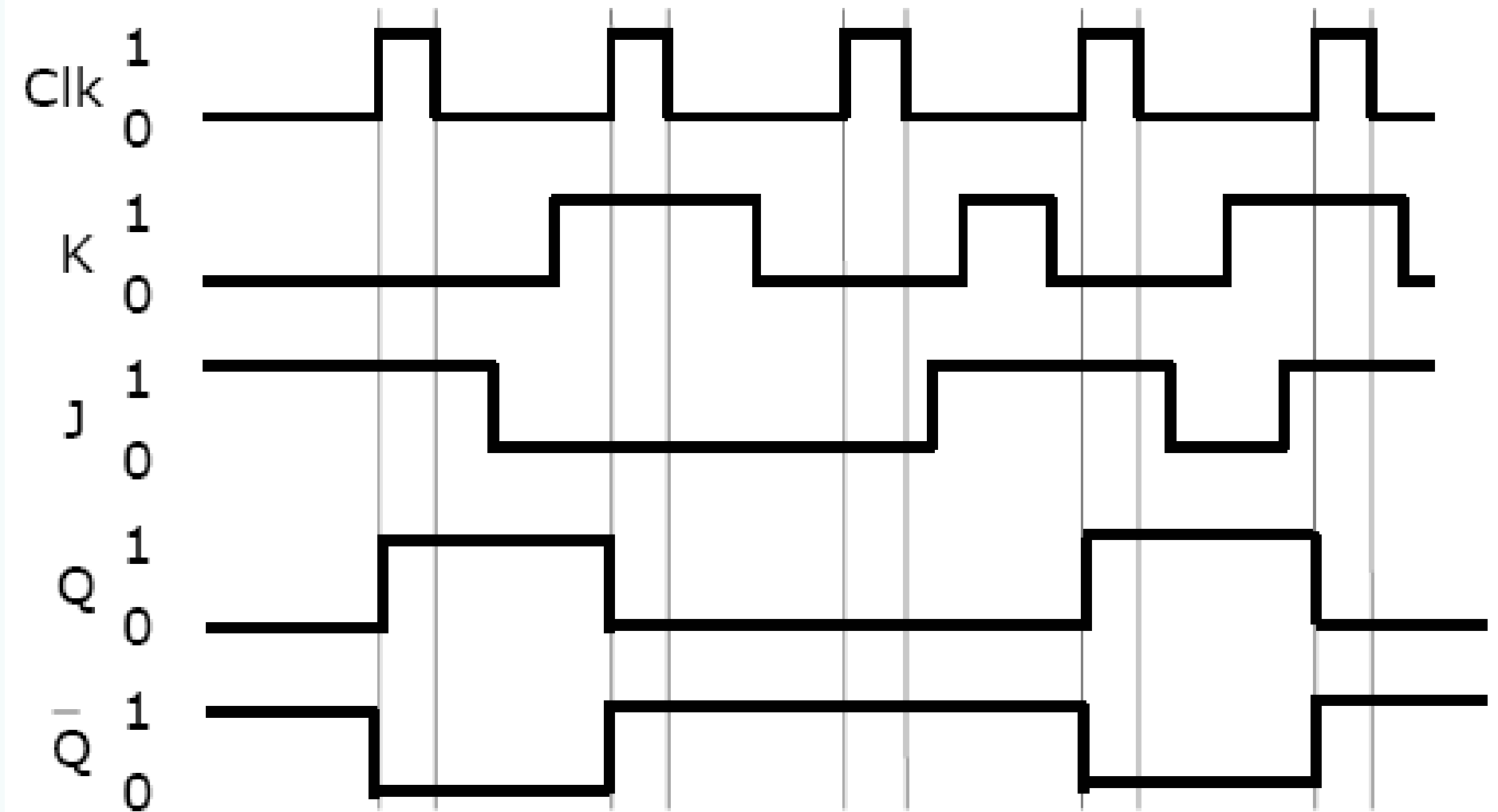
J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)

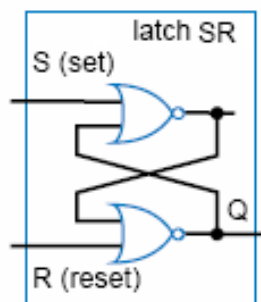


Flip-flop JK



Flip-flop JK

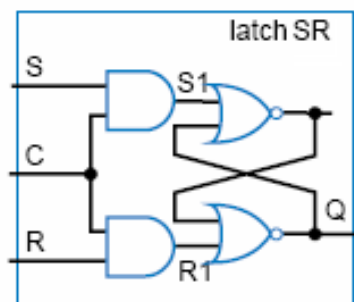


**Característica:**

S=1 faz com que Q=1 e R=1 faz com que Q seja 0.

Problema:

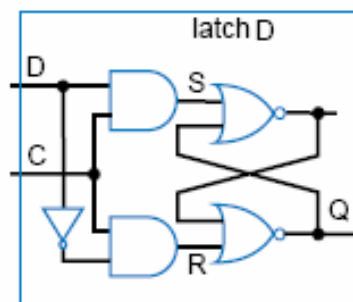
RS=11 leva a um valor indefinido de Q.

**Característica:**

S e R somente têm efeito quando C=1. Pode-se projetar um circuito externo de forma que RS = 11 nunca ocorra quando C=1.

Problema:

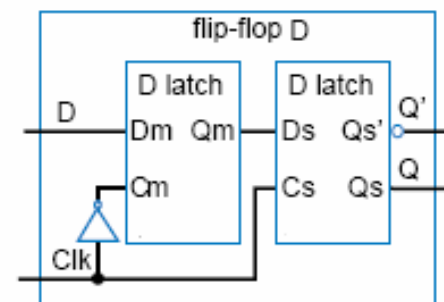
Evitar RS=11 pode ser uma tarefa difícil.

**Característica:**

RS não pode ser 11 se D estiver estável antes e depois de C=1, e pode ser 11 apenas em pequenos intervalos de transição.

Problema:

Se C=1 for muito longo propaga valores novos por muitos latches. Se for muito curto pode não funcionar.

**Característica:**

Somente carrega valores de D na borda de subida do sinal de clock de modo que valores não podem propagar para outros flip-flops no mesmo ciclo de clock.

Ponto fraco:

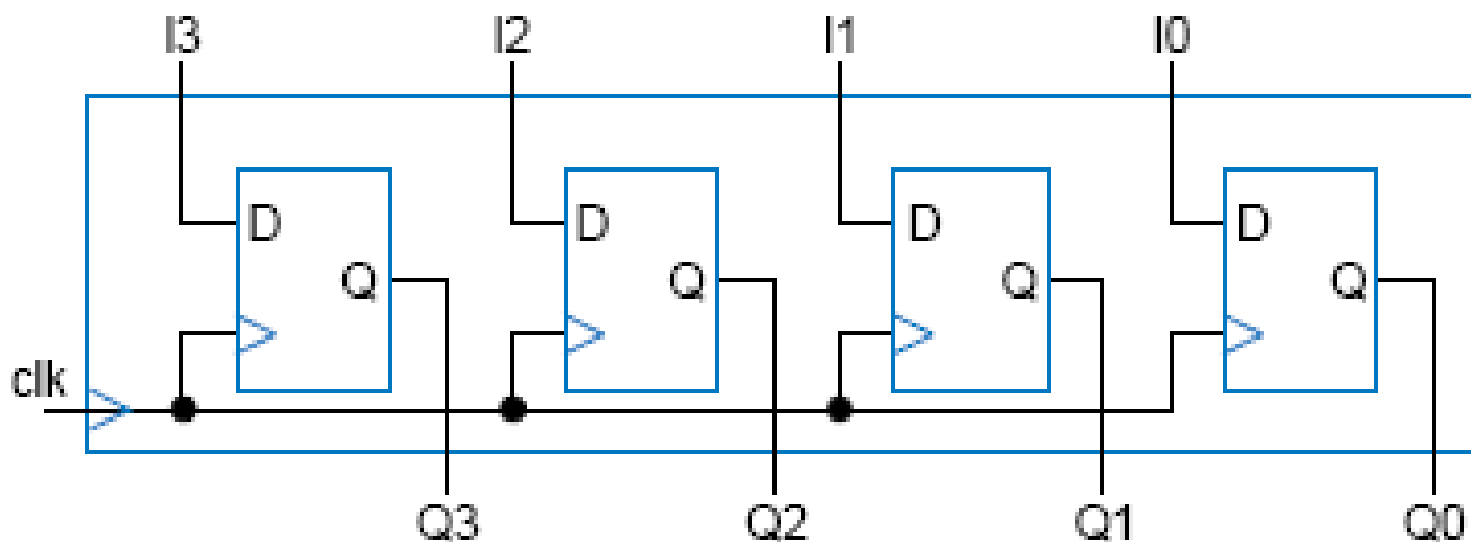
Usa mais portas que o latch D e requer mais portas externas que o latch RS.

Registradores

- Um flip-flop armazena 1 bit de informação
- Quando um conjunto de n flip-flops é usado para armazenar n bits de dados, esse conjunto é chamado de **registrador**
 - O emprego de registradores inclui:
 - Armazenar a informação de saída de um circuito aritmético
 - Armazenar informação de circuitos contadores
- Um sinal de *clock* comum é usado em cada flip-flop de um registrador.

Registadores

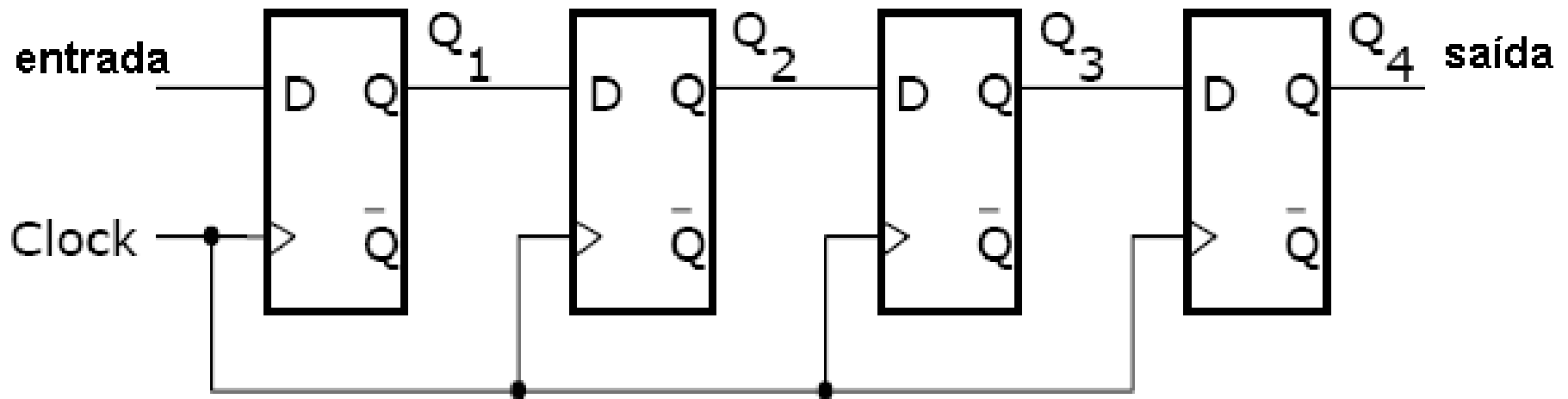
Exemplo:



**registrador
de 4 bits**

Registrador de deslocamento

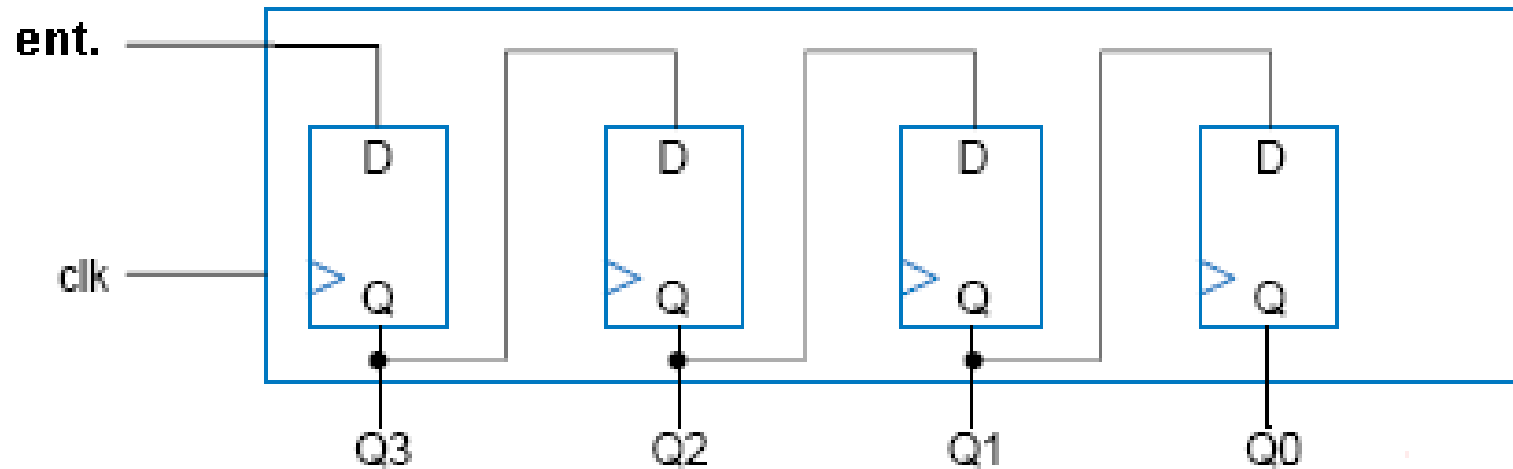
- Um registrador que tem a habilidade de deslocar seu conteúdo de um bit
 - Pode ser para a direita ou esquerda (ou ambos)



Registrador de deslocamento à direita

- Os dados são deslocados à direita de forma serial usando o sinal de **entrada**
- Gatilhado pela borda de subida
 - O conteúdo de cada flip-flop é transferido para o flip-flop da direita na borda positiva do sinal de *clock*
- Circuitos sensíveis ao nível não são apropriados para este tipo de operação.

Registrador de deslocamento à direita



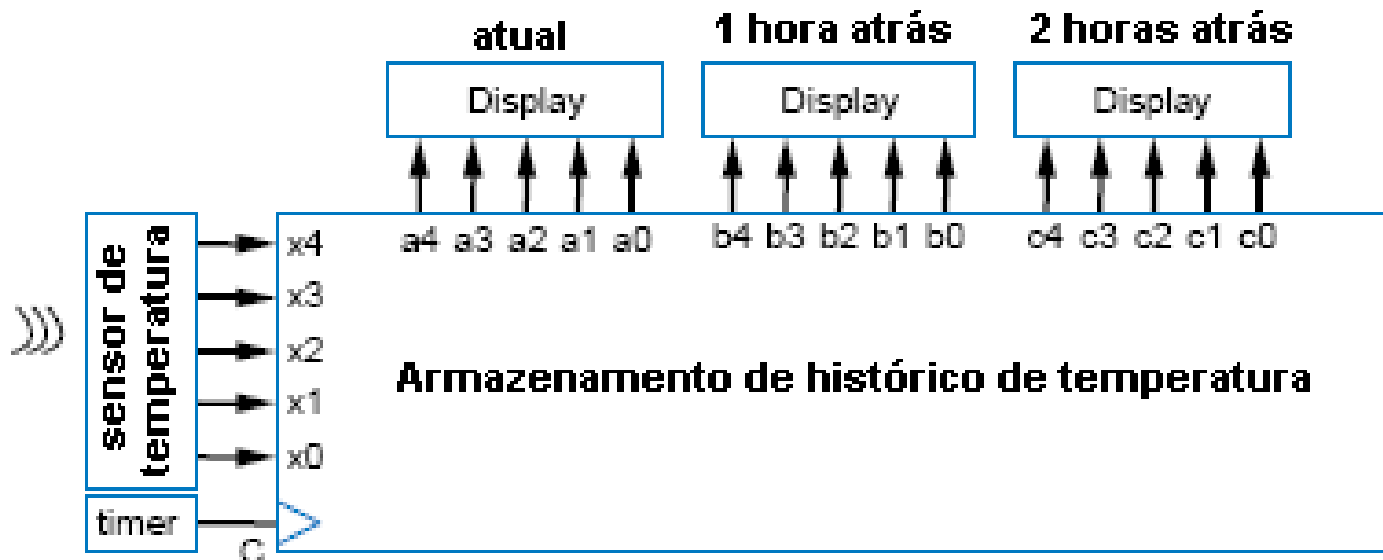
T0	ent. = 1	0	0	0	0
T1	ent. = 0	1	0	0	0
T2	ent. = 1	0	1	0	0
T3	ent. = 1	1	0	1	0
T4	ent. = 1	1	1	0	1
T5	ent. = 0	1	1	1	0
T6	ent. = 0	1	1	1	1

Obs.: Todos os flip-flops estão ligados ao mesmo sinal de clock

Registrador de deslocamento à direita

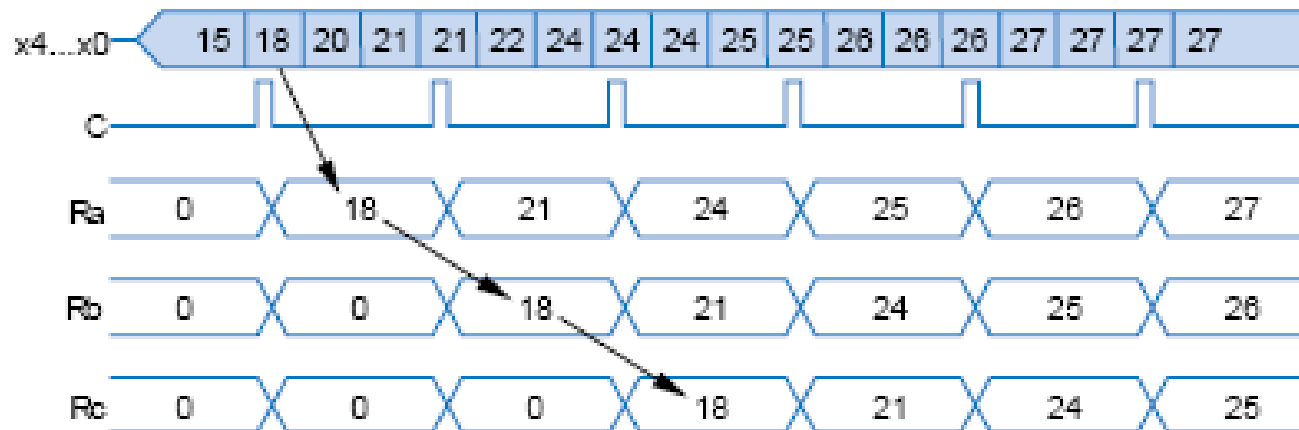
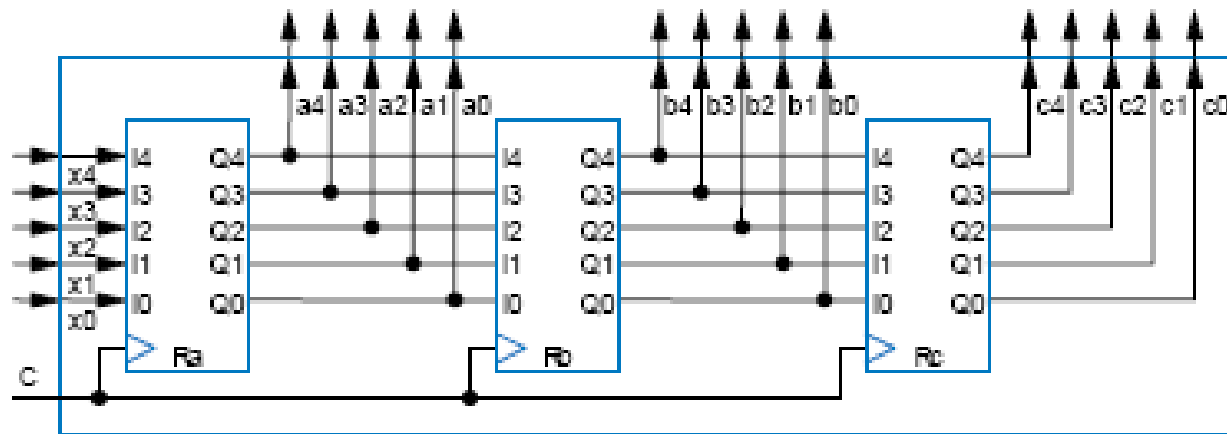
Exemplo: Display para informação de histórico de temperatura

- O sensor fornece a temperatura como um número de 5 bits;
- O timer pulsa o sinal de *clock* a cada hora;
- A temperatura é armazenada a cada pulso e os três últimos valores guardados são mostrados;



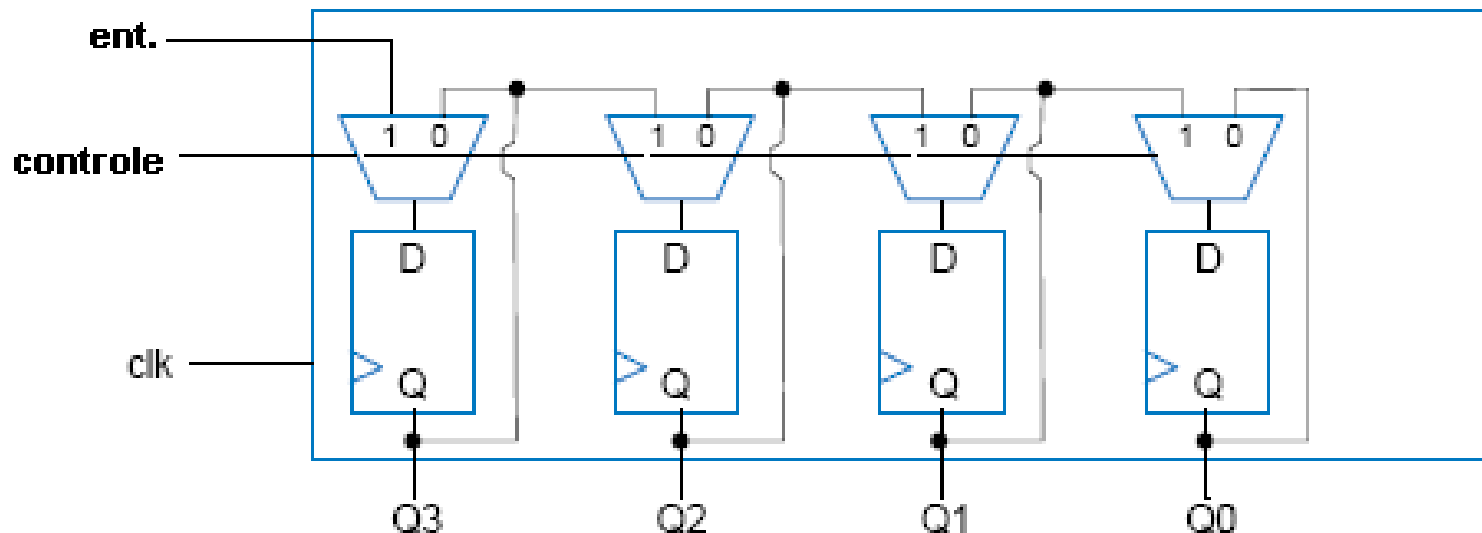
Registrador de deslocamento à direita

Exemplo: Display para informação de histórico de temperatura



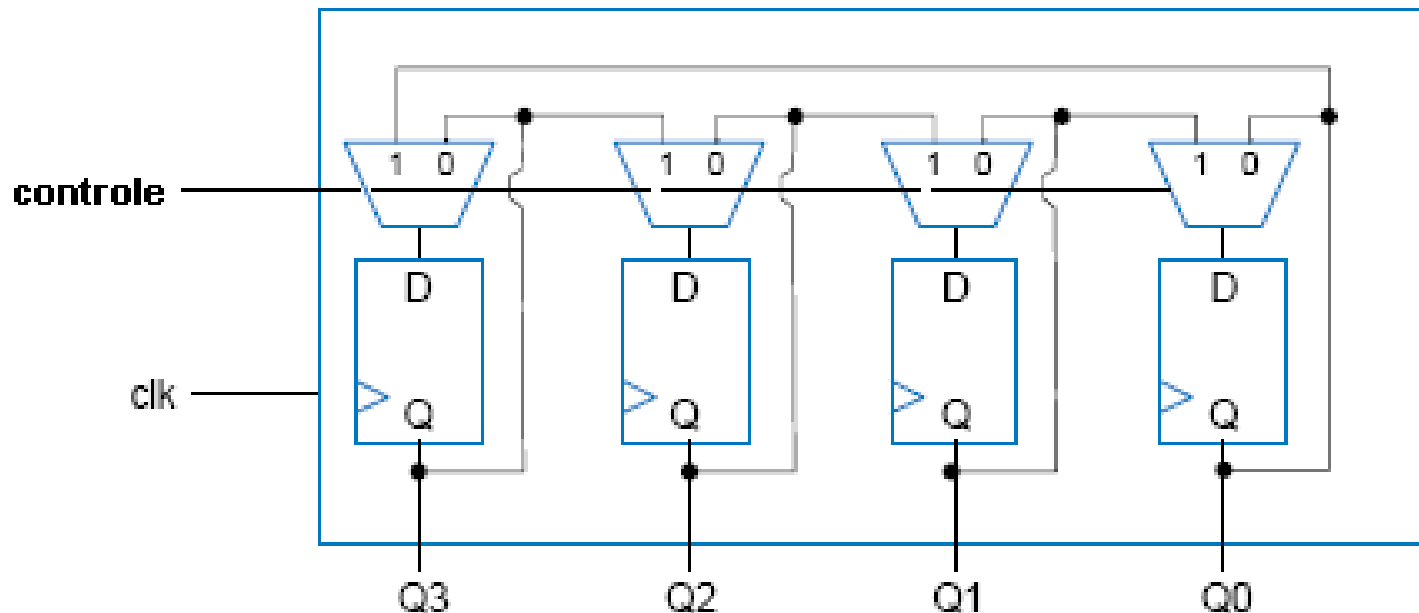
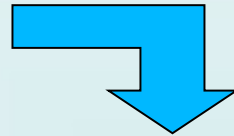
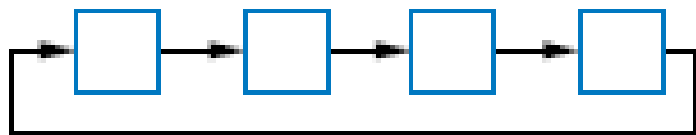
Registrador de deslocamento à direita

- Pode-se projetar um registrador que desloque ou armazene os dados, de acordo com um sinal de controle (controle):
 - Se controle=0 o circuito armazena os dados e se controle=1, desloca os dados à direita



Registrador rotativo

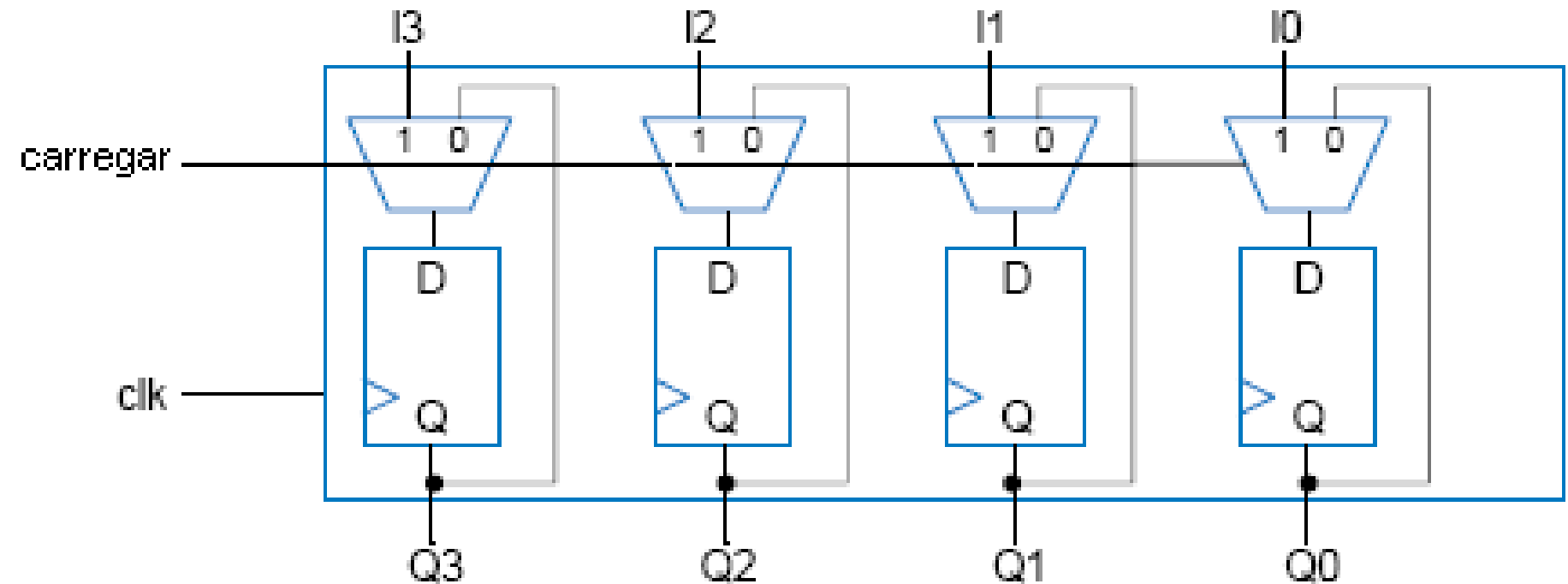
- Similar ao registrador anterior, mas o bit de entrada vem do bit de saída mais à direita



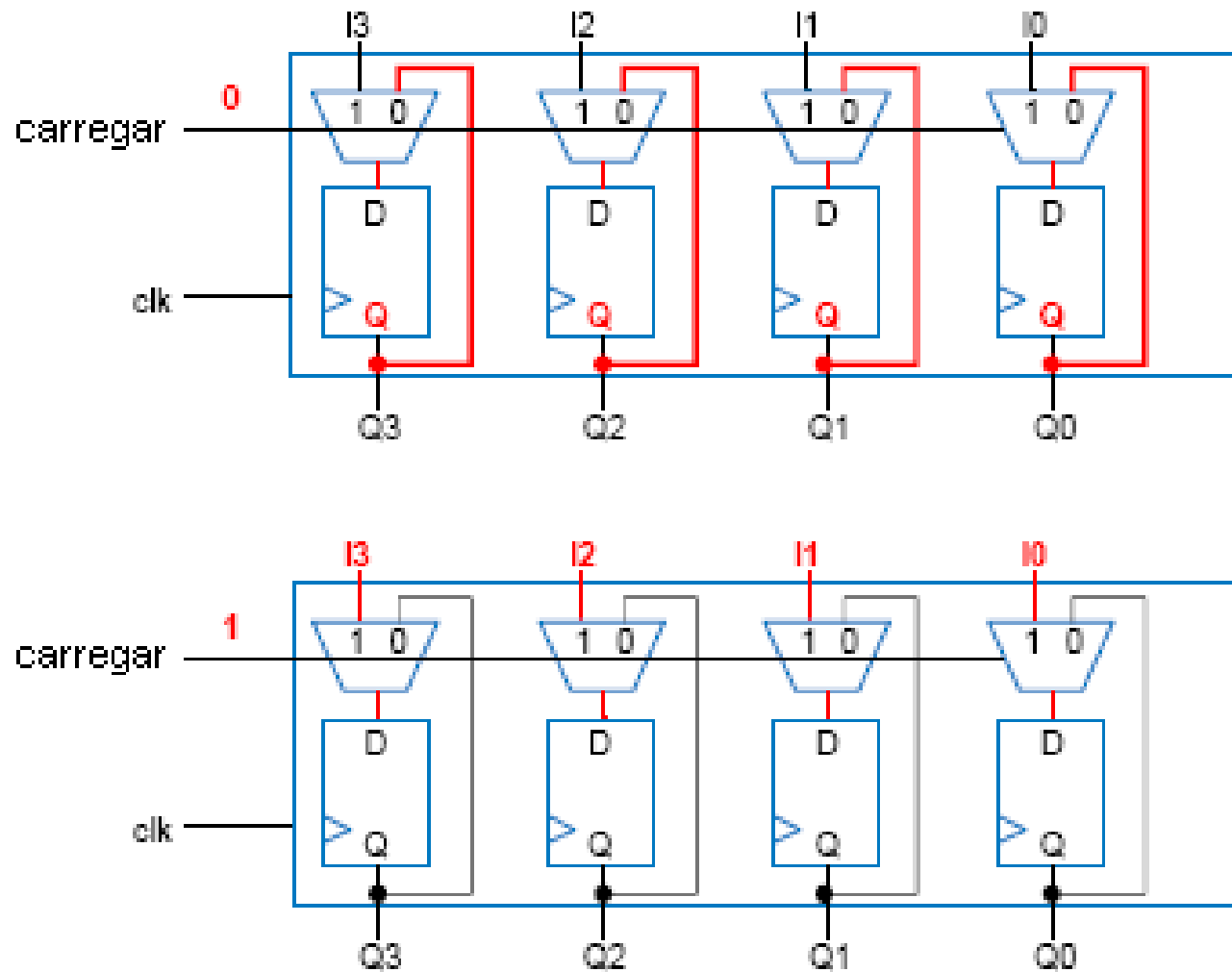
Registrador de deslocamento à direita de acesso paralelo

- A transferência de dados em sistemas computacionais é uma tarefa comum
 - Se a transferência é de n -bits a cada instante de tempo, a transferência é denominada de paralela
 - Se a transferência é de 1 bit a cada instante de tempo, a transferência é denominada serial
- Para transferir dados de forma serial, a informação é carregada em um registrador em paralelo (em um ciclo de *clock*) e transferida bit a bit
 - Conversão de dados paralelo-serial
- Se os bits são recebidos de forma serial, após n ciclos de *clock* o conteúdo do registrador pode ser acessado de forma paralela como uma palavra de n bits:
 - Conversão de dados serial-paralela

Registrador de carregamento paralelo



Registrador de carregamento paralelo



Registadores multifuncionais

Exemplo:

s1	s0	operação
0	0	mantém valor atual
0	1	carga paralela
1	0	desloca à direita
1	1	desloca à esquerda

