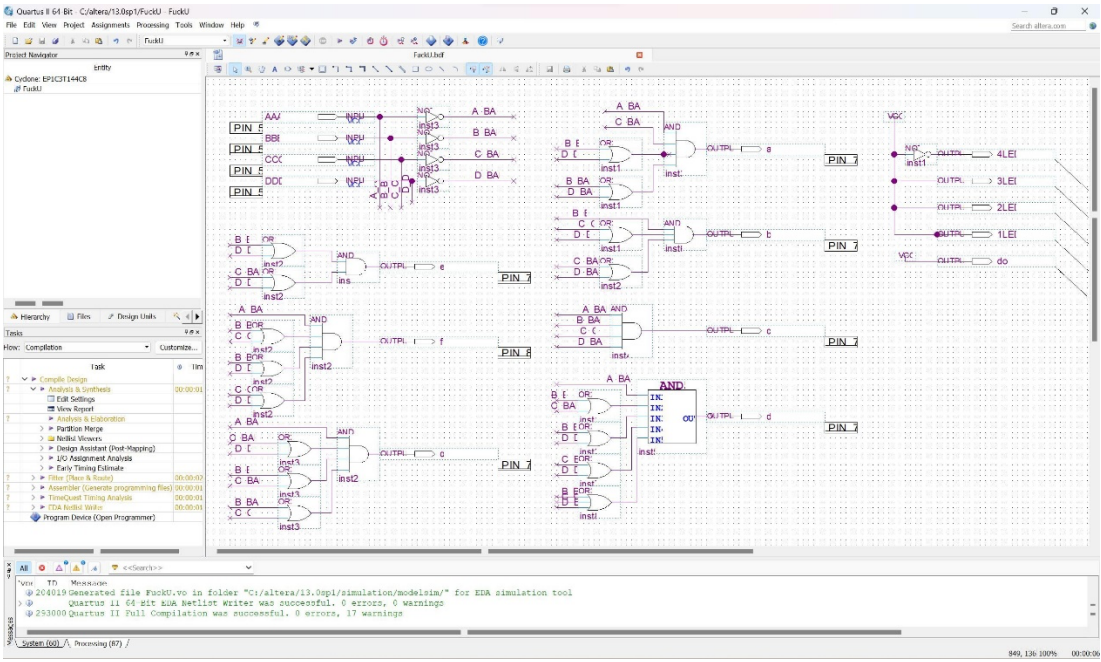


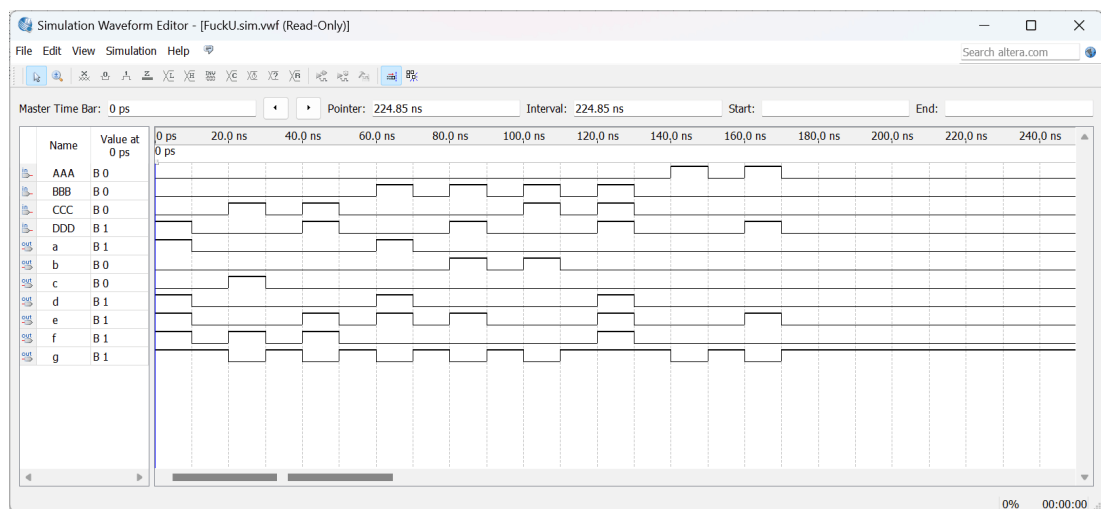
四川大学软件学院数字逻辑实验

实 验 报 告

学号： 姓名： 专业： 软件工程 班级： 5 班 第 10 周

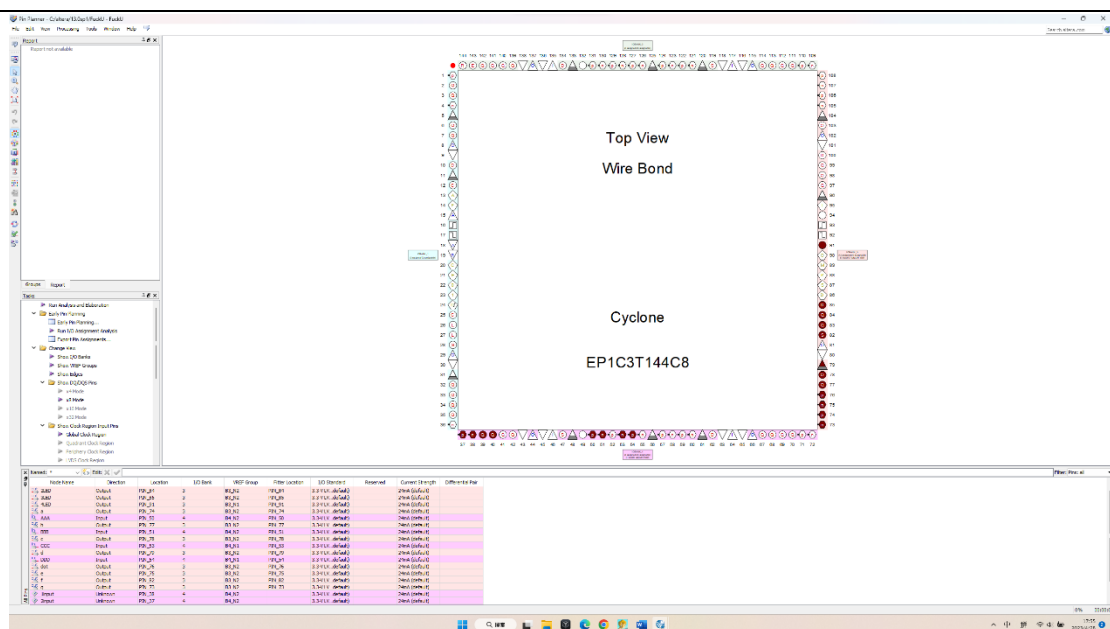
实验项目	控制拨码开关在单个数码管上显示数字	实验时间	2023 年 4 月 26 日
实验目的	<p>(1) 学会 Quartus II 软件的使用，利用其进行原理图的设计。</p> <p>(2) 加深对课堂学习的组合逻辑电路的认识，学会设计基础的组合逻辑电路。</p> <p>(3) 增强实际动手能力，将设计电路运行在开发板上。</p>		
实验环境	Quartus II 、 Windows 11		
实验内容及步骤（含电路原理图/Verilog 程序、管脚分配、仿真结果等；扩展内容也列入本栏）			

依据卡诺图化简结果，绘制逻辑电路

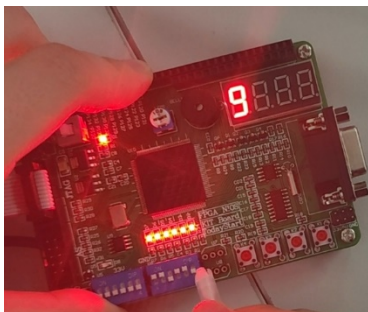
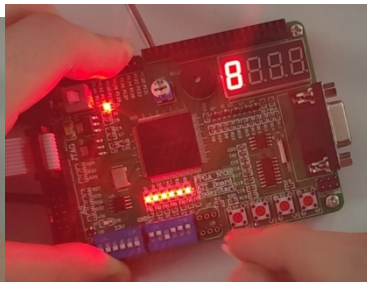
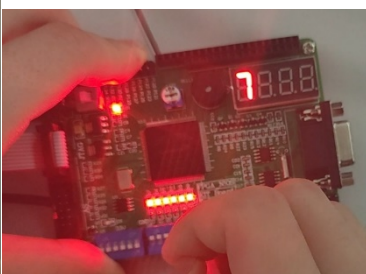
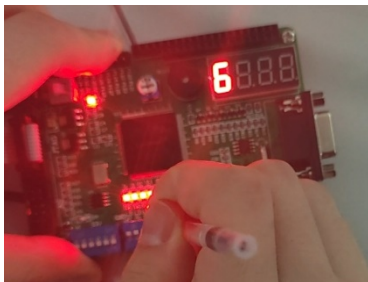
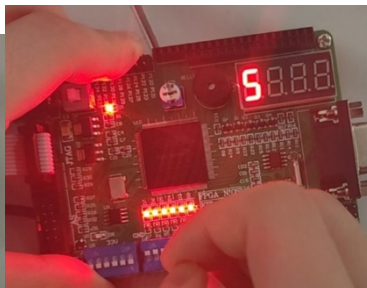
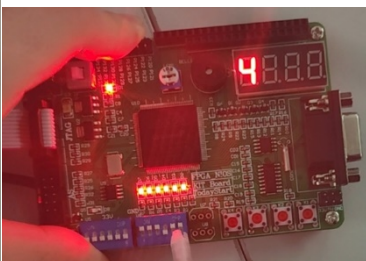
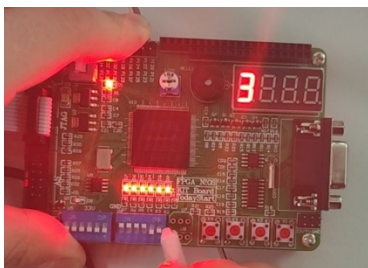
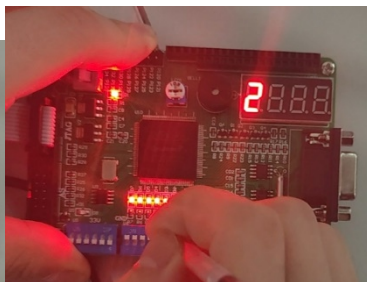
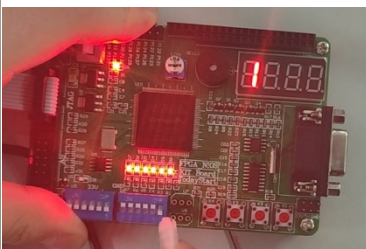
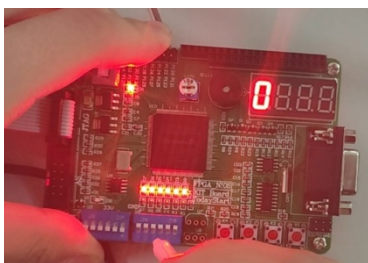


运行后得到仿真结果，确认仿真结果的正确

(接上)
实验内容及步骤(含电路原理图/Verilog程序、管脚分配、仿真结果等;扩展内容也列入本栏)



进行管脚分配，引脚 P50, P51, P53, P54 分别对应右边拨码开关的 3、4、5、6 位开关



运行，检验结果正确

实验结果分析	3, 4, 5, 6 开关分别对应 BCD 码从高到低的四位，数字逻辑的设计与实验结果相吻合
实验方案的缺陷及改进意见	每次给一个七段译码器绘制逻辑电路会使得逻辑电路图很杂乱，可以将四个输入分别独立画出，并在其后取反，这样后面的逻辑电路即可省略输入端的绘制
心得体会、问题讨论	卡诺图的化简需要仔细分组，以免造成逻辑错误
指导教师评议	<div>成绩评定：</div> <div>指导教师签名：</div>

实验报告说明

数字逻辑课程组

实验名称 列入实验指导书相应的实验题目。

实验目的 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

实验环境 实验用的软硬件环境（配置）。

实验内容（含电路原理图/Verilog 程序、管脚分配、仿真结果等；扩展内容也列入本栏）
这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

实验结果分析 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

实验方案的缺陷及改进意见 在实验过程中发现的问题，个人对问题的改进意见。

心得体会、问题讨论 对本次实验的体会、思考和建议。