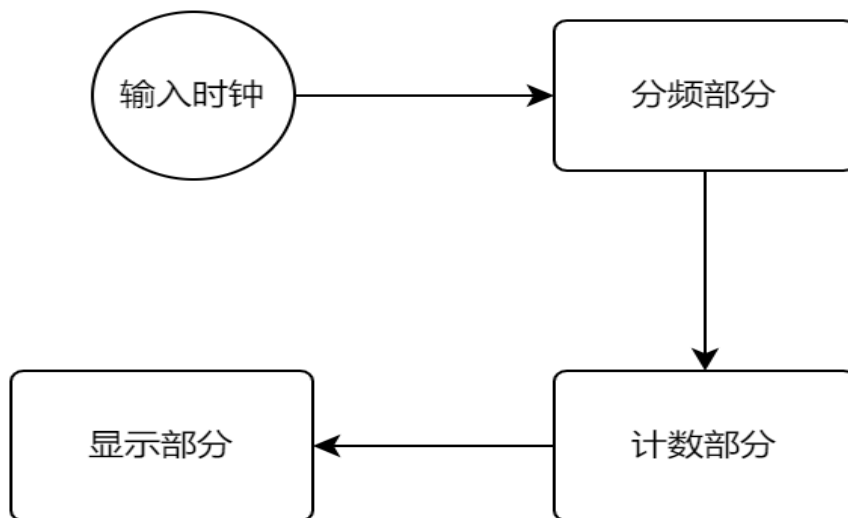


实验二——同步十进制计数器

实验说明

实验要求：设计一个同步十进制计数器，计数范围 0-9，时钟输入频率 0.5HZ。并把计数器的四位输出作为实验一的 BCD 码输入，在数码管上显示计数的数字。



输入时钟：本板卡所带的系统时钟为 50MHZ 时钟，对应引脚为 P93。

分频部分：由于 50MHZ 时钟频率过高，直接作为输入时钟使用无法观测到实验结果的变化。因此，在使用之前需要对其进行分频处理。分频后的时钟频率为 0.5HZ，即 2S 一个周期，便于直接观察计数的变化。分频模块已直接给出，使用说明在该文档中后半部分有详细说明。

计数部分：该部分是本次实验主要设计部分。利用上课所讲计数器相关内容，设计一个计数部分，分频后的时钟作为输入时钟，实现一个同步十进制计数器，计数范围 0-9。



显示部分：该部分所用到的电路设计为实验一中所设计内容。即将实验一中由四位拨码开关产生的输入更换为以该实验中计数部分的输出作为显示部分的输入，从而将计数部分的结果显示在数码管上。

大致显示效果如下图所演示：

2S 计数变化一次，图中所演示的效果只截取了一段，从 1 计数到 4 的部分，实际实验中是一个从 0-9 的十进制计数器，到 9 之后又从 0 开始，继续循环计数。

所给分频模块使用说明


第一步：

 fenpin	2021/6/8 10:06	BDF 文件	79 KB
 fenpin	2021/6/8 10:07	BSF 文件	2 KB

找到所给的. BDF 文件和. BSF 文件


第二步：

按照之前实验所讲，新建一个工程，找到你所创工程所在的文件夹位置（该例所创工程名为： fenpin_test）

 fenpin_test	2021/6/8 10:16	文件夹	
---	----------------	-----	--

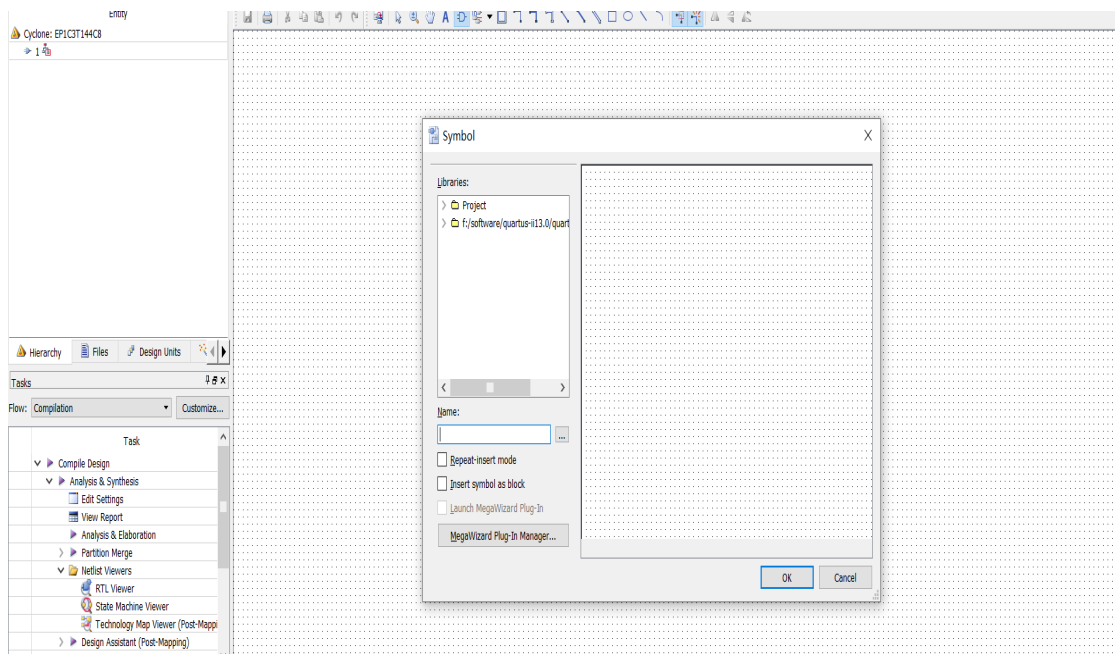
第三步：

复制第一步中的两个文件到该工程目录下：

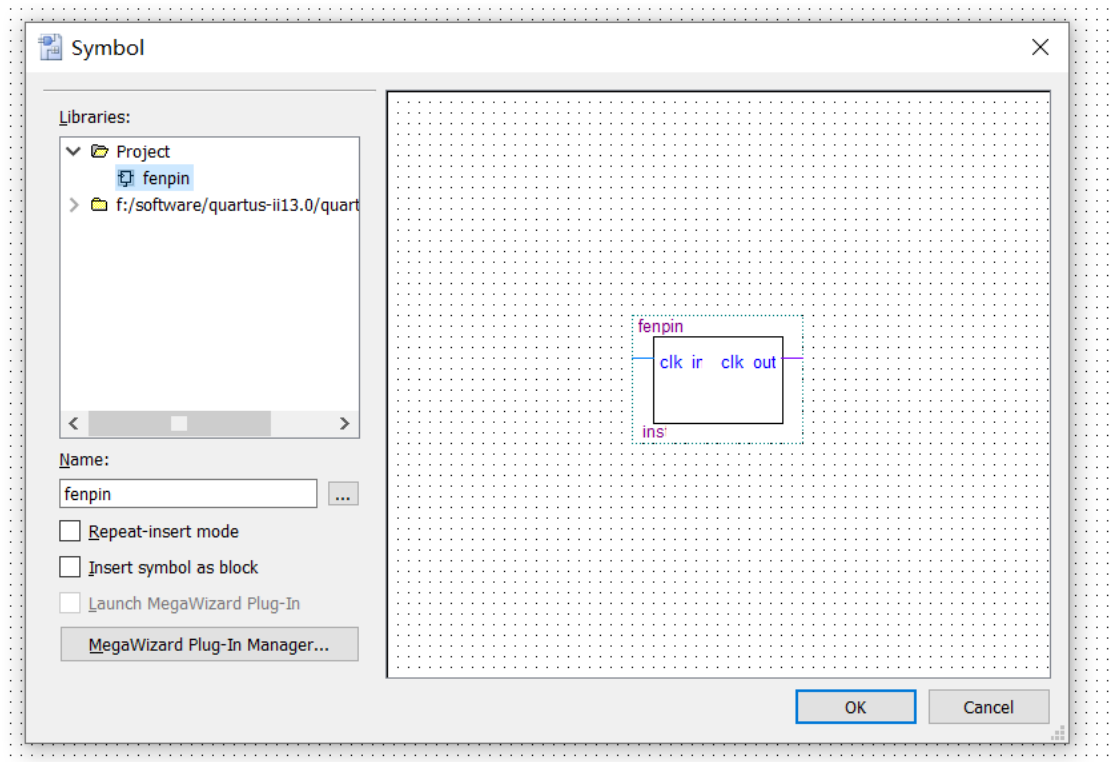
 db	2021/6/8 10:16	文件夹	
 1	2021/6/8 10:16	QPF 文件	2 KB
 1	2021/6/8 10:16	QSF 文件	3 KB
 fenpin	2021/6/8 10:06	BDF 文件	79 KB
 fenpin	2021/6/8 10:07	BSF 文件	2 KB

第四步：

在该工程中创建原理图输入文件，双击画布空白处：



在原本的 Symbol 界面，多出了一个 Project 选项：



打开 Project→fenpin，就能够直接调用所给分频模块。

clk_in: 为输入的原本时钟。

clk_out: 输出分频后的时钟。