

Comparacion de la serie STM32H7 en <https://www.digikey.com/short/p28qjw>

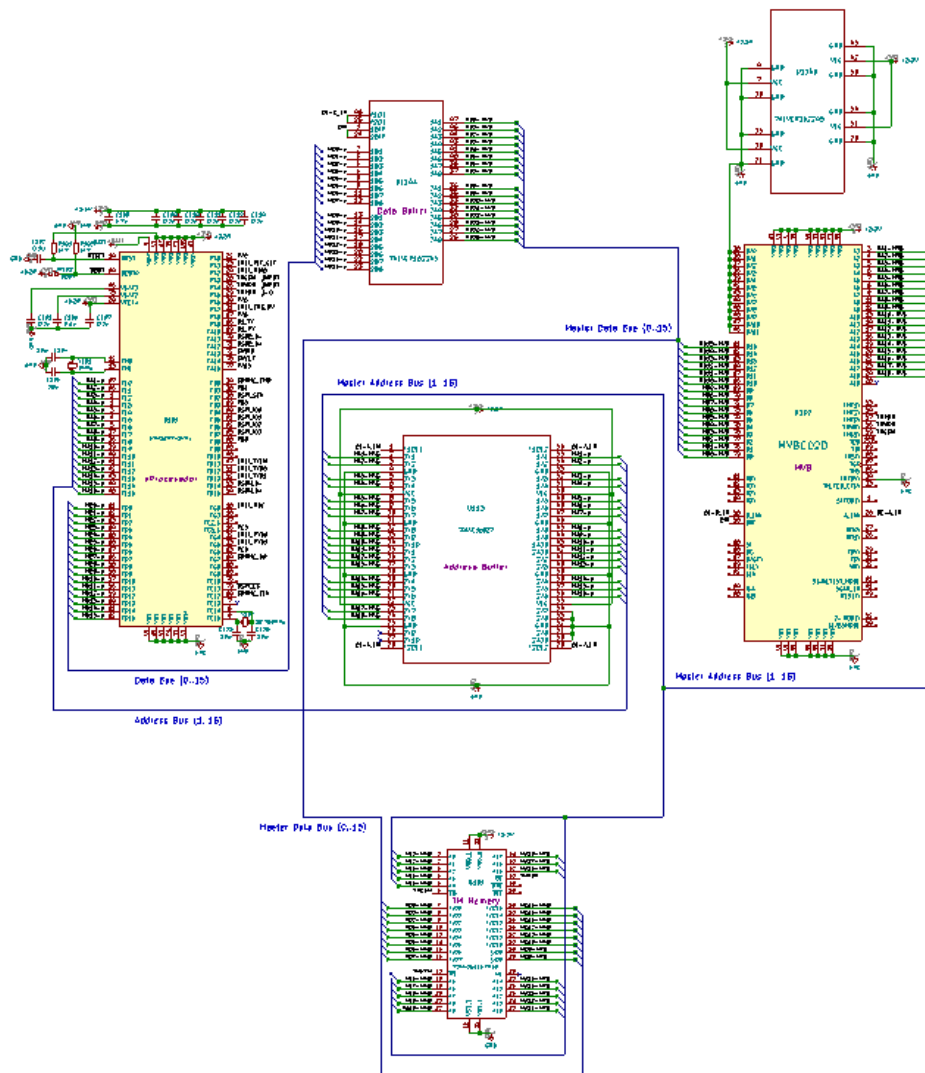
Comparacion de los DIP SWITCHES en <https://www.digikey.com/short/p2h397>

Modelos CAD:

<https://www.ultralibrarian.com/>

Como agregar librerias en KiCAD: <https://app.ultralibrarian.com/content/help/?kicad.htm>

El Esquematico Buses y Drivers es para mostrar graficamente las conexiones de los buses y los drivers, ya que en el esquemático original no utiliza pistas, solo labels.



Fue muy útil trazar los buses porque me había confundido bastante con los dos tipos de buses que existen en el diseño. Me refiero a:

- **Data Bus:** Bus de datos entre el uProcesador y el Data Buffer (74LVCR162245).
- **Address bus:** Bus de direcciones entre el uProcesador y el Address Buffer (74AVC16827).
- **Master Data Bus:** Bus de datos compartido entre el Data Buffer, el MVBC02 y la Memoria.
- **Master Address Bus:** Bus de direcciones compartido entre el Address Buffer, el MVBC02 y la Memoria.

Nota 1: El uProcesador posee 16 pines para direccionamiento, mientras que el MVBC02 posee 19. Las conexiones MA17-u a MA19-u no existen y están a masa en el Address Buffer del lado del uProcesador.

Nota 2: Los pines OE con A_EN (Address Buffer/MVBC) están conectados por labels.

Nota 3: Los pines OE con A_EN y DIR (Data Buffer/MVBC) están conectados por labels.

Nota 4: Los pines \overline{CS} con TMCSN, \overline{OE} con TMRDN y \overline{WE} con TMWRN (Memoria/MVBC) están conectados por labels.

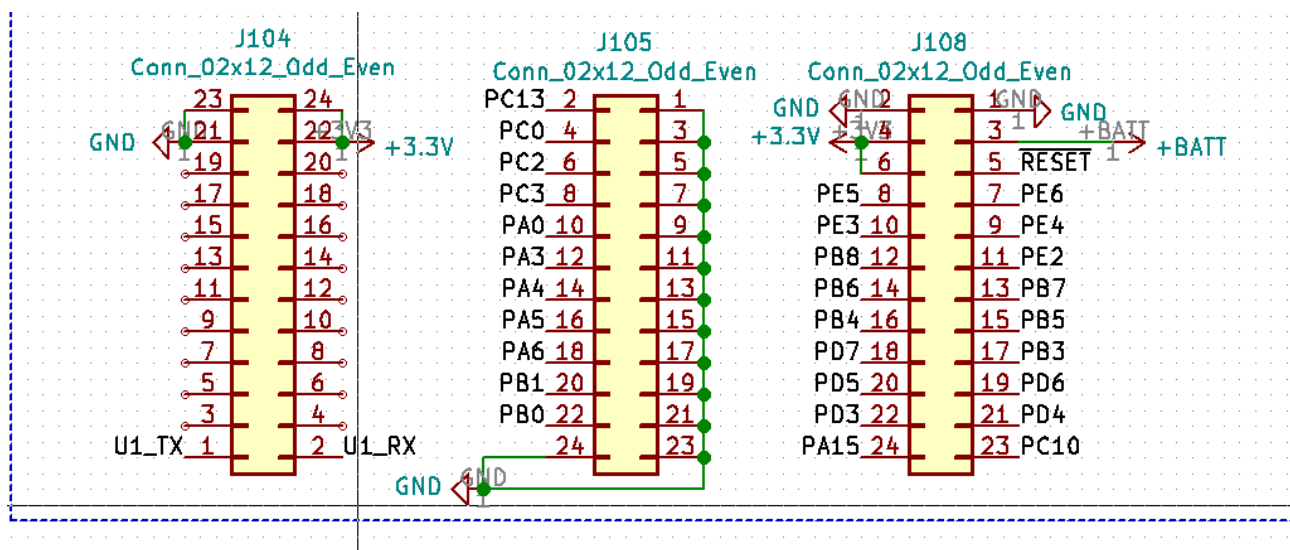
Nota 5: Los pines RDY, RD, WR y TM_REQ_CPU del MVBC están conectados por labels a los puertos PC8, PC9, PC10 y PC13 del uProcesador.

31	RD\ -	Input Level	Read Signal from Host CPU The CPU intends to perform a read-access from the TM or MVBC Internal Registers if both RD\ and TM_REQ_CPU are active.
32	WR\ -	Input Level	Write Signal from Host CPU The CPU intends to perform a write-access to the TM or MVBC Internal Registers if both WR\ and TM_REQ_CPU are active.
33	TM_REQ_CPU\ -	Input Level	Traffic Memory or MVBC Request from Host CPU (Chip Select) By activating this signal the CPU requests that it wishes to access the TM or registers
29	RDY\ Low	Output -	MVBC Ready Signal to Host CPU indicates that the data bus D _{15..0} contains valid data.

Viernes 24 de enero de 2020.

Copie y pegue el esquemático con los buses trazados en el esquemático principal. Verifique que no falte nada al mover, copiar y borrar la versión sin buses trazados.

Borre unos pocos pines de los GPIO que no se usaran (esos slots vienen del diseño nuevo de la CIAA que use como base). Veo que en el slot/conector J105 hay dos labels que se usan en el Debug y Serial, por lo que no hay que borrarlos, pero sí reubicarlos. Seguramente, con los pines restantes que se usen, habrá que poner un conector de algún tamaño X.



Hay un PDF en /Docs con el email de Martin Ribelotta y los pines del FMC del uP. Hasta aquí llegue. Sigo después de las vacaciones.