

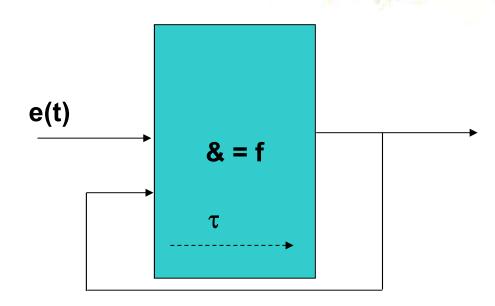
Système Séquentiel de base

- Contenu du cours
 - Généralités, définitions
 - La bascule RS
 - La bascule RS Synchronisée
 - Le déclenchement sur front
 - Le registre

- Conception formelle
 - Conception formelle
 - Génération table de vérité
 - Système séquentiel : définition
- Mise en œuvre théorique
 - Table de Vérité étendue
 - Tableau de Karnaugh, équations
 - Schéma de principe

Système séquentiel

$$s(t+\tau) = f(e(t), s(t))$$



Le résultat futur de la sortie dépend de : l'état présent de l'entrée et de l'état actuel de la sortie

Conception formelle

- 2 signaux d'entrée (Reset, Set)
- 2 signaux de sortie (Q, Q*)
- Besoin
 - Qd S passe à 1 pendant un instant suffisant, et R reste à 0, alors Q passe à 1 et Q* passe à 0.
 - Qd S est à 0 et R est à 0, Q et Q* ne changent pas d'état
 - Qd R passe à 1 pendant un instant suffisant, et S reste à 0, alors Q passe à 0 et Q* passe à 1.

Table de vérité

R	S	Q	Q*
0	0	Q	Q*
0	1	1	0
1	0	0	1
1	1	X	X



Karnaugh ne va pas aimer.....

Table de vérité étendue

R	S	Q	Q+	Q+*
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0	X	Х
1	1	1	Х	X



- Conditions normales de fonctionnement
 - Respect des temps de propagation
 - R=1 et S=1 est interdit
- Simplification des équations
 - Valable uniquement dans les conditions normales de fonctionnement
- Mise en œuvre à base de portes logiques
 - Avec des portes NAND
 - Avec des portes NOR



Schéma pratique à base de NAND

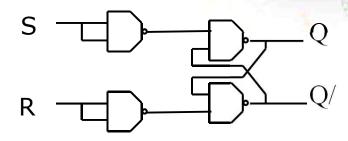
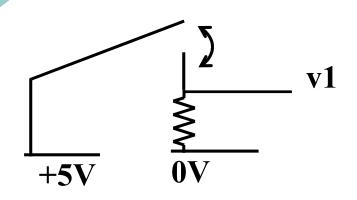
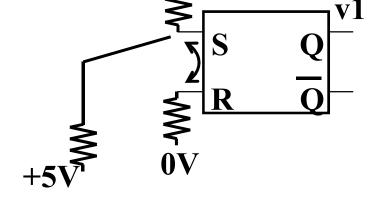


Schéma pratique à base de NOR



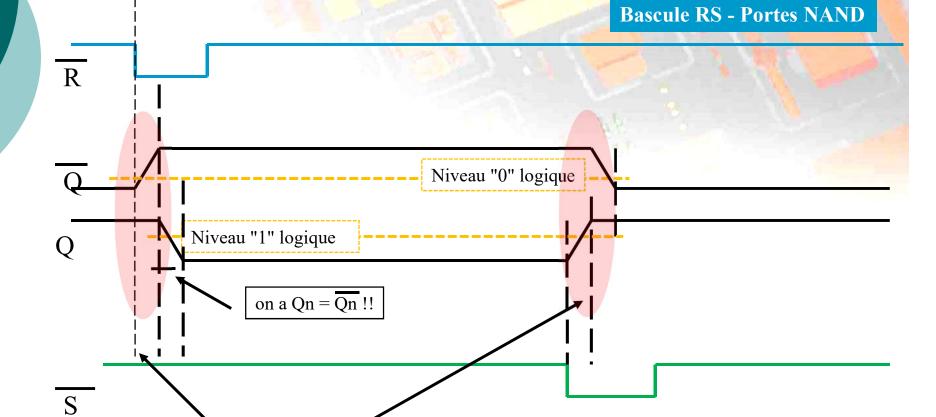
Exemple : l'Anti-rebond







- Comportement dynamique
 - Fonctionnement normal
 - Q = Q !!!! Pendant une transitoire
 - Anomalies de fonctionnement
 - La bascule peut entrer en oscillation !!!
 - R=1 et S=1 → Q=1 et Q = 1 pour des RS type NAND
 - R=1 et S=1 → Q=0 et Q=0 pour des RS type NOR



Temps de propagation d'une porte logique : 5 à 7 ns Niveau de tension » 2,8V

1 traversée de porte

- Conclusion
 - Particularité comportementale
 - Contraintes
 - Asynchronisme
 - Synchronisation

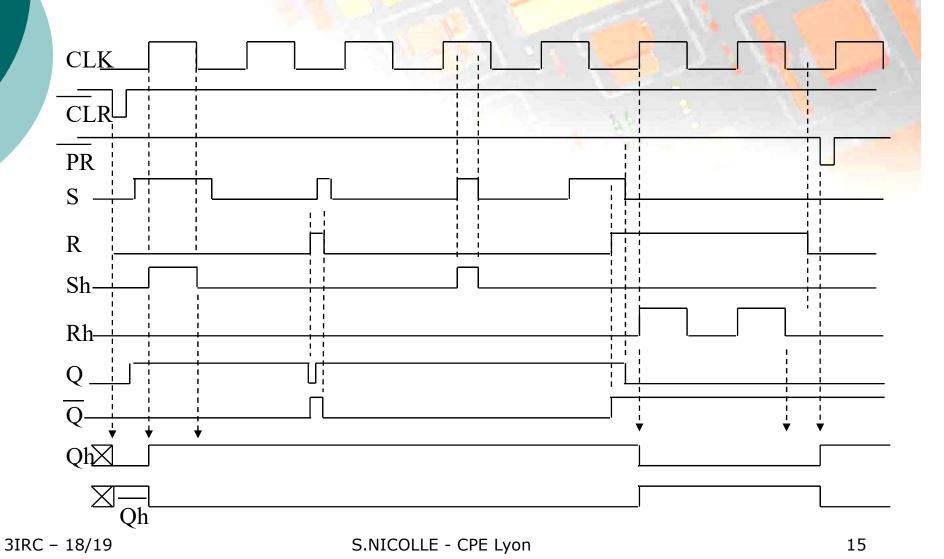


Construction

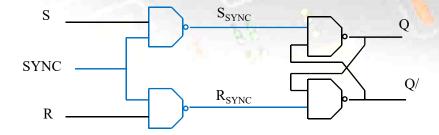
- Etude du diagramme de temps
- Mise en œuvre
- Ajouts d'entrées Asynchrones de forçage



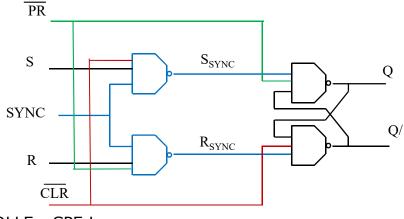
- Comportement dynamique
 - Fonctionnement normal
 - Anomalies de fonctionnement



Mise en œuvre RS-Synchronisée



Ajouts d'entrées asynchrones de forçage



S.NICOLLE - CPE Lyon

La bascule D

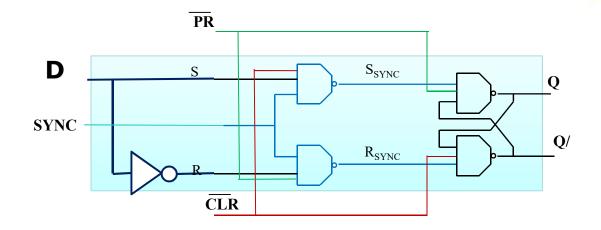
Mise en œuvre

Application : la mémoire

Application : le Verrou



- La bascule D (Delay)
 - Mise en œuvre



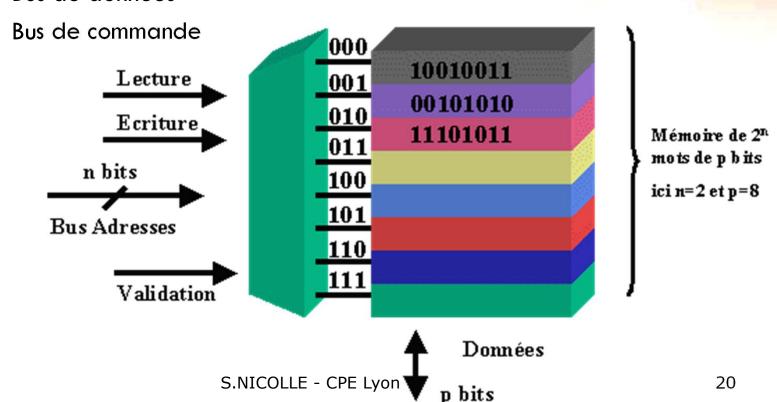
Elle est appelée : Bascule D sur niveau Latch en Anglais!

Table de vérité de la bascule D sur niveau

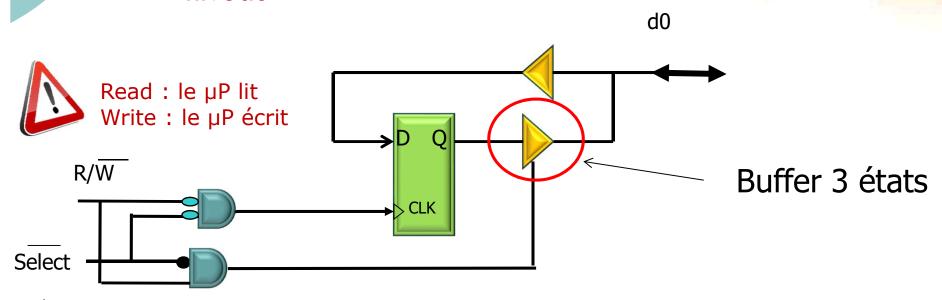
SYNC	CLR*	PR*	R	S	D	Q+	/Q+
X	0	0	X	X	X	1	1
X	0	1	X	X	X	0	1
X	1	0	X	X	X	1	0
0	1	1	X	X	X	Q	/Q
1	1	1	0	1	1	1	0
1	1	1	1	0	0	0	1

Les cas où R=S sont impossibles par construction

- Pour "dialoguer" avec une mémoire, on a besoin de 3 ensembles de signaux appelés bus :
 - Bus d'adresses
 - Bus de données



- L'élément mémoire
 - Il se construit à partir d'une bascule D fonctionnant sur niveau



- Opération de lecture
 - Select = 0, puis 1
 - R/W = 1

Select

 R/\overline{W}

D0

- Opération d'écriture
 - $\overline{\text{Select}} = 0$
 - R/W = 1

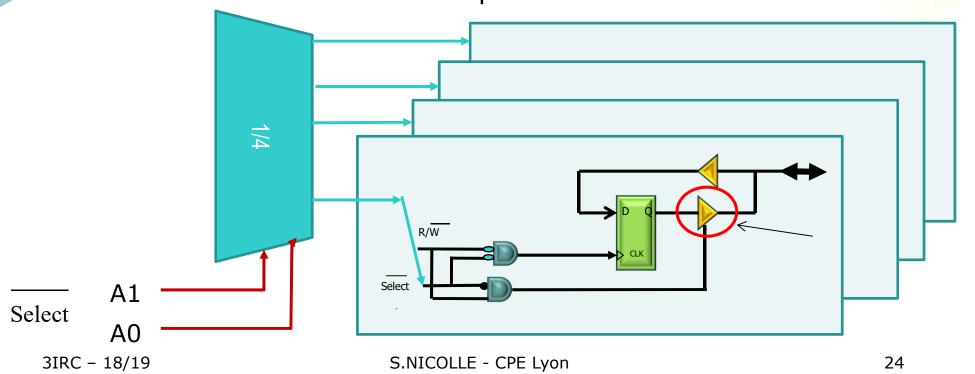
Select

R/W

D0

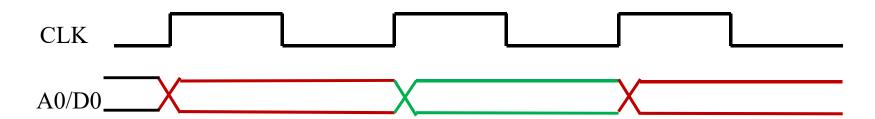
3IRC - 18/19

- Mise en place d'adresses
 - Regrouper plusieurs cases mémoire dans un ensemble
 - En sélectionner une parmi N



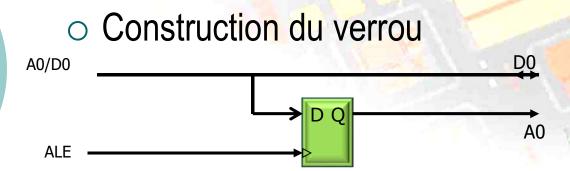
Application: Le verrou

- Contexte Besoin
 - Pour diminuer le nombre de broches d'entrés/sorties d'un boîtier de microprocesseur, on attribue plusieurs fonctions à une même broche.
 - Certaines broches ont la fonction adresses/données.
 - Chronogramme fonctionnel souhaité

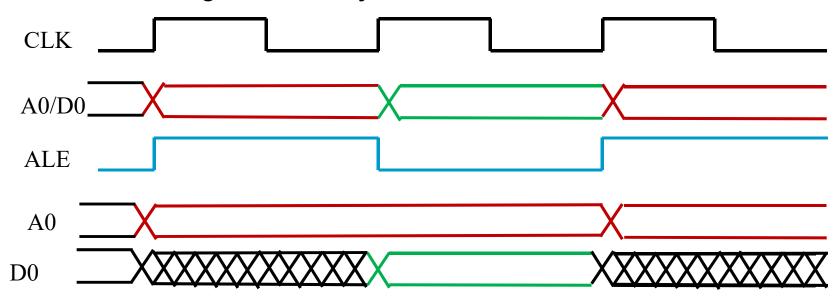




Application: Le verrou



Chronogramme : ajout de ALE

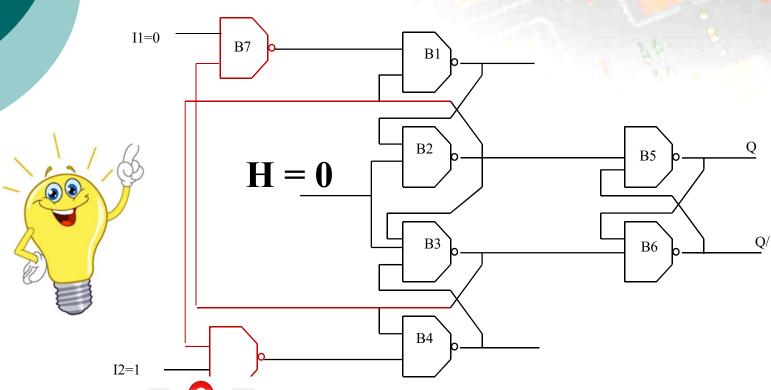


- Principe
 - Inconvénient de la bascule sur niveau
 - Bascule RS sur front



- Construction d'un détecteur de front
 - Schéma de principe
 - Règles de fonctionnement
 - \circ T_{setup}, t_{hold} , t_{pd} ,

Dynamique des signaux

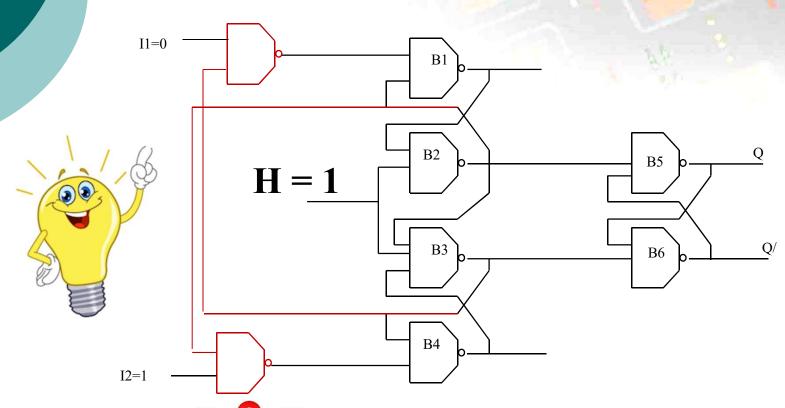


Il faut que les entrées restent stables le temps que l'information se propage dans B1, B4, Puis B2, B3 : c'est le temps de Set-up : T_H

S.NICOLLE - CPE Lyon

3IRC - 18/19

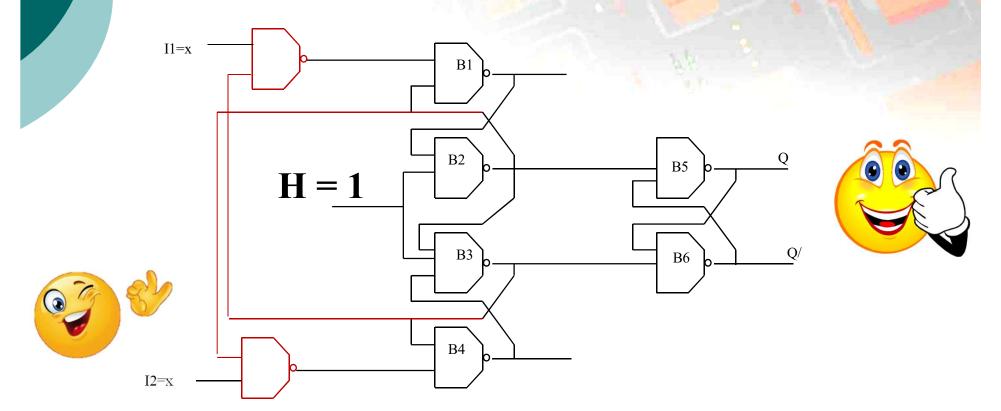
Dynamique des signaux



Il faut que les entrées restent stables le temps qu'elles soient verrouillées : c'est le temps de Hold : T_H

S.NICOLLE - CPE Lyon

Dynamique des signaux

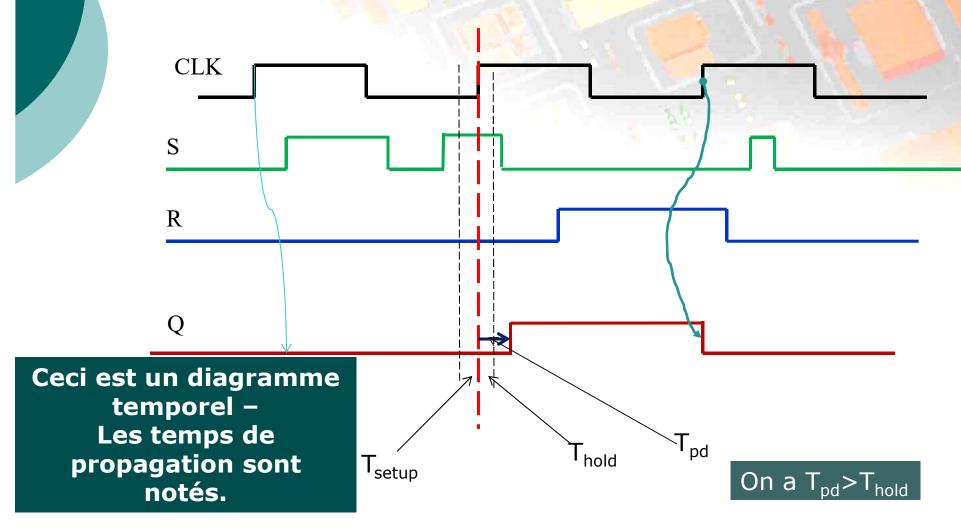


Après T_H , B3=0 et B2=1 donc Q/=1 et Q=0 quelles que soient I1 et I2





Ceci est un diagramme fonctionnel – Les temps de propagation ne sont pas notés. Mais, les causalités sont indiquées.



- La bascule D sur front
 - Schéma
 - Comportement dynamique
- Exemple : la bascule 74SN7474

- La bascule D
 - Table de vérité

D	Q	Q+
0	0	Q
0	1	0
1	0	1
1	1	/Q

Q+ : Valeur que prendra la sortie Q après le front montant de l'horloge

- La bascule JK
 - Montage de base
 - Synthèse à partir d'une bascule D
- La bascule T
 - Synthèse à partir d'une JK
 - Synthèse à partir d'une bascule D

- La bascule JK
 - Table de vérité

J	K	Q+
0	0	Q
0	1	0
1	0	1
1	1	/Q

Le déclenchement sur front

- La bascule JK
 - A partir d'une RS

- A partir d'une D
 - \circ D = JQ* + /KQ

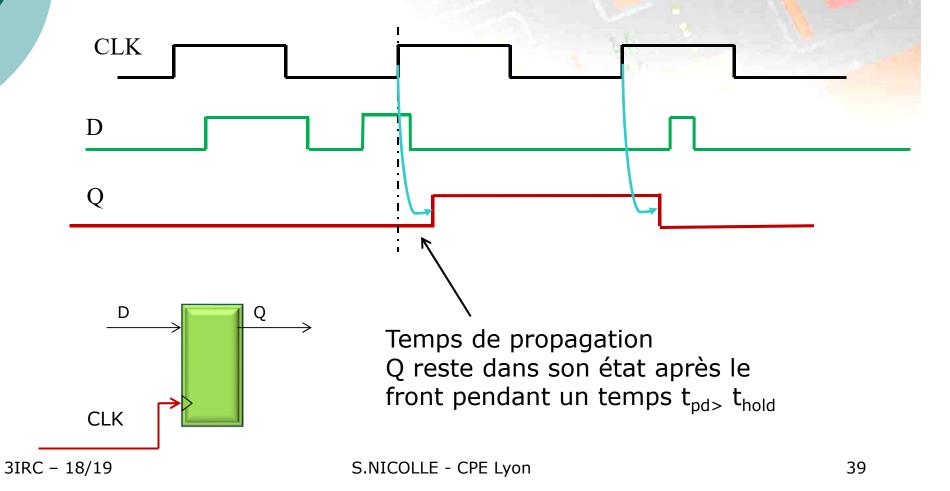
Construction d'un registre

- Particularité d'une bascule sur Front
- Cascade de bascules

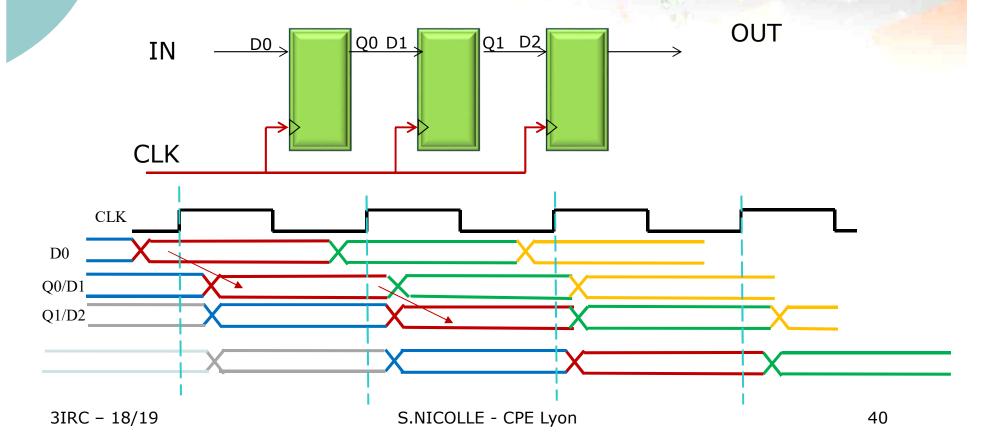
Extension du Registre

- Ligne à retard
- Convertisseur Parallèle-série
- Convertisseur Série Parallèle
- Décaleur (Shifter), multiplication binaire

Particularité d'une bascule sur front

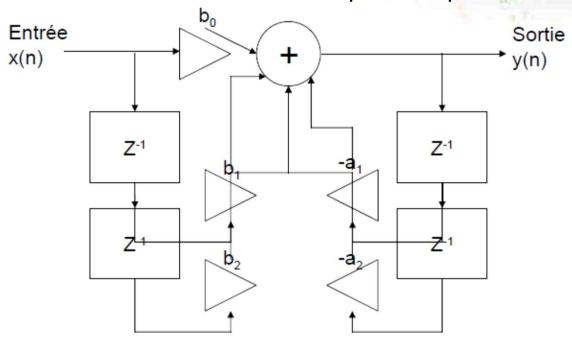


- Construction d'un registre
 - Particularité d'une bascule sur Front
 - Cascade de bascules en série



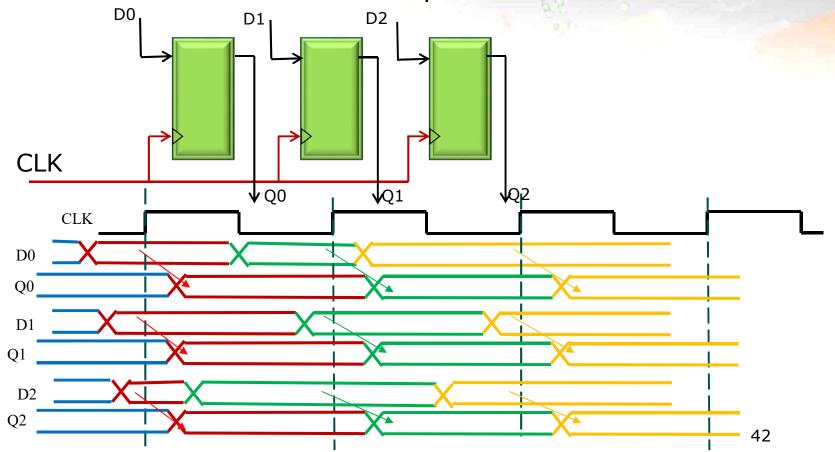
Registre à Décalage cascade en série

- Application
 - Ligne à retard numérique
 - Réalisation de filtres à Réponse Impulsionnelle Infinie (IIR)



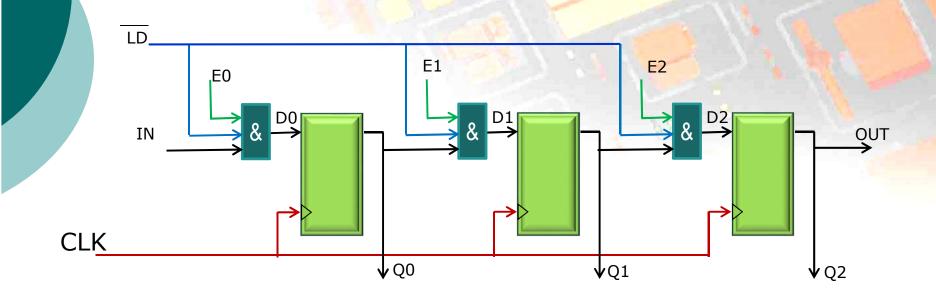
$$y(n) = \frac{b_0}{a_0} x(n) + \frac{b_1}{a_0} x(n-1) + \frac{b_2}{a_0} x(n-2) - \frac{a_1}{a_0} y(n-1) - \frac{a_2}{a_0} y(n-2)$$
3IRC - 18/49 S. MICOLLE - CPE Lyon a_0 4

- Construction d'un registre
 - Particularité d'une bascule sur Front
 - Cascade de bascules en parallèle



Registre à Décalage : Cascade en parallèle

- Applications
 - Mémorisation de données temporaires = Tampon mémoire
 - Synchronisation d'entrées
 - Plusieurs systèmes en amont produisent des états asynchrones
 - Synchronisation de sorties
 - Différentes combinaisons de sorties issues de Différentes bascules différentes (même synchrones entre elles), produisent des sorties dont les occurrences sont asynchrones (retard de propagations dépendent des équations de combinatoires utilisant des nombres de portes différents)



- Phases de fonctionnement
 - Chargement parallèle
 - LD* = 0 pendant 1 de CLK, puis LD*=1 donne Q_i=E_i
 - Décalage série
 - LD*=1, à chaque

 de CLK Q_i⁺= Q_{i-1}

 S.NICOLLE CPE Lyon

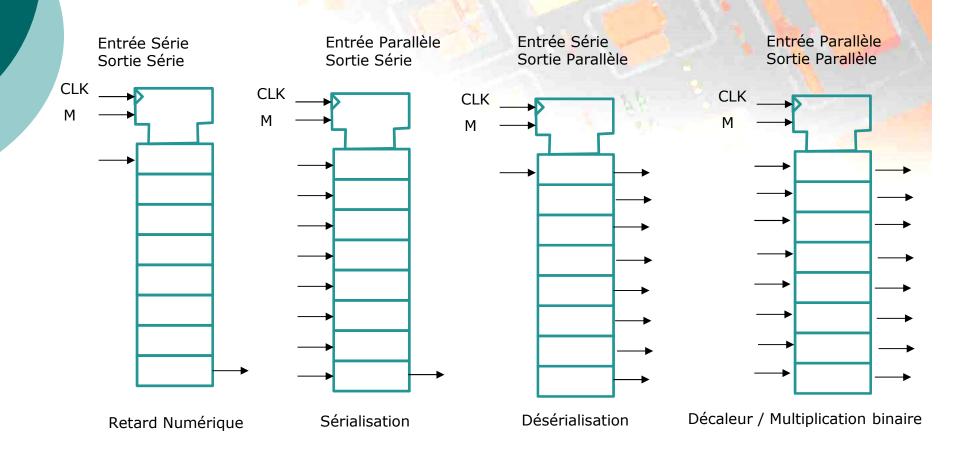
Equations



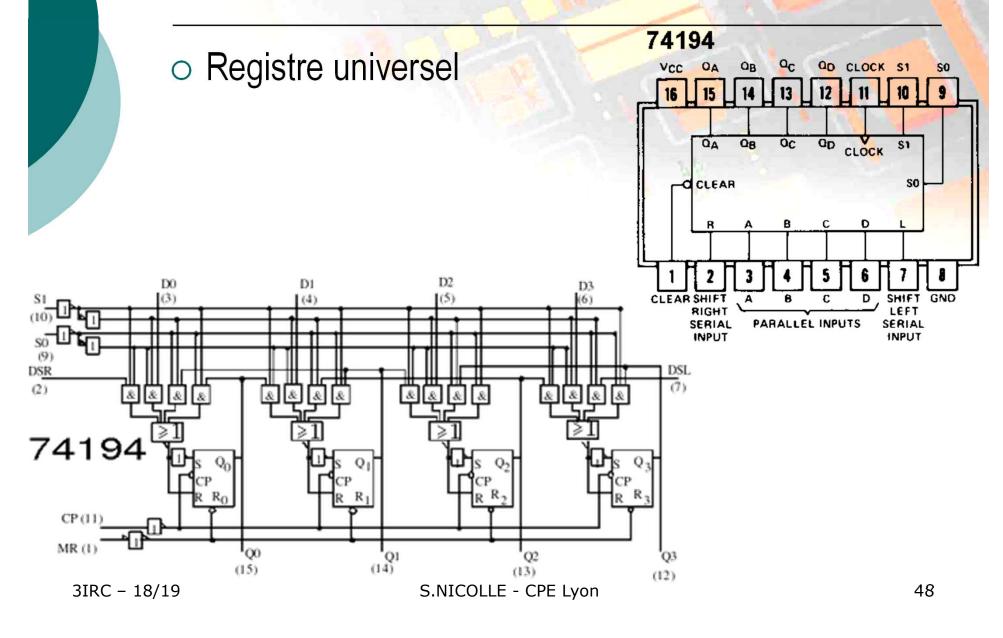
Chronogramme



Registre à Décalage



Registre à Décalage



- Application
 - Ligne à retard
 - Liaison série type RS232, RS485, SPI, I2C, Ethernet
 - Liaison RF (GPRS, Wifi, 3G)
 - Cryptage de données hardware

Systèmes séquentiels : Compteurs

M. Serge NICOLLE

serge.nicolle@cpe.fr



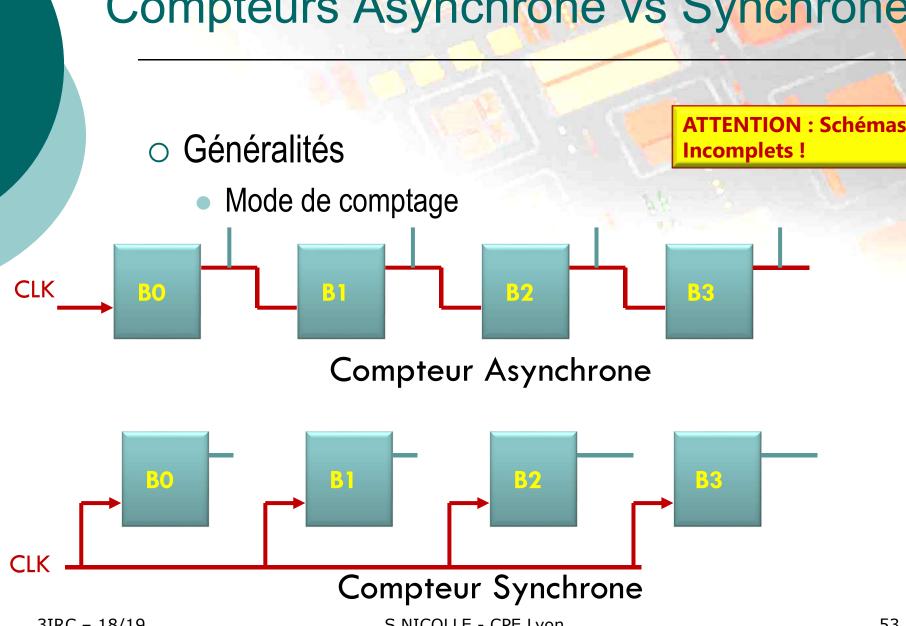


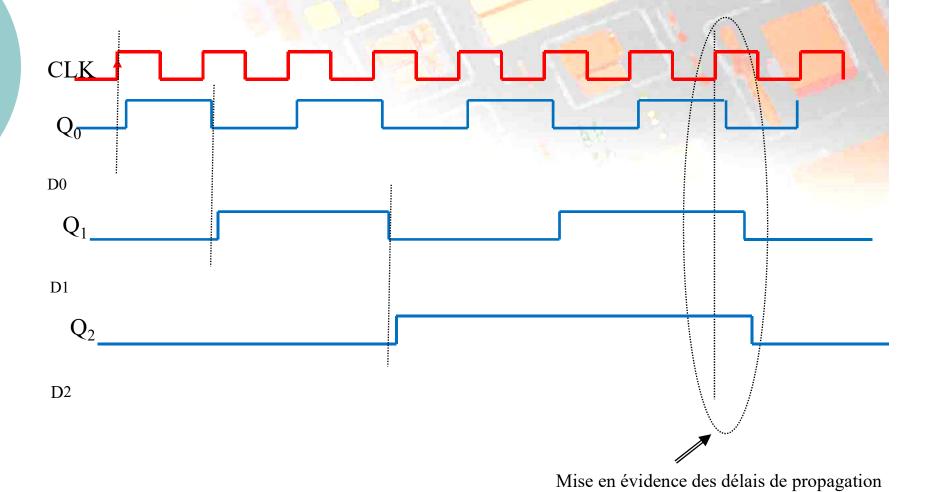
- Généralités
 - Définitions
 - Description intuitive
 - Mode de comptage
 - Méthode directe

Généralités

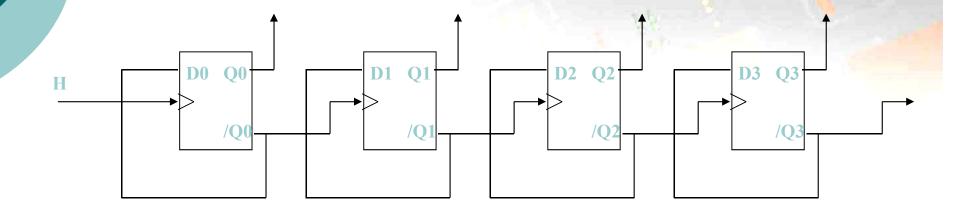
- Définitions
 - Un compteur est un système séquentiel dont les sorties évolues directement en fonction du nombre de coups d'horloge successifs.
- On distingue :
 - Les compteurs asynchrones où l'horloge est directement connectée à la première bascule ; les autres horloges sont fonctions des sorties (éventuellement combinées entre elles avec ou pas l'horloge)
 - Les compteurs synchrones où chaque bascule est piloté par une même horloge.

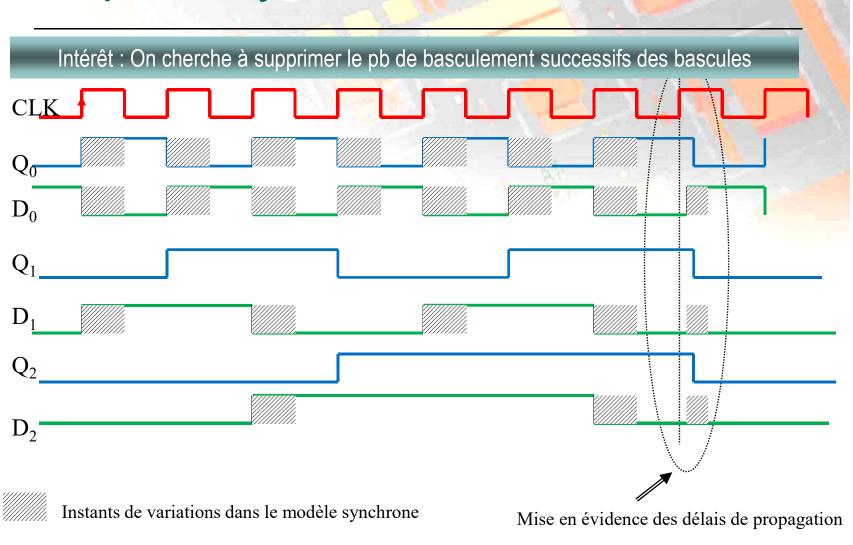
Compteurs Asynchrone vs Synchrone





Montage à partir de bascules D





- Généralités
 - Méthode directe
 - Construction d'une table d'états Q Q+

			○ Détermination des équations D _i = F _i (Q)		
Q2	Q1	Q0	 Exemple : compteur synchrone 3 bits 	D2	
0	0	0	C Exemple : complete synthione s bits	0	
0	0	1		0	
0	1	0		0	
0	1	1		1	
1	0	0		1	
1	0	1		1	
1	1	0		1	
1	1	1	S.NICOLLE - CPE Lyon	0	

D2	D1	D0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1
0	0	0

- Mise en œuvre d'un compteur synchrone
 - Notion de retenue
 - o Particularité de la construction des nombres binaire
 - Création de la table d'état V_i, Q_i, Q_{i+1}, V_{i+1}
 - On se place à un étage i du compteur
 - On cherche à quelle étape l'étage i bascule
 - Création de la table d'état V_i, Q_i, Q_{i+1}, V_{i+1}

$$Q_i^+=Q_i^-$$
 OUEX V

$$V_{i+1} = Q_i \bullet V_i$$

Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

	Vi	QI	Qi+	Vi+1
	0	0	0	0
	0	1	1	0
	1	0	1	0
	1	1	0	1

- Mise en œuvre d'un compteur synchrone
 - Construction à partir de bascules D
 - Assemblage série

$$\circ$$
 D₀=/Q; D_i = Q_i OUEX V_i

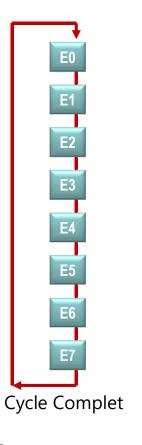
$$\circ$$
 $V_i = Q_{i-1} \bullet V_{i-1}$

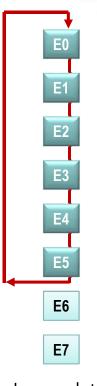
Vi	QI	Qi+	Di	Vi+1
0	0	0	0	0
0	1	1	1	0
1	0	1	1	0
1	1	0	0	1

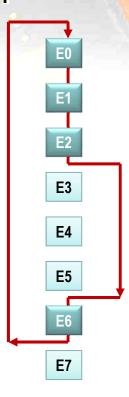
- Assemblage parallèle
 - \circ D₀=/Q; D_i = Q_i OUEX Π Q_j (j allant de 0 à i-1)

- Mise en œuvre d'un compteur synchrone
 - Construction à partir de bascules JK

Compteur/Décompteur à cycle incomplet







Cycle Incomplet Régulier

Cycle Incomplet par Saut

- Compteur/Décompteur à cycle incomplet
 - Méthode directe
 - Chargement synchrone
 - Chargement asynchrone
 - Action sur les Set/Reset
 - Compteur à cycle complet réduit et décodage

- Compteur/Décompteur à cycle incomplet régulier
 - Méthode directe



- Compteur/Décompteur à Chargement Synchrone
 - Principe
 - Mise en œuvre d'une variable de chargement : LD
 - Activation de cette variable pour réaliser le chargement
 - Mise en œuvre
 - \circ D_i = E_i si LD est actif, sinon D_i = F_c (Q)
 - Equation pour un compteur
 - $D_i = E_i \bullet LD + /LD \bullet (Q_i OUEX \Pi Q_i j allant de 0 à i-1)$
 - Equation pour un décompteur
 - Di = E_i •LD + /LD•(/ Q_i OUEX ΠQ_j j allant de 0 à i-1)

Compteur Synchrone à cycle incomplet régulier

Chargement Synchrone

- Principe
 - Retour à l'origine lorsque la borne B est atteinte.
 - LD devient active lorsque le compteur atteint B ; d'où LD = B
- Mise en œuvre
 - Les entrées Ei codent la valeur origine.
 - B représente la valeur max du cycle de comptage B=1 lorsque la valeur Q est atteinte.
 - LD = B = F(Q) Q : ensemble des sorties
 - Equation pour un compteur
 - $D_i = E_i \bullet B + /B \bullet (Q_i OUEX \Pi Q_j j allant de 0 à i-1)$
 - Equation pour un décompteur
 - $D_i = Ei \bullet B + /B \bullet (/Q_i OUEX \Pi Q_i j allant de 0 à i-1)$

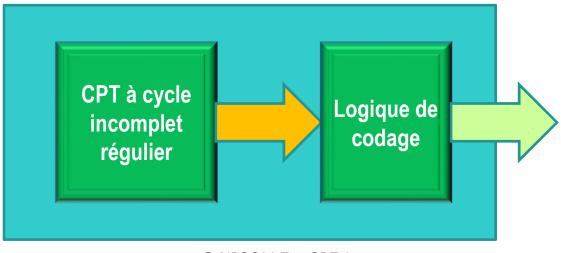
Compteur Synchrone à cycle incomplet régulier

- Compteur/Décompteur à cycle incomplet régulier
 - Action sur les Set Reset : Principe
 - Utilisation des entrées asynchrones
 - CLR* pour les compteurs
 - PR* pour les décompteurs
 - Attention au choix de la borne de retour
 - Mise en œuvre
 - Détermination de la borne B = Limite + 1 !!!
 - CLR* = /B pour les compteurs
 - PR* = /B pour les décompteurs



Compteur Synchrone incomplet par saut

- Séparation des fonctions de comptage et d'affichage
 - Compteur à cycle complet réduit et décodage
 - Détermination du nombre d'états dans le cycle
 - Utilisation d'un compteur (régulier complet ou incomplet régulier)
 - Connexion à une table de correspondance pour produire les sorties



Compteur Synchrone incomplet par saut

Let's choose a set of numbers

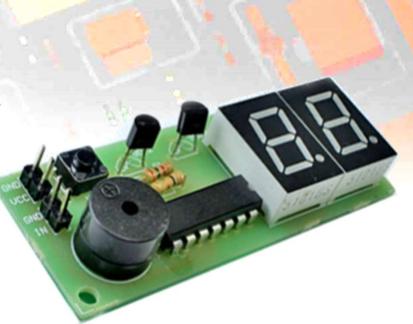




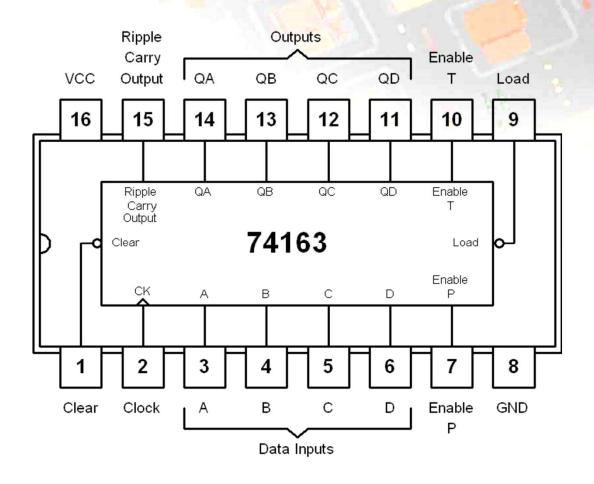
Compteurs Intégrés

Notion de Carry et Borrow

- Familles de compteurs
- Diagrammes de temps
- Mise en série asynchrone
- Mise en série synchrone



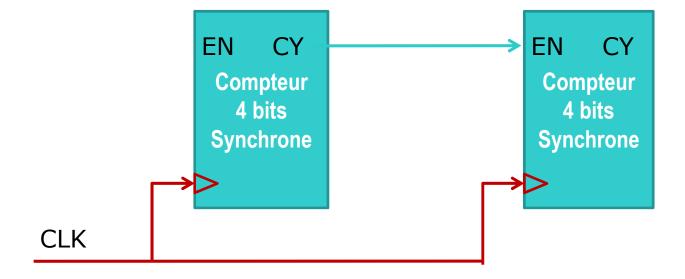
- Compteurs Intégrés
 - Notion de Carry et Borrow
 - Carry passe à 1 lorsque le compteur atteint son maximum
 - Borrow passe à 1 lorsque le décompteur atteint son minimum
 - Mise en œuvre
 - Utilisation de combinatoire
 - CY =
 - BW =



- Compteurs Intégrés
 - Diagrammes de temps



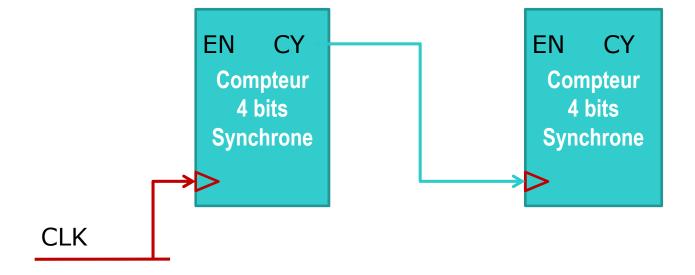
- Compteurs Intégrés
 - Mise en série synchrone



- Compteurs Intégrés
 - Mise en série synchrone : Chronogramme



- Compteurs Intégrés
 - Mise en série asynchrone



- Compteurs Intégrés
 - Mise en série asynchrone : Chronogramme

