



ARCHITECTURE DES SYSTEMES A MICROPROCESSEUR

Séance 2 : Mémoires à semi-conducteurs

N.ABOUCHI

membre de Université de LYON



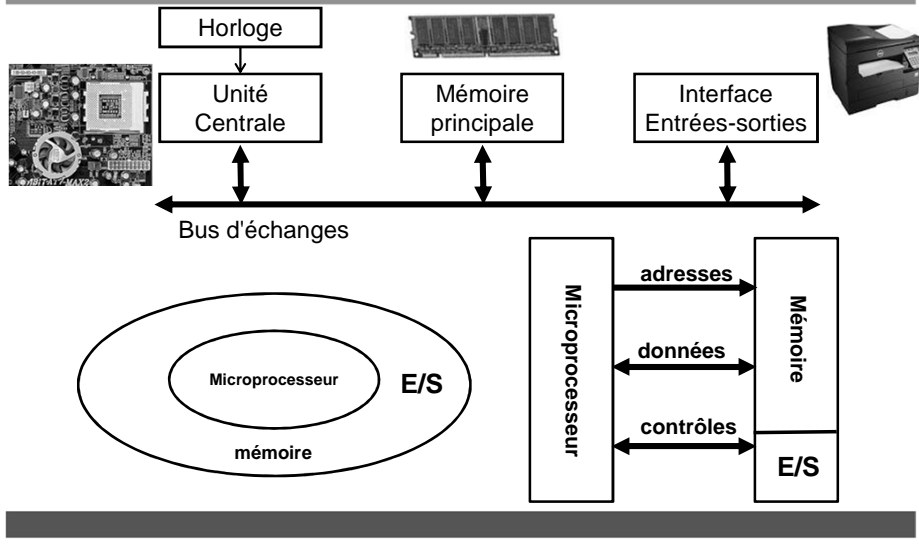
Objectifs du cours



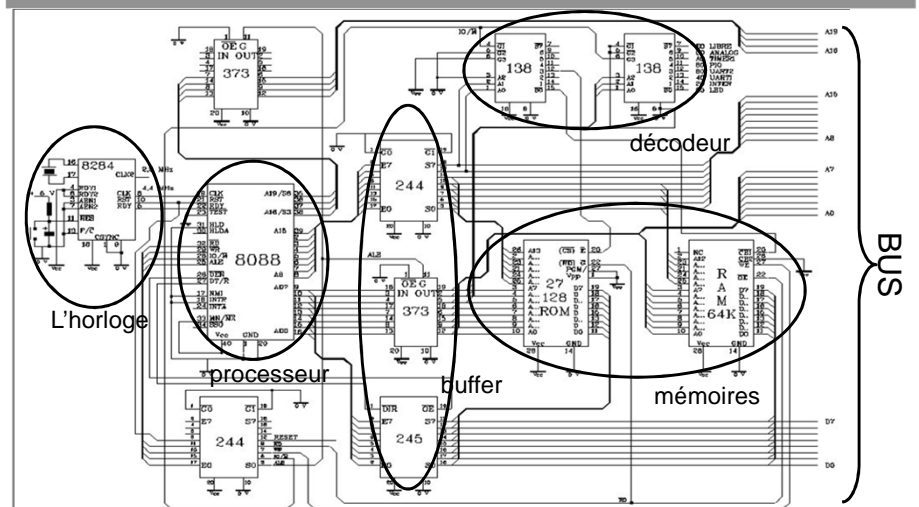
- ✓ Comprendre la nomenclature : capacité, organisation, vitesse, permanence, signaux d'échanges, (apprendre à lire une documentation).
- ✓ Connaître différents types de mémoires : ROM, PROM, EPROM, EEPROM, Flash EPROM, RAM, SRAM, DRAM.
- ✓ Connaître les méthodes de décodage d'adresse de circuits mémoires.
- ✓ Connaître une méthode de vérification de l'intégrité des données dans une mémoire (bit-parité).
- ✓ Comprendre les cycles de lectures et d'écritures.
- ✓ Apprendre l'association de boîtiers mémoires en série ou(et) en parallèle.



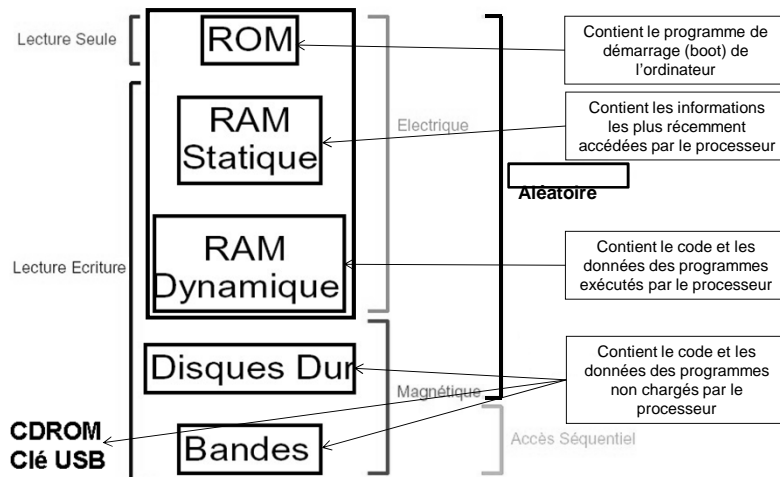
Rappel : modèle simplifié d'un système à microprocesseur



Rappel : la mémoire dans le système



Classification des mémoires



5

Définitions

- **Présentation** : c'est un dispositif capable d'emmagasinier puis de restituer une information. Le bit représente l'unité d'information élémentaire.
- **Capacité** : c'est la quantité d'information qui peut être stockée dans un dispositif donné. La capacité peut s'exprimer en bits ou en mots de n bits (Kilobits, Mégabits, Gigabits), par exemple 1 Mégaoctets, soit 2^{20} octets.
- **Organisation** : une mémoire est un tableau contenant des information binaires. On appelle organisation d'une mémoire les dimensions de ce tableau. Elle est exprimée en mots de n bits, où n représente le nombre de colonnes du tableau.
- **Temps d'accès** : appelé la 'Vitesse de la Mémoire'. C'est la différence entre le moment où l'adresse est présentée et le moment où la donnée est prête (de quelques ns à quelques dizaines de ns).
- **Permanence** : Exprime la possibilité de la mémoire de conserver ou pas l'information en l'absence de source d'énergie (mémoires volatiles, mémoires non volatiles ou permanentes).
- **débit** : quantité d'informations lues/écrites par unités de temps (exemple : Mo/s).

6

Capacité : exprimée en octets



- kilooctets $1K = 2^{10} = 1024$
- Megaoctets $1M = 2^{20} = 1\,048\,576$
- giga-octets $1G = 2^{30} = 1\,073\,741\,824$
- téraoctets $1T = 2^{40} = 1\,099\,511\,627\,776$

Exemples :

1 caractère ('a', '?', '2', λ, etc.) = 1 octet

Le petit robert (2600 pages) = environ 180 Mbits

7

Mode d'accès à l'information



• Types de mémoires logiques

– Accès aléatoire :

- Chaque mot est accessible directement et individuellement grâce à une adresse (RAM).

– Accès séquentiel :

- Un mot est repéré par sa position dans une suite d'éléments. C'est l'ordre d'enregistrement qui est alors conservé.

• Types de mémoires physiques

- Les registres internes (8, 16, 32, 64) bits ~ 1nanoseconde).
- La mémoire cache (Kilo-octets, ~ 5ns).
- La mémoire principale (Giga-octets, ~ 10ns).

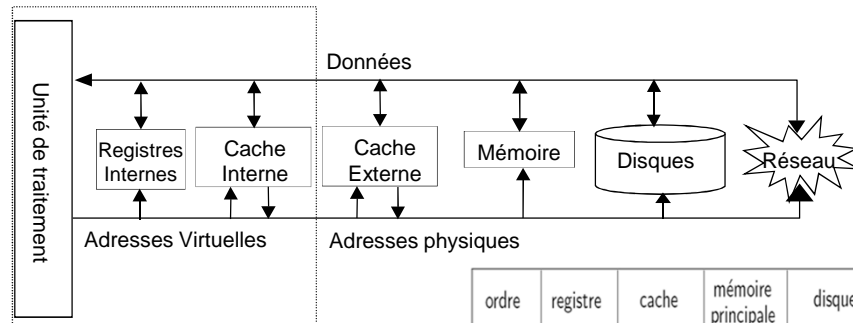
} mémoires
volatiles

- La mémoire de masse (100 à 200 Giga-octets, ~ 5ms).

} mémoires
permanentes

8

Types de mémoires Physiques (Hiérarchie mémoire)



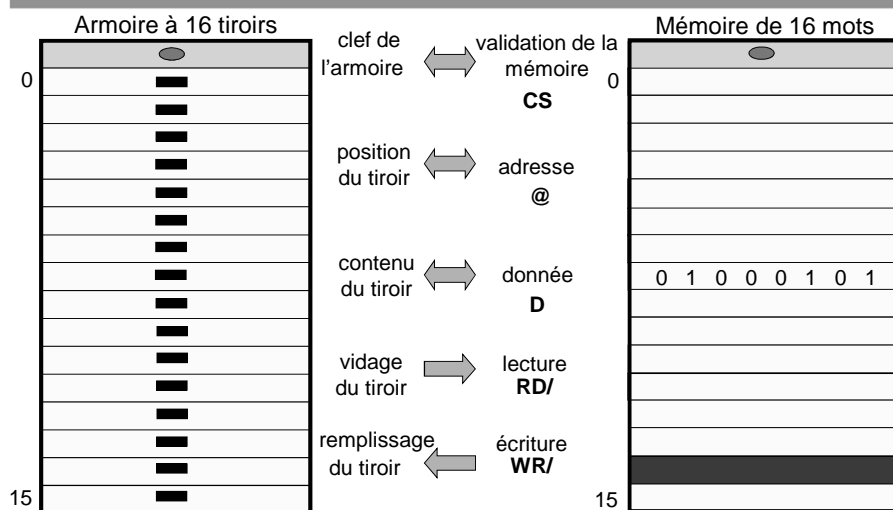
Un Go de mémoire magnétique
(disque dur) coûte environ 0,05 €
contre 5 € pour la mémoire
"centrale" (RAM).

ordre	registre	cache	mémoire principale	disque
capacité	-	0,1 - 1 Mo	0,1 - 1 Go	10 - 100 Go
temps d'accès	-	1 ns	1 - 50 ns	1 - 10 ms
débit	100 Go/s	10 Go/s	1-50 Go/s	100 Mo/s

4 Go/s: 32 bits toutes les nanosecondes!

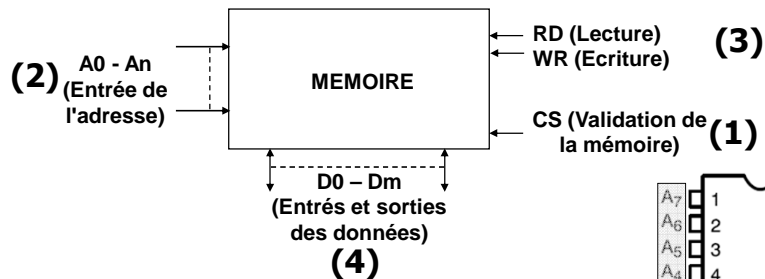
9

Fonctionnement d'une mémoire (analogie avec une armoire)

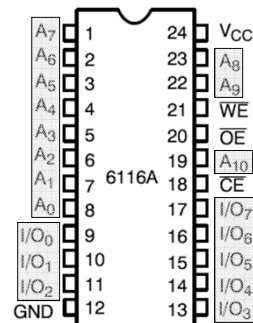


10

Fonctionnement d'une mémoire (ordonnancement des opérations)

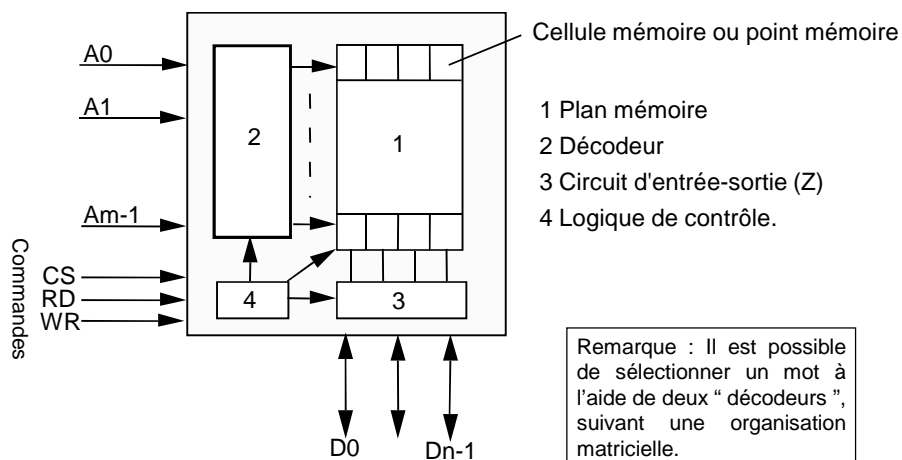


- 1 - Valider la mémoire (CE).
- 2 - Choisir l'adresse de la position mémoire à accéder (Ai).
- 3 - Choisir lecture ou écriture (WE, OE).
- 4 - Acheminer la donnée à mémoriser ou à lire (I/Oi).
- 5 - Invalider la mémoire (CE).



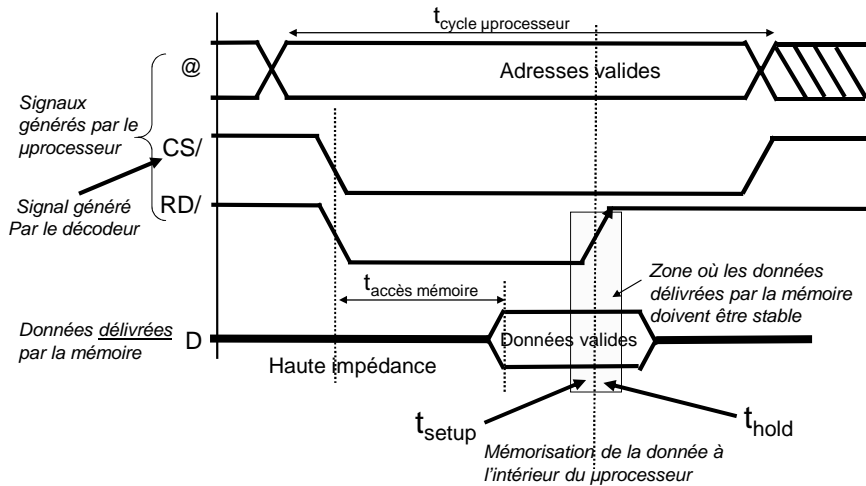
11

Structure des mémoires à accès aléatoire



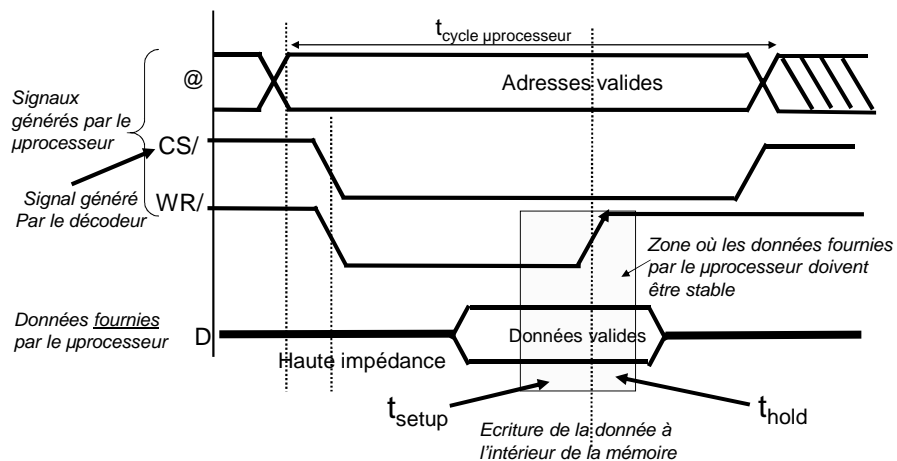
12

Echange d'information : cycle de lecture



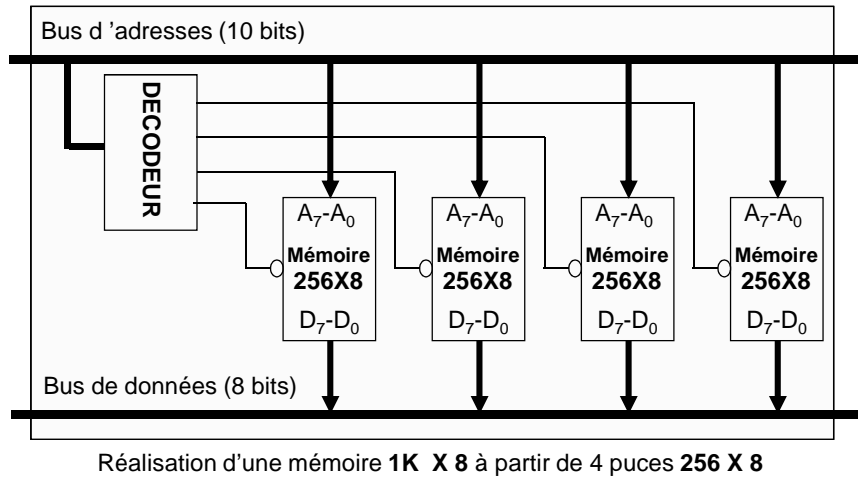
13

Echange d'information : cycle d'écriture



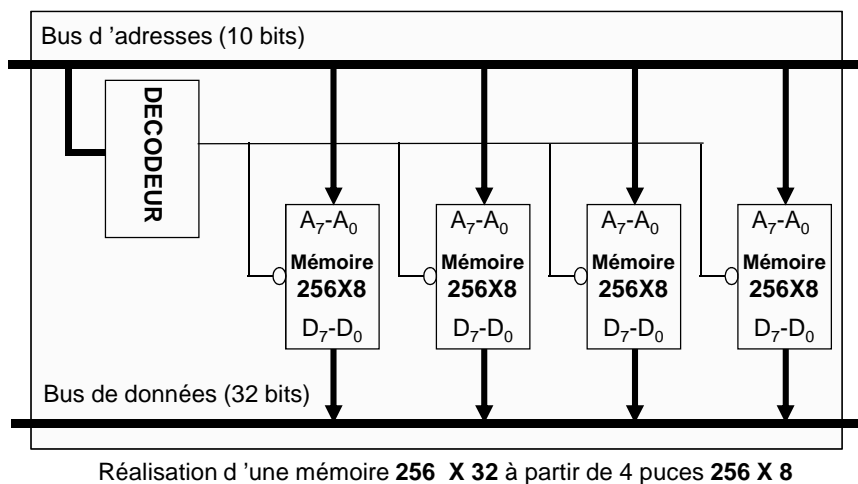
14

Association de mémoires en série



15

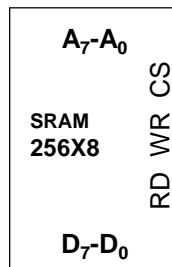
Association de mémoires en parallèle



16

Exercice

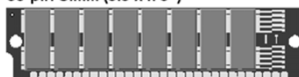
Réaliser une mémoire de **1024 X 16** à base de mémoires **256 X 8** ?



17

Application : barrettes mémoires

30-pin SIMM (3.5 x .75")

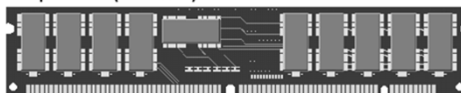


From Computer Desktop Encyclopedia
 © 1998 The Computer Language Co. Inc.

72-pin SIMM (4.25 x 1")



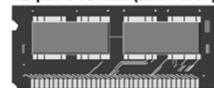
168-pin DIMM (5.375 x 1")



144-pin SODIMM (2.625 x 1")

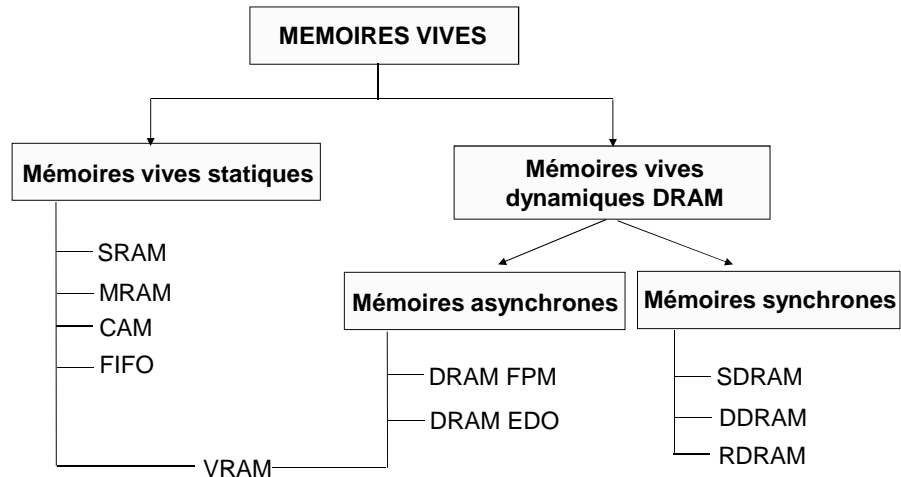


72-pin SODIMM (2.375 x 1")



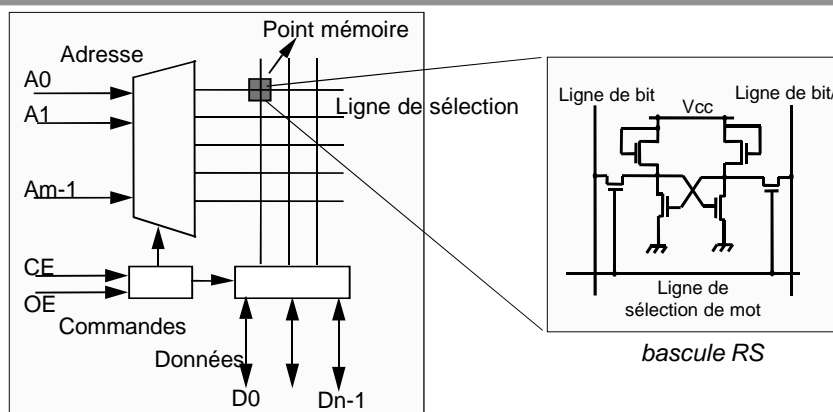
18

Classification des mémoires vives



19

SRAM (Static Random Access Memory)

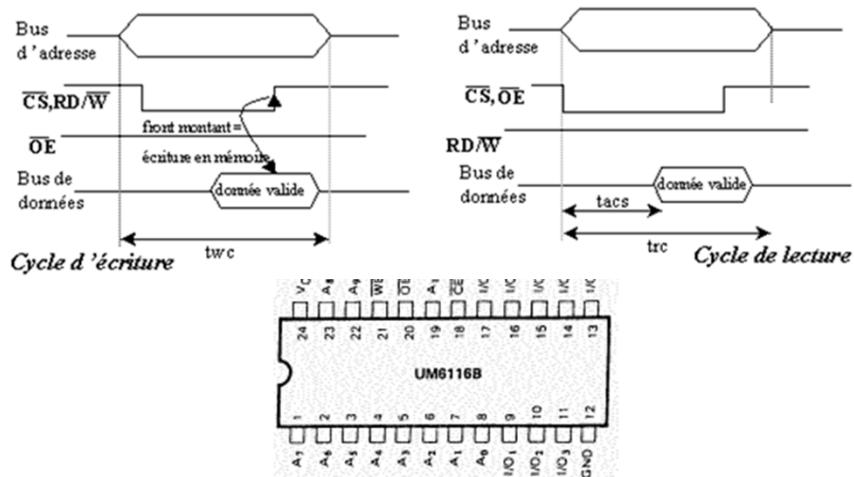


Exemple : Mémoire cache

- Avantages : Très rapide, lecture non destructive
- Inconvénients : volatile, encombrement (6 transistors)

20

Chronogramme de lecture et d'écriture

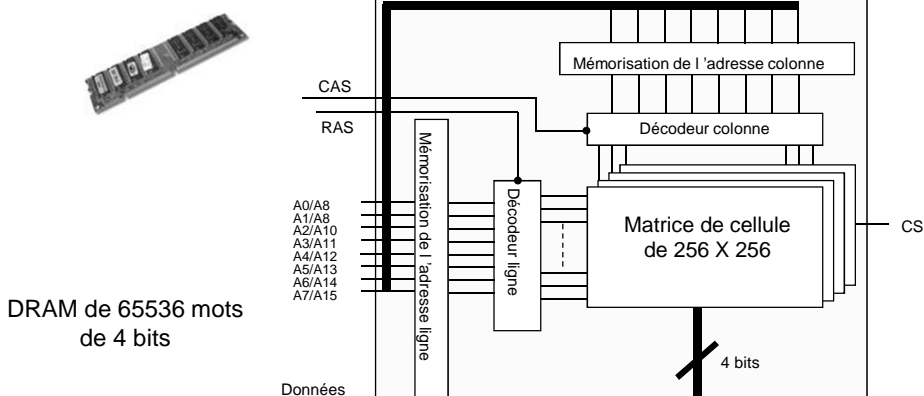


21

DRAM (Dynamic Random Access Memory)

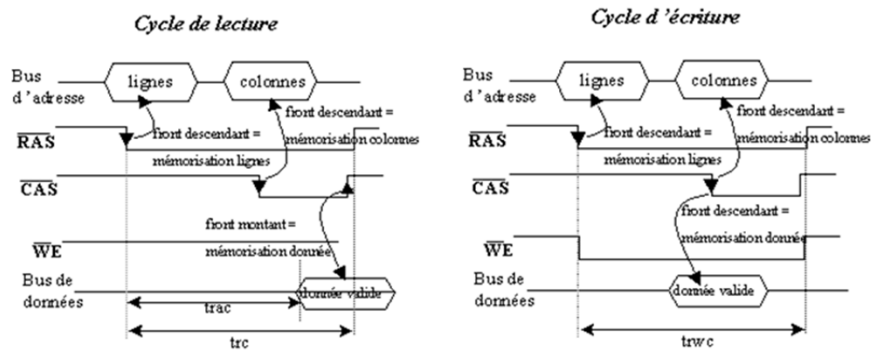
Exemple : mémoire principale

Organisation matricielle



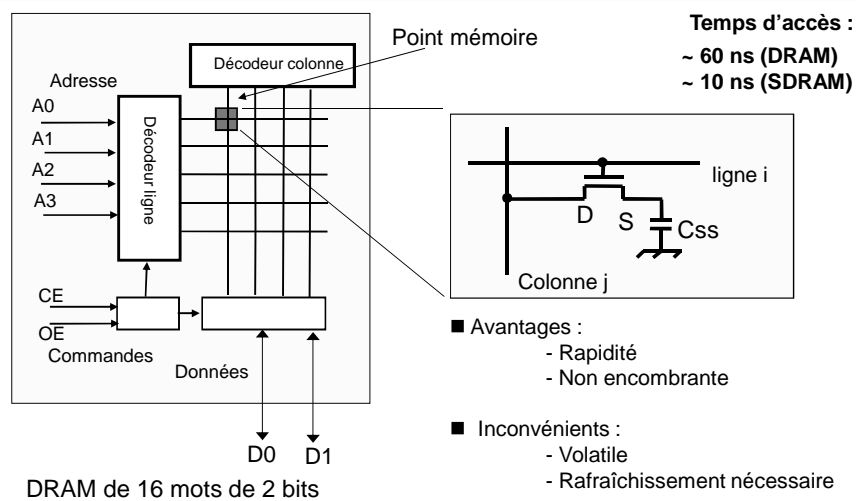
22

Chronogramme de lecture et d'écriture



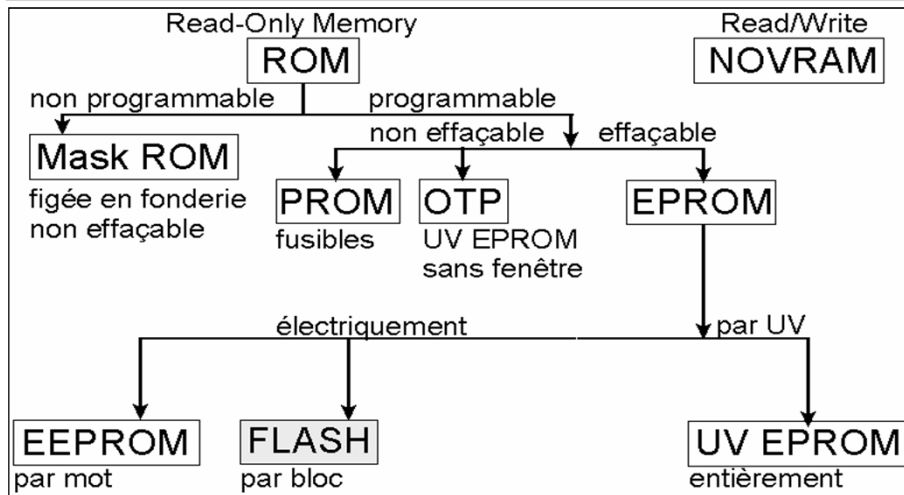
23

Structure point mémoire (DRAM)



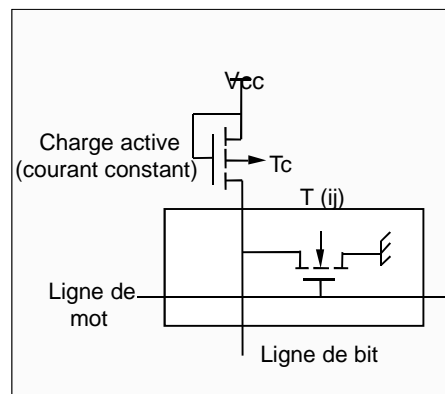
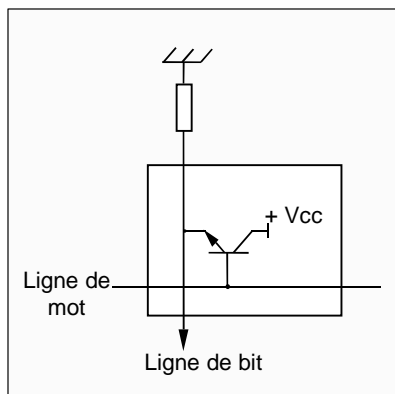
24

Classification de mémoires mortes



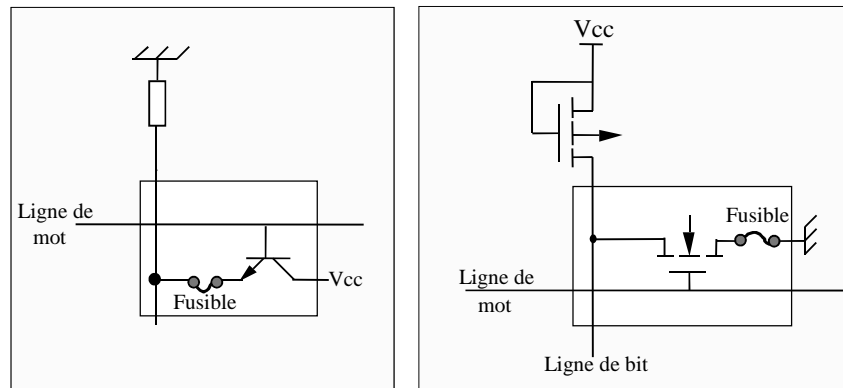
25

Mask ROM à transistors



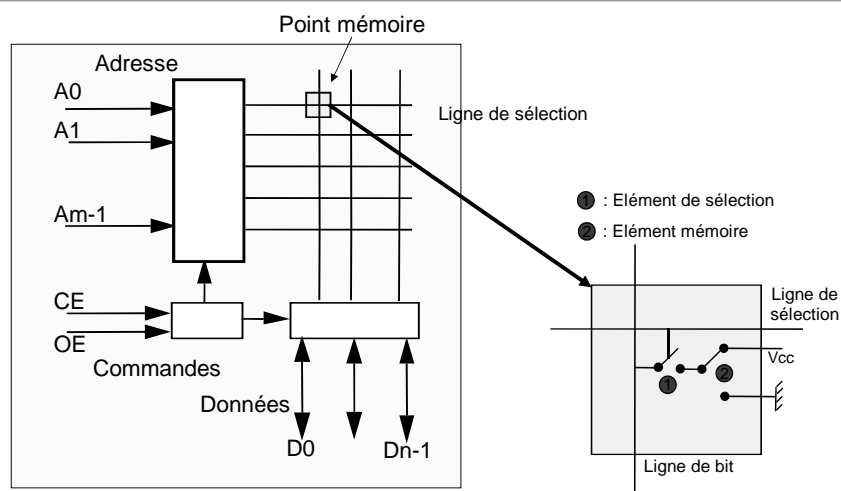
26

PROM (à fusibles) à transistors



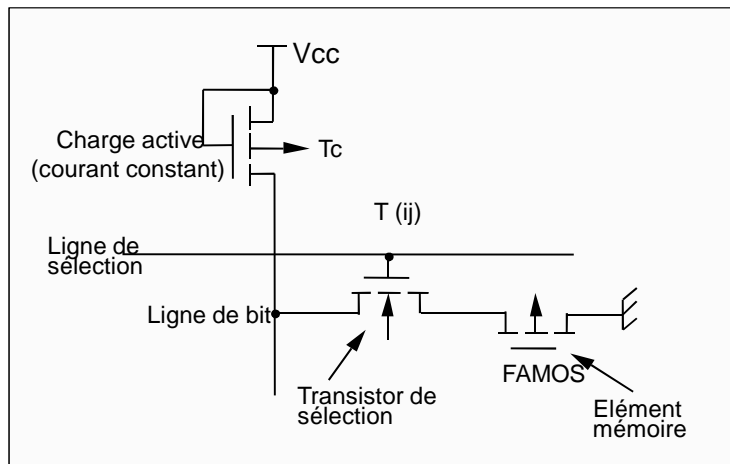
27

Organisation des EPROM



28

EPROM à transistors MOS



29

La mémoire Flash EPROM

La Flash EPROM a connu le développement le plus important des mémoires mortes, notamment avec les progrès du téléphone portable.

C'est une mémoire programmable et effaçable électriquement comme les EEPROM.

Deux technologies existent : NOR et NAND, toutes deux exploitent le même principe de stockage de charges dans la grille flottante d'un transistor.

la structure NAND autorise une implantation plus dense grâce à une taille de cellule approximativement 40 % plus petite que la structure NOR.

Les Flash NOR autorise un adressage aléatoire et permet une programmation octet par octet.

la Flash NAND autorise un accès séquentiel et permet une programmation par secteur.

30

Tableau comparatif (mémoires mortes)

type	qualités	défauts
(mask)ROM	- coût faible	- grande série (>10 000) - manque de souplesse - délais de fabrication
(UV)EPROM	- souplesse - écriture in situ (récent)	- très coûteux - temps d'effacement UV - 1K écritures
OTP	- peu coûteux	- pas d'effacement
E ² PROM	- souplesse - écriture in situ par byte - effacement par byte	- très coûteux - écriture lente - qq 100K écritures
FLASH	- souplesse - écriture in situ par byte - 1 M écritures - faible coût	- effacement par bloc - écriture lente

31

Tableau comparatif (temps d'accès)

Mémoires à semi-conducteur

Mémoires bipolaires

- RAM : 5 - 100 ns
- ROM : 10 - 60 ns
- PROM : 30 - 60 ns

Mémoires MOS

- RAM : 30 - 40 ns
- ROM : 200 - 500 ns
- EPROM : 220 - 500 ns

Remarque : La capacité des mémoires MOS est largement supérieure à celle des mémoires bipolaires

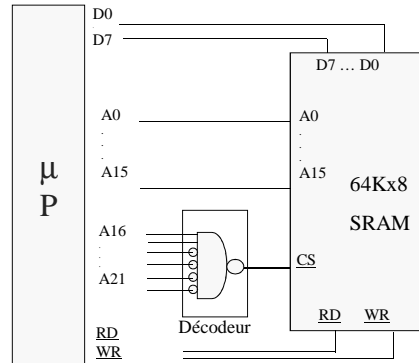
32

Méthodes de décodage d'adresses

La CPU fournit l'adresse de la donnée désirée, le circuit de décodage la décode et génère le signal de sélection de la mémoire (CS ou CE).

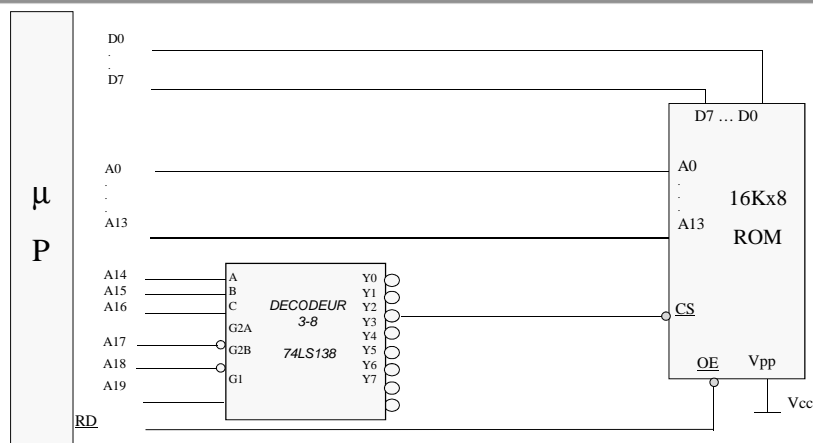
Les lignes d'adresses les moins significatives sont connectées aux pins d'adresse de la mémoire, et celles les plus significatives sont utilisées pour activer CS.

Exemple



33

Exemple : utilisation du circuit '74xx138'

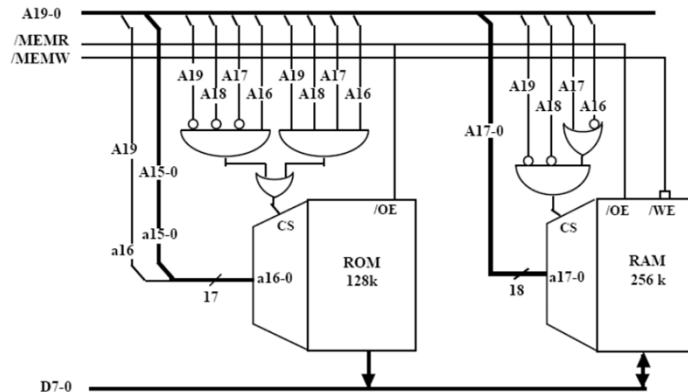


Pour sélectionner le DECODEUR A17-A18-A19 = 100. Les 3 lignes A14-A15-A16 sélectionnent une puce mémoire parmi 8 mémoires. Celle de la figure est sélectionnée à la sortie Y2 du décodeur, soit quand A14-A15-A16 = 010.

34

Exercice : décodage

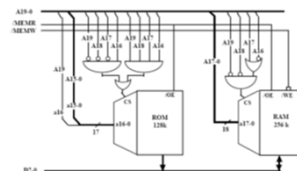
On considère un microprocesseur doté d'un bus de données de 8 bits et d'adresses de 20 bits. Sur ce bus sont connectés un composant mémoire vive de 256 k-octets et un composant mémoire morte 128 k-octets, selon le schéma ci-après.



35

Exercice (suite)

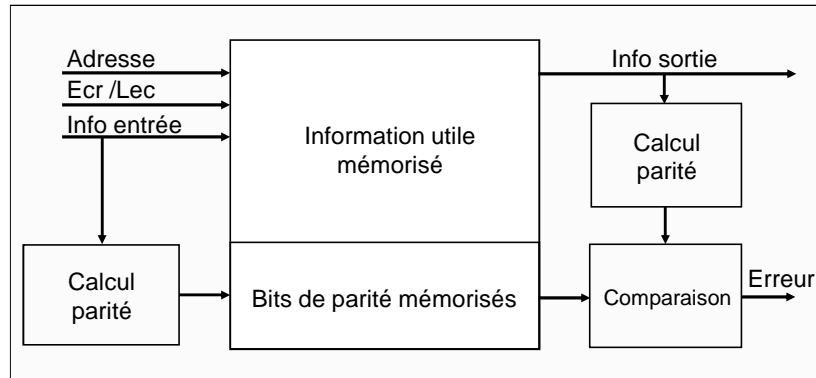
1. Indiquer, dans l'espace d'adresses du processeur, les domaines d'adresses auxquels répondent des zones de mémoire vive et les domaines auxquels répondent des zones de mémoire morte (dessiner la cartographie mémoire).
2. Avec l'organisation précédente, le composant de mémoire vive n'est pas complètement utilisé. Indiquer la taille de la zone de mémoire vive inaccessible dans le schéma précédent.



3. Indiquer à quelles adresses il serait possible de rendre cette zone accessible et modifier la connexion du composant de mémoire vive pour la rendre complètement accessible (donner les formules de sa sélection, CS, et de son adressage interne, A17---A0).

36

Protection de l'information par parité (exemple du contrôle de parité)



Remarque : des codes plus robustes peuvent être utilisés.
Exemple : code de Hamming (détecteur et correcteur d'erreurs)

37

Questions de révision

A quoi sert la mémoire dans un système à microprocesseur ?

Quelles sont les différents types de mémoires à semi-conducteur susceptibles d'être utilisées dans un système à microprocesseur ?

Quels sont les principaux paramètres qui caractérisent une mémoire à semi-conducteur ?

Quelles sont les bus externes standards d'une mémoire à semi-conducteurs ?

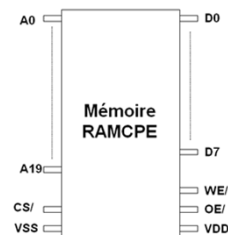
Quelles sont les signaux de contrôles indispensables pour une mémoire ?

Qui produit le signal CS (sélection de la mémoire) ?

A quoi correspondent les temps de Hold et de Setup ?

A quoi correspondent les signaux CS, WE et OE de la mémoire RAMCPE ?

Quelle est la capacité mémoire de RAMCPE ?

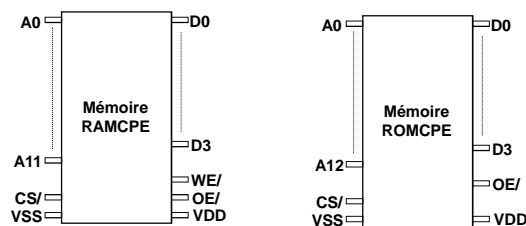
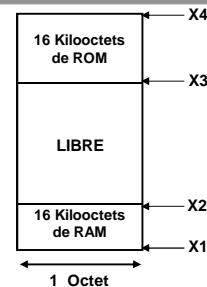


38

Exercice : Association de boîtiers mémoires

Sachant que l'espace totale est de 64 Ko :

- donner en hexadécimal, les valeurs de X1, X2, X3 et X4.
- donner en octets les tailles de RAMCPE et ROMCPE,
- donner le nombre de boîtiers mémoires ROMCPE et RAMCPE nécessaires à la réalisation des espaces RAM et ROM.
- donner le schéma électrique de mise en œuvre de la RAM.



WE/: Write enable
OE/: Output enable
CS/: Chip select

39

Organisation hiérarchique de la mémoire (une conséquence de l'exécution en parallèle)

Pour alimenter les différentes unités de calculs, le microprocesseur a besoin de plus d'instruction et de plus de données, le temps d'accès à la mémoire et de contrôle de l'intégrité des données devient alors le goulet d'étranglement du système à microprocesseur.

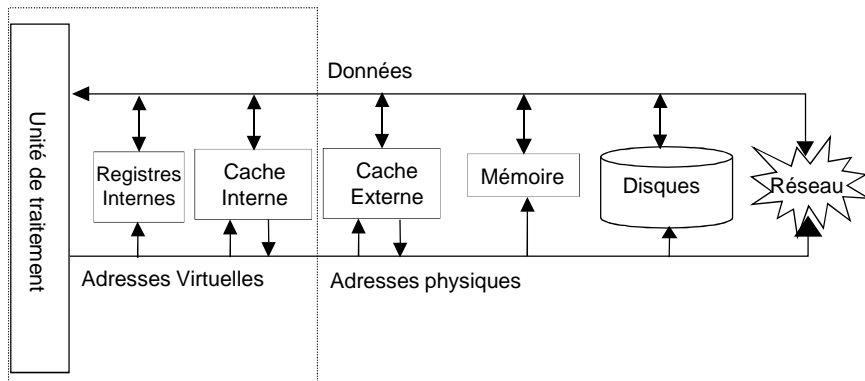
Introduction forcé du concept de cache

la motivation étant de

donner au processeur les moyens
de fonctionner à sa vitesse maximale.

40

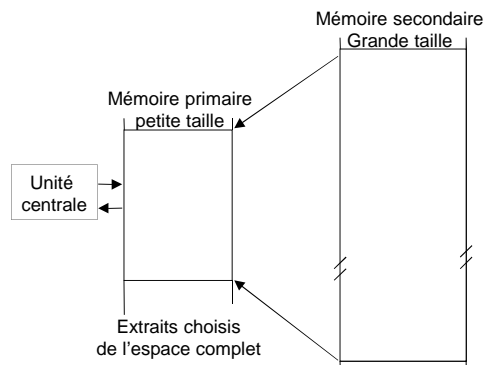
Rappel : vue hiérarchique de la mémoire



41

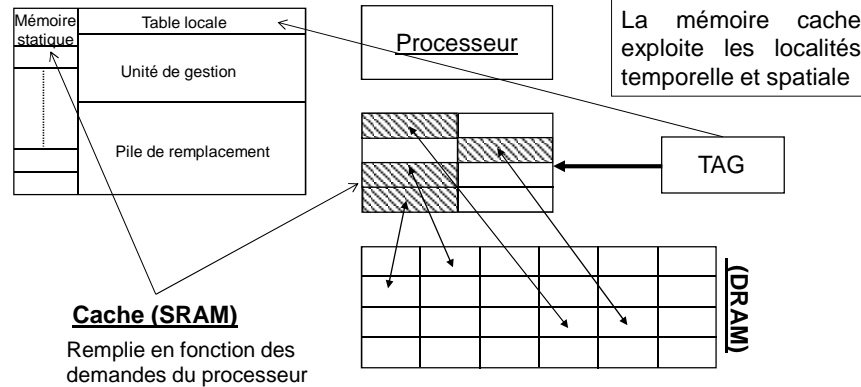
Le concept de la mémoire cache

D'une manière générale, on appelle cache tout dispositif matériel ou logiciel qui stocke dans une zone, dont l'accès est rapide, des données en petite quantité choisies parmi des données en plus grande quantité qui sont, elles stockées dans une zone dont l'accès est plus lent que celui du cache.



42

Principe d'exploitation du cache mémoire



SRAM : souvent à double accès répartie en k blocs ou ensemble de blocs contenant les données.

Table locale : (TAG) contient les états de chaque bloc (présent, invalidé, lecture, modifié, etc.).

Pile de remplacement : pour gérer le remplacements des blocs de données lors des échecs.

43

Paramètres de conception des caches

1) Caches séparés ou caches unifiés :

- un cache pour les données et le code (I/e).
- un cache pour les données (I/e) et un pour le code (I).

2) Placement des blocs dans le cache :

- correspondance direct (une place unique),
- associatif par ensemble de blocs (n'importe où dans l'ensemble),
- totalement associatif (n'importe où dans le cache).

3) Remplacements des blocs dans le cache :

- **Aléatoire** : simple mais pas performant (pour taille réduite).
- **LRU** (Least recently Used, remplacement du bloc le plus ancien)
- **FIFO** (First In First Out).
- **NMRU** (Not Most recently Used, pas la plus récemment utilisée mais choisie aléatoirement parmi les autres).

Le rendement du cache augmente avec le taux d'accès réussi

44

Paramètres de conception des caches



4) Stratégies d'écriture dans le cache :

- **écriture simultanée** (transparente) : l'information est écrite à la fois dans le cache et la mémoire principale (problème de surcharge du réseau pour une utilisation multiprocesseurs).
- **écriture différée** (recopie) : écriture uniquement dans le cache. La recopie dans la mémoire principale se fait au moment du remplacement du bloc (pas de problème de surcharge du réseau en multiprocesseurs mais problème de cohérence de l'information : utilisation de drapeaux).

6) Ecriture dans un bloc absent du cache :

- **Recherche et écriture** : chargement du bloc ensuite modification.
- **Ecriture direct** : écriture direct en mémoire principal sans chargement du bloc dans le cache.

45

Un autre problème: Espace physique < espace virtuel



L'unité centrale doit pouvoir exécuter des programmes dont la capacité d'adressage est supérieure à celle de la mémoire physique.

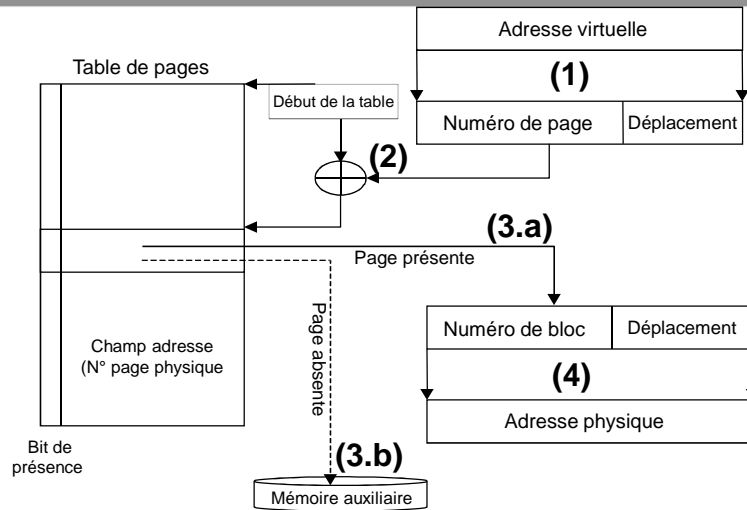


Nécessité de mécanismes de chargements

- **La pagination** permet de diviser la mémoire en bloc uniforme et de gérer l'exécution de programmes dont une partie seulement se trouve chargée en mémoire à un instant données.
- **La segmentation** permet un adressage relatif dans l'espace virtuel par découpage de celui-ci en segments de taille non uniforme, à l'intérieur desquels les adresses sont relatives au début du segment.

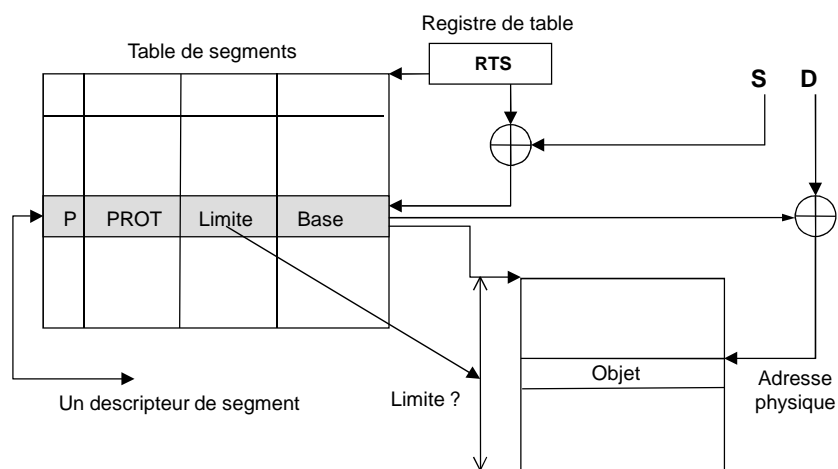
46

Principe de la pagination de la mémoire



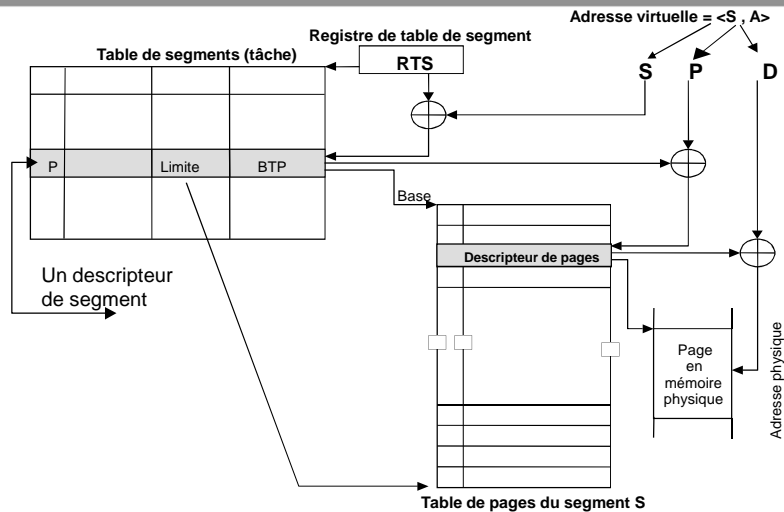
47

Principe de la segmentation de la mémoire



48

Principe de la segmentation et pagination de la mémoire



49

Exercice 1

Soit une mémoire paginée, deux algorithmes A1 et A2 sont utilisés pour mettre en œuvre ce mécanisme de pagination. Au cours de son exécution, un programme accède successivement aux pages suivantes : 1, 5, 2, 5, 1, 4, 1, 5, 3. Le système d'exploitation alloue à ce programme un espace de trois pages.

Donner le contenu des pages dans le cas d'une gestion par un algorithme LRU et dans le cas d'une gestion par un algorithme FIFO.

Quelles les références mémoire qui provoqueront des défauts de page dans chacun des algorithmes.

50

Exercice 2



Soit un système à microprocesseur avec une mémoire virtuelle de huit pages (page virtuelle 0 à page virtuelle 7) et une mémoire physique de 4 pages (page physique 0 à page physique 3). La taille des pages est de 1024 mots. Pour la table des pages suivante :

Page virtuelle	Page physique
0	3
1	1
2	Disque
3	Disque
4	2
5	Disque
6	0
7	Disque

Représenter, en identifiant les limites de chaque page, les cartographies des espaces mémoires virtuelle et physique ?

Donner la liste des adresses qui provoqueront un défaut de page ? (accès pour lesquels les pages demandées ne sont pas disponibles en mémoire physique).

Quelles sont les adresses physiques qui correspondent aux adresses virtuelles suivantes : 0, 1024 et 4096.

51

Exercice 3



Soit une mémoire segmentée et paginée. Chaque adresse virtuelle comporte un numéro de segment (2bits), un numéro de page (2bits) et un déplacement dans la page (11 bits). La mémoire principale contient 32768 mots. Chaque segment est soit en lecture seul, soit en lecture/écriture, soit en lecture/exécution, soit enfin en lecture/écriture/exécution. On dispose de la table des pages et de protection suivante.

Segment 0		Segment 1		Segment 2	Segment 3	
lecture		lecture/exécution		lecture/exécution /écriture	Lecture/exécution	
Page V	Page P	Page V	Page P	-----	Page V	Page P
0	9	0	Disque	La table n'est pas	0	14
1	3	1	0	Disponible en	1	1
2	Disque	2	15	Mémoire centrale	2	6
3	12	3	8	-----	3	Disque

Page V : Virtuelle

Page P : Physique

52

Exercice 3 (suite)



Pour chacun des accès mémoire virtuelles suivants, donner l'adresse physique correspondante. Identifier les défauts éventuels ?

Accès	Segment	Page	Déplacement
1- Chargement donnée	0	1	1
2- Chargement donnée	1	1	10
3- Chargement donnée	3	3	2047
4- Stockage donnée	0	1	4
5- Stockage donnée	3	1	2
6- Stockage donnée	3	0	14
7- Saut à l'adresse	1	3	100
8- Chargement donnée	0	2	50
9- Chargement donnée	2	0	5
10- Saut à l'adresse	3	0	60