

NOM :

Prénom :

Année 2017/2018

A remplir obligatoirement par l'enseignant responsable du contrôle

Date : 25 octobre 2017

Contrôle de : Architecture des systèmes à microprocesseur

Durée : 2 heures

Professeur responsable : N.ABOUCHI

Documents : ☐ autorisés ☒ non autorisés

Si oui : type(s) de documents autorisés :

Calculatrices alphanumériques : ☒ autorisées ☐ non autorisées

A l'attention des élèves : rappels importants sur la discipline des examens

La présence à tous les examens est strictement obligatoire ; tout élève présent à une épreuve doit rendre une copie, même blanche, portant son nom, son prénom et la nature de l'épreuve.

Toute absence non justifiée est sanctionnée par un zéro.

Toute fraude ou tentative de fraude avérée est sanctionnée par un zéro à l'épreuve et portée à la connaissance de la direction des études qui pourra réunir le Conseil de Discipline. Les sanctions prises peuvent aller jusqu'à l'exclusion définitive du (des) élève(s) mis en cause.

Toute suspicion sur la régularité et le caractère équitable d'une épreuve est signalée à la direction des études qui pourra décider l'annulation de l'épreuve; tous les élèves concernés par l'épreuve sont alors convoqués à une épreuve de remplacement à une date fixée par le responsable d'année.

**Merci de répondre sur l'énoncé
(Des réponses brèves et précises)**

Exercice 1 : Généralités sur les microprocesseurs : (6 pts) (une seule réponse)

8/10

Question 1 (½ pt) : types d'architectures :

- ☐ Les architectures de type Von Neumann ont des espaces mémoire code et données séparés.
- ☒ Les architectures de type Von Neumann disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent d'un seul registre d'adresses pour le code et pour les données.
- ☐ Les architectures de type Harvard disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent uniquement d'un registre d'adresses pour le code.

Question 2 (½ pt) : parmi les éléments suivants, lequel est fondamental pour le microprocesseur :

- ☒ L'Unité Arithmétique et Logique
- ☐ la mémoire cache
- ☐ Le décodeur d'adresses
- ☐ Les bus d'entrées sorties
- ☐ La mémoire RAM interne

Question 3 (½ pt) : parmi les bus suivants, lequel est indispensable pour le microprocesseur :

- ☐ Le bus de code
- ☒ Le bus d'adresses
- ☐ Le bus d'entrées sorties
- ☐ Le bus parallèle
- ☐ Le bus série

Question 4 (½ pt) : la capacité d'adressage d'un microprocesseur correspond :

- ☐ Au nombre de bits de données que peut lire le microprocesseur
- ☒ Au nombre d'adresses différentes que peut gérer le microprocesseur
- ☐ Au nombre de bits d'adresses que peut lire le microprocesseur
- ☐ Au nombre de périphériques que peut gérer le microprocesseur
- ☐ Au nombre de registre interne du microprocesseur

Question 5 (½ pt) : un microprocesseur avec un bus d'adresse de 16 bits et un bus de données de 8 bits dispose d'une capacité d'adressage de :

$2^{16} = 64 \text{ Ko}$

- ☐ 64 octets
- ☐ 1 kilooctets
- ☒ 64 kilooctets
- ☐ 1 kilo mots
- ☐ 64 kilobits

Question 6 (½ pt) : le registre accumulateur :

- ☐ Sert à mémoriser un des deux opérandes d'une opération arithmétique ou logique
- ☒ Sert à mémoriser les situations de conflits dans l'UAL (débordement, retenue, etc.)
- ☐ Sert à fournir l'adresse de la prochaine instruction à exécuter
- ☐ Sert à mémoriser la valeur du pointeur de code dans le cas d'un appel à un sous-programme
- ☐ Sert à gérer la pile (suite aux instructions PUSH et POP)

Question 7 (½ pt) : parmi les modes d'adressage mémoire utilisées par le microprocesseur on trouve :

- ☐ L'adressage impératif
- ☒ L'adressage direct
- ☐ L'adressage par la pile
- ☐ L'adressage par accumulateur
- ☐ L'adressage par le pointeur de code

Question 8 (½ pt) : gestion de la pile

- ☐ Les instructions CALL et JMP sont équivalentes
- ☐ L'instruction PUSH place un octet dans la pile et incrémente le registre SP
- ☒ L'instruction POP retire un octet de la pile et incrémente le registre SP
- ☐ L'instruction JMP provoque la mémorisation automatique du registre PC dans la pile
- ☐ Le registre SP est automatiquement incrémenté suite à l'instruction JMP

Question 9 (½ pt) : les échanges entre le système à microprocesseur et les périphériques peuvent se faire :

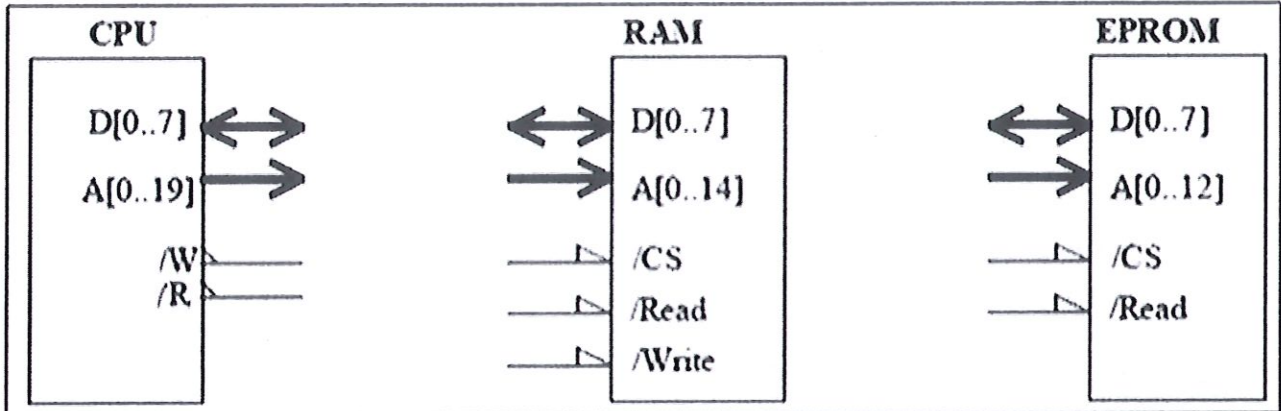
- ☐ Par interruption
- ☒ Par liaison série
- ☐ Par liaison parallèle
- ☐ Par port USB
- ☐ Par mémoire superposée

Question 10 (½ pt) : sur un microprocesseur 8 bits de type 8080, l'instruction CALL 1234 (appel du sous-programme logé à l'adresse 1234), nécessite :

- ☐ Un accès mémoire
- ☐ Deux accès mémoire
- ☒ Trois accès mémoire
- ☐ Quatre accès mémoire
- ☐ Cinq accès mémoire

Exercice 2 : Association de boîtiers mémoires et mise en œuvre de décodage (6 pts)

On dispose d'un microprocesseur possédant 8 lignes de données D[0..7], 20 lignes d'adresses A[0..19], une ligne R (Read), une ligne WR (Write). On souhaite mettre en œuvre ce processeur avec une zone mémoire programme (EPROM) de 8 Kilo-octets et une zone mémoire données (RAM) de 96 Kilo-octets. La zone programme (EPROM) commencera à l'adresse E0000H, la zone de données (RAM) à l'adresse 00000H. On utilisera un ou plusieurs boîtiers SRAM et EPROM décrits dans la figure suivante :



1. Quelles est, en kilo-octets, la taille :

a. de l'espace mémoire adressable par le CPU ?

$$2^{20} \times 8 = 1024 \text{ Kio} = 1 \text{ Mio} \text{ (1)}$$

b. du boîtier de mémoire RAM ?

$$2^{15} \times 8 = 32 \text{ Kio} \text{ (2)}$$

c. du boîtier de mémoire EPROM ?

$$2^{13} \times 8 = 8 \text{ Kio} \text{ (1)}$$

2. Combien de boîtiers mémoires sont nécessaires pour :

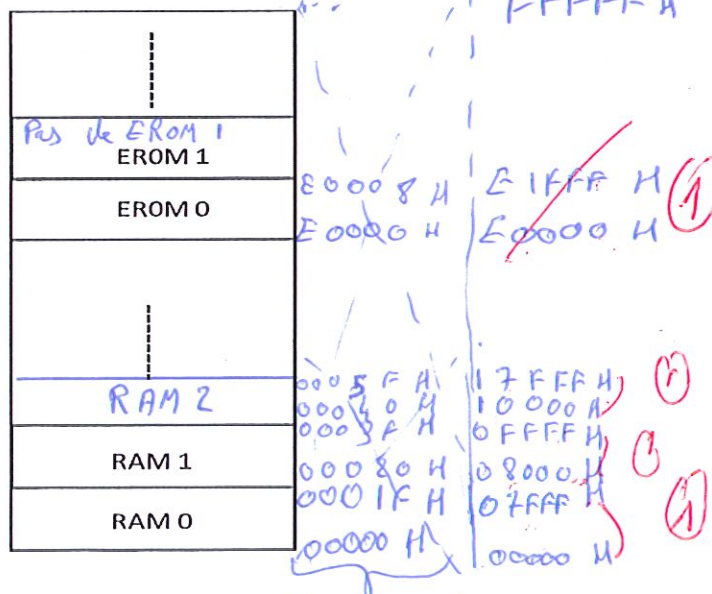
a. réaliser la zone programme (EPROM) :

$$\frac{8 \text{ Kio}}{8 \text{ Kio}} = 1 \text{ boîtier EPROM} \text{ (1)}$$

b. réaliser la zone de données (RAM) :

$$\frac{96 \text{ Kio}}{32 \text{ Kio}} = 3 \text{ boîtiers RAM} \text{ (2)}$$

3. Complétez la cartographie mémoire de cette application, en précisant les adresses des limites de chacun des boîtiers mémoires utilisés et leurs capacités respectives ?



4. En déduire l'expression du décodage de chacune des lignes de sélection des boîtiers. Vous appellerez ces lignes « CS-ROM-n°i » et « CS-RAM-n°i » ?

$$\text{CS-ROM } 0 = A_{19} \cdot A_{18} \cdot A_{17} \cdot \overline{A_{16}} \cdot \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \quad (1)$$

$$\text{CS-ROM } 1 = \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16} \cdot A_{15} \cdot A_{14} \cdot A_{13} \quad (1)$$

(Non Présent pour ce modèle)

$$\text{CS-ROM } n =$$

$$\text{CS-RAM } 0 = \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot \overline{A_{15}} \quad (1)$$

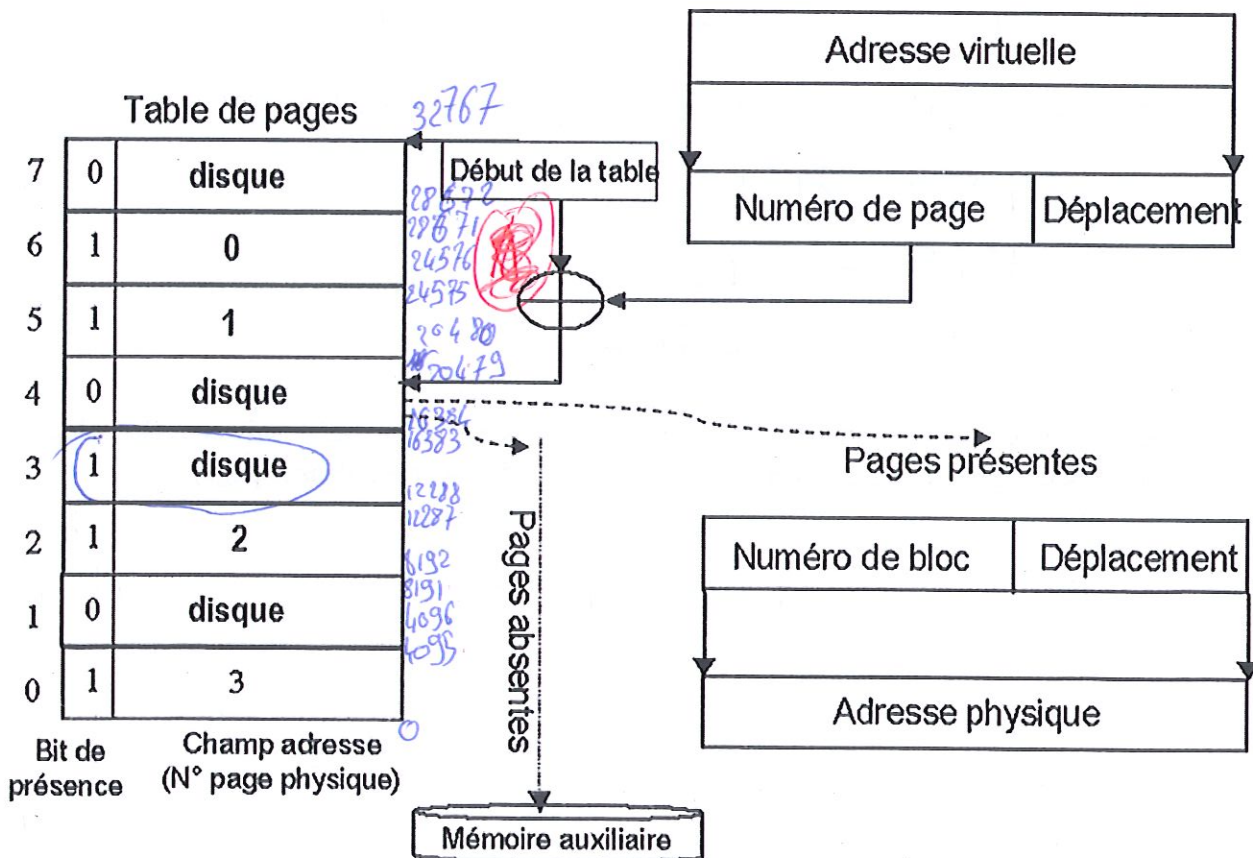
$$\text{CS-RAM } 1 = \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot A_{15} \quad (1)$$

$$\text{CS-RAM } n =$$

$$\text{CS-RAM } 2 = \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16} \cdot \overline{A_{15}} \quad (1)$$

Exercice 3 : pagination de la mémoire (6 pts)

Pour la mémoire paginée suivante, chaque adresse virtuelle comporte un numéro de page (3bits) et un déplacement dans la page sur (12 bits). La mémoire principale contient 16384 mots et on dispose de la table des pages suivante :

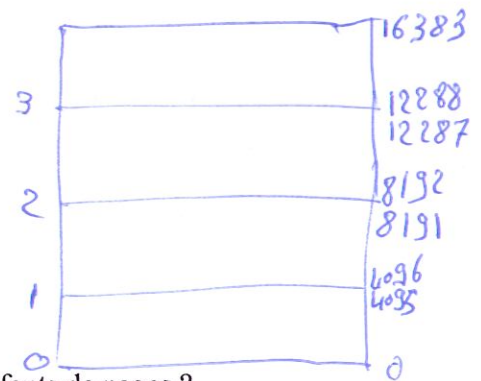


- Quelle est la taille des pages ? $2^{12} = 4 \text{ Kio}$ (1)
- Quelle est le nombre de pages virtuelles ? $2^3 = 8 \text{ Pages}$ (1)
- Quelle est le nombre de pages physiques ? $\frac{16384}{4096} = 4 \text{ Pages}$ (1)
- Quelles sont les limites d'adresses des pages virtuelles 3, 5 et 7 ?

- o 3: 12 288 - 16 383
- o 5: 20 480 - 24 575 (1)
- o 7: 28 672 - 32 767

- Quelles sont les limites d'adresses des pages physiques 0, 1, 2 et 3 ?

- o 0: 0 - 4095
- o 1: 4096 - 8191
- o 2: 8192 - 12287 (1)
- o 3: 12288 - 16383



- Donner la liste des adresses virtuelles qui provoqueront des défauts de pages ?

- o : 4096 - 8191
- o : 12288 - 20479 (1)
- o : 28672 - 32767

- Donner les adresses physiques correspondantes aux adresses virtuelles suivantes (les adresses sont donnés sous forme de numéro de page virtuelle : déplacement dans la page) :

- o (6 : 40) : $0 + 40 = 40$ (Page 1) ✓
- o (3 : 356) : ~~Default de Page~~
- o (2 : 1234) : $8192 + 1234 = 9426$ (Page 2) ✓ (1)
- o (0 : 4095) : $12288 + 4095 = 16383$ / Page 3) ✓

Partie 4 : liaison série (2 pts)

- Quel est le **débit en caractères** (8 bits de données + le bit de parité) d'une ligne avec une capacité de transmission de 9600 bits/seconde dans les :

- o d'une transmission synchrone :

▪ $\frac{9600}{9} = 1066,7 \text{ caractères/seconde}$ (1)

- o d'une transmission asynchrone avec un bit de START et un bit de STOP

▪ $\frac{9600}{11} = 872,7 \text{ caractères/seconde}$ (1)

- Quelle est l'allure du signal émit dans le cas de la transmission du caractère « C » (code ascii 43 : 0100 0011) en mode asynchrone avec un contrôle de parité paire ? (compléter le schéma ci-dessous.

