

NOM : Khebufi

Prénom : Samy

Année 2013/2014

19,5

A remplir obligatoirement par l'enseignant responsable du contrôle

Date : 06 novembre 2013

Contrôle de : Architecture des systèmes à microprocesseur

Durée : 2 heures

Professeur responsable : N.ABOUCHI

Documents : ☐ autorisés ☒ non autorisés

Si oui : type(s) de documents autorisés :

Calculatrices alphanumériques : ☐ autorisées ☒ non autorisées

REPONDRE SUR LE SUJET : ☒ OUI NON

**LES TELEPHONES PORTABLES ET AUTRES APPAREILS DE STOCKAGE DE DONNEES
NUMERIQUES NE SONT PAS AUTORISES**

A l'attention des élèves : rappels importants sur la discipline des examens

La présence à tous les examens est strictement obligatoire ; tout élève présent à une épreuve doit rendre une copie, même blanche, portant son nom, son prénom et la nature de l'épreuve.

Toute absence non justifiée est sanctionnée par un zéro.

Toute fraude ou tentative de fraude avérée est sanctionnée par un zéro à l'épreuve et portée à la connaissance de la direction des études qui pourra réunir le Conseil de Discipline. Les sanctions prises peuvent aller jusqu'à l'exclusion définitive du (des) élève(s) mis en cause.

Toute suspicion sur la régularité et le caractère équitable d'une épreuve est signalée à la direction des études qui pourra décider l'annulation de l'épreuve; tous les élèves concernés par l'épreuve sont alors convoqués à une épreuve de remplacement à une date fixée par le responsable d'année.

Partie 1 : Généralités sur les microprocesseurs (5 pts)

5

Une seule réponse possible par question

Question 1 (½ pt) : types d'architectures :

- ☐ Les architectures de type Von Neumann ont des espaces mémoire code et données séparés.
- ☒ Les architectures de type Von Neumann disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent d'un seul registre d'adresses pour le code et pour les données.
- ☐ Les architectures de type Harvard disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent uniquement d'un registre d'adresses pour le code.

0,5

Question 2 (½ pt) : parmi les éléments suivants, lequel est fondamental pour le microprocesseur :

- ☒ L'Unité Arithmétique et Logique
- ☐ la mémoire cache
- ☐ Le décodeur d'adresses
- ☐ Les bus d'entrées sorties
- ☐ La mémoire RAM interne

0,5

Question 3 (½ pt) : parmi les bus suivants, lequel est indispensable pour le microprocesseur :

- ☐ Le bus de code
- ☒ Le bus d'adresses
- ☐ Le bus d'entrées sorties
- ☐ Le bus parallèle
- ☐ Le bus série

Question 4 (½ pt) : la capacité d'adressage d'un microprocesseur correspond :

- ☐ Au nombre de bits de données que peut lire le microprocesseur
- ☒ Au nombre d'adresses différentes que peut gérer le microprocesseur
- ☐ Au nombre de bits d'adresses que peut lire le microprocesseur
- ☐ Au nombre de périphériques que peut gérer le microprocesseur
- ☐ Au nombre de registre interne du microprocesseur

Question 5 (½ pt) : le registre accumulateur :

- ☒ Sert à mémoriser un des deux opérandes d'une opération arithmétique ou logique
- ☐ Sert à mémoriser les situations de conflits dans l'UAL (débordement, retenue, etc.)
- ☐ Sert à fournir l'adresse de la prochaine instruction à exécuter
- ☐ Sert à mémoriser la valeur du pointeur de code dans le cas d'un appel à un sous programme
- ☐ Sert à gérer la pile (suite aux instructions PUSH et POP)

Question 6 (½ pt) : Dans un microprocesseur, la pile est:

- ☐ Une mémoire non volatile à accès de type « premier entré, premier sorti »
- ☐ Une mémoire non volatile à accès de type « dernier entré, premier sorti »
- ☐ Une mémoire volatile à accès aléatoire
- ☐ Une mémoire volatile à accès de type « premier entré, premier sorti »
- ☒ Une mémoire volatile à accès de type « dernier entré, premier sorti »

Question 7 (½ pt) : parmi les modes d'adressages mémoire utilisées par le microprocesseur on trouve :

- ☐ L'adressage impératif
- ☒ L'adressage direct
- ☐ L'adressage par la pile
- ☐ L'adressage par accumulateur
- ☐ L'adressage par le pointeur de code

Question 8 (½ pt) : gestion de la pile

- ☐ Les instruction CALL et JMP sont équivalentes
- ☐ L'instruction PUSH place un octet dans la pile et modifie le pointeur PC (Program Counter)
- ☒ L'instruction POP retire un octet de la pile et modifie le pointeur SP (Stack Pointer)
- ☐ L'instruction JMP provoque la mémorisation automatique du registre PC dans la pile
- ☐ Le registre SP est automatiquement incrémenté suite à l'instruction JMP

Question 9 (½ pt) : les échanges entre le système à microprocesseur et les périphériques peuvent se faire :

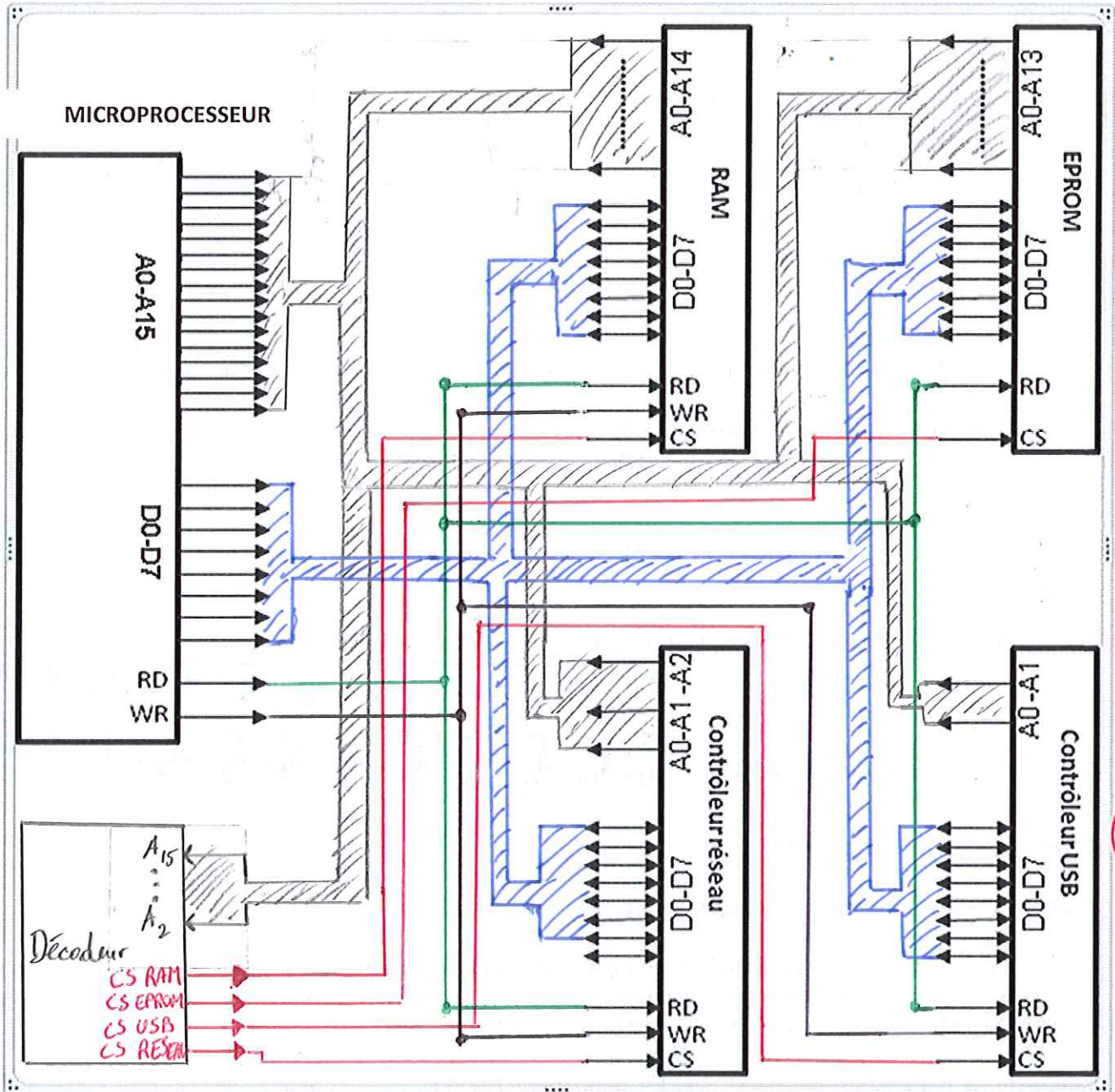
- ☒ Par interruption
- ☐ Par liaison série
- ☐ Par liaison parallèle
- ☐ Par port USB
- ☐ Par mémoire superposée

Question 10 (½ pt) : sur un microprocesseur 8 bits de type 8080, le chargement de l'instruction « CALL 1234 » (appel du sous programme logé à l'adresse 1234), nécessite :

- ☐ Un accès mémoire
- ☐ Deux accès mémoire
- ☒ Trois accès mémoire
- ☐ Quatre accès mémoire
- ☐ Cinq accès mémoire

Partie 2 : Mise en œuvre et décodage mémoire du 8051 (6 pts)

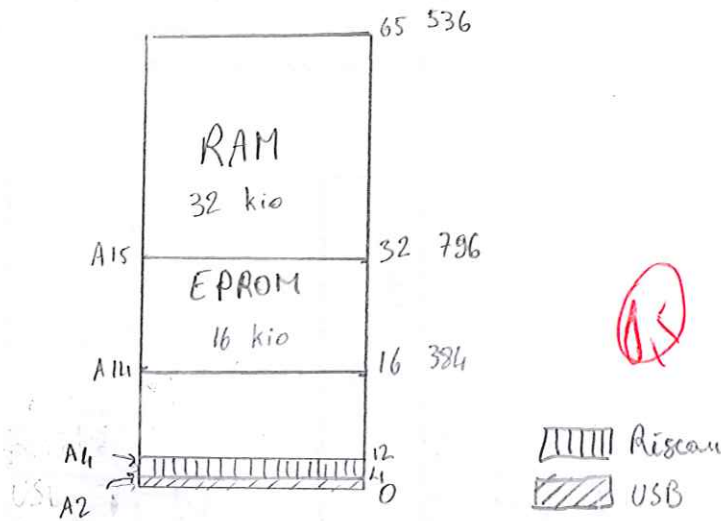
On souhaite développer un système de calcul à base d'un microprocesseur 8 bits. Dans la mémoire du système se trouve une mémoire RAM, une mémoire EPROM qui contient le programme de démarrage, un contrôleur de liaison USB et un contrôleur d'accès au réseau. Les modèles simplifiés du microprocesseur, des mémoires et des contrôleurs de périphériques utilisés sont représentés sur le schéma suivant.



Donner :

- La capacité d'adressage mémoire du microprocesseur utilisé : $2^A \times D = 2^{16} \times 8 = 64 \text{ kio}$
- La capacité mémoire de la RAM : $2^{15} \times 8 = 32 \text{ ko}$
- La capacité mémoire de l'EPROM : $2^{14} \times 8 = 16 \text{ ko}$
- L'espace mémoire occupé par le contrôleur de la liaison USB : $2^2 \times 8 = 4 \text{ octets}$
- L'espace mémoire occupé par le contrôleur d'accès au réseau : $2^3 \times 8 = 8 \text{ octets}$

- Proposer, en cherchant le décodage le plus simple possible pour la mémoire et pour les contrôleurs de périphériques, une cartographie (plan mémoire) mémoire pour le système.



- Compléter le schéma électrique du système (penser à ajouter les éléments manquants).

- Donner les équations de décodage (CS) des mémoires :

CS RAM = A_{15}

CS EPROM = $\overline{A_{15}} \cdot A_{14}$

- Donner les équations de décodage (CS) des contrôleurs de périphériques.

CS USB = $\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot A_2$

CS RESEAU = $\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2}$

Partie 3 : gestion de la mémoire

Exercice 1 : algorithme de remplacement dans une mémoire (2 pts)

Deux algorithmes A1 et A2 sont utilisés pour implémenter un mécanisme de pagination sur une machine. Au cours de son exécution, un programme accède successivement aux pages suivantes : 1, 5, 2, 4, 1, 4, 5, 5, 3, 1. Le système d'exploitation alloue à ce programme un espace de trois pages.

Compléter le remplissage des pages avec un algorithme FIFO :

1	1	1	4	4	4	4	4	3	3
	5	5	5	1	1	1	1	1	1
		2	2	2	2	5	5	5	5

Compléter le remplissage des pages avec un algorithme LRU :

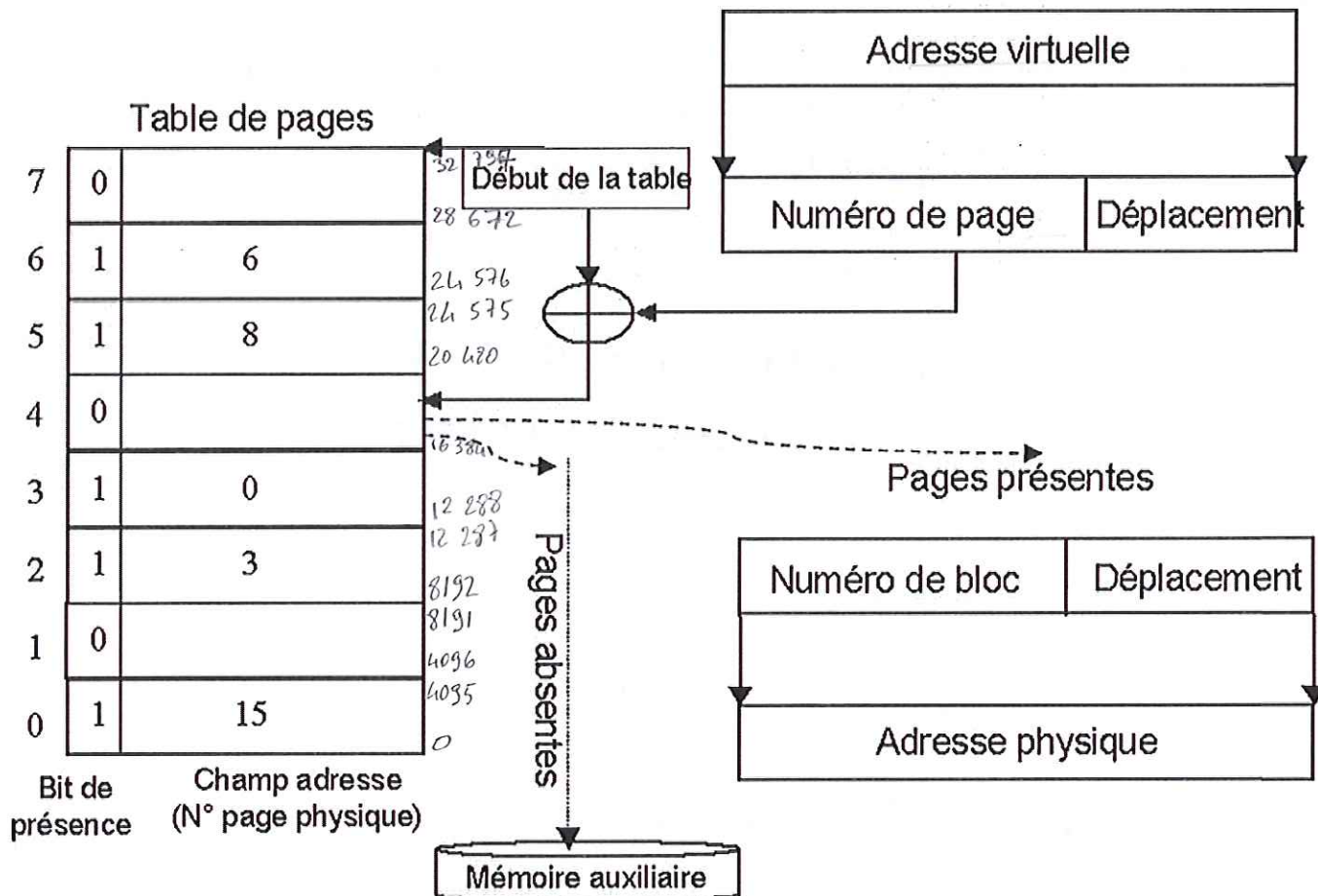
1	1	1	4	4	4	4	4	1	1
	5	5	5	1	1	1	1	3	3
		2	2	2	2	5	5	5	5

- indiquer les références mémoires qui provoqueront des défauts de page dans chacun des deux algorithmes.

les défauts de page sont en bleu

Exercice 2 : pagination de la mémoire (5 pts)

Pour la mémoire paginée suivante, chaque adresse virtuelle comporte un numéro de page (3bits) et un déplacement dans la page sur (12 bits). La mémoire principale contient 65536 mots et on dispose de la table des pages suivante :



- Quelle est la taille des pages ? $2^{12} = 4096$ mots
- Quelle est le nombre de pages virtuelles ? $2^3 = 8$ pages virtuelles
- Quelle est le nombre de pages physiques ? $\frac{65536}{4096} = \frac{2^{16}}{2^{12}} = 2^4 = 16$ pages physiques
- Quelles sont les limites d'adresses des pages virtuelles 3, 5 et 7 ?

PV3 : de 12 288 à 16 383

PV5 : de 20 480 à 24 575

PV7 : de 28 672 à 32 767

les adresses
sont données
en décimal

- Quelles sont les limites d'adresses des pages physiques 0, 13 et 15 ?

PP0 : de 0 à 4095

PP13 : de 53 248 à 57 343

PP15 : de 61 440 à 65 535

adresses
en décimal

- Donner la liste des adresses qui provoqueront un défaut de page ?

• De 4096 à 8191

• De 16 384 à 20 479

• De 28 672 à 32 767

011

- Donner les adresses physiques correspondantes aux adresses virtuelles suivantes (les adresses sont donnés sous forme de numéro de page virtuelle : déplacement dans la page) :

$$(6 : 40) : 24\ 576 + 40 = 24\ 616$$

$$(3 : 356) : 0 + 356 = 356$$

$$(2 : 1234) : 12\ 288 + 1234 = 13\ 522$$

$$(0 : 4095) : 61\ 440 + 4092 = 65\ 532$$

2

Partie 5 : liaison série (2 pts)

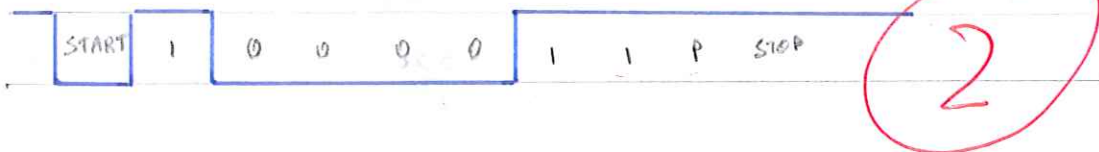
- Quel est le débit en caractères (7 bits de données + le bit de parité) d'une ligne de 9600 bits/seconde dans les modes de transmission synchrone et asynchrone avec un bit de START et un bit de STOP ?

Synchrone : $\frac{9600}{8} = 1200$ caract / s

Asynchrone : $\frac{9600}{10} = 960$ caract / s

- Quelle est l'allure du signal émis dans le cas de la transmission du caractère « C » (code ascii 43) en mode asynchrone caractères (8 bits de données + le bit de parité) avec un contrôle de parité paire ?

$$43h = (0100\ 0011)_2 = 100\ 0011$$



NOM : Boulay
Prénom : Baptiste
Année 2013/2014

19

A remplir obligatoirement par l'enseignant responsable du contrôle

Date : 06 novembre 2013

Contrôle de : Architecture des systèmes à microprocesseur

Durée : 2 heures

Professeur responsable : N.ABOUCHI

Documents : ☐ autorisés ☒ non autorisés

Si oui : type(s) de documents autorisés :

Calculatrices alphanumériques : ☐ autorisées ☒ non autorisées

REPONDRE SUR LE SUJET : ☒ OUI NON

**LES TELEPHONES PORTABLES ET AUTRES APPAREILS DE STOCKAGE DE DONNEES
NUMERIQUES NE SONT PAS AUTORISES**

A l'attention des élèves : rappels importants sur la discipline des examens

La présence à tous les examens est strictement obligatoire ; tout élève présent à une épreuve doit rendre une copie, même blanche, portant son nom, son prénom et la nature de l'épreuve.

Toute absence non justifiée est sanctionnée par un zéro.

Toute fraude ou tentative de fraude avérée est sanctionnée par un zéro à l'épreuve et portée à la connaissance de la direction des études qui pourra réunir le Conseil de Discipline. Les sanctions prises peuvent aller jusqu'à l'exclusion définitive du (des) élève(s) mis en cause.

Toute suspicion sur la régularité et le caractère équitable d'une épreuve est signalée à la direction des études qui pourra décider l'annulation de l'épreuve; tous les élèves concernés par l'épreuve sont alors convoqués à une épreuve de remplacement à une date fixée par le responsable d'année.

Partie 1 : Généralités sur les microprocesseurs (5 pts)

415

Une seule réponse possible par question

Question 1 (½ pt) : types d'architectures :

- ☐ Les architectures de type Von Neumann ont des espaces mémoire code et données séparés.
- ☒ Les architectures de type Von Neumann disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent d'un seul registre d'adresses pour le code et pour les données.
- ☐ Les architectures de type Harvard disposent d'un même espace mémoire pour le code et les données.
- ☐ Les architectures de type Harvard disposent uniquement d'un registre d'adresses pour le code.

P

Question 2 (½ pt) : parmi les éléments suivants, lequel est fondamental pour le microprocesseur :

- ☒ L'Unité Arithmétique et Logique
- ☐ la mémoire cache
- ☐ Le décodeur d'adresses
- ☐ Les bus d'entrées sorties
- ☐ La mémoire RAM interne

1

Question 3 (½ pt) : parmi les bus suivants, lequel est indispensable pour le microprocesseur :

- ☐ Le bus de code
- ☒ Le bus d'adresses
- ☐ Le bus d'entrées sorties
- ☐ Le bus parallèle
- ☐ Le bus série

(1)

Question 4 (½ pt) : la capacité d'adressage d'un microprocesseur correspond :

- ☐ Au nombre de bits de données que peut lire le microprocesseur
- ☒ Au nombre d'adresses différentes que peut gérer le microprocesseur
- ☐ Au nombre de bits d'adresses que peut lire le microprocesseur
- ☐ Au nombre de périphériques que peut gérer le microprocesseur
- ☐ Au nombre de registre interne du microprocesseur

(1)

Question 5 (½ pt) : le registre accumulateur :

- ☒ Sert à mémoriser un des deux opérandes d'une opération arithmétique ou logique
- ☐ Sert à mémoriser les situations de conflits dans l'UAL (débordement, retenue, etc.)
- ☐ Sert à fournir l'adresse de la prochaine instruction à exécuter
- ☐ Sert à mémoriser la valeur du pointeur de code dans le cas d'un appel à un sous programme
- ☐ Sert à gérer la pile (suite aux instructions PUSH et POP)

(1)

Question 6 (½ pt) : Dans un microprocesseur, la pile est:

- ☐ Une mémoire non volatile à accès de type « premier entré, premier sorti »
- ☐ Une mémoire non volatile à accès de type « dernier entré, premier sorti »
- ☐ Une mémoire volatile à accès aléatoire
- ☐ Une mémoire volatile à accès de type « premier entré, premier sorti »
- ☒ Une mémoire volatile à accès de type « dernier entré, premier sorti »

(1)

Question 7 (½ pt) : parmi les modes d'adressages mémoire utilisées par le microprocesseur on trouve :

- ☐ L'adressage impératif
- ☒ L'adressage direct
- ☐ L'adressage par la pile
- ☐ L'adressage par accumulateur
- ☐ L'adressage par le pointeur de code

(1)

Question 8 (½ pt) : gestion de la pile

- ☐ Les instruction CALL et JMP sont équivalentes
- ☐ L'instruction PUSH place un octet dans la pile et modifie le pointeur PC (Program Counter)
- ☒ L'instruction POP retire un octet de la pile et modifie le pointeur SP (Stack Pointer)
- ☐ L'instruction JMP provoque la mémorisation automatique du registre PC dans la pile
- ☐ Le registre SP est automatiquement incrémenté suite à l'instruction JMP

(1)

Question 9 (½ pt) : les échanges entre le système à microprocesseur et les périphériques peuvent se faire :

- ☒ Par interruption
- ☐ Par liaison série
- ☐ Par liaison parallèle
- ☐ Par port USB
- ☐ Par mémoire superposée

(1)

Question 10 (½ pt) : sur un microprocesseur 8 bits de type 8080, le chargement de l'instruction « CALL 1234 » (appel du sous programme logé à l'adresse 1234), nécessite :

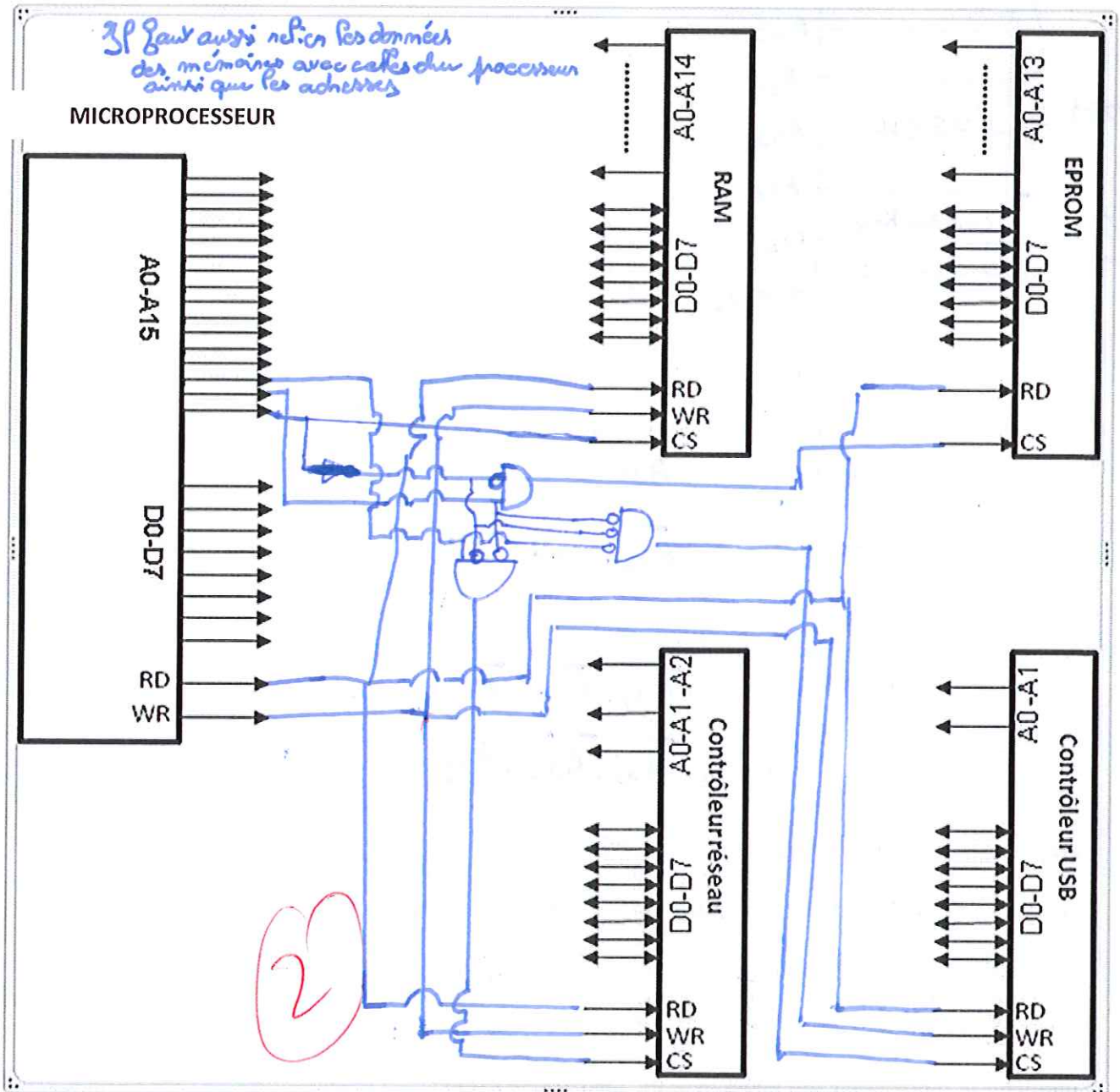
- ☐ Un accès mémoire
- ☒ Deux accès mémoire
- ☐ Trois accès mémoire
- ☐ Quatre accès mémoire
- ☐ Cinq accès mémoire

↓

Partie 2 : Mise en œuvre et décodage mémoire du 8051 (6 pts)

64

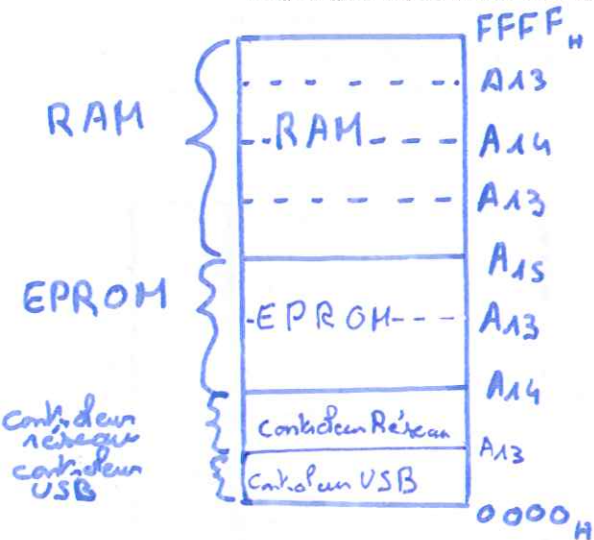
On souhaite développer un système de calcul à base d'un microprocesseur 8 bits. Dans la mémoire du système se trouve une mémoire RAM, une mémoire EPROM qui contient le programme de démarrage, un contrôleur de liaison USB et un contrôleur d'accès au réseau. Les modèles simplifiés du microprocesseur, des mémoires et des contrôleurs de périphériques utilisés sont représentés sur le schéma suivant.



Donner :

- La capacité d'adressage mémoire du microprocesseur utilisé : $2^{16} \times 8 = 64 \text{ Ko}$
- La capacité mémoire de la RAM : $2^{15} \times 8 = 32 \text{ Ko}$
- La capacité mémoire de l'EPROM : $2^{14} \times 8 = 16 \text{ Ko}$
- L'espace mémoire occupé par le contrôleur de la liaison USB : $2^2 \times 8 = 4 \text{ octets}$
- L'espace mémoire occupé par le contrôleur d'accès au réseau : $2^3 \times 8 = 8 \text{ octets}$

- Proposer, en cherchant le décodage le plus simple possible pour la mémoire et pour les contrôleurs de périphériques, une cartographie (plan mémoire) mémoire pour le système.



- Compléter le schéma électrique du système (penser à ajouter les éléments manquants).

- Donner les équations de décodage (CS) des mémoires :

CS RAM = A_{15}

CS EPROM = $\overline{A_{15}} \cdot A_{14}$

- Donner les équations de décodage (CS) des contrôleurs de périphériques.

CS USB = $\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}}$

CS RESEAU = $\overline{A_{15}} \cdot \overline{A_{14}} \cdot A_{13}$

Partie 3 : gestion de la mémoire

Exercice 1 : algorithme de remplacement dans une mémoire (2 pts)

Deux algorithmes A1 et A2 sont utilisés pour implémenter un mécanisme de pagination sur une machine. Au cours de son exécution, un programme accède successivement aux pages suivantes : 1, 5, 2, 4, 1, 4, 5, 5, 3, 1. Le système d'exploitation alloue à ce programme un espace de trois pages.

Compléter le remplissage des pages avec un algorithme FIFO :

1	1	1	def 4	4	4	4	4 def 3	3
	def 5	5	5 def 1	1	1	1	1	1
		def 2	2	2	2 def 5	5	5	5

Compléter le remplissage des pages avec un algorithme LRU :

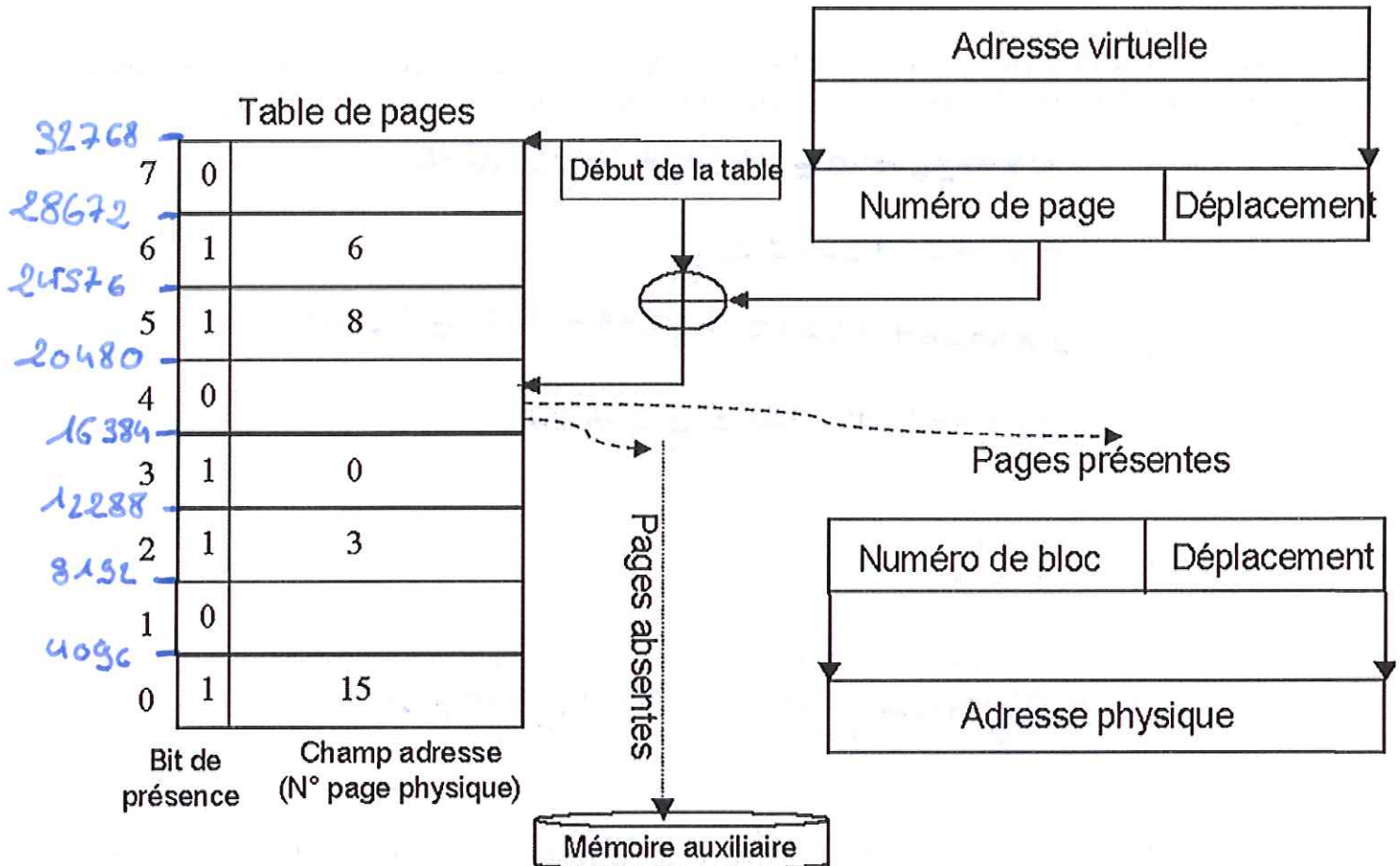
1	1	1	def 4	4	4	4	4	1
	def 5	5	5 def 1	1	1	1 def 3	3	3
		def 2	2	2	2 def 5	5	5	5

- indiquer les références mémoires qui provoqueront des défauts de page dans chacun des deux algorithmes.

Les défauts de pages sont signalés par "def" sur les schémas

Exercice 2 : pagination de la mémoire (5 pts)

Pour la mémoire paginée suivante, chaque adresse virtuelle comporte un numéro de page (3bits) et un déplacement dans la page sur (12 bits). La mémoire principale contient 65536 mots et on dispose de la table des pages suivante :



- Quelle est la taille des pages ? $2^{12} = 4K_0$ (1)
- Quelle est le nombre de pages virtuelles ? $2^3 = 8$ (1)
- Quelle est le nombre de pages physiques ? $\frac{64}{4} = 16$ (1)
- Quelles sont les limites d'adresses des pages virtuelles 3, 5 et 7 ?
 Page 3 = 8192 - 12287
 Page 5 = 20480 - 24575
 Page 7 = 28672 - 32767 (1)
- Quelles sont les limites d'adresses des pages physiques 0, 13 et 15 ?
 Page 0 = 0 - 4095
 Page 13 = 53248 - 57343
 Page 15 = 61440 - 65535 (1)

- Donner la liste des adresses qui provoqueront un défaut de page ?

Page 1

Page 4

Page 7

(1)

- Donner les adresses physiques correspondantes aux adresses virtuelles suivantes (les adresses sont donnés sous forme de numéro de page virtuelle : déplacement dans la page) :

(6 : 40) : $6 \times 4096 + 40 = 24576 + 40 = 24616$

(3 : 356) : $0 \times 4096 + 356 = 356$

(2 : 1234) : $3 \times 4096 + 1234 = 12288 + 1234 = 13522$

(0 : 4095) : $15 \times 4096 + 4095 = 32767$

(4)

Partie 5 : liaison série (2 pts)

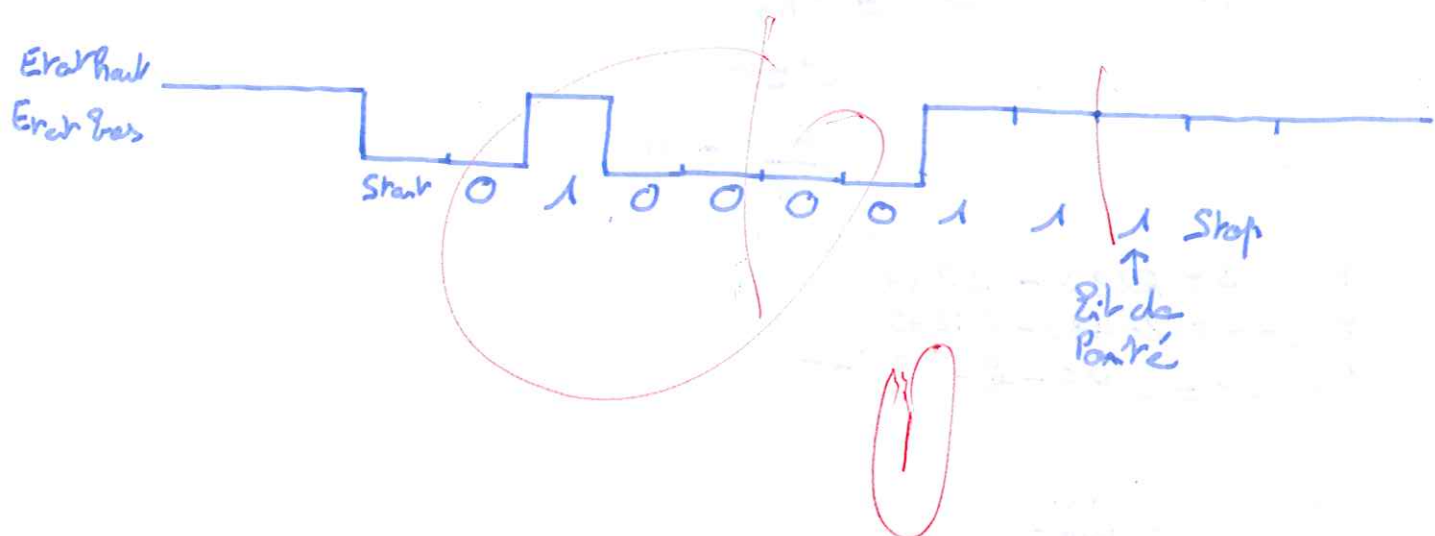
(1,5)

- Quel est le débit en caractères (7 bits de données + le bit de parité) d'une ligne de 9600 bits/seconde dans les modes de transmission synchrone et asynchrone avec un bit de START et un bit de STOP ?

Synchrone : $\frac{9600}{8} = 1200 \text{ c/s}$ Asynchrone : $\frac{9600}{10} = 960 \text{ c/s}$

(2)

- Quelle est l'allure du signal émis dans le cas de la transmission du caractère « C » (code ascii 43) en mode asynchrone caractères (8 bits de données + le bit de parité) avec un contrôle de parité paire ?



(1)