

TD 4 ARCHITECTURE DES SYSTEMES A MICROPROCESSEURS

(Principes de base, codage des instructions, calcul d'adresses, etc.)

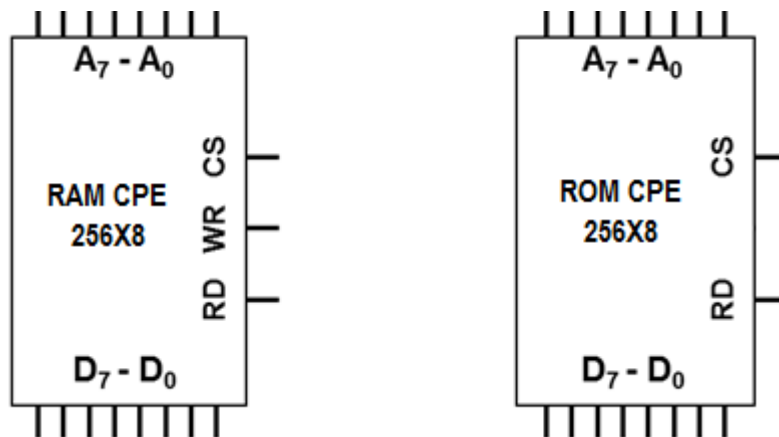
Vérifier les éventuelles erreurs

Exercice 1 : questions compréhension générale

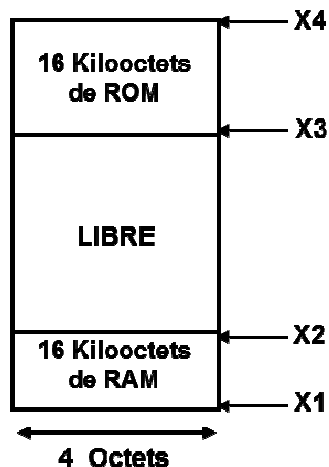
- 1) A quoi sert la mémoire dans un système à microprocesseur ?
- 2) Quelles sont les différents types de mémoires à semi-conducteur susceptibles d'être utilisées dans un système à microprocesseur ?
- 3) Quels sont les principaux paramètres qui caractérisent une mémoire à semi-conducteur ?
- 4) Quelles sont les bus externes standards d'une mémoire à semi-conducteurs ?
- 5) Quelles sont les signaux de contrôles indispensables pour une mémoire ?
- 6) Qui produit le signal CS (sélection de la mémoire) ?
- 7) A quoi correspondent les temps de Hold et de Setup ?
- 8) A quoi correspondent les signaux CS, WE et OE ?

Exercice 2 : Association de boîtiers mémoires

Soit les mémoires suivantes :



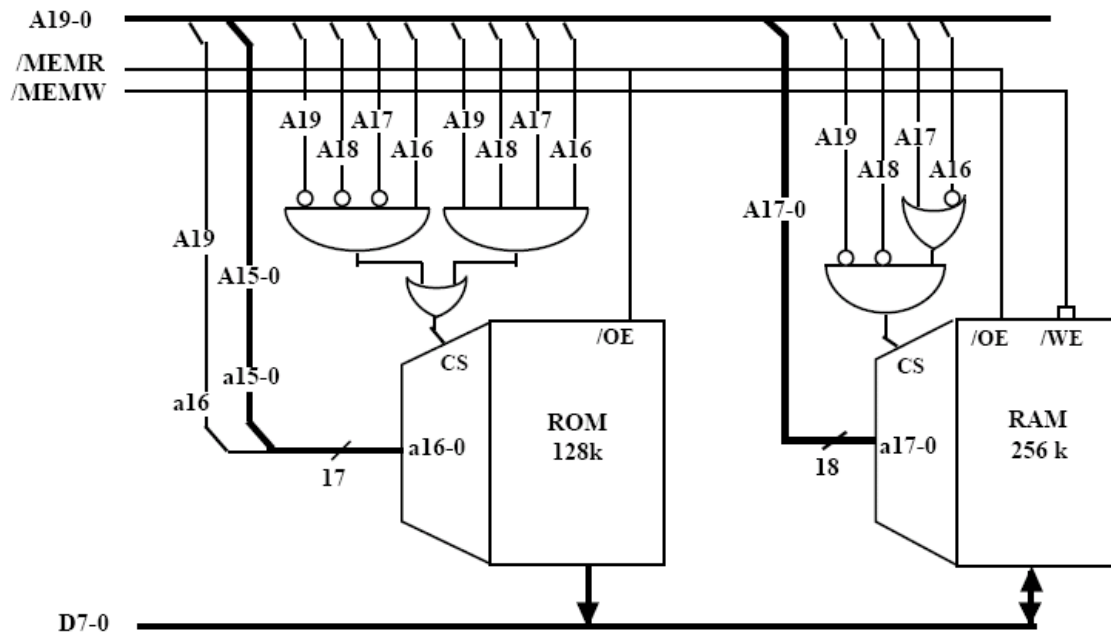
- 1) Quelles sont leurs capacités de stockage ?
- 2) Comment les utiliser pour réaliser une mémoire de 512 mots de 32 bits ?
- 3) Comment les utiliser pour réaliser une mémoire d'un K-mots de 32 bits ?
- 4) On considère un microprocesseur doté d'un bus de données de 32 bits et d'adresses de 15 bits. Sur ce bus sont connectés un composant mémoire vive de 16 k-octets et un composant mémoire morte 16 k-octets, selon la cartographie mémoire suivante :



- donner en hexadécimal, les valeurs de X1, X2, X3 et X4 en sachant que l'espace total est de 32 Ko.
- donner le nombre de boîtiers mémoires ROMCPE et RAMCPE nécessaires à la réalisation des espaces RAM et ROM.
- donner le schéma électrique de mise en œuvre de la RAM.

Exercice 3 : simplification de décodage mémoires

On considère un microprocesseur doté d'un bus de données de 8 bits et d'adresses de 20 bits. Sur ce bus sont connectés un composant mémoire vive de 256 k-octets et un composant mémoire morte 128 k-octets, selon le schéma ci-après.



- 1) Dédire à partir du schéma les équations de sélections des CS des mémoires vive et morte (CSROM, CSRAM).
- 2) Indiquer, dans l'espace d'adresses du processeur, les domaines d'adresses auxquels répondent des zones de mémoire vive et les domaines auxquels répondent des zones de mémoire morte (dessiner la cartographie mémoire et préciser les limites d'adresses).
- 3) Avec l'organisation précédente, le composant de mémoire vive n'est pas complètement utilisé. Indiquer la taille de la zone de mémoire vive inaccessible dans le schéma précédent.
- 4) Proposer une autre organisation qui permet de simplifier le décodage et qui permet de rendre cette zone accessible. Modifier le schéma de connexion des composants mémoires et donner les nouvelles formules de sélection des CS en fonctions des adresses.

Exercice 4 : algorithmes de remplacement dans une mémoire paginée

Soit une mémoire paginée, deux algorithmes A1 et A2 sont utilisés pour mettre en œuvre ce mécanisme de pagination. Au cours de son exécution, un programme accède successivement aux pages suivantes :

1, 5, 2, 5, 1, 4, 1, 5, 3.

Le système d'exploitation alloue à ce programme un espace de trois pages.

- 1) Donner le contenu des pages dans le cas d'une gestion par un algorithme **LRU** et dans le cas d'une gestion par un algorithme **FIFO**.
- 2) Quelles sont les références mémoire qui provoqueront des défauts de page dans chacun des algorithmes.

LRU :

| D | D | D | | | D | | | D |
|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 5 | 5 | 5 | 5 | 5 | 5 | 5 | 5 |
| | | 2 | 2 | 2 | 4 | 4 | 4 | 3 |

FIFO :

| D | D | D | | | D | D | D | D |
|----------|----------|----------|---|---|----------|----------|----------|----------|
| 1 | 1 | 1 | 1 | 1 | 4 | 4 | 4 | 3 |
| | 5 | 5 | 5 | 5 | 5 | 1 | 1 | 1 |
| | | 2 | 2 | 2 | 2 | 2 | 5 | 5 |

Exercice 5 : adresses physiques versus adresses virtuelles dans mémoire paginée

Soit un système à microprocesseur avec une mémoire virtuelle de huit pages (page virtuelle 0 à page virtuelle 7) et une mémoire physique de 4 pages (page physique 0 à page physique 3). La taille des pages est de 1024 mots. Pour la table des pages suivante :

| Page virtuelle | Page physique |
|-----------------------|----------------------|
| 0 | 3 |
| 1 | 1 |
| 2 | Disque |
| 3 | Disque |
| 4 | 2 |
| 5 | Disque |
| 6 | 0 |
| 7 | Disque |

- 1) Représenter, en identifiant les limites de chaque page, les cartographies des espaces mémoires virtuelle et physique ?

| | |
|--------|--------------|
| Page 7 | 8191 7168 |
| Page 6 | 7167 6144 |
| Page 5 | 6143 5120 |
| Page 4 | 5119 4096 |
| Page 3 | 4095 3072 |
| Page 2 | 3071 2048 |
| Page 1 | 2047 1024 |
| Page 0 | 1023 0 |

| Mémoire Physique | |
|-------------------------|--------------|
| Page 3 | 4095 3072 |
| Page 2 | 3071 2048 |
| Page 1 | 2047 1024 |
| Page 0 | 1023 0 |

- 2) Donner la liste des adresses qui provoqueront un défaut de page ? (accès pour lesquels les pages demandées ne sont pas disponibles en mémoire physique).

Les adresses des pages virtuelles 7,5,3 et 2 provoqueront des défauts soient les adresses :

- **7168 à 8191**
- **5120 à 6143**
- **3072 à 4095**
- **2048 à 3071**

- 3) Quelles sont les adresses physiques qui correspondent aux adresses virtuelles suivantes : 0, 1024 et 4096.

- Adresse virtuelle 0 → 3072 (page V0 → page P3)
- Adresse virtuelle 1024 → 1024 (page V1 → page P1)
- Adresse virtuelle 4096 → 2048 (page V4 → page P2)

Exercice 6 : adresses physiques versus adresses virtuelles dans mémoire segmentée et paginée

Soit une mémoire segmentée et paginée. Chaque adresse virtuelle comporte un numéro de segment (2bits), un numéro de page (2bits) et un déplacement dans la page (11 bits). La mémoire principale contient 32768 mots. Chaque segment est soit en lecture seul, soit en lecture/écriture, soit en lecture/exécution, soit enfin en lecture/écriture/exécution. On dispose de la table des pages et de protection suivante.

| Segment 0 | | Segment 1 | | Segment 2 | Segment 3 | |
|-----------|--------|-------------------|--------|-----------------------------|-------------------|--------|
| lecture | | lecture/exécution | | lecture/exécution /écriture | Lecture/exécution | |
| Page V | Page P | Page V | Page P | ----- | Page V | Page P |
| 0 | 9 | 0 | Disque | La table n'est pas | 0 | 14 |
| 1 | 3 | 1 | 0 | Disponible en | 1 | 1 |
| 2 | Disque | 2 | 15 | Mémoire centrale | 2 | 6 |
| 3 | 12 | 3 | 8 | ----- | 3 | Disque |

Pour chacun des accès mémoire virtuelles suivants, donner l'adresse physique correspondante. Identifier les défauts éventuels ?

| Accès | Segment | Page | Déplacement | |
|----------------------|---------|------|-------------|---------------|
| 1- Chargement donnée | 0 | 1 | 1 | 6145 |
| 2- Chargement donnée | 1 | 1 | 10 | 10 (Défaut) |
| 3- Chargement donnée | 3 | 3 | 2047 | Disque |
| 4- Stockage donnée | 0 | 1 | 4 | 6148 (Défaut) |
| 5- Stockage donnée | 3 | 1 | 2 | 2050 (Défaut) |
| 6- Stockage donnée | 3 | 0 | 14 | 2886 (Défaut) |
| 7- Saut à l'adresse | 1 | 3 | 100 | 16487 |
| 8- Chargement donnée | 0 | 2 | 50 | Disque |
| 9- Chargement donnée | 2 | 0 | 5 | Disque |
| 10- Saut à l'adresse | 3 | 0 | 60 | 2886 |

