



1. (2,5-3,0-3,5) Dado um sistema computacional com um espaço de endereçamento de 64 Kcélulas. A memória cache do mesmo possui 256 linhas. Sabendo que cada linha contém 16 células, pergunta-se:

a) Qual é a quantidade de blocos da memória principal? Justifique.

Tamanho da linha = tamanho do bloco = 32

Nro de Blocos = Tamanho da memória principal / tamanho do bloco

Nro de Blocos = 64 Kcélulas / 16

Nro de Blocos = 4K = 4096

b) Qual é o número do bloco correspondente ao endereço $1C5E_{16}$ (7262_{10})?

O Nro do bloco corresponde aos 13 bits mais significativos do endereço de 16 bits

$21C5E_{16} = 0001\ 1100\ 0101\ 1110$

$= 0001\ 1100\ 0101_2 = 1\ 1100\ 0101_2 = 1C5_{16} = 453_{10}$

Em decimal

Nro do Bloco = endereço / tamanho do bloco

Nro do Bloco = $7262 / 16 = 453$

c) Considerando o mapeamento direto:

c1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

(rotulo | linha de destino | deslocamento)

(4 | 8 | 4)

deslocamento = 4 bits pois cada linha possui 16 células

linha de destino = 8 bits pois a cache possui 256 linhas

rotulo = 4 bits pois 4k bloco disputam 256 linhas, ou seja, 16 blocos destinados a cada linha

c2) Qual é a linha de destino do endereço $1C5E_{16}$ (7262_{10})?

O número da linha de destino bloco corresponde aos 8 bits intermediários do endereço de 16 bits

$1C5E_{16} = 0001\ 1100\ 0101\ 1110$

$= 1110\ 0010_2 = C5_{16} = 197_{10}$

Considerando em decima o endereço (7262_{10}), a linha de destino é dada por

Linha de destino = numero do bloco % quantidade de linhas

Linha de destino = $453 \% 256 = 197$

d) Considerando o mapeamento associativo por conjuntos e que o sistema acima possui 8 conjuntos:

d1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

(rotulo | linha de destino | deslocamento)

(4 | 8 | 4)

deslocamento = 4 bits pois cada linha possui 16 células

conjunto de destino = 8 bits pois a cache possui 256 conjuntos

rotulo = 4 bits pois 4k bloco disputam 256 conjuntos, ou seja, 16 blocos destinados a cada conjunto

d2) Qual é o conjunto de destino do endereço $1C5E_{16}$ (7262_{10})?

O número do conjunto de destino bloco corresponde aos 8 bits intermediários do endereço de 16 bits

$$1C5E_{16} = 1100\ 0101\ 1110$$

$$= 1100\ 0101_2 = 000\ 1110\ 0010_2 = C5_{16} = 197_{10}$$

Considerando em decima o endereço (7262_{10}), o conjunto de destino é dada por
conjunto de destino = numero do bloco % quantidade de conjuntos

$$\text{conjunto de destino} = 453 \% 256 = 197$$

2. (2,5-3,0-3,5) Dada uma memória cache utilizando política de mapeamento associativo composta de 4 linhas. Considere a sequência de acessos à memória principal mostrada abaixo, onde a primeira linha mostra o número do acesso e a segunda linha mostra o número do bloco da memória principal sendo acessado. Responda as questões apresentadas.

# Acesso	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
# Bloco	3	5	15	3	3	5	6	15	3	7	7	7	7	9	7	3	5	9	9	11	12
FIFO	F	F	F	A	A	A	F	A	A	F	A	A	A	F	A	F	F	A	A	F	F
LRU	F	F	F	A	A	A	F	A	A	F	A	A	A	F	A	A	F	A	A	F	F

- a) Mostre o estado da memória cache (qual bloco encontra-se em cada linha) depois da ocorrência dos acessos número 8, 11, 15, 19 e 21 considerando as políticas de substituição de dados apresentadas. Como exemplo é mostrado a situação da memória cache depois do acesso 5 em cada um dos casos.

a1) FIFO

#Acesso: 5	
cache	#bloco
L0	3
L1	5
L2	15
L3	-

#Acesso: 8	
cache	#bloco
L0	3
L1	5
L2	15
L3	6

#Acesso: 11	
cache	#bloco
L0	7
L1	5
L2	15
L3	6

#Acesso: 15	
cache	#bloco
L0	7
L1	9
L2	15
L3	6

#Acesso: 19	
cache	#bloco
L0	7
L1	9
L2	3
L3	5

#Acesso: 21	
cache	#bloco
L0	11
L1	12
L2	3
L3	5

a2) LRU

#Acesso: 5	
cache	#bloco
L0	3
L1	5
L2	15
L3	-

#Acesso: 8	
cache	#bloco
L0	3
L1	5
L2	15
L3	6

#Acesso: 11	
cache	#bloco
L0	3
L1	7
L2	15
L3	6

#Acesso: 15	
cache	#bloco
L0	3
L1	7
L2	15
L3	9

#Acesso: 19	
cache	#bloco
L0	3
L1	7
L2	5
L3	9

#Acesso: 21	
cache	#bloco
L0	11
L1	12
L2	5
L3	9

- b) Considerando a sequência de 21 acessos acima:

b1) Qual a quantidade de acertos e faltas de cada uma das políticas (FIFO e LRU)?

Observe cada um dos acertos e faltas mostradas na tabela de acessos acima (A – acerto; F falta) em cada uma das duas políticas de substituição

FIFO – Acertos: 11 Faltas: 10

LRU – Acertos: 12 Faltas: 9

b2) Qual a taxa de acertos e a taxa de faltas de cada uma das políticas (FIFO e LRU)?

$$\text{FIFO – Acertos \%} = (11 * 100) / 21 = 52,38\% \quad \text{Faltas \%} = (10 * 100) / 21 = 48,62$$

$$\text{LRU – Acertos\%} = (12 * 100) / 21 = 57,15\% \quad \text{Faltas \%} = (9 * 100) / 21 = 42,85$$

3. (1,5-2,0-2,5) Os três métodos de comunicação de dados utilizados pelos dispositivos de entrada e saída são polling, interrupção e DMA. (a) Descreva o funcionamento de cada um deles; (b) Indique qual dos três métodos requer mais recursos de processamento, justificando sua resposta; (c) Indique qual dos três métodos requer menos recursos de processamento, justificando sua resposta.

No material de aula no moodles.

4. (1,5-2,0-2,5) Responda (V) verdadeiro ou (F) falso para as afirmativas abaixo. Corrija as afirmativas que julgar falsas:

- (**F**) O tempo de ciclo do pipeline é definido pelo tempo de execução da instrução **do estágio** mais lenta suportada **lento suportado** pela arquitetura.
- (**F**) A tabela de páginas de cada processo **não** fica armazenada na área de memória (junto com instruções, dados e pilha) alocada pelo S.O. para o processo.
- (**F**) O registrador apontador da tabela de páginas é configurado pelo processo **S.O.** cada vez que o mesmo entra em execução na CPU.
- (**F**) Em um pipeline de 5 estágios ~~todas as~~ **algumas** instruções demoram 5 ciclos de clock para terminar sua execução (quando não há nenhum conflito) **dependendo da quantidade de estagios demandados.**
- (**V**) O conflito de dados do tipo WAR (Write-After-Read – escrita depois da leitura) não é um problema que ocorre em pipelines.