



**UFES – Universidade Federal da Fronteira Sul**  
**Curso de Ciência da Computação**  
**Disciplina: Organização de Computadores**  
**Professor: Luciano L. Caimi**

**Aluno:** \_\_\_\_\_

**Data:** \_\_\_\_\_

**Nota:** \_\_\_\_\_

1. (2,5) Suponha um sistema computacional com um espaço de endereçamento de 512 Kcélulas. A cache associada a este sistema usa mapeamento associativo por conjuntos e possui um tamanho de 4096 quadros e 512 conjuntos. Sabendo que cada bloco contém 16 células, pergunta-se:
- a) Qual é a quantidade de blocos da memória principal? Justifique.
  - b) Qual a divisão do endereço do ponto de vista da cache? Justifique.
  - c) Considerando ainda o bit de validade, a política de escrita write-back e política de substituição LRU (5 bits), qual o overhead percentual da implementação? Justifique.
  - d) Qual é o bloco que corresponde ao endereço de memória  $78561_{10}$ , e a qual conjunto o mesmo está destinado? Justifique.

2. (2,0) Supondo uma memória cache composta de 4 quadros utilizando uma política de mapeamento associativo. Tendo em vista a sequência de acessos a MP mostrada abaixo, onde a primeira linha mostra o número do acesso e a segunda linha mostra o bloco da MP acessado. Responda as questões apresentadas.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
B3	B5	B15	B3	B3	B5	B5	B15	B3	B7	B7	B7	B7	B9	B7	B3	B5	B9	B9	B11	B12

- a) Mostre qual bloco encontra-se nos quadros da Memória Cache depois da ocorrência dos acessos número 3, 8, 11, 15, 19 e 21 considerando as políticas de substituição de dados 1) FIFO; 2) LRU e 3) LFU.
- b) Qual a taxa de acertos (hits) e faltas (faults) desta seqüência de acessos?
- c) Qual o próximo quadro que terá seu bloco substituído (ou em outras palavras, qual o próximo bloco a ser substituído na cachê?) depois dos acessos 20 e 21?

3. (2,0) No que diz respeito a Memória Virtual responda:
- a) Apresente as motivações para sua implementação.
  - b) Como se dá o processo de tradução de endereços lógicos em endereços físicos, considerando a existência de uma TLB?
  - c) Quais os recursos de Hardware necessários para a implementação da proteção de memória por parte do S.O.?
4. (1,5) Quais os três métodos de comunicação de dados utilizados pelos dispositivos de entrada e saída? Explique o funcionamento do método que faz maior uso do processador.

5. (1,5) Considerando o processador MIPS multiciclo e tendo em vista o trecho de programa mostrado abaixo apresente o estado de cada uma das saídas de controle durante cada ciclo de clock relativo a execução das primeiras 2 instruções do programa (Os valores do primeiro ciclo estão respondidos).

[illegible]