

1. (2,5-3,0-3,5) Suponha um sistema computacional com um espaço de endereçamento de 256 Kcélulas. A cache associada a este sistema possui 2048 linhas. Sabendo que cada linha contém 32 células, pergunta-se:

a) Qual é a quantidade de blocos da memória principal? Justifique.

Tamanho da linha = tamanho do bloco = 32

Nro de Blocos = Tamanho da memória principal / tamanho do bloco

Nro de Blocos = 256 Kcélulas / 32

Nro de Blocos = 8K = 8192

b) Qual é o número do bloco correspondente ao endereço $21C5E_{16}$?

O Nro do bloco corresponde aos 13 bits mais significativos do endereço de 18 bits

$21C5E_{16} = 10\ 0001\ 1100\ 0101\ 1110$

$= 10\ 0001\ 1100\ 010_2 = 1\ 0000\ 1110\ 0010_2 = 10E2_{16} = 4322_{10}$

Para o outro endereço (148327_{10}), o número do bloco é dado por

Nro do Bloco = endereço / tamanho do bloco

Nro do Bloco = $148327 / 32 = 4635$

OBS: Para qualquer um dos endereços (48327_{10} ou $21C5E_{16}$) poderia ter sido resolvido em binário ou em decimal

c) Considerando o mapeamento direto:

c1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

(rotulo | linha de destino | deslocamento)

(2 | 11 | 5)

deslocamento = 5 bits pois cada linha possui 32 células

linha de destino = 11 bits pois a cache possui 2048 linhas

rotulo = 2 bits pois 8k bloco disputam 2k linhas, ou seja, 4 blocos destinados a cada linha

c2) Qual é a linha de destino do endereço $21C5E_{16}$?

O Nro da linha de destino bloco corresponde aos 11 bits intermediários do endereço de 18 bits

$21C5E_{16} = 10\ 0001\ 1100\ 0101\ 1110$

$= 0001\ 1100\ 010_2 = 000\ 1110\ 0010_2 = E2_{16} = 226_{10}$

Para o outro endereço (148327_{10}), a linha de destino é dada por

Linha de destino = numero do bloco % quantidade de linhas

Linha de destino = $4635 \% 2048 = 539$

OBS: Para qualquer um dos endereços (48327_{10} ou $21C5E_{16}$) poderia ter sido resolvido em binário ou em decimal

d) Considerando o mapeamento associativo por conjuntos e que o sistema acima possui 256 conjuntos:

d1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

(rotulo | linha de destino | deslocamento)

(5 | 8 | 5)

deslocamento = 5 bits pois cada linha possui 32 células

conjunto de destino = 8 bits pois a cache possui 256 conjuntos

rotulo = 5 bits pois 8k bloco disputam 256 conjuntos, ou seja, 32 blocos destinados a cada conjunto

d2) Qual é o conjunto de destino do endereço $21C5E_{16}$?

O Nro do conjunto de destino bloco corresponde aos 8 bits intermediários do endereço de 18 bits

$21C5E_{16} = 10\ 0001\ 1100\ 0101\ 1110$

$= 1\ 1100\ 010_2 = 000\ 1110\ 0010_2 = E2_{16} = 226_{10}$

Para o outro endereço (148327_{10}), o conjunto de destino é dada por

conjunto de destino = numero do bloco % quantidade de conjuntos

conjunto de destino = $4635 \% 256 = 27$

OBS: Para qualquer um dos endereços (48327_{10} ou $21C5E_{16}$) poderia ter sido resolvido em binário ou em decimal

2. (2,0-2,5-3,0) Quais os três métodos de comunicação de dados utilizados pelos dispositivos de entrada e saída? Explique o funcionamento do método que faz menor uso do processador.

Polling, Interrupção e DMA. O que faz menor uso do processador é o DMA. Ver explicação do funcionamento no material das aulas e na bibliografia

3. (1,0-1,5-2,0) Responda (V) verdadeiro ou (F) falso para as afirmativas abaixo. Corrija as afirmativas que julgar falsas:

(V) A memória cache é uma memória estática e volátil.

(F) Quando o endereço virtual é traduzido e constata-se que o mesmo não se encontra na TLB pode-se afirmar que houve uma falta de página.

Não pois a tradução pode ser obtida na tabela de páginas do processo. Somente depois da tradução falhar na tabela de páginas é que o S.O. será chamado devido a uma falta de página

(F) A gerência do sistema de memória virtual é uma responsabilidade da Unidade de Gerência de Memória (MMU) do processador.

É uma responsabilidade do Sistema Operacional (S.O.)

(F) Para converter endereços virtuais em endereços físicos o Sistema Operacional mantém uma tabela de páginas compartilhada pelos processos em execução.

S.O. mantém uma tabela de páginas por processo em execução (sem compartilhamento)

(F) As memórias cache de nível 2 (L2) e nível 3 (L3) requerem operações de refresh.

Não requerem refresh pois são memórias estáticas, somente a RAM (memória principal) requer refresh

4. (1,0-1,5-2,0) O ganho de desempenho teórico decorrente da técnica de pipeline não é alcançado por uma série de motivos, entre eles:

I. Eventuais disputas no acesso à memória por diferentes estágios do pipeline.

II. Diferenças no tempo de processamento de cada estágio.

III. As penalidades que o pipeline pode sofrer em decorrência das instruções de desvios.

Estão corretas as afirmativas:

A - Somente II e III.

B - Somente I e II.

C - I, II e III.

D - Somente I e III.

5.(1,0-1,5-2,0)A técnica de pipeline permite a execução simultânea de várias instruções no processador, cada uma em um estágio do mesmo. Sua implementação e performance é limitada por conflitos (hazards). Existem três tipos de hazards; assinale-os.

A - Estrutural; dados; controle.

B - Controle; endereço; dados.

C - Desvio; dado; endereço.

D - Endereço; instrução; estrutural.

1. (2,5-3,0-3,5) Suponha um sistema computacional com um espaço de endereçamento de 256 Kcélulas. A cache associada a este sistema possui 2048 linhas. Sabendo que cada linha contém 32 células, pergunta-se:

a) Qual é a quantidade de blocos da memória principal? Justifique.

1. Tamanho da linha = tamanho do bloco = 32

2. Nro de Blocos = Tamanho da memória principal / tamanho do bloco

3. Nro de Blocos = 256 Kcélulas / 32

4. Nro de Blocos = 8K = 8192

b) Qual é o número do bloco correspondente ao endereço 21C5E₁₆?

5. O Nro do bloco corresponde aos 13 bits mais significativos do endereço de 18 bits

6. 21C5E₁₆ = 10 0001 1100 0101 1110

7. = 10 0001 1100 010₂ = 1 0000 1110 0010₂ = 10E2₁₆ = 4322₁₀

8. Para o outro endereço (148327₁₀), o número do bloco é dado por

9. Nro do Bloco = endereço / tamanho do bloco

10. Nro do Bloco = 148327 / 32 = 4635

11. OBS: Para qualquer um dos endereços (48327₁₀ ou 21C5E₁₆) poderia ter sido resolvido em binário ou em decimal

c) Considerando o mapeamento direto:

c1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

12. (rotulo | linha de destino | deslocamento)

13. (2 | 11 | 5)

14. deslocamento = 5 bits pois cada linha possui 32 células

15. linha de destino = 11 bits pois a cache possui 2048 linhas

16. rotulo = 2 bits pois 8k bloco disputam 2k linhas, ou seja, 4 blocos destinados a cada linha

17.

c2) Qual é a linha de destino do endereço 21C5E₁₆?

18. O Nro da linha de destino bloco corresponde aos 11 bits intermediários do endereço de 18 bits

19. 21C5E₁₆ = 10 0001 1100 0101 1110

20. = 0001 1100 010₂ = 000 1110 0010₂ = E2₁₆ = 226₁₀

21. Para o outro endereço (148327₁₀), a linha de destino é dada por

22. **Linha de destino** = numero do bloco % quantidade de linhas

23. **Linha de destino** = 4635 % 2048 = 539

24. OBS: Para qualquer um dos endereços (48327₁₀ ou 21C5E₁₆) poderia ter sido resolvido em binário ou em decimal

d) Considerando o mapeamento associativo por conjuntos e que o sistema acima possui 256 conjuntos:

d1) Qual a divisão do endereço do ponto de vista da cache? Justifique.

25.

26. (rotulo | linha de destino | deslocamento)

27. (5 | 8 | 5)

28. deslocamento = 5 bits pois cada linha possui 32 células

29. conjunto de destino = 8 bits pois a cache possui 256 conjuntos

30. rotulo = 5 bits pois 8k bloco disputam 256 conjuntos, ou seja, 32 blocos destinados a cada conjunto

31.

d2) Qual é o conjunto de destino do endereço $21C5E_{16}$?

32. O Nro do conjunto de destino bloco corresponde aos 8 bits intermediários do endereço de 18 bits

33. $21C5E_{16} = 10\ 0001\ 1100\ 0101\ 1110$

34. $= 1\ 1100\ 010_2 = 000\ 1110\ 0010_2 = E2_{16} = 226_{10}$

35. Para o outro endereço (148327_{10}), o conjunto de destino é dada por

36. conjunto de destino = numero do bloco % quantidade de conjuntos

37. conjunto de destino = $4635 \% 256 = 27$

38. OBS: Para qualquer um dos endereços (48327_{10} ou $21C5E_{16}$) poderia ter sido resolvido em binário ou em decimal

39.

40. 2. (2,0-2,5-3,0) Quais os três métodos de comunicação de dados utilizados pelos dispositivos de entrada e saída? Explique o funcionamento do método que faz menor uso do processador.

Polling, Interrupção e DMA. O que faz menor uso do processador é o DMA. Ver explicação do funcionamento no material das aulas e na bibliografia

3. (1,0-1,5-2,0) Responda (V) verdadeiro ou (F) falso para as afirmativas abaixo. Corrija as afirmativas que julgar falsas:

(F) A memória cache é uma memória dinâmica e volátil.

estática e volátil

(V) Quando o endereço virtual é traduzido e constata-se que o mesmo se encontra na TLB pode-se afirmar que houve um acerto de tradução de página.

(V) A gerência do sistema de memória virtual é uma responsabilidade Sistema Operacional.

(V) Para converter endereços virtuais em endereços físicos o Sistema Operacional mantém uma tabela de páginas por processos em execução.

(V) As memórias cache, independente do nível (L1, L2, L3) não requerem operações de refresh.

4. (1,0-1,5-2,0) O ganho de desempenho teórico decorrente da técnica de pipeline não é alcançado por uma série de motivos, entre eles:

I. As penalidades que o pipeline pode sofrer em decorrência das instruções de desvios.

II. Diferenças no tempo de processamento de cada estágio.

III. Eventuais disputas no acesso à memória por diferentes estágios do pipeline.

Estão corretas as afirmativas:

A - Somente II e III.

B - Somente I e II.

C - I, II e III.

D - Somente I e III.

5.(1,0-1,5-2,0)A técnica de pipeline permite a execução simultânea de várias instruções no processador, cada uma em um estágio do mesmo. Sua implementação e performance é limitada por conflitos (hazards). Existem três tipos de hazards; assinale-os.

A - Desvio; dado; endereço.

B - Controle; endereço; dados.

C - Estrutural; dados; controle.

D - Endereço; instrução; estrutural.