

گزارش فاز دوم پیاده‌سازی پروژه درس معماری کامپیوتر

در این فاز در ابتدا ماژول mips_core را به گونه‌ای تغییر دادیم که امکان دریافت و ذخیره‌ی داده در مموری با تاخیر را انجام دهد. انجام دستورات مرتبط به مموری ۴ سایکل تاخیر داشت.

پس از ران کردن تست‌ها هر تست طبق شکل زیر تعداد سایکل‌های مشخصی دارند:

```
=== Simulation Cycle 9 ===
diff -u test/default/brtest0.reg ou
=== Simulation Cycle 84 ===
diff -u test/default/sb.reg output/
=== Simulation Cycle 6 ===
diff -u test/default/addiu.reg outp
=== Simulation Cycle 8 ===
diff -u test/default/shifttest.reg
=== Simulation Cycle 5 ===
diff -u test/default/brtest2.reg ou
=== Simulation Cycle 16 ===
diff -u test/default/arithmetic.reg
=== Simulation Cycle 95 ===
diff -u test/default/memtest0.reg c
=== Simulation Cycle 5 ===
diff -u test/default/addtest.reg ou
```

از آنجا که به ازای هر دستور مموری باید ۴ کلاک صبر کنیم تا داده به دست آید یا داده از مموری خوانده شود، نیازمند کشی هستیم تا این تاخیر را کاهش دهد. برای این کار یک Direct-Mapped cache با مشخصات زیر در ماژول cache.v پیاده‌سازی شد:

Block size = 1 word = 32 bits = 4 bytes

Cache size = 8 kbytes = 2^{13} bytes = 2^{11} blocks

Replacement policy = Direct-Mapped

Write scheme = Write-back scheme

با استفاده از این کث پس از ران کردن تست‌ها مقادیر سایکل تست‌های مربوط به مموری به طور چشمگیری کاهش یافت:

```
=== Simulation Cycle 9 ===  
diff -u test/default/brtest0.reg ou  
=== Simulation Cycle 32 ===  
diff -u test/default/sb.reg output/  
=== Simulation Cycle 6 ===  
diff -u test/default/addiu.reg outp  
=== Simulation Cycle 8 ===  
diff -u test/default/shifttest.reg  
=== Simulation Cycle 5 ===  
diff -u test/default/brtest2.reg ou  
=== Simulation Cycle 16 ===  
diff -u test/default/arithmetic.reg  
=== Simulation Cycle 51 ===  
diff -u test/default/memtest0.reg o  
=== Simulation Cycle 5 ===  
diff -u test/default/addtest.reg ou
```