

Laboratório 4 CPU RISC-V MULTICICLO

Matheus Oliveira de Almeida Marques da Cruz *

Pedro Henrique dos Santos †

Nicole de Oliveira Sena ‡

João Pedro Carvalho de Oliveira Rodrigues §

Giulia Moura Ferreira ¶

Universidade de Brasília, 05 de dezembro de 2023

RESUMO

Este relatório aborda a projeção e implementação de uma Unidade Central de Processamento (CPU) baseada na arquitetura RISC-V, utilizando uma abordagem multiciclo. O principal objetivo do projeto é proporcionar uma experiência prática e "mão na massa" da Linguagem de Descrição de Hardware (HDL) Verilog, e familiarizar com a plataforma de desenvolvimento FPGA DE1-SoC da Intel e o software Quartus Prime.

1 QUESTÃO 1

Restaure o projeto do processador RISC-V v24, coloque o programa focafofa2.s como default (de1_data.mif e de1_text.mif), compile e realize a simulação com Waveform2.vwf (ajustando S2[9:0]=0000000001).

1.1

1.2

Modificando as seleções no arquivo Parametros.v e recompilando o processador, faça duas tabelas comparativas dos requerimentos físicos e temporais das CPUs MULTICICLO com as ISAs RV32I, RV32IM, RV32IMF e a Reduzida vista em aula RV32Red, gerando os arquivos Multiciclo_RV32I.sof, Multiciclo_RV32IM.sof, Multiciclo_RV32IMF.sof e Multiciclo_RV32IRed.sof

ISA	Número de ALMs	Número de Registradores	Quantidade de bits de memória	Número de DSPs
RV32I	2864 ALUTs	1863	0	0
RV32IM	7937 ALUTs	1869	0	12
RV32IMF	11175 ALUTs	4490	47616	18
RV32Red	1131 ALUTs	1228	32768	0

ISA	maior atraso tpd	maiores tempos tco	Maiores tempos th
RV32I	27.136	33.585	6.807
RV32IM	27.047	34.387	7.092
RV32IMF	29.809	36.852	5.676
RV32Red	19.154	-	-1.635

ISA	maiores tempos TSU	Máxima frequência de clock utilizável
RV32I	14.037	70.9MHz
RV32IM	13.590	69.95MHz
RV32IMF	14.318	119.47MHz
RV32Red	5.335	124.64 MHz

*211055343@aluno.unb.br

†200026127@aluno.unb.br

‡190114860@aluno.unb.br

§221017032@aluno.unb.br

¶200018795@aluno.unb.br

1.3

Com os arquivos .sof gerados no item 1.2 verifique se o seu programa Tiro de Canhão é executado corretamente em todas as 4 ISAs. Explique caso ocorra algum erro. Filme as 4 execuções na maior frequência de clock possível

O vídeo pode ser acessado a partir deste [link](#)

2 QUESTÃO 2

Implemente o processador Multiciclo com ISA reduzida apresentado em aula (ISA32Red), com as instruções: add, sub, and, or, slt, lw, sw, beq, jal e addi, andi, ori e xori

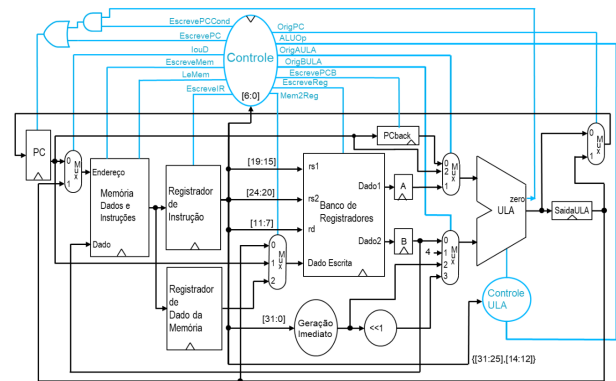


Figura 1

2.1

Os blocos Banco de Registradores, Gerador de Imediatos, ULA, controlador da ULA são os mesmos do processador Uniciclo.

a) Implemente as Memórias Unificada (2048 words, 1024 para data e 1024 para text)

Endereço inicial do .text: 0x0040_0000

Endereço inicial do .data: 0x1001_0000

b) Implemente o Bloco Controlador. Desenhe a máquina de estados do controle.

c) Implemente o Processador Multiciclo completo com os registradores auxiliares. Obtenha o netlist RTL view.

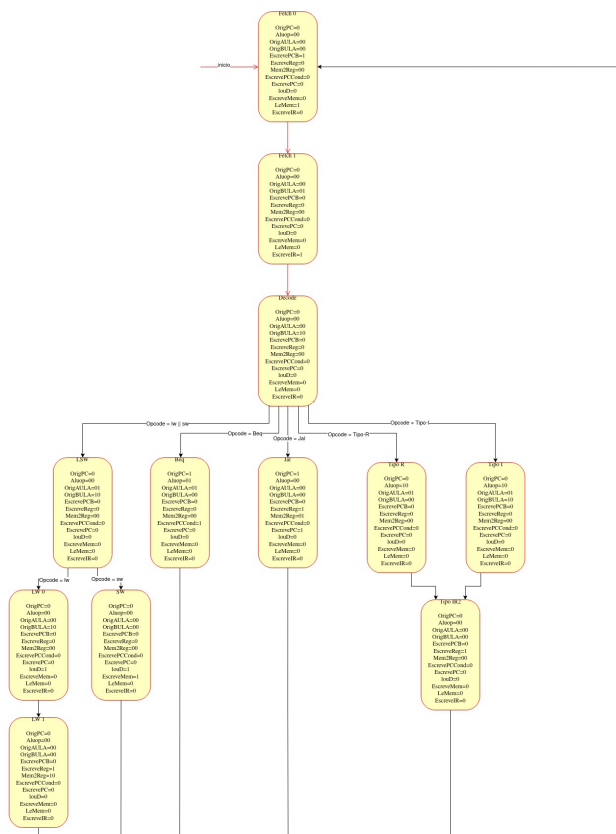


Figura 2

2.2

Modifique levemente o TopDE.s do Processador Uniciclo:

- Use o fdiv.v com as chaves SW[4:0] para dividir o clock de 50MHz para o processador.
- De acordo com as chaves SW[9:5] mostre nos displays hexadecimal decoder7.v o valor do respectivo registrador
- Caso KEY[1]=1 mostra o valor de PC e caso KEY[2]=1 mostra a instrução (IR) e KEY[0]=1 faz o reset do processador (PC=0x00400000 e todos os registradores como 0, menos o sp e o gp).
- Mostre nos LEDR[3:0] o estado atual da máquina de estados.

2.3

Use o mesmo programa testeRed.s e teste a corretude de todas as 9 instruções, execute na maior frequência possível pelas divisões SW[4:0], filme e explique a execução

O vídeo pode ser acessado a partir deste [link](#)