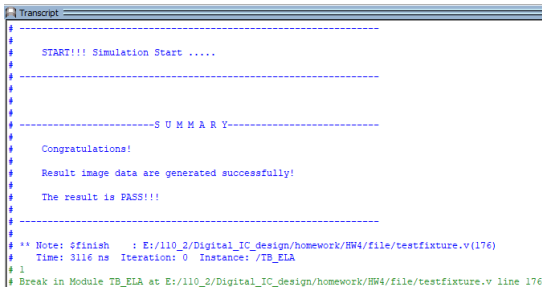
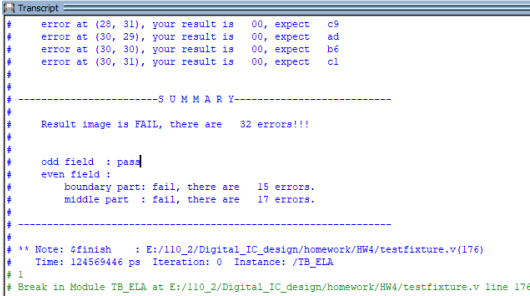


Homework 4: Edge-Based Line Average interpolation

NAME	黃瑋盛						
Student ID	N96101189						
Simulation Result							
Functional simulation	Pass	Gate-level simulation	Fail	Clock width	80(ns)	Gate-level simulation time	124569 (ns)
							
Synthesis Result							
Total logic elements				16697			
Total memory bit				0			
Embedded multiplier 9-bit element				0			
Flow Summary							
Flow Status		Successful - Thu May 26 18:59:48 2022					
Quartus II 64-Bit Version		13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition					
Revision Name		ELA					
Top-level Entity Name		ELA					
Family		Cyclone II					
Device		EP2C70F896C8					
Timing Models		Final					
Total logic elements		16,697 / 68,416 (24 %)					
Total combinational functions		12,243 / 68,416 (18 %)					
Dedicated logic registers		7,971 / 68,416 (12 %)					
Total registers		7971					
Total pins		39 / 622 (6 %)					
Total virtual pins		0					
Total memory bits		0 / 1,152,000 (0 %)					
Embedded Multiplier 9-bit elements		0 / 300 (0 %)					
Total PLLs		0 / 4 (0 %)					

Description of your design

- reg
 - image 是一個 $16 \times 32 \times 8$ 的 register，用來儲存奇數列。
 - i_image 是一個 $15 \times 32 \times 8$ 的 register，用來儲存經過 interpolation 偶數列。
 - image_bm 是紀錄 image 各列的 bitmap，用來判斷 image 各列的資料是否已經輸入。
 - col_id、row_id 和 i_row_id 分別是用來存取 image 和 i_image 行和列的 index。
 - r_done 是判斷資料是否已經輸入完成。
 - flag 是用來在資料已經輸入完成後，讓 col_id 可以暫停一個 clk 再 +1。
 - hold 在 executing state 時用來在每列資料輸入和計算完成時，讓 col_id 可以暫停一個 clk 等 row_id 和 i_row_id +1 後再 +1。
在 output_image state 時用來初始化 row_id、col_id、sel 和 wen。
 - sel 是用來選擇 data_wr 輸出的是 image 還是 i_image 的資料。
- FSM

FSM 總共分成 3 個 state，分別是 executing、output_image 和 finish。當 rst 時，n_state 設為 executing。

 - executing 時，判斷 i_row_id 是否到第 14 列和 col_id 是否到第 31 行，是的話就將 n_state 設為 output_image，否則維持 executing。
 - output_image 時，判斷 addr 是否到 991，是的話就將 n_state 設為 finish，否則維持 output_image。
 - finish 時，n_state 維持 finish。
- always block (37~87)
 - rst 時，將 image_bm、req、wen、done、col_id、r_done、addr 和 flag 設為 0，row_id 設為 15。
 - 當 state 為 executing 時，資料已輸入完成則單純只在每個 clk 將 col_id +1 讓 i_image 的資料可以持續運算；若資料還沒輸入完成則判斷 col_id 是否為 0 且還沒送出 req，是則將 row_id +1 並將 req 設為 high，否則將 req 設為 low 並且將輸入的資料存入 image 內。
 - 當 state 為 output_image 時，利用 hold 判斷是否需要初始化，如果 hold 是 low 的話，就將 row_id、col_id 設為 0，sel、wen 設為 high，否則每個 clk 將 addr 和 col_id +1，並且判斷 col_id 是否為 31，若是則將 sel 和 1 做 XOR，如果 sel 為 low 則表示 image 和 i_image 都各輸出完 1 列，因此將 row_id +1。

- 當 state 為 finish 時，done 設為 high，wen 設為 low。
 - Interpolate module & combinational circuit (89~99 & interpolate.v)
 - 在 interpolate module 中，會根據輸入的 a~f 計算出 d1、d2 和 d3，並根據 boundary 訊號判斷是否為邊界，以此決定 interpolate 要以哪一組數值做計算。
 - Boundary 訊號會在 col_id 為 0 或 31 時為 high。
 - data_wr 會根據 sel 選擇輸出的是 image 還是 i_image 的資料。
 - always block (101~121)
 - 當 rst 時，將 i_row_id 設為 15，hold 設為 low。
 - 當 state 為 executing 時，如果 image 前兩列已經輸入完成則判斷 col_id 是否為 0 且 hold 是否為 low，若是則將 hold 設為 high 並將 i_row_id +1，否則將 interpolate module 的計算結果存入 i_image。
- 當 state 為 output_image 時，將 hold 設為 high。

*Scoring = (Total logic elements + total memory bit + 9*embedded multiplier 9-bit element) × (longest gate-level simulation time in ns)*