

2022 Digital IC Design Homework 2

NAME	黃瑋盛				
Student ID	N96101189				
Functional Simulation Result					
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass
Stage 1					
<pre>VSIM 35> run -all # ----- # -- Simulation Start -- # ----- # --stage1 simulation-- # # Setting1: PASS # # Setting2: PASS # # Setting3: PASS # # Setting4: PASS # # Setting5: PASS # # Setting6: PASS # # Setting7: PASS # # Setting8: PASS # # Setting9: PASS # # Setting10: PASS #</pre>					
Stage 2					
<pre># --stage2 simulation-- # # Setting11: PASS # # Setting12: PASS # # Setting13: PASS # # Setting14: PASS # # Setting15: PASS # # Setting16: PASS # # Setting17: PASS # # Setting18: PASS # # Setting19: PASS # # Setting20: PASS #</pre>					

Stage 3
<pre> # --stage3 simulation-- # # Setting21: PASS # # Setting22: PASS # # Setting23: PASS # # Setting24: PASS # # Setting25: PASS # # Setting26: PASS # # Setting27: PASS # # Setting28: PASS # # Setting29: PASS # # Setting30: PASS # # ----- # -- Simulation finish, ALL PASS -- # ----- # ** Note: \$finish : D:/110_2/Digital_IC_design/HW2/TLS_tb.sv(205) # Time: 97650 ns Iteration: 1 Instance: /testfixture </pre>
Description of your design
<p>使用 2bits 的 reg state 作為狀態，00、01、10 分別表示綠、黃、紅，並利用 4bits 的 reg counter 計數。</p> <p>Set 為 high 時，使用 G_time、Y_time、R_time 這三個 4bits 的 reg 將 Gin、Yin、Rin 的值儲存起來，並且將 Time 這個 4bits 的 reg 設為 G_time 的值，再將 state 設為 00 (綠)。</p> <p>Jump 為 high 時，將 state 設為 10(紅)，並且將 Time 的 reg 設為 R_time 的值。</p> <p>每次 clk 正緣時，如果 Stop 為 high，counter 的值維持不變，如果 Jump 為 high，counter 的值設為 Time-1，如果 counter 非 0 則 counter-1，其餘情況則將 counter 的值設為 Time-1，為了避免 Time 為 1 造成 counter 為 0 且不會在下個 clk 正緣時變化，導致 state 沒切換，因此 Time 如果為 1 則將 awake 設為 high，為 0 則設為 low，讓下個 clk 的時候可以切換 state。</p>