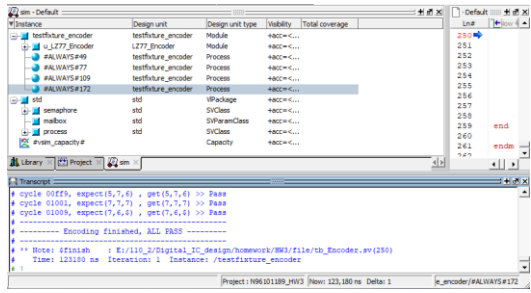
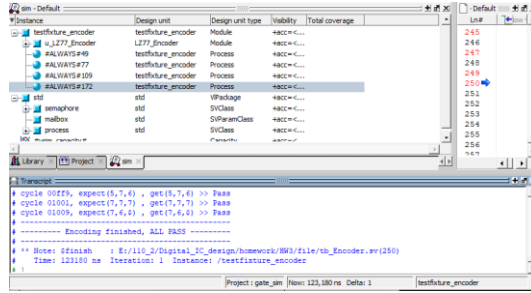
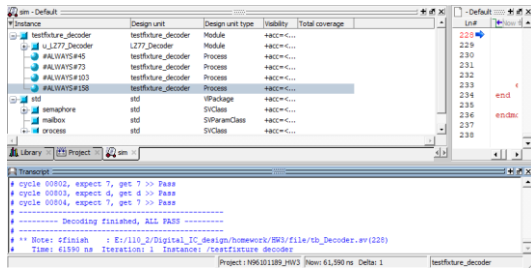
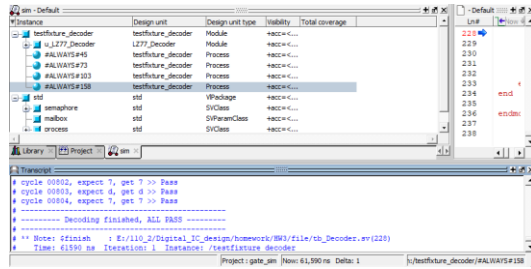


2022 Digital IC Design Homework 3

NAME	黃瑋盛				
Student ID	N96101189				
Simulation Result					
Functional simulation	Pass (encoder)	Pass (decoder)	Gate-level simulation	Pass (encoder)	Pass (decoder)
encoder			encoder		
					
decoder			decoder		
					
encoder			encoder		
					
decoder			decoder		
					

<div><div>encoder</div></div>	<div><div>encoder</div></div>																																																																
<div><div>decoder</div></div>	<div><div>decoder</div></div>																																																																
Synthesis Result																																																																	
Total logic elements	609	105																																																															
Total memory bit	16400	0																																																															
Embedded multiplier 9-bit element	0	0																																																															
Simulation time img0	123180	61590																																																															
Simulation time img1	123360	61620																																																															
Simulation time img2	123180	61590																																																															
<div><div>Flow Summary</div><table><tr><td>Flow Status</td><td>Successful - Thu Apr 14 03:16:24 2022</td></tr><tr><td>Quartus II 64-Bit Version</td><td>13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition</td></tr><tr><td>Revision Name</td><td>L277_Encoder</td></tr><tr><td>Top-level Entity Name</td><td>L277_Encoder</td></tr><tr><td>Family</td><td>Cyclone II</td></tr><tr><td>Device</td><td>EP2C70F896C8</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Total logic elements</td><td>609 / 68,416 (< 1 %)</td></tr><tr><td> Total combinational functions</td><td>573 / 68,416 (< 1 %)</td></tr><tr><td> Dedicated logic registers</td><td>221 / 68,416 (< 1 %)</td></tr><tr><td>Total registers</td><td>221</td></tr><tr><td>Total pins</td><td>28 / 622 (5 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total memory bits</td><td>16,400 / 1,152,000 (1 %)</td></tr><tr><td>Embedded Multiplier 9-bit elements</td><td>0 / 300 (0 %)</td></tr><tr><td>Total PLLs</td><td>0 / 4 (0 %)</td></tr></table></div>	Flow Status	Successful - Thu Apr 14 03:16:24 2022	Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition	Revision Name	L277_Encoder	Top-level Entity Name	L277_Encoder	Family	Cyclone II	Device	EP2C70F896C8	Timing Models	Final	Total logic elements	609 / 68,416 (< 1 %)	Total combinational functions	573 / 68,416 (< 1 %)	Dedicated logic registers	221 / 68,416 (< 1 %)	Total registers	221	Total pins	28 / 622 (5 %)	Total virtual pins	0	Total memory bits	16,400 / 1,152,000 (1 %)	Embedded Multiplier 9-bit elements	0 / 300 (0 %)	Total PLLs	0 / 4 (0 %)	<div><div>Flow Summary</div><table><tr><td>Flow Status</td><td>Successful - Thu Apr 14 21:10:54 2022</td></tr><tr><td>Quartus II 64-Bit Version</td><td>13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition</td></tr><tr><td>Revision Name</td><td>L277_Decoder</td></tr><tr><td>Top-level Entity Name</td><td>L277_Decoder</td></tr><tr><td>Family</td><td>Cyclone II</td></tr><tr><td>Device</td><td>EP2C70F896C8</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Total logic elements</td><td>105 / 68,416 (< 1 %)</td></tr><tr><td> Total combinational functions</td><td>65 / 68,416 (< 1 %)</td></tr><tr><td> Dedicated logic registers</td><td>84 / 68,416 (< 1 %)</td></tr><tr><td>Total registers</td><td>84</td></tr><tr><td>Total pins</td><td>27 / 622 (4 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total memory bits</td><td>0 / 1,152,000 (0 %)</td></tr><tr><td>Embedded Multiplier 9-bit elements</td><td>0 / 300 (0 %)</td></tr><tr><td>Total PLLs</td><td>0 / 4 (0 %)</td></tr></table></div>	Flow Status	Successful - Thu Apr 14 21:10:54 2022	Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition	Revision Name	L277_Decoder	Top-level Entity Name	L277_Decoder	Family	Cyclone II	Device	EP2C70F896C8	Timing Models	Final	Total logic elements	105 / 68,416 (< 1 %)	Total combinational functions	65 / 68,416 (< 1 %)	Dedicated logic registers	84 / 68,416 (< 1 %)	Total registers	84	Total pins	27 / 622 (4 %)	Total virtual pins	0	Total memory bits	0 / 1,152,000 (0 %)	Embedded Multiplier 9-bit elements	0 / 300 (0 %)	Total PLLs	0 / 4 (0 %)
Flow Status	Successful - Thu Apr 14 03:16:24 2022																																																																
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition																																																																
Revision Name	L277_Encoder																																																																
Top-level Entity Name	L277_Encoder																																																																
Family	Cyclone II																																																																
Device	EP2C70F896C8																																																																
Timing Models	Final																																																																
Total logic elements	609 / 68,416 (< 1 %)																																																																
Total combinational functions	573 / 68,416 (< 1 %)																																																																
Dedicated logic registers	221 / 68,416 (< 1 %)																																																																
Total registers	221																																																																
Total pins	28 / 622 (5 %)																																																																
Total virtual pins	0																																																																
Total memory bits	16,400 / 1,152,000 (1 %)																																																																
Embedded Multiplier 9-bit elements	0 / 300 (0 %)																																																																
Total PLLs	0 / 4 (0 %)																																																																
Flow Status	Successful - Thu Apr 14 21:10:54 2022																																																																
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition																																																																
Revision Name	L277_Decoder																																																																
Top-level Entity Name	L277_Decoder																																																																
Family	Cyclone II																																																																
Device	EP2C70F896C8																																																																
Timing Models	Final																																																																
Total logic elements	105 / 68,416 (< 1 %)																																																																
Total combinational functions	65 / 68,416 (< 1 %)																																																																
Dedicated logic registers	84 / 68,416 (< 1 %)																																																																
Total registers	84																																																																
Total pins	27 / 622 (4 %)																																																																
Total virtual pins	0																																																																
Total memory bits	0 / 1,152,000 (0 %)																																																																
Embedded Multiplier 9-bit elements	0 / 300 (0 %)																																																																
Total PLLs	0 / 4 (0 %)																																																																
Description of your design																																																																	
<div>Encoder</div> <div><div>● reg</div><div><div>➤ tmp_char 是一個 depth 為 2049，width 為 8 bits 的 register，用來暫存需要 encode 的資料，而 id、id2 分別代表在 receiving_data state 和 encoding state 在存取 tmp_char 的 index。</div><div>➤ buff 是一個 depth 為 17，width 為 8 bits 的 register，其中 0~7 是作為 look-ahead buffer，而 8~16 作為 search buffer。</div></div></div>																																																																	

- buff_BM 是 buff 的 bitmap，用來判斷 buff 的值是否為有用的值。
- hold 是在 encoding state 時控制何時需要讓 valid 為 high 的倒數 counter。out_complete 是在 encoding state 時判斷 encoding 是否完成。

- FSM

FSM 總共分成 3 個 state，分別是 receiving_data、encoding 和 done。

當 reset 時，n_state 設為 receiving_data，並且將 encode 設為 high，finish 設為 low。

- receiving_data 時，判斷要 encode 的資料是否已經全部讀完，讀完就將 n_state 設為 encoding，否則維持 receiving_data。
- encoding 時，判斷 encode 是否完成(out_complete)，完成則將 n_state 設為 done，否則維持 encoding。
- done 時，n_state 維持 done，並把 encode 設為 low，finish 設為 high。

- always block (58~84)

當 reset 時，id、id2 和 buff_BM 都會設為 0。

- receiving_data 時，將 chardata 直接存入 tmp_char[id] 中，而 id 也會 +1。
- encoding 時，將 tmp_char[id2] 存入 buff[0] 中，buff_BM[0] 也存入 1，其他 buff、buff_BM 則向左 shift，若 id2 的值是 2048，表示要 encode 的資料已經全部都 encoding 完或是進 buff 了，因此 id2 的值維持不變，否則 id2 +1。

- generate 9 cmp module & 找出 match_len (88~101)

- 每個 cmp module 可以比較兩組 7 個 char 的資料是否一樣，並計算從最左邊的 char 算起，一樣的 char 有多長，而 9 個 cmp module 分別輸出了 look-ahead buffer (buff[7:0]) 從 search buffer (buff[16:8]) 每一個位置開始比較的結果。
- 在第 94~101 行的組合電路中會根據 buff_BM 的值判斷由對應的 cmp modulen 所輸出的長度是否有效，並將在有效的長度中找出最長的值 assign 給 wire max_len。

- always block (103~132)

- 如果 search buffer (buff_BM[8]) 已經有要 encode 的資料，則將 max_len 存入 match_len，並根據 max_len 的值計算要將哪個 look-ahead buffer 的資料作為 char_nxt，和判斷 offset 的值。

- 若 search buffer 還沒有要 encode 的資料，則將 match_len 和 offset 設為 0，並將 look-ahead buffer 最左邊的值設為 char_nxt。
- always block (134~147)

hold 是一個倒數的 counter，可以讓上一組 encode 的 char_nxt 在進到 search buffer 之前，valid 不會變 high，使無用的 encode 資料不會輸出。

 - 如果 look-ahead buffer (buff_BM[7])已經填滿，且 state 不是 done，則判斷 hold 是否為 0。
 - 是則將 valid 設為 high，並將 hold 設為 max_len。
 - 否則將 valid 設為 low，hold -1。
 - 若 look-ahead buffer 還沒填滿或 state 是 done，那 valid 設為 low，hold 設為 0。
- always block (149~154)

負緣的 clk 時會檢查 char_nxt 是否為\$且是否輸出了，若是的話則將 out_complete 設為 high 讓 FSM 可以將 n_state 設為 done。

Decoder

- reg
 - buff 是 search buffer，depth 為 17，width 為 8 bits。
 - hold 是一個倒數 counter 判斷需要 decode 的那組資料是否完成 decode。
- always block (149~154)

當 reset 時 hold 設為 0，非 reset 時，buff 的資料向左 shift。

 - code_len 為 0 時，直接將 chardata 存入 buff[0]和 char_nxt。
 - hold 為 0 時，將 code_len 存入 hold，再根據 code_pos 決定 search buffer 中將存入 buff[0]和 char_nxt。
 - hold 為 1 時，直接將 chardata 存入 buff[0]和 char_nxt，再將 hold 設為 0。
 - hold 不是 0 或 1 時，根據 code_pos 決定 search buffer 中將存入 buff[0]和 char_nxt，並且將 hold -1。

- always block (43~53)
 - reset 時，finish 設為 low。
 - 非 reset 時判斷 chardata 是否為\$，如果 hold 和 code_len 為 0 或是 hold 為 1，代表所有的資料都完成 decode，因此將 finish 設為 high。