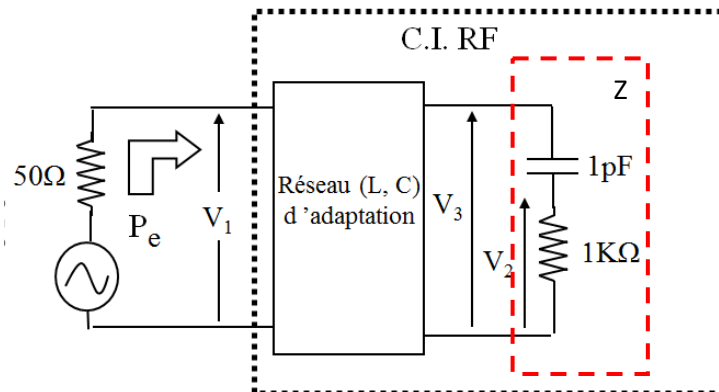


Adaptation en Puissance

On considère un dipôle Z constitué d'une résistance de $R=1\text{K}\Omega$ en série avec une capacité de $C=1\text{pF}$. On se propose d'adapter en puissance ce dipôle à un générateur d'impédance interne de 50Ω à la fréquence de 1GHz à l'aide d'une cellule d'adaptation LC comme représenté sur la figure ci-contre.

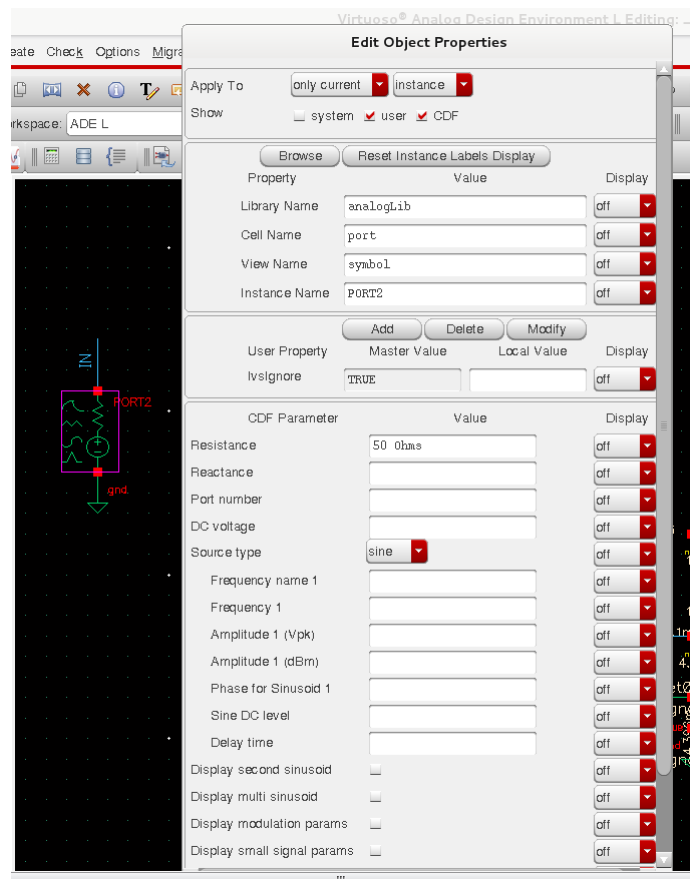
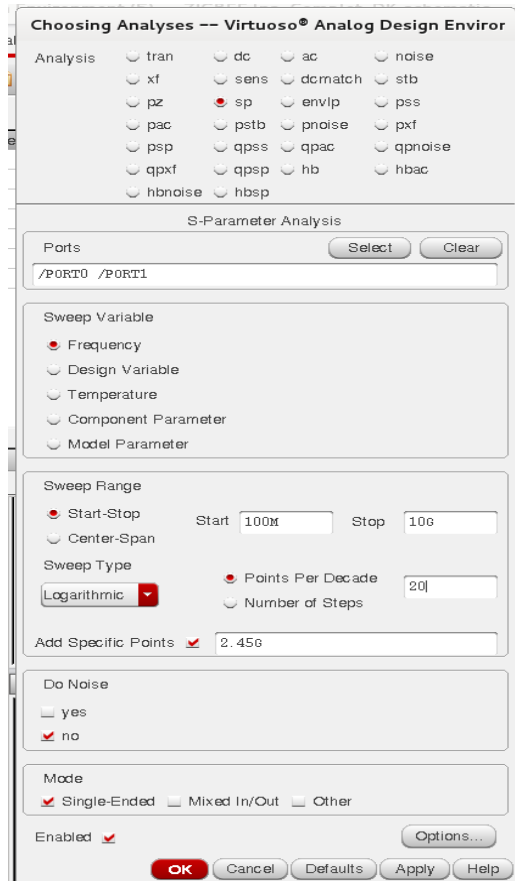


I- Impédance et Admittance :

1/ Donner le dipôle // équivalent au dipôle Z à la fréquence $f_0=1\text{GHz}$.

$$Q=1/(R_s C_{sw})=0.159 ; R_p=R_s(1+Q^2)=1.03\text{K} \text{ et } C_p=C_s Q^2/(1+Q^2)=24,7\text{fF}$$

2/ Que représente le S11 de ce dipôle. Simuler le S11 en plaçant un port de l'analogLib aux bornes du dipôle. Paramétrer une analyse SP afin de simuler la fréquence $f_0=1\text{GHz}$.



A partir de la simulation donner :

- a) Z_{norm} et en déduire les valeurs de R et de C.

$$Z_{norm}=20-j3.18$$

$$R=20*50=1K$$

$$C=1/(w_0.50.3.18)=1pF$$

- b) Y_{norm} et en déduire les valeurs de la capacité et de la résistance du modèle // équivalent

$$Y_{norm}=0.048+j0.0077$$

$$R=50/g=50/0.048=1.041K$$

$$C=b/w.50=24.5fF$$

II- Adaption à l'aide d'un transformateur d'impédance

- 1) L_0 : On ajoute une inductance en série pour annuler la partie imaginaire. Donner la valeur de l'inductance et expliquer comment vous pouvez valider sous cadence l'annulation de la partie imaginaire. Vérifier en simulation.

$$L_0=1/cw^2=25.4nH. \text{ On annule la partie imaginaire, il faut donc être sur l'axe des } x.$$

- 2) On ajoute C_1 pour abaisser l'impédance

- a) Comment cette capacité doit être connectée pour effectivement abaisser l'impédance.

En //

- b) Calculer la capacité C_1 à rajouter pour abaisser l'impédance à une valeur de 50Ω .

$$R_{50}=1/(R_{1K}C_1^2w^2)\Rightarrow C_1=7,12.10^{-13}(Q1=R_{1K}*C_1*w=4.5>3)$$

- c) Comment allez-vous vérifier sous cadence la bonne valeur de la capacité

On doit être sur le cercle 50 Ohm

- 3) On ajoute une inductance en série (L_1)

- a) Quel est l'effet de (L_1) sur l'impédance

Annule l'effet capacitif et ramène donc l'impédance au centre.

- b) Calculer (L_1) et vérifier l'adaptation sous cadence

$$L_1=1/cw^2=35nH$$

- 4) On suppose qu'un générateur 50Ω attaque le circuit et lui fournit une puissance de 0dBm.

- a) Calculer la tension aux bornes du circuit d'adaptation (V_1) et en déduire la tension délivrée par le générateur ainsi que la tension aux bornes du dipôle (V_3) et de la résistance (V_2).

$$V_1=\text{racine}(50*1mW)=0.22V_{ef}, V_g=0.44V_{ef}, \text{ Toute la } P \text{ est consommée dans } R \text{ car on est à la résonance } V_2=V_3=\text{Racine}(1k*1mW)=1$$

- b) Remplacer le port par un générateur sinusoïdal en série avec une résistance de 50Ω pour simuler son impédance. Vérifier vos calculs

II- Adaptation à l'aide de l'abaque de Smith :

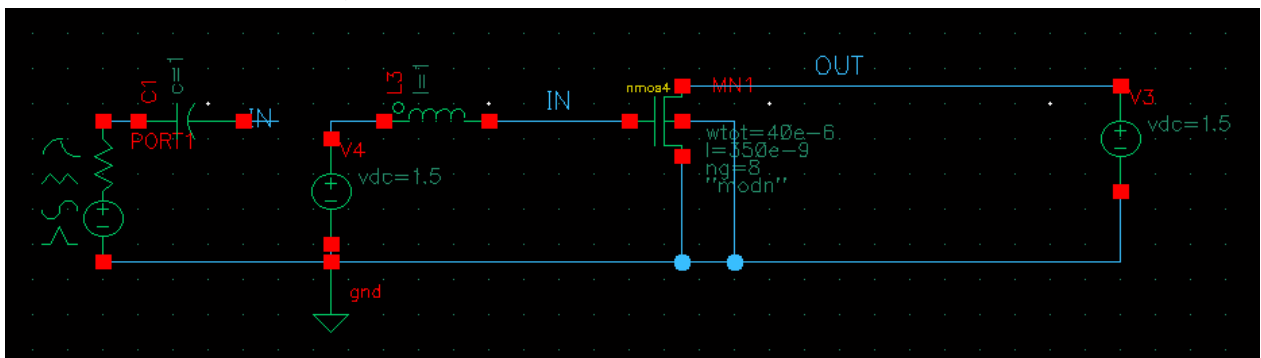
- Rappeler l'effet d'une inductance série, d'une capacité série d'une capacité // et d'une inductance // sur l'impédance d'un dipôle.
- A l'aide de l'abaque de smith donnée en annexe, proposer deux adaptations possibles du dipôle sur 50Ω sans calculer la valeur des composants.

- 3) A l'aide de simulation SP trouvez la valeur des composants nécessaires pour les deux adaptations. Pour cela vous effectuerez les simulations à fréquence fixe en faisant varier la valeur du composant que vous voulez rajouter dans la cellule.

$$C//=0.63pF \text{ et } LS=35.6nH \quad \text{ou} \quad L//=35.6nH \text{ et } CS=0.708$$

III- Impédance d'entrée et de sortie d'un transistor :

- 1) Rappeler le modèle petit signal du transistor
- 2) Pour un transistor MOS (nmos4 de la PRIMLIB) de dimension $W/L=40/0.35\mu m$ polarisé à $V_{gs}=1.5V$ et $V_{ds}=1.5V$
 - a. Réaliser une simulation DC et donnés les paramètres essentiels du modèle petit signal (C_{gs} , C_{gd} , g_m , g_{ds} , C_{db}). (ADE > Results > Print > DC operating Point)
 $C_{gs}=47.3f$, $C_{gd}=9fF$; $g_m=7.4m$, $g_{ds}=236u$, $c_{db}=19.9fF$
 - b. Réaliser le montage suivant permettant de mesurer en simulation l'impédance d'entrée. L'inductance de 1H est DC feed qui permet d'alimenter le circuit en DC mais isole le petit signal, la capacité de 1F est un DC Block qui isole le port 50Ω en DC pour ne pas perturber la polarisation. Enfin la source de tension continue qui polarise le V_{ds} permet de réaliser les conditions de fermetures (CC en AC) pour la mesure du transistor qui doit être considéré comme un quadripôle (non unilatéral à cause de l'effet miller).



Mesurer l'impédance d'entrée grâce à ZM puis avec YP et retrouvez l'équivalence.

$$ZM=0.5-j2.7k \text{ (Rs=0.5}\Omega \text{ et Cs=1/2.7k2piFo=58.9fF=Cgs+Cgd)}$$

$$YP=73n+365u \text{ (Rp=13,7M}\Omega \text{ et Cp=365u/2piFo=58fF)}$$

$$Rs=Rp/Q^2 \text{ Q=1/RsCsw=1/0.5*58.9f*2pi.Fo=5.4K et Rs=13.7M/(5.4K)^2=0.46}$$

- c. Modifier le montage pour regarder l'admittance de sortie (attention aux conditions de fermeture). Quelles sont les capacités qui constituent la capacité de sortie Cout. Mesurer Rout et Cout et retrouver g_{ds} et $C_{db}+C_{dg}$.
- d. Remplacer le MOS par un nmosrf de la PRIMLIBRF ($W_{finger}=10\mu m$). Comment est modifiée l'impédance d'entrée. Expliquez. Replié le transistor en prenant des $W_{finger}=5\mu m$. Quel effet cela a-t-il sur le transistor.

The Complete Smith Chart

Black Magic Design

