


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42



计算机组成与结构实验指导书-LAB1

	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	1 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

1. OVERVIEW

1.1 实验名称

FPGA 基础实验: SWITCH, PUSHBUTTON and LED

1.2 实验目的

1. 掌握 Xilinx 逻辑设计工具 ISE 的设计流程
2. 初步掌握使用 VerilogHDL 硬件描述语言进行简单的逻辑设计
3. 掌握 UCF (用户约束文件) 的用法和作用
4. 熟悉 Xilinx Spartan 3E 实验开发板

1.3 实验范围

本次实验将覆盖以下范围:

1. ISE13.4 的使用
2. 使用 VerilogHDL 进行逻辑设计
3. 编辑 UCF
4. iMPACT 的使用
5. Spartan 3E 实验板的使用

1.4 实验预计时间


90 分钟

1.5 实验报告与验收办法

本实验不需提交纸质报告, 实验完毕需验收登记作为平时成绩

1.6 注意事项

1. 本实验的逻辑设计工具为 Xilinx ISE13.4, 但不仅限于此。学生可以使用自己喜欢的逻辑设计工具, 如 Snyplify 等。

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	2 of 13
	作者 WnSN Lab	修改日期 9/21/2012	公开	

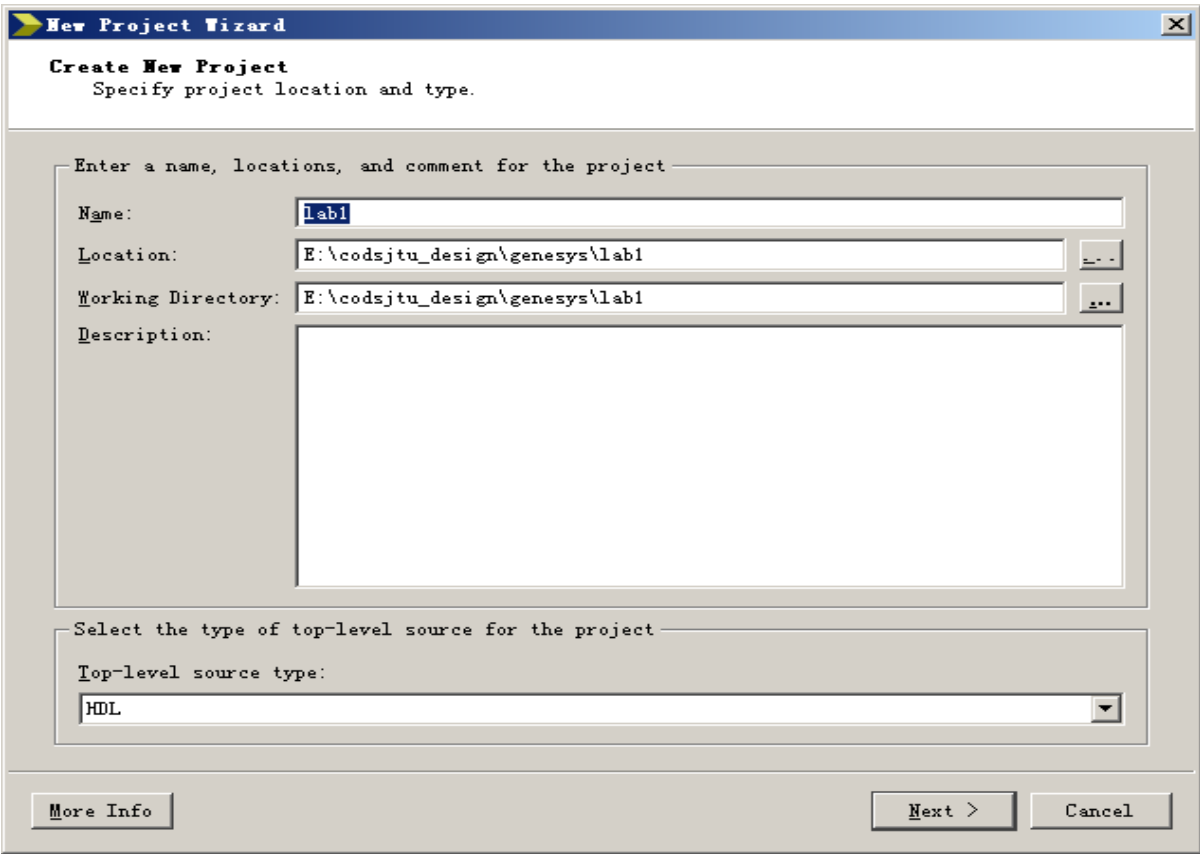
2. SWITCH BUTTOM AND LED

2.1 编号

2.2 实验描述

2.2.1 新建工程


1. 启动 ISE 13.4。
2. 选择 File > New Project... 出现 New Project Wizard。或 Start 中点击 New Project...按钮
3. Name 填写 lab1，Location 可选择 E 盘自建的文件夹，Top-level Source Type 选择 HDL。点击 Next。



4. Project Settings 中各属性选择如下：

Product Category: **ALL**

Family: **Spartan3E**

	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	3 of 13
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	

Device: **XC3S500E**
 Package: **FG320**
 Speed: **-4**
 Synthesis Tool: **XST(VHDL/Verilog)**
 Simulator: **ISim (VHDL/Verilog)**
 Preferred Language: **Verilog**

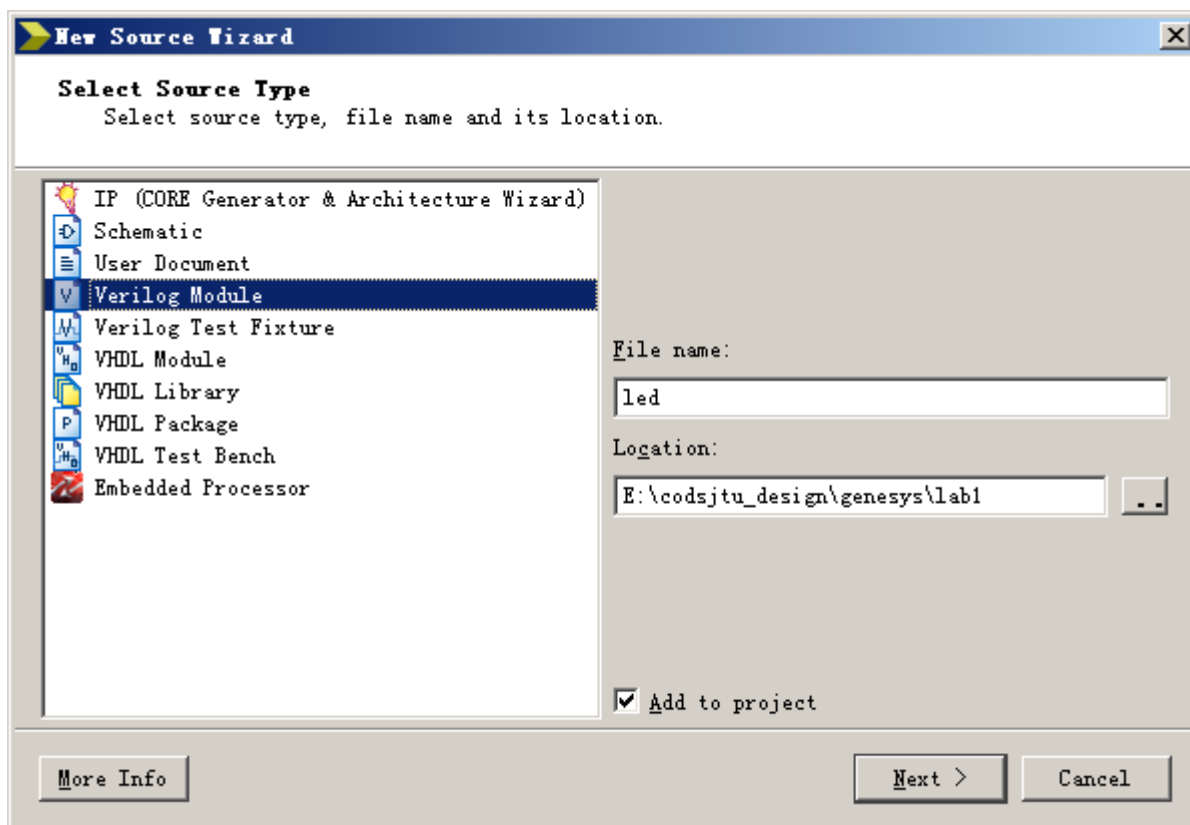
Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

5. 点击 Next。

6. 点击 Finish。

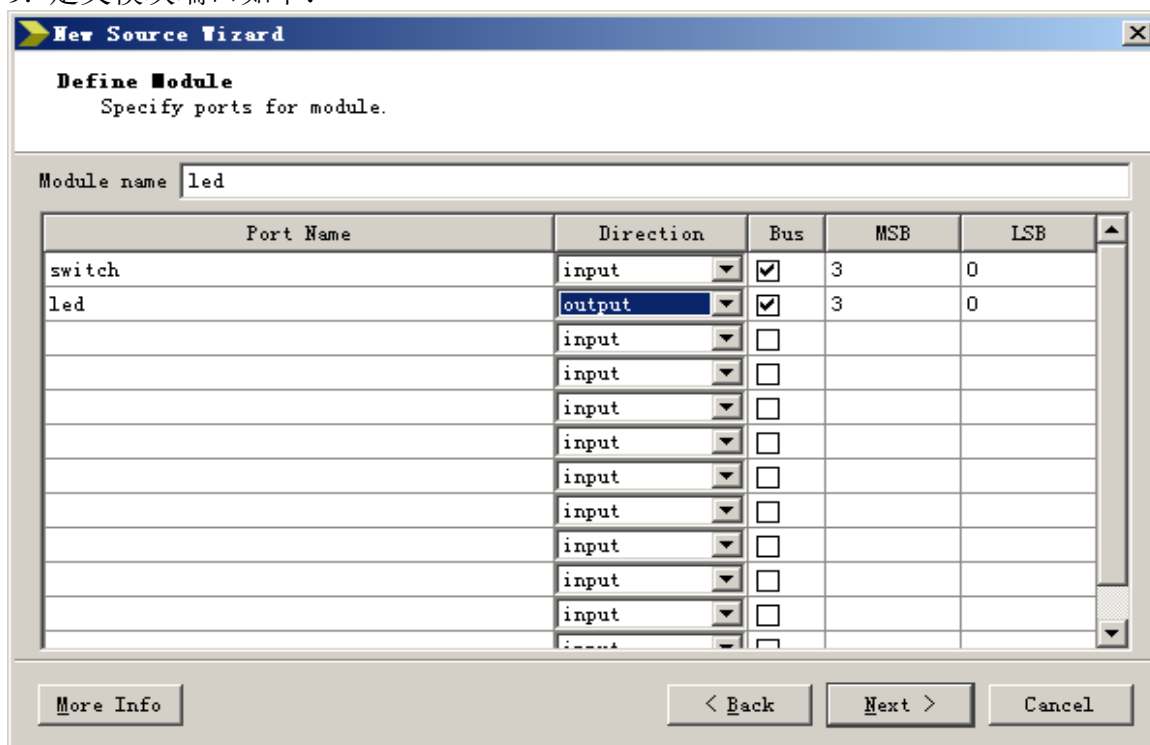
7. 选中 lab1 右键选择 New Source...或 Project 选择之。文件类型选择 Verilog Module, 文件名填写 led, 勾选 Add to project。


	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	4 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		



8. 点击 Next。

9. 定义模块端口如下：

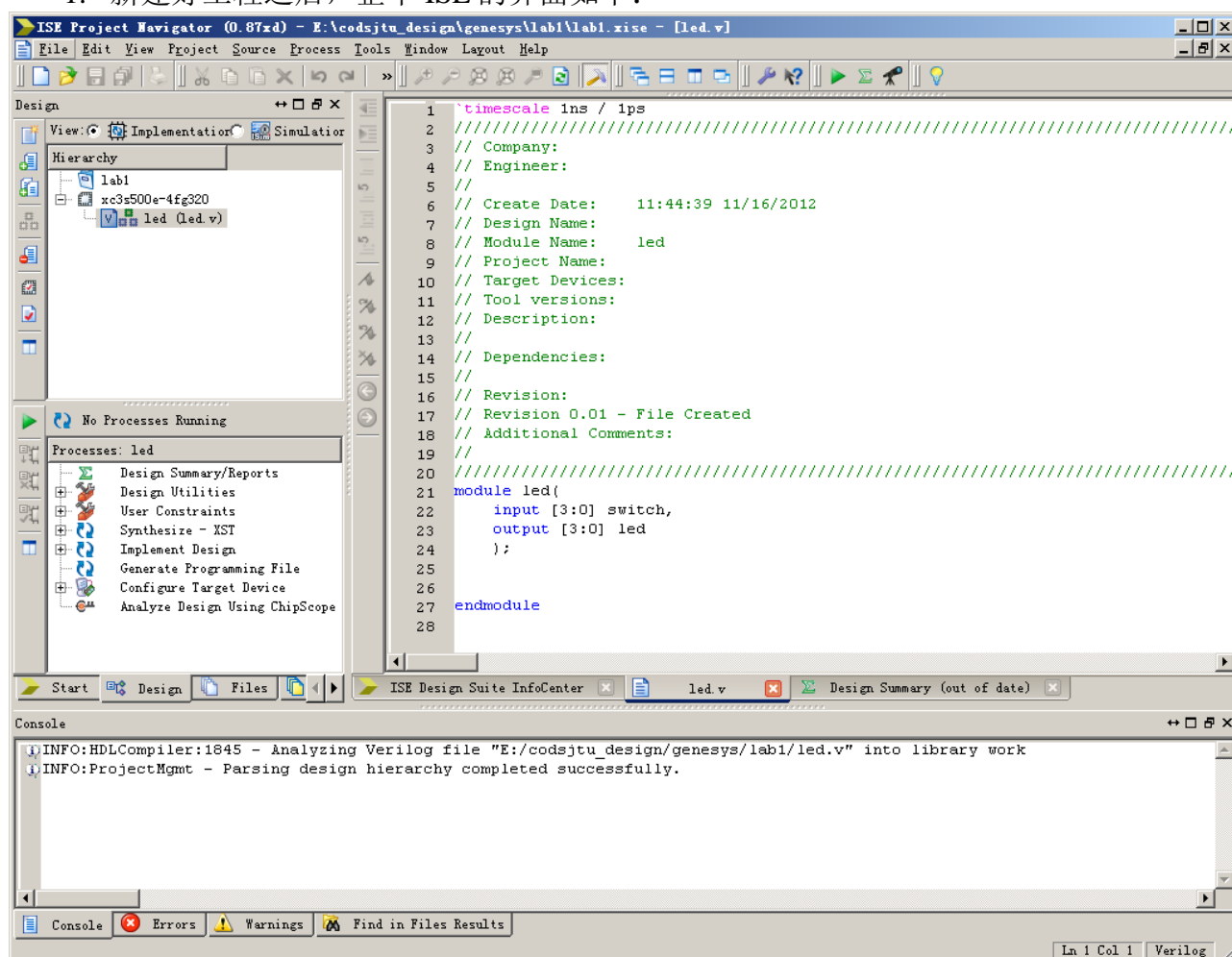


	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	5 of 13
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	

10. 点击 Next, 在 New Source Wizard-Summary 中点击 Finish。

2.2.2 编写 Verilog 代码

1. 新建好工程之后, 整个 ISE 的界面如下:



2. 在 module led 中添加如下代码, 4 个 switch 输入端口赋值给 led 输出端口

```
20 ///////////////////////////////////////////////////
21 module led(
22     input [3:0] switch,
23     output [3:0] led
24 );
25
26     assign led[3:0] = switch[3:0];
27
28 endmodule
29
```

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	6 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

2.2.3 添加 Testbench 仿真文件进行行为级仿真

由于本次实验设计简单，所以该步骤省略。

2.2.4 指定管脚位置约束

UCF 文件就是用户约束文件的简称，编辑 UCF 文件可以对 FPGA 的设计进行约束。其内容可以涉及到时钟约束、群组约束、逻辑管脚约束以及物理属性约束。

新建用户约束文件：

1. Hierarchy 窗口中右键 led.v，选择 New Source...或 Project 选择之。文件类型选择 Implementation Constraint File，文件名填写 led，确认勾选 Add to project。
2. 点击 Next。
3. Summary 中，点击 Finish。
4. 点击 Save 按钮。
5. 定义 led 和 switch 的逻辑管脚和物理属性约束（为 module led 模块输入输出定义管脚位置，让它们正确连接到 Spartan-3E 开发板）：
 - 1) 在 Processes 窗口中选中 led.ucf，然后在 Processes 窗口双击 Edit Constraints (Text) 打开文本编辑器，然后输入如下内容：


```
1
2 NET "led<3>" LOC = "F11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
3 NET "led<2>" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
4 NET "led<1>" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
5 NET "led<0>" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
6 NET "switch<0>" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
7 NET "switch<1>" LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
8 NET "switch<2>" LOC = "H18" | IOSTANDARD = LVTTTL | PULLUP ;
9 NET "switch<3>" LOC = "N17" | IOSTANDARD = LVTTTL | PULLUP ;
10
```

- 2) 点击 Save。

2.2.5 综合编译硬件设计

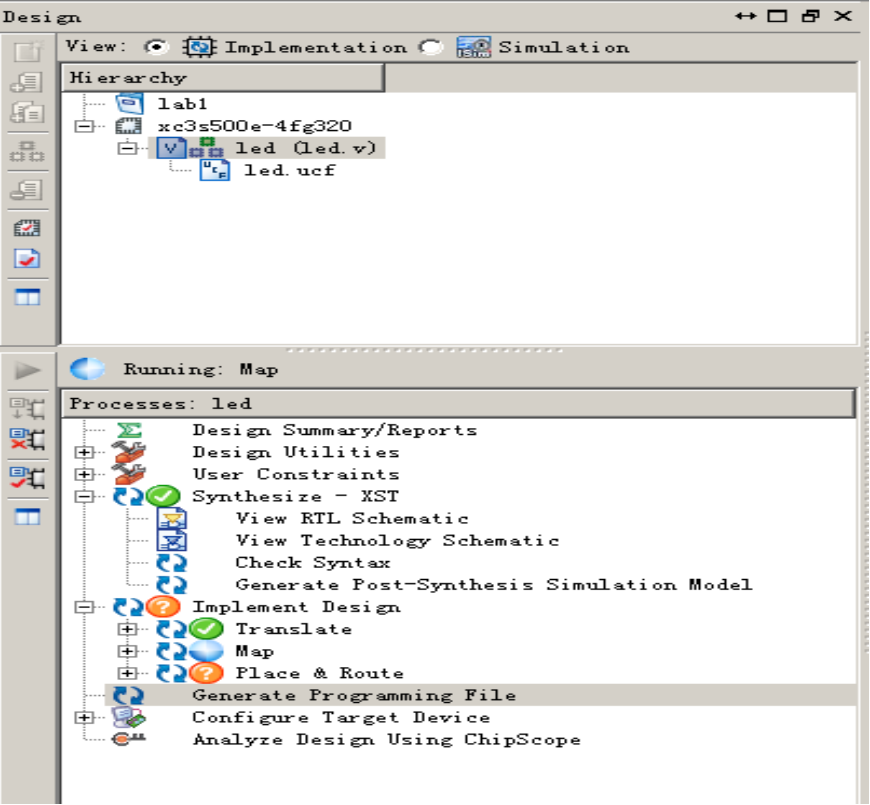
HDL 模块和 UCF 文件已经编辑完成，接下来就是调用 ISE 工具生成 FPGA 配置文件，该过程包含了如下两大步骤：

- (一)：综合(Synthesize)，将 HDL 语言、原理图等设计输入翻译成由与、或、非门和 RAM、触发器等基本逻辑单元的逻辑连接（网表），并根据目标和要求（约束条件）优化所生成的逻辑连接。完成了输入和仿真后就可以进行综合了。

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	7 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

(二)：实现（Implement）。将综合输出的逻辑网表翻译成所选器件的底层模块与硬件原语，将设计映射到器件结构上，进行布局布线，达到在选定器件上实现设计的目的。实现主要分为 3 个步骤：翻译（Translate）逻辑网表，映射（Map）到器件单元与布局布线（Place & Route）。在 ISE 中，执行实现过程，会自动执行翻译、映射和布局布线过程，也可以单独执行。硬件配置是 FPGA 开发最关键的一步，只有将 HDL 代码下载到 FPGA 芯片中，才能进行调试并最终实现相应的功能

1. 在 Hierarchy 窗口中选择 led.v top 层文件，在 Process 窗口中双击 Generate Programming File，则将生成 FPGA 配置文件(bit 流文件)。该操作运行包含了综合和实现过程。



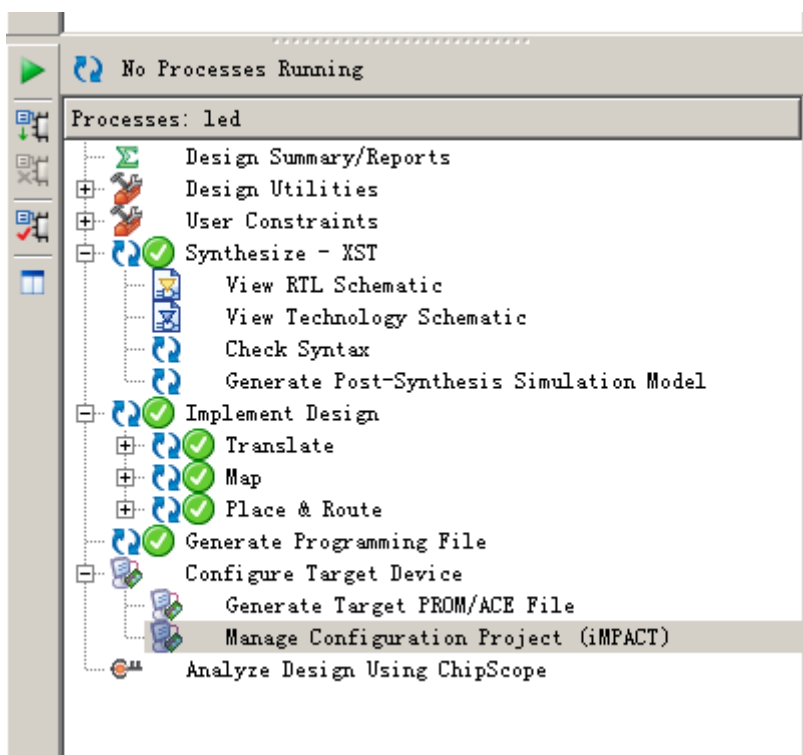
2.2.6 下载到开发板验证


1. 开发板上接上 5V DC 电源，连接好 USB 下载线。
2. 打开实验板上电源开关，若是第一次连接使用需要安装驱动。

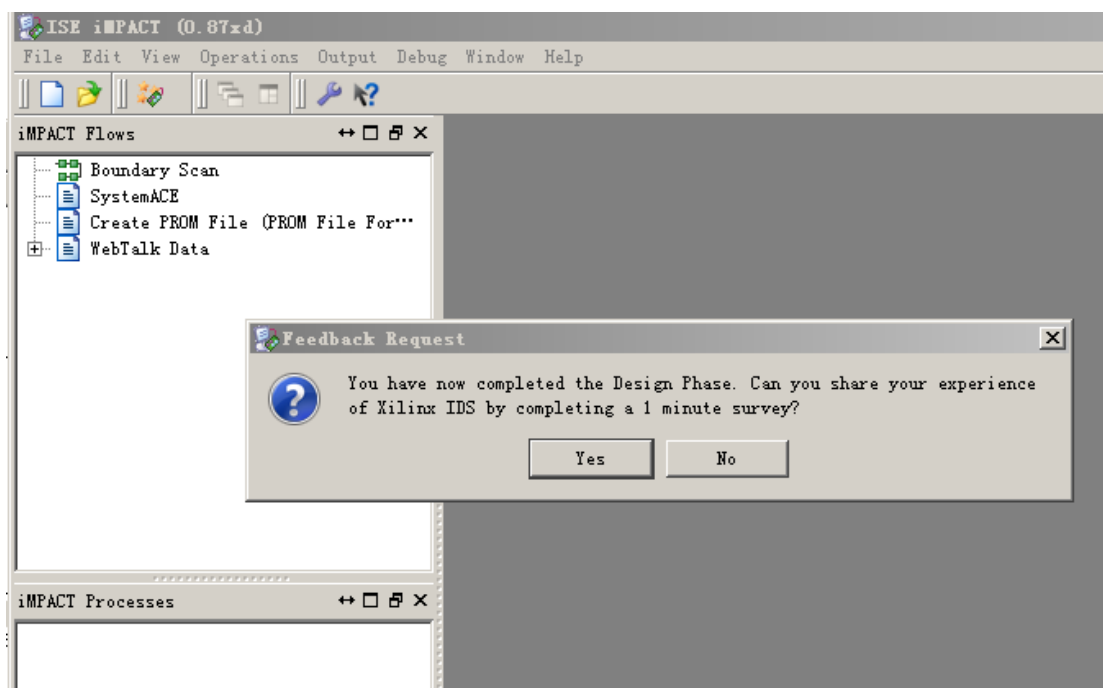
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	8 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		



3. 调用 iMPACT 工具，双击 Process 窗口中的 Manage Configuration Project(iMPACT)。

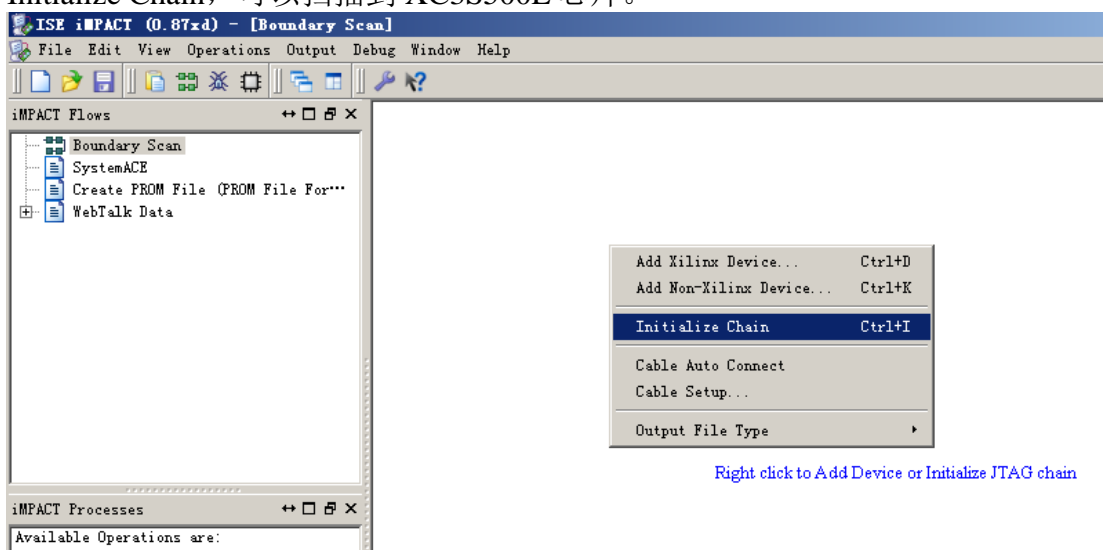


 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	9 of 13
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	




4. 点击 No。

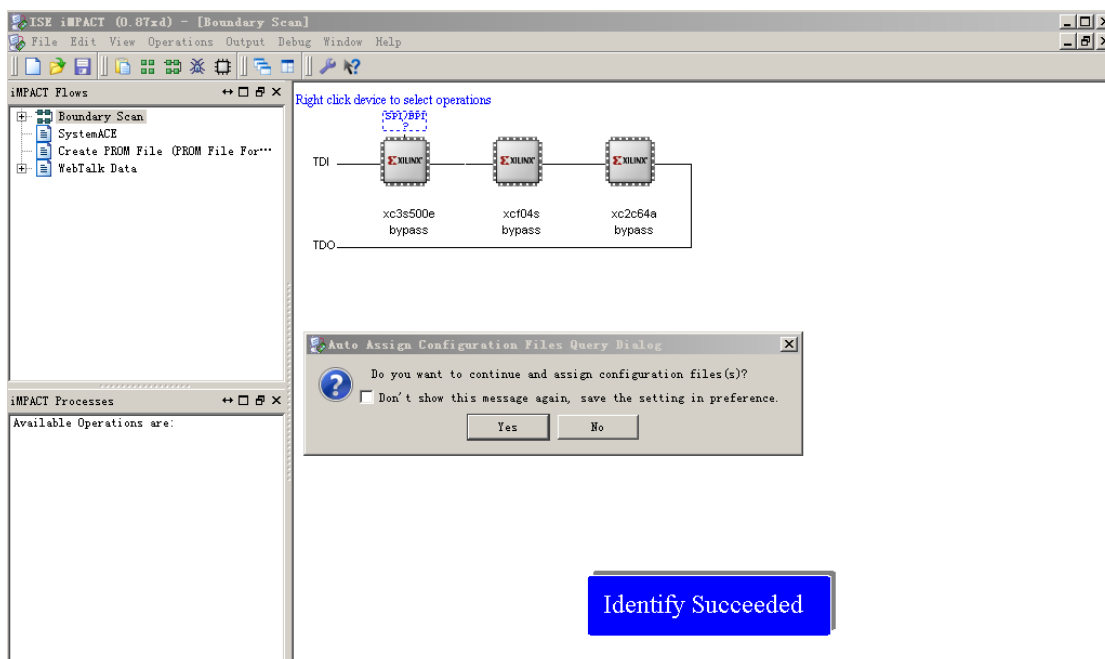
5. 进入 iMPACT 工具，双击 iMPACT Flows 中的 Boundary Scan，右键点击右侧窗口，选择 Initialize Chain，可以扫描到 XC3S500E 芯片。



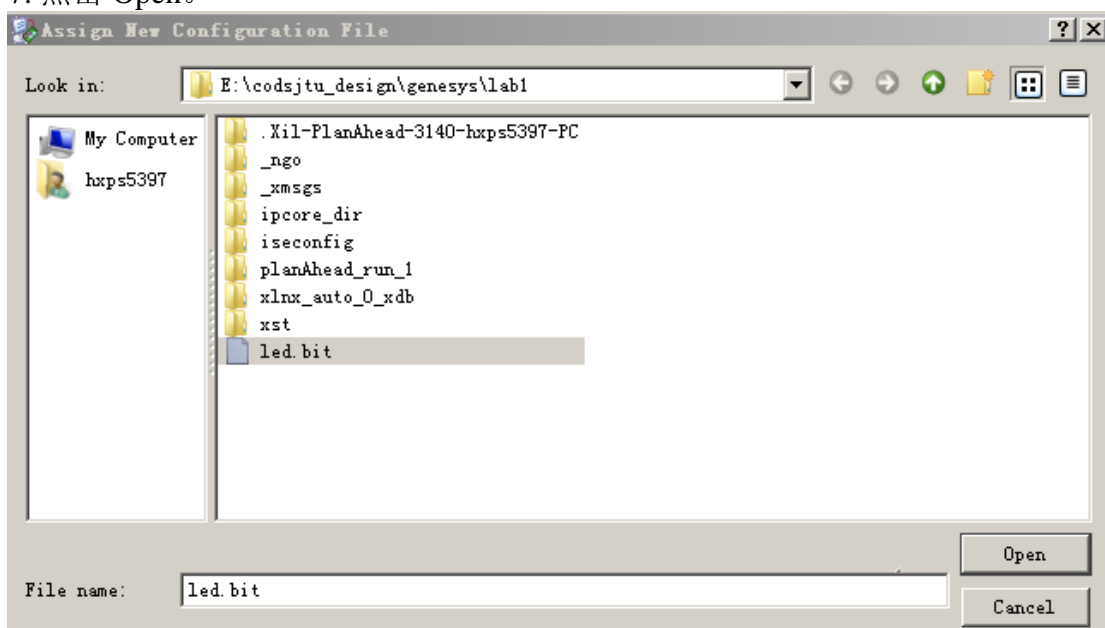
Right click to Add Device or Initialize JTAG chain

6. 点击 Yes，选择新的配置文件。

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	10 of 13
作者	修改日期	公开		
WnSN Lab	9/21/2012			



7. 点击 Open。



8. 点击 No。

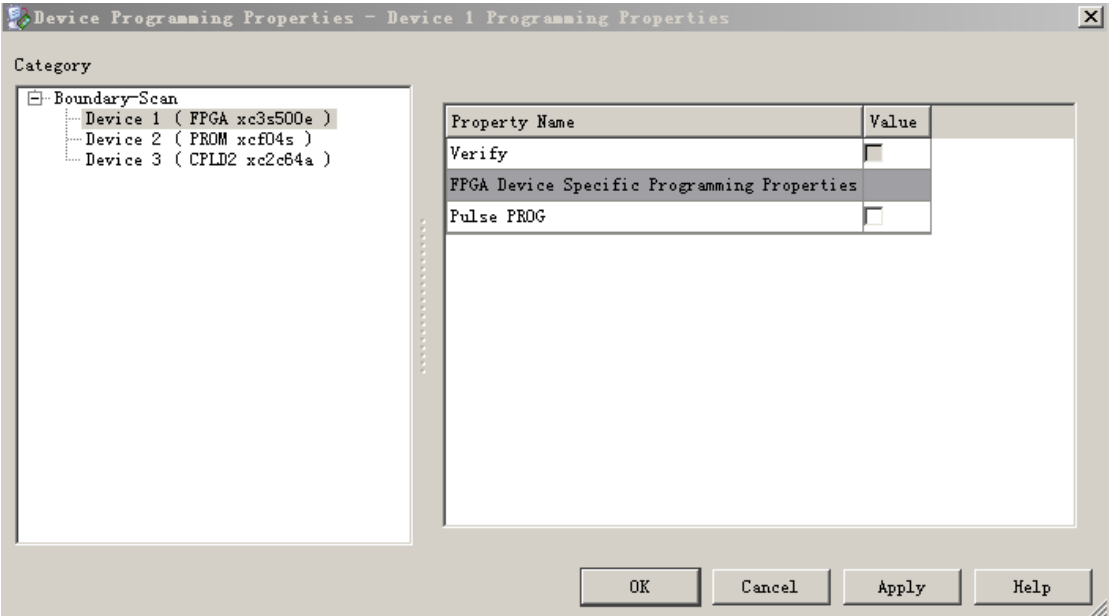


	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	11 of 13
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	

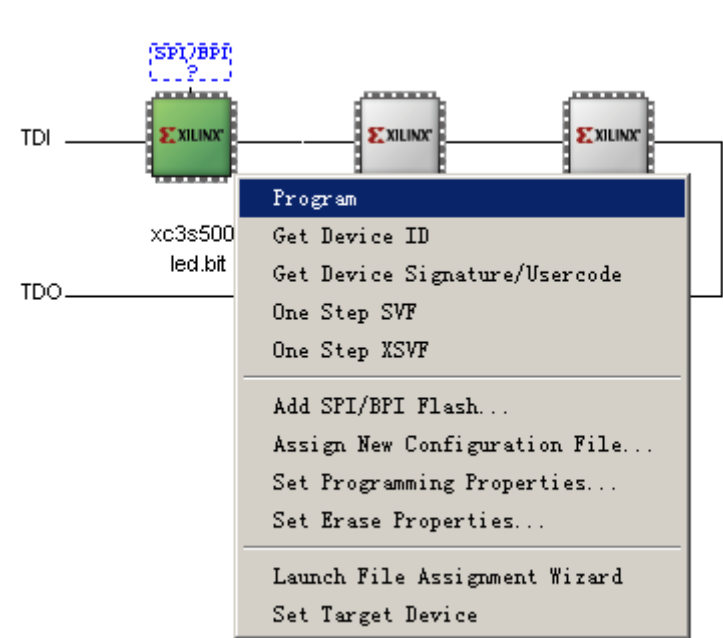
9. 点击 Cancel 或 Pypass。


10. 再点击 Cancel 或 Bypass。

11. 下图中，点击 Ok。



12. 在 iMPACT 窗口中，右键选中待烧写 led.bit 的在用的 FPGA 芯片，点击 Program 进行下载。




 <div>上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering</div>	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1 作者 WnSN Lab	CSE-COA-LAB-001 修改日期 9/21/2012	0.3	12 of 13 公开

13. 点击 OK。当程序下载完成，ISE 会显示下载“烧写”成功：



14. 通过拨动实验板上的 4 个 Switch（拨码开关）观察 4 个 LED 的状态，LED 是否相应亮灭。

2.3 实验报告

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成与结构实验指导书 LAB1	CSE-COA-LAB-001	0.3	13 of 13
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		