



AXO - Architettura dei Calcolatori e Sistemi Operativi

reti sequenziali



Sommario

- ❑ Circuiti sequenziali e elementi di memoria
- ❑ Bistabile SR asincrono
- ❑ Temporizzazione e clock
- ❑ Bistabili D e SR sincroni
- ❑ Flip-flop



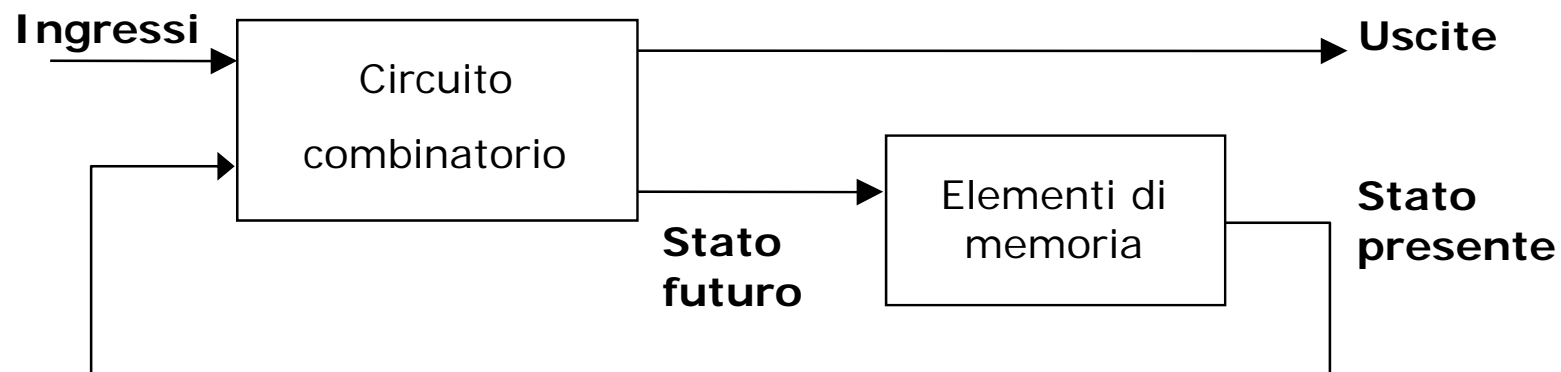
Circuiti sequenziali

- ❑ Un circuito digitale è di tipo **sequenziale** se le sue uscite dipendono non solo dai valori correnti degli ingressi, ma anche da (alcuni di) quelli passati
 - Una stessa configurazione di ingresso applicata in due istanti di tempo successivi può produrre due valori di uscita differenti
- ❑ Un circuito digitale sequenziale (o rete sequenziale) è pertanto dotato, in ogni istante di tempo, di uno **stato** che, insieme ai valori degli **ingressi**, ne determina il **comportamento futuro**
 - Lo **stato** di un circuito sequenziale rappresenta una forma di **memoria** e contiene una sorta di descrizione della storia passata del circuito stesso
- ❑ L'elemento funzionale elementare per la realizzazione di circuiti sequenziali è il **bistabile (elemento di memoria)**, che è in grado di memorizzare un bit di informazione



Circuiti sequenziali: struttura

- I circuiti sequenziali sono formati da:
 - **bistabili**, che hanno la funzione di memorizzare valori di singoli bit
 - **porte logiche**, organizzate in reti combinatorie, che hanno funzioni di elaborazione di informazioni
- Il circuito sequenziale ha, in ogni istante, uno **stato**: il **valore dei bit** memorizzati nei bistabili facenti parte del circuito





Elementi di memoria

- ❑ Gli elementi di memoria fondamentali, o **bistabili**, sono caratterizzati da **due stati** (0 e 1) **stabili**
- ❑ Mantengono lo stato memorizzato finchè uno o più segnali di ingresso **forzano** il cambiamento di stato
- ❑ Vengono classificati in base a
 - numero di ingressi previsti per comandare il bistabile
 - modo in cui tali ingressi determinano il cambiamento di stato



Bistabili: classificazione

- Esistono due famiglie di bistabili (circuiti digitali sequenziali):
 - **Asincroni**: sono privi di un segnale di sincronizzazione e modificano lo stato rispondendo direttamente a eventi sui segnali di ingresso
 - **Sincroni**: sono sensibili ad un segnale di controllo (o di sincronizzazione) e la transizione da uno stato all'altro può avvenire solo in corrispondenza di **eventi** del segnale di controllo.
 - Si può dire che il comportamento di un circuito sincro viene osservato in **istanti discreti** di tempo
 - Il segnale di sincronizzazione tipicamente utilizzato è il clock
 - Ulteriore classificazione dei bistabili sincroni:
 - **bistabili sincroni controllati** (gated latch)
 - **flip flop**
 - » flip flop master slave (a livello o pulse triggered)
 - » flip flop edge-triggered (a fronte)



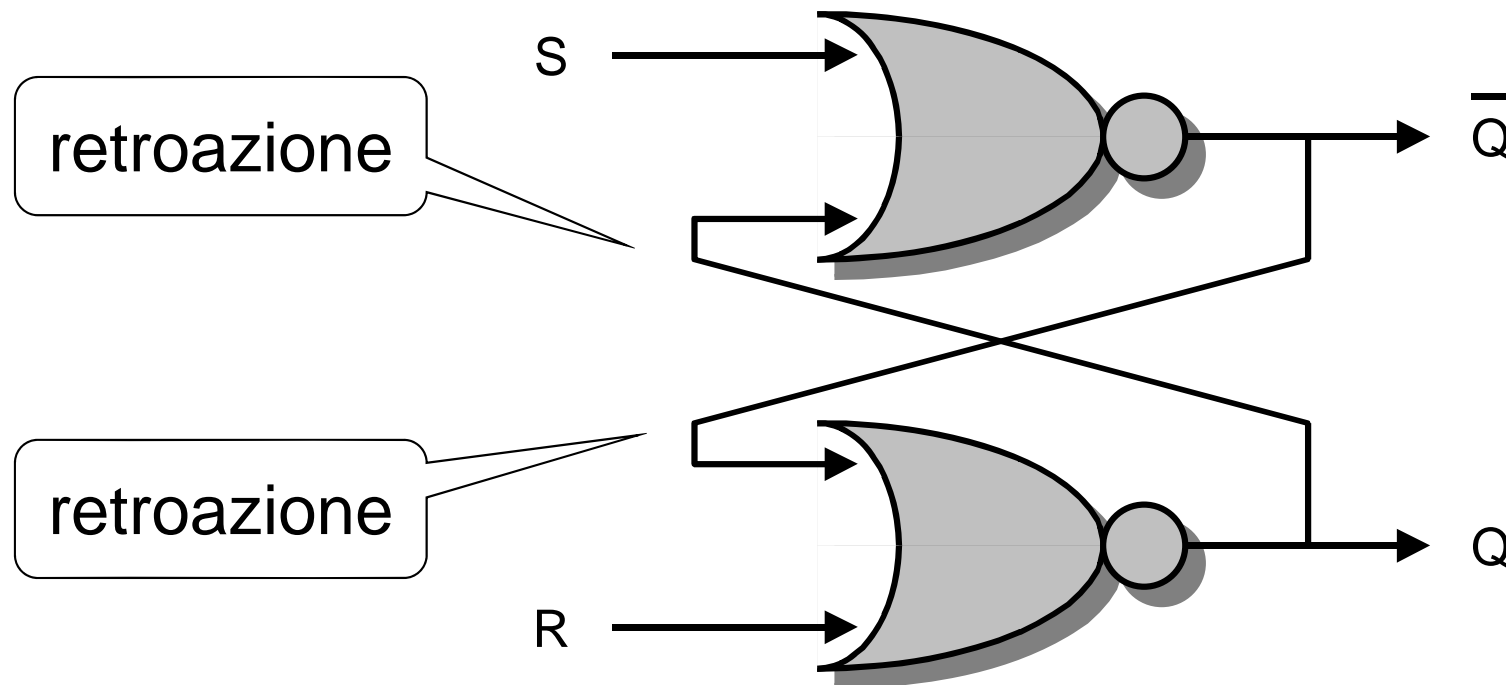
Bistabile SR asincrono

- Il bistabile SR è dotato di 2 ingressi S (Set) e R (Reset) e di 2 uscite Q e !Q.
 - Se $Q = 1$ ($!Q = 0$) : stato di set
 - Se $Q = 0$ ($!Q = 1$) : stato di reset
- L'uscita **Q** rappresenta quindi lo **stato memorizzato**
 - se $S = R = 0$, le uscite Q e !Q possono valere 1 e 0, rispettivamente, ma ...
 - se $S = R = 0$, le uscite Q e !Q possono anche valere 0 e 1, rispettivamente
- Dunque, a parità di ingressi (cioè $S = R = 0$) l'uscita Q ammette due possibili valori.



Come memorizzare un bit

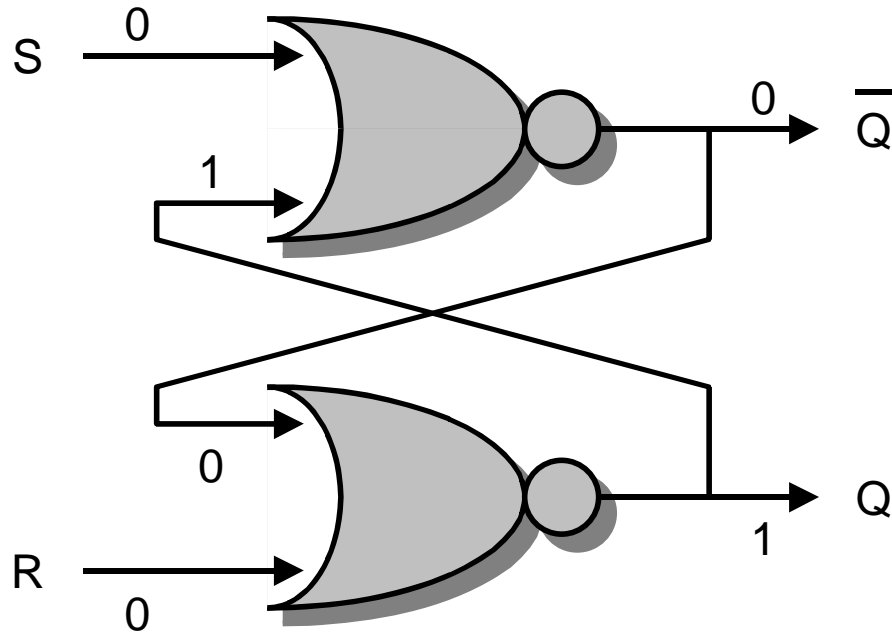
Bistabile SR asincrono



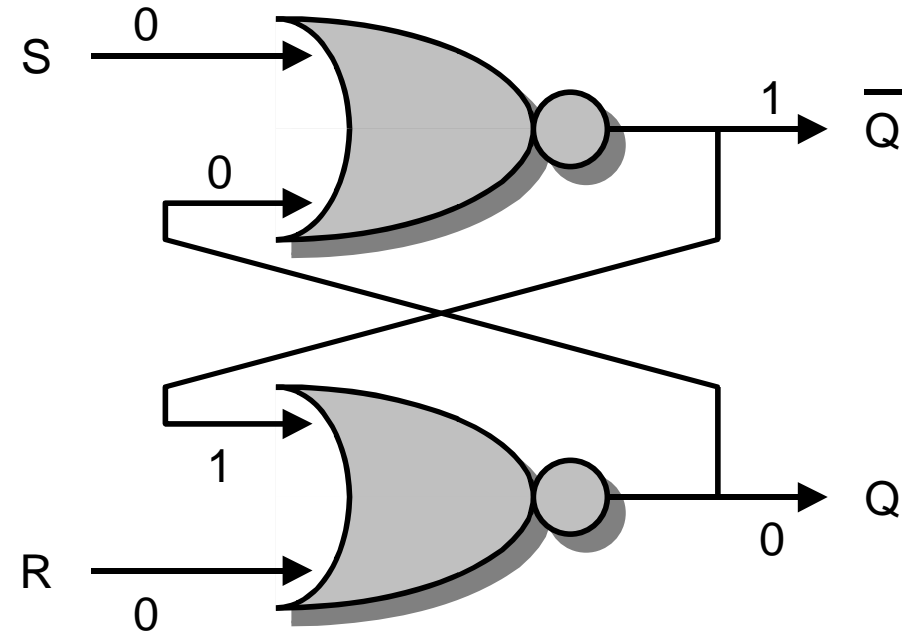
- Il circuito ha due ingressi, S e R , e due uscite: Q e \bar{Q} (la versione negata di Q)



Come funziona il bistabile SR



$S = R = 0$ e $Q = 1$
memorizza il valore 1



$S = R = 0$ e $Q = 0$
memorizza il valore 0

Il circuito ha due stati di equilibrio (bistabile)



Transizioni di stato

- ❑ Il bistabile SR è in grado di memorizzare due distinti valori logici:
 - se $Q = 1$ il bistabile memorizza 1
 - se $Q = 0$ il bistabile memorizza 0

- ❑ Stato a 0
 - se $S=0$ e $R=1$, qualunque sia il valore dello stato presente, Q viene portata a 0, e $!Q$ a 1. Il nuovo stato è 0

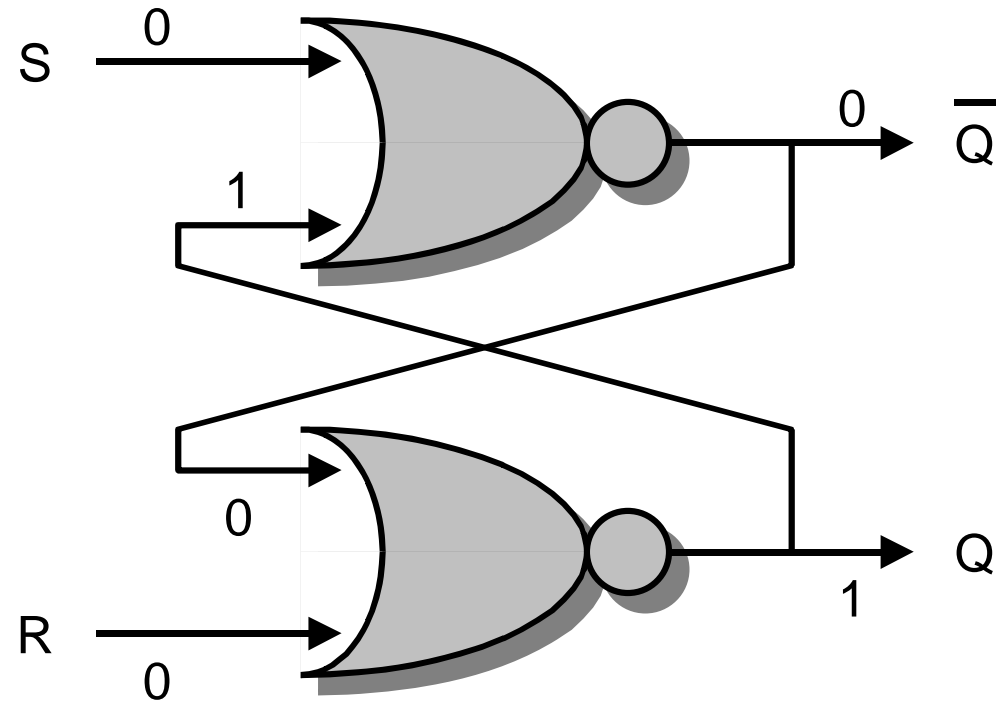
- ❑ Stato a 1
 - se $S=1$ e $R=0$, qualunque sia il valore dello stato presente, Q viene portata a 1, e $!Q$ a 0. Il nuovo stato è 1



Transizione da 1 a 0 - $Q=1$ ⁽¹⁾

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



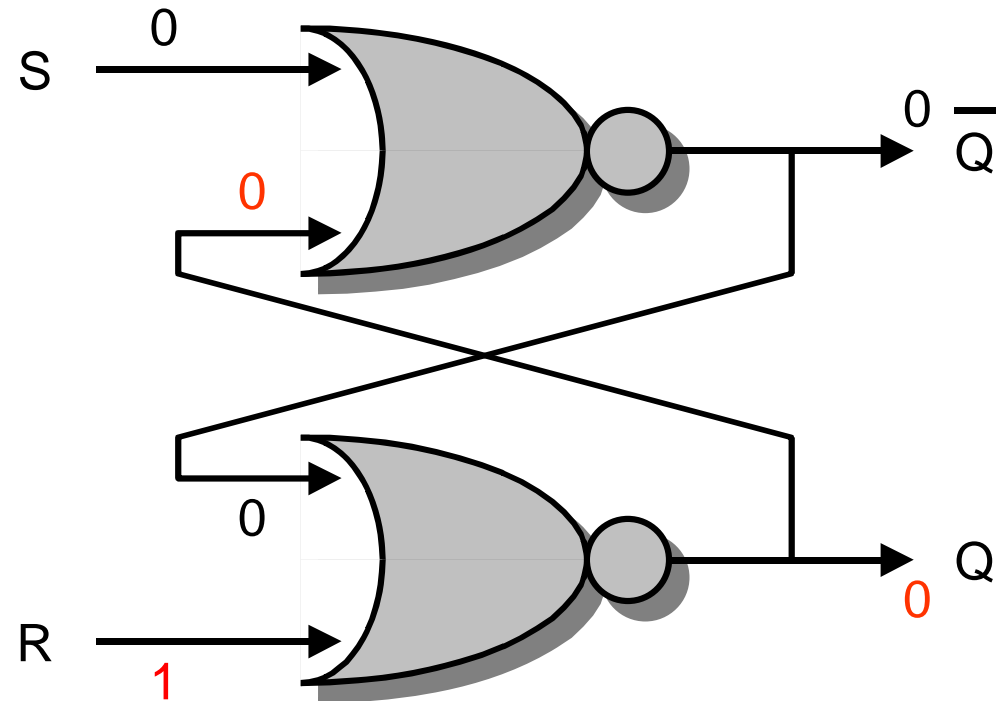
$$S = R = 0 \text{ e } Q = 1$$



Transizione da 1 a 0 - $Q=1$ (2)

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

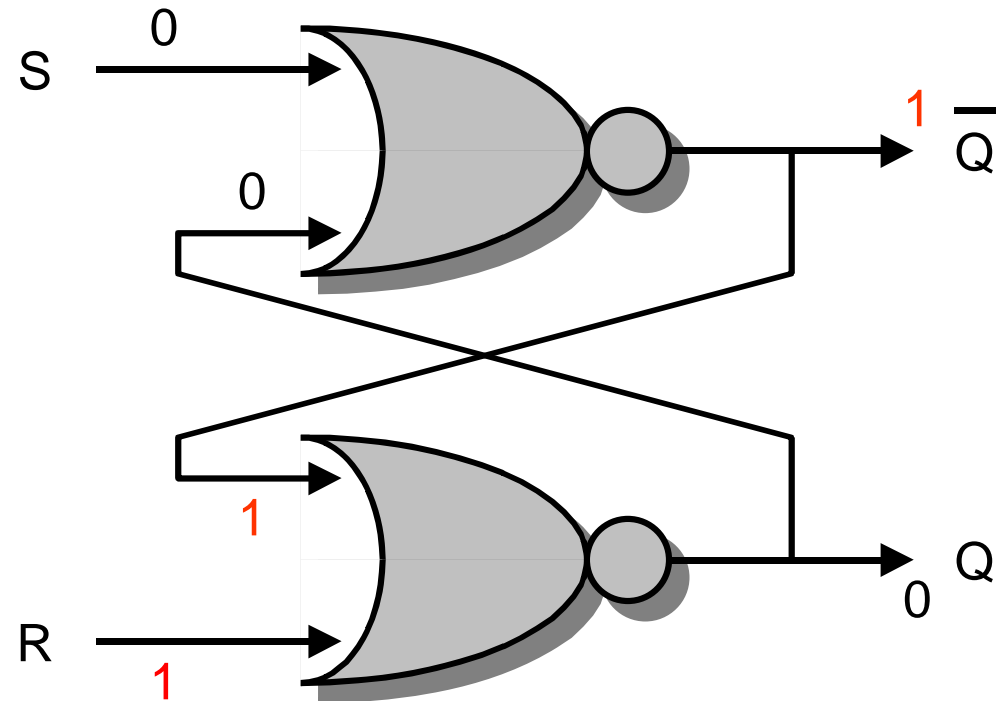




Transizione da 1 a 0 - $Q=1$ (3)

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



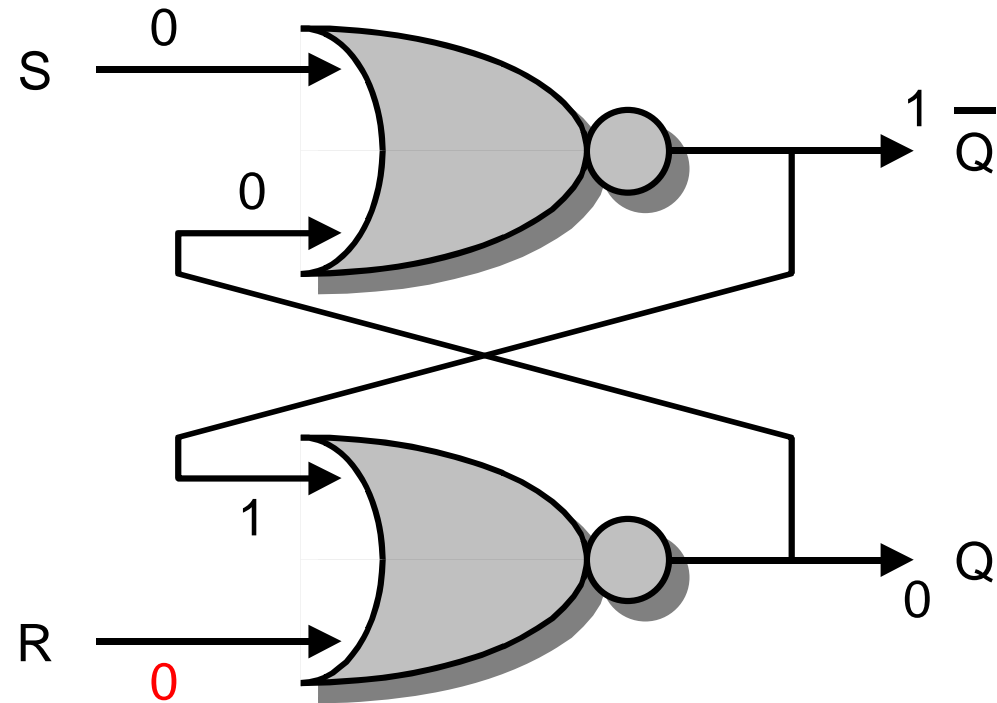
$S = 0$ e $R = 1$, allora Q diventa 0



Transizione da 1 a 0 - $Q=1$ (4)

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



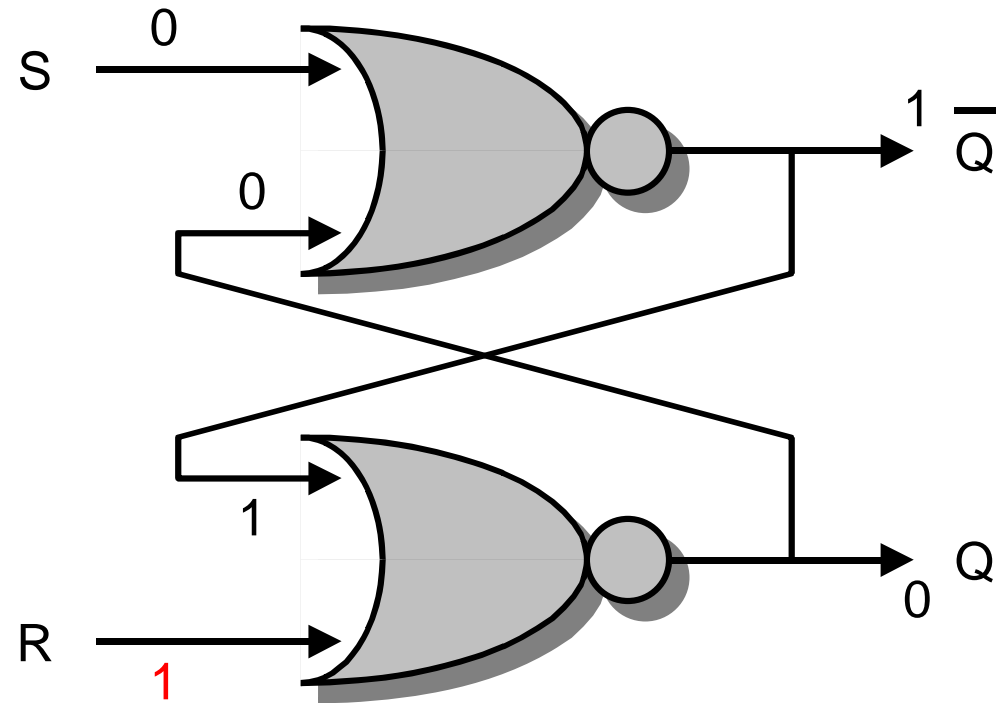
$S = R = 0$, allora Q rimane 0



Ingresso di Reset con $Q=0$

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



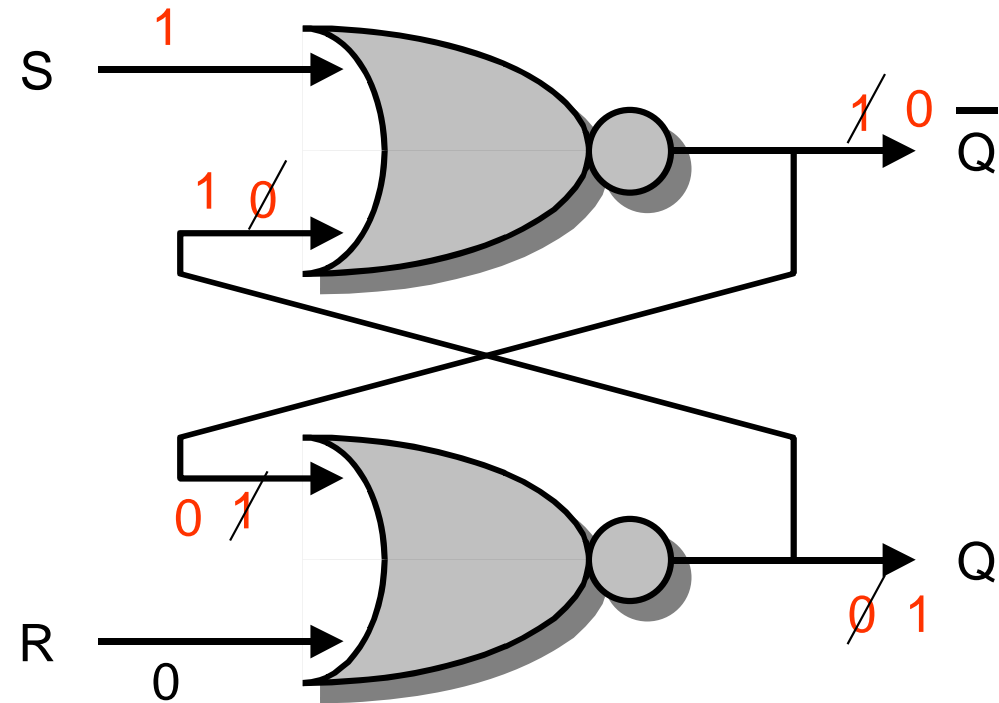
$S = 0$ e $R = 1$, Q rimane 0



Transizione da 0 a 1 - $Q=0$

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



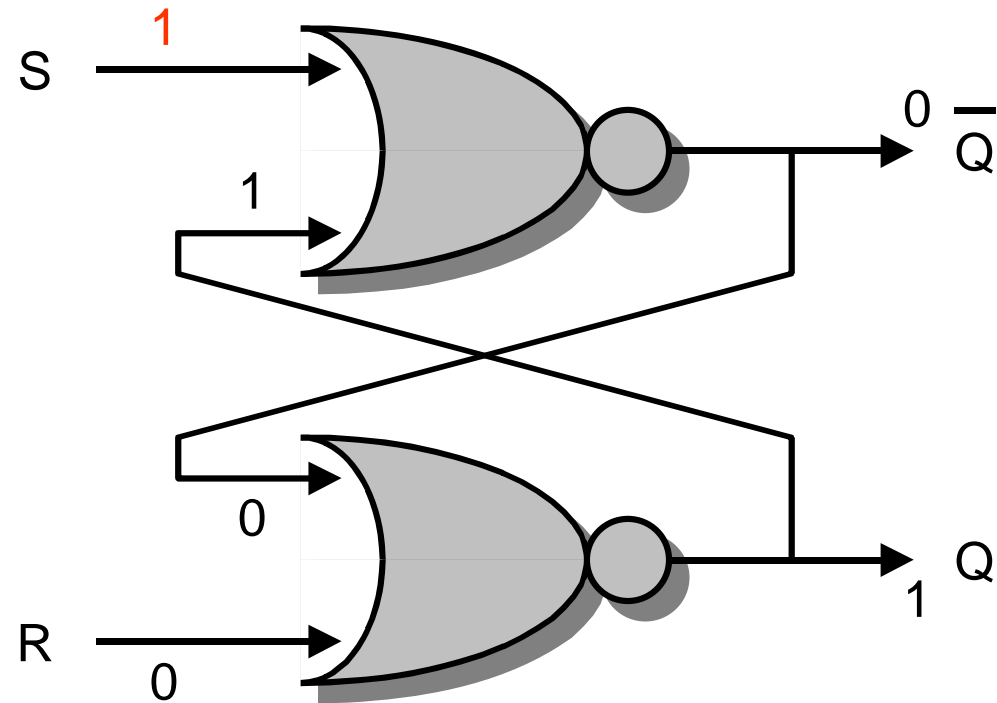
$S = 1$ e $R = 0$, allora Q diventa 1



Ingresso di Set con $Q=1$

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



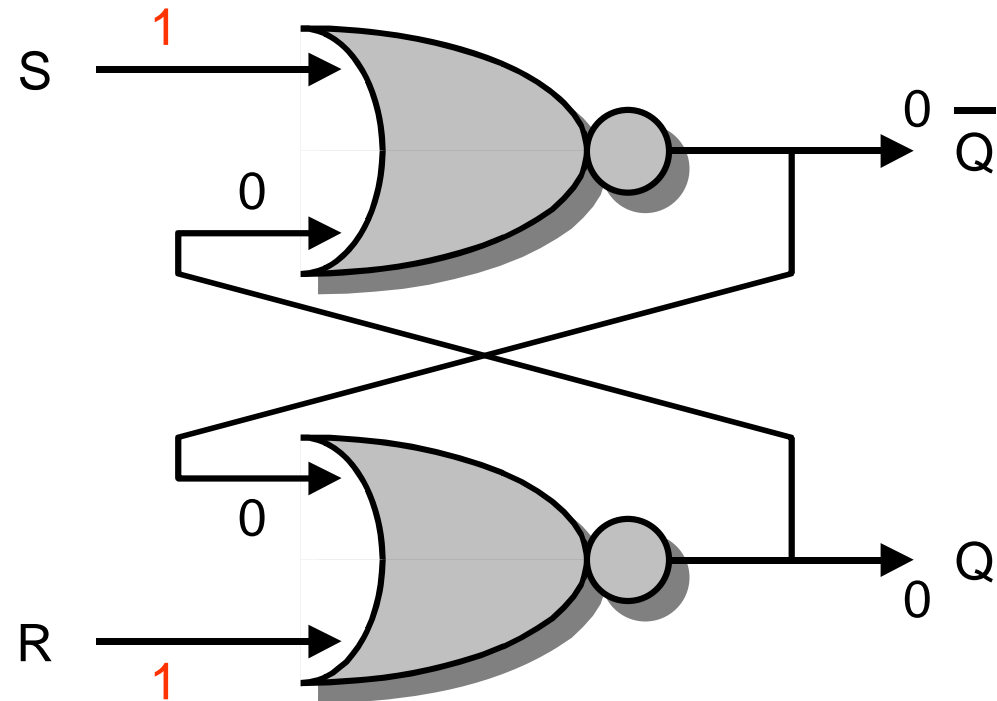
$S = 1$ e $R = 0$, allora Q rimane 1



Anomalia di funzionamento $S=R=1$

NOR

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



$S = 1$ e $R = 1$, allora idealmente Q e \bar{Q} a 0



Riassumendo

- Funzionamento del bistabile SR:
 - se $S = R = 0$, l'uscita Q mantiene memorizzato il valore logico di un bit (0 oppure 1)
 - se $S = 1$ e $R = 0$, l'uscita Q assume il valore logico 1
 - se $S = 0$ e $R = 1$, l'uscita Q assume il valore logico 0
 - è vietato applicare la configurazione di ingresso $S = R = 1$ (in questa circostanza il comportamento del bistabile SR non è definito)



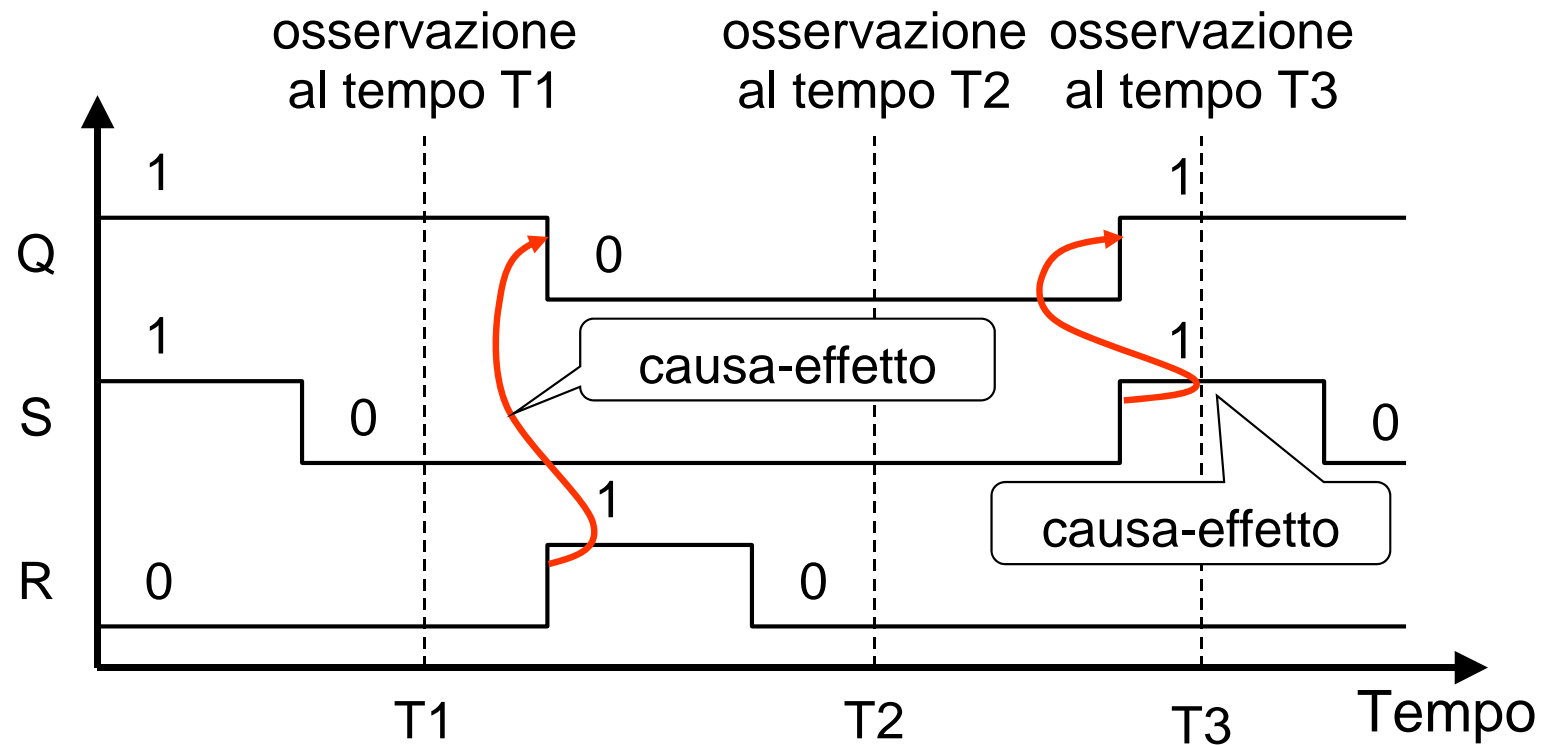
Il diagramma temporale

- ❑ Un buon modo per visualizzare comportamenti di circuiti digitali che dipendono dal tempo e da eventi passati (circuiti sequenziali) è il **diagramma temporale**

- ❑ **Diagramma temporale**: sistema di assi cartesiani, con
 - in ascissa il tempo (in istanti discreti)
 - in ordinata i vari segnali i cui valori logici si succedono al trascorrere del tempo



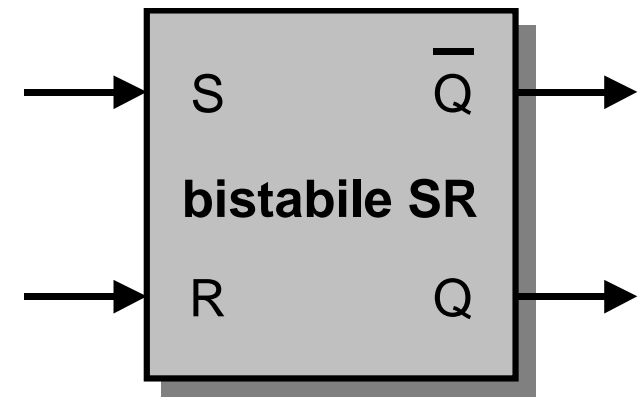
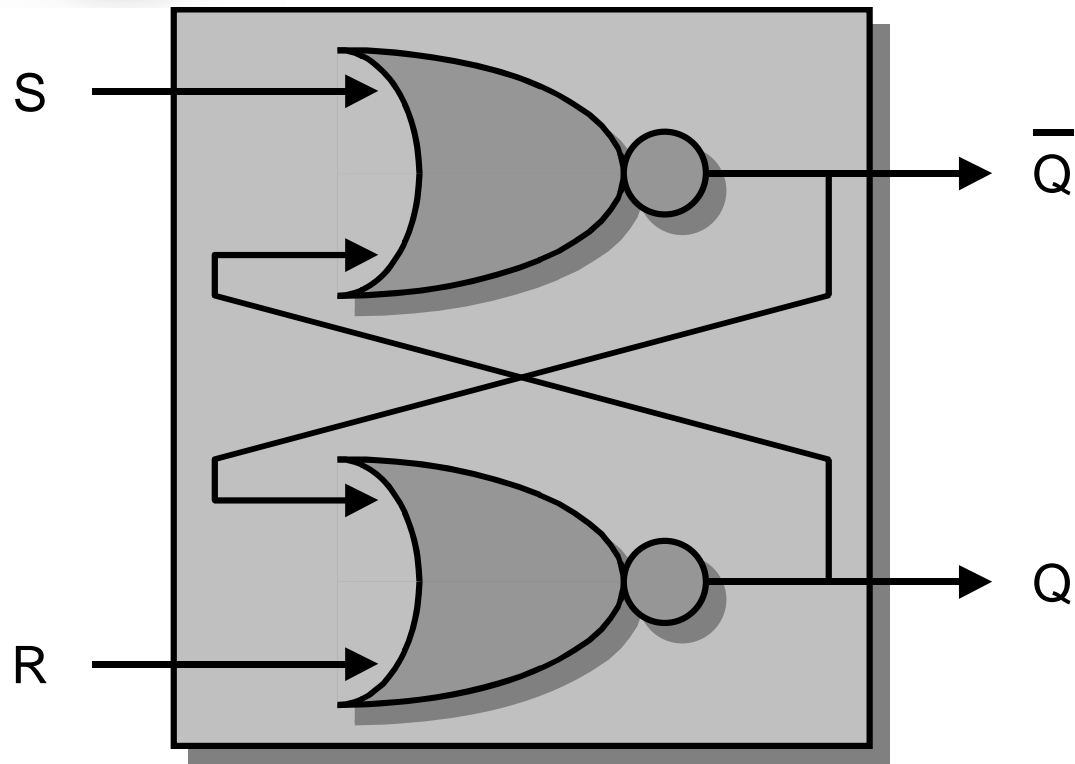
Diagramma temporale del bistabile SR asincrono



Le frecce indicano un rapporto tra i fronti di tipo causa-effetto



Rappresentazione



Il bistabile SR (set-reset) come blocco funzionale SEQUENZIALE

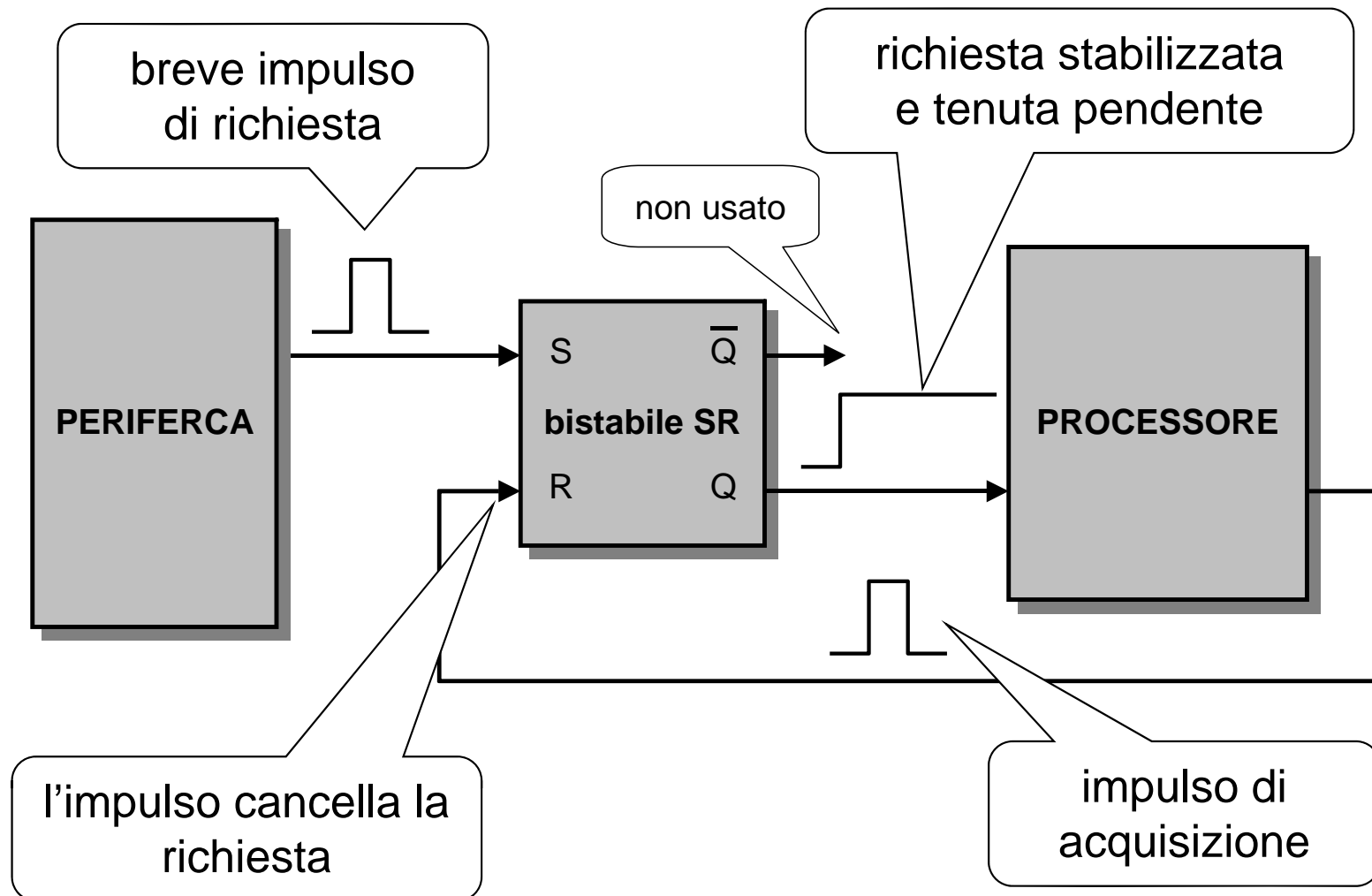


Esempio di uso come adattatore

- Si supponga di avere una periferica che deve mandare un segnale di richiesta (p. es. di interruzione, interrupt) a un processore
- La periferica genera solo un breve impulso di richiesta e il processore potrebbe essere occupato e non in grado di rispondere subito alla richiesta, onorandola
- È dunque necessario interporre tra periferica e processore un circuito digitale adattatore (interfaccia), che:
 - riceva l'impulso di richiesta proveniente dalla periferica, lo memorizzi, stabilizzandolo, e lo mandi al processore
 - mantenga pendente la richiesta fintantoché il processore non sia disponibile a onorarla
 - cancelli la richiesta, quando il processore segnalasse di averla acquisita e di essere pronto a onorarla



Schema logico



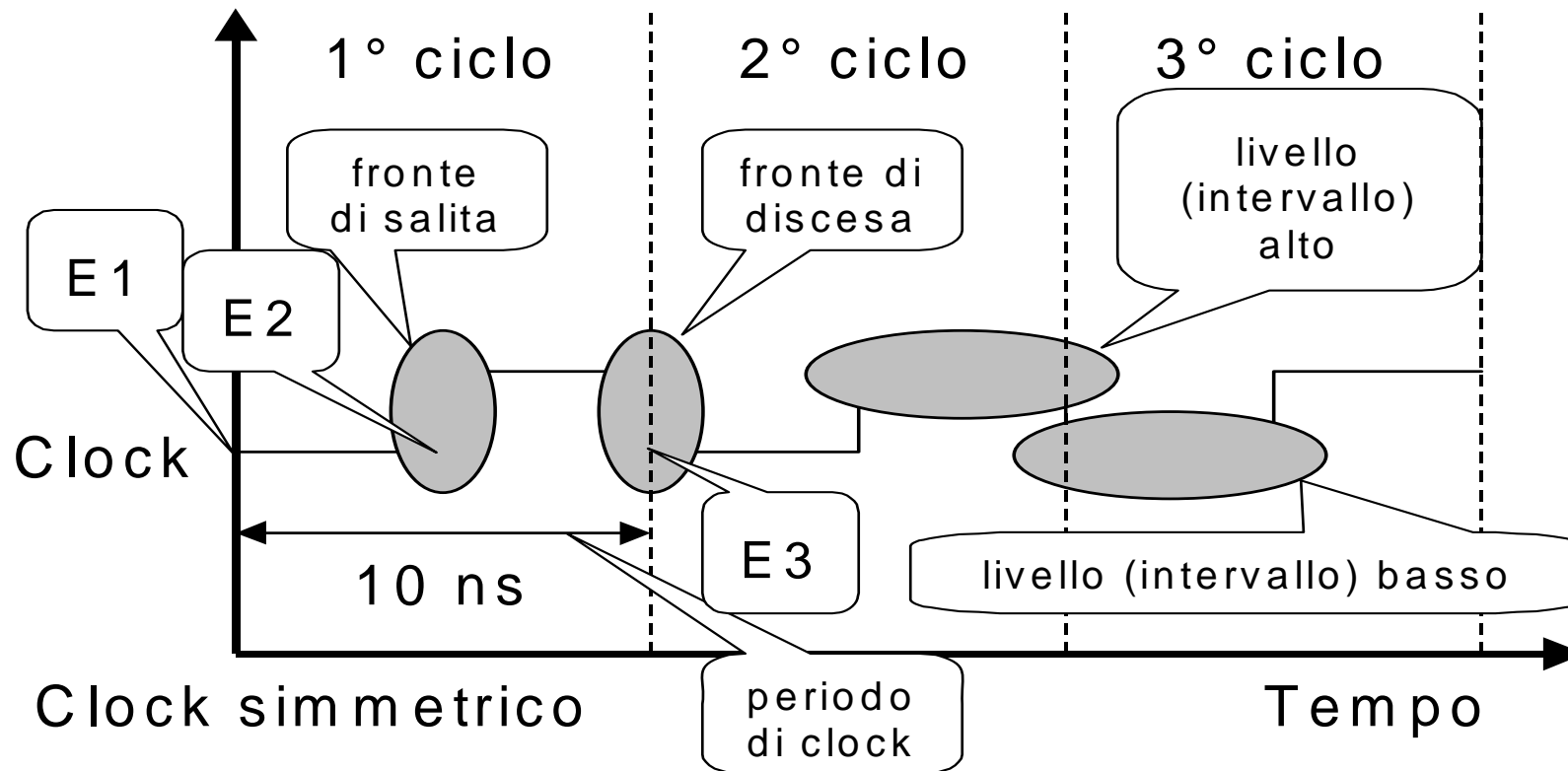


Segnale di sincronizzazione

- In molte situazioni, è necessario che lo stato di un bistabile possa cambiare solo **in determinati istanti** di tempo o intervalli di tempo. Per ottenere questo occorre:
 - disporre di un **segnale di clock** (o di temporizzazione) che scandisca gli istanti o intervalli di tempo in cui le transizioni di stato possono avvenire
 - sincronizzare il bistabile con il clock
- Il **segnale di clock** è un segnale **binario**, con andamento **periodico** nel tempo
- Il segnale di clock è una **successione di impulsi**:
 - ogni impulso ha una larghezza costante e due impulsi consecutivi stanno a una distanza costante



Segnale di clock



Frequenza di clock = $1 / \text{periodo di clock} = 1 / 10 \text{ ns} = 100 \text{ MHz}$

Il ciclo di clock contiene 3 eventi (E1, E2, E3)



Bistabili sincroni e temporizzazione

- I fattori che differenziano i bistabili riguardano due aspetti:
 - La relazione **ingresso-stato** (quando gli ingressi sono efficaci)
 - La relazione **stato-uscita** (quando vengono modificate le uscite)
- La relazione **ingresso-stato** (*tipo di temporizzazione*) definisce quando gli ingressi modificano lo stato interno del bistabile
 1. Temporizzazione basata sul **livello** del segnale di sincronizzazione
 1. Durante tutto l'intervallo di tempo in cui il segnale di controllo è attivo, qualsiasi variazione sui segnali di ingresso influenza il valore dello stato interno del bistabile. (bistabili con commutazione a livello)
 - Temporizzazione basata sul **fronte** del segnale di controllo
 1. Il valore dello stato interno del bistabile viene aggiornato solamente in corrispondenza di un fronte del segnale di controllo (bistabili con commutazione sul fronte - di salita oppure di discesa).



Bistabili sincroni e temporizzazione

- La relazione *stato-uscita* definisce quando lo stato aggiorna le uscite.
 - Commutazione basata sul **livello** del segnale di controllo
 1. Durante tutto l'intervallo di tempo in cui il segnale di controllo è attivo un cambiamento dei segnali di ingresso modifica oltre allo stato interno anche le uscite.
 2. Bistabili con questa relazione stato-uscita sono denominati **LATCH**
 - Il segnale di controllo è solitamente chiamato *enable*.
 - Le uscite cambiano quando cambiano gli ingressi
 - 1. Commutazione basata sul **fronte** del segnale di controllo
 - Le uscite vengono aggiornate su di un fronte del segnale di sincronismo.
 - Bistabili con questa relazione stato-uscita sono denominati **FLIP-FLOP**
 - Le uscite cambiano in corrispondenza di un evento del clock



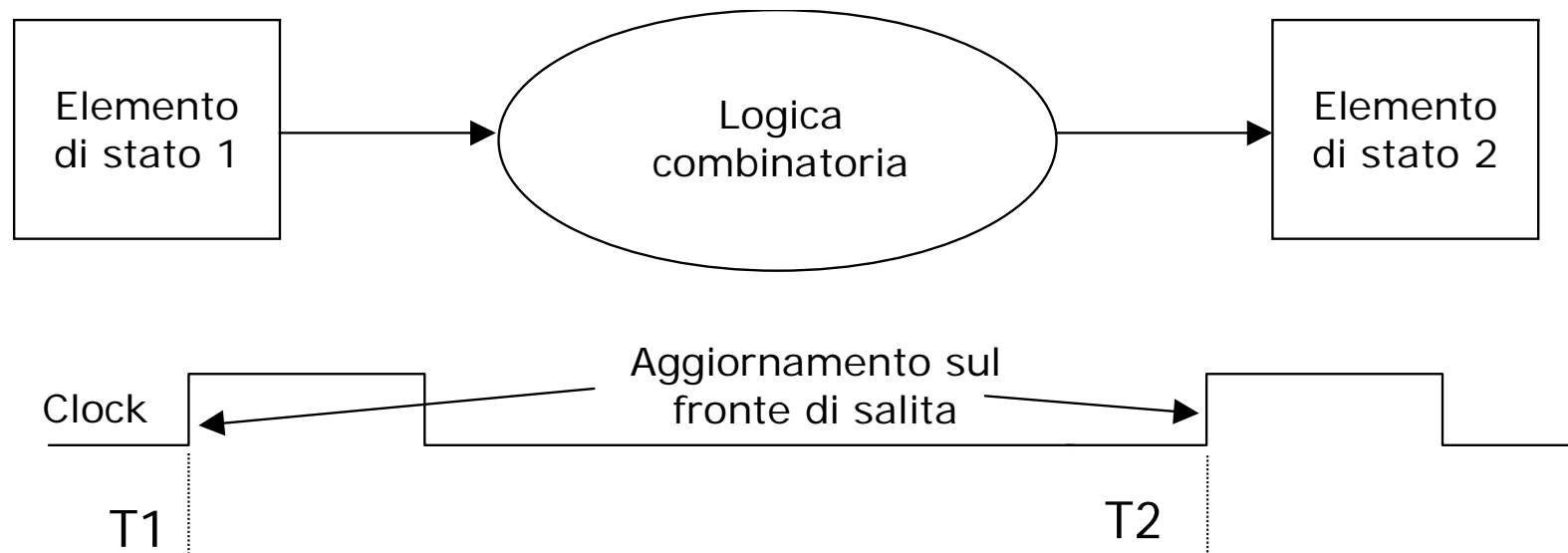
Bistabili sincroni e temporizzazione

□ Tabella riassuntiva

		Relazione <i>Stato-Uscita</i>	
		Livello	Fronte
Relazione <i>Ingresso-Stato</i>	Fronte		Flip-Flop edge-triggered
	Livello	Latch con Enable	Flip-Flop Master-Slave



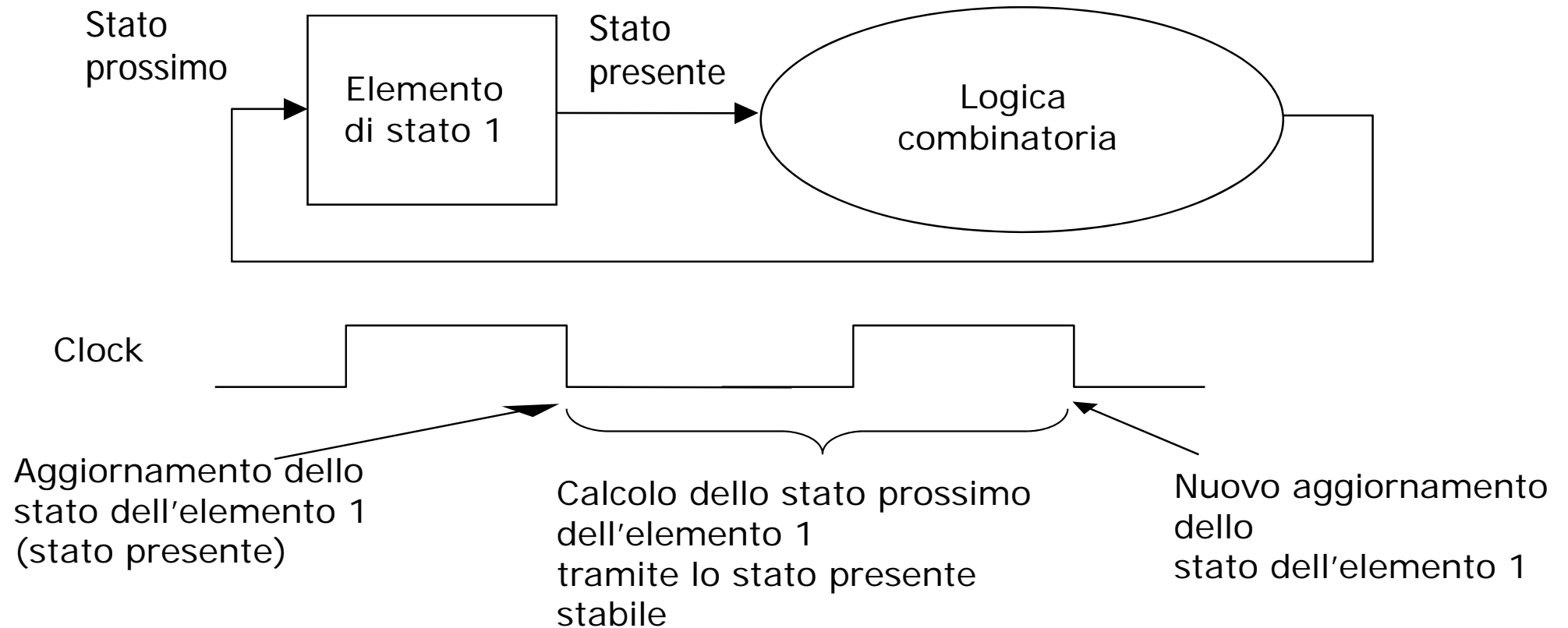
Considerazioni sulla commutazione delle uscite sul fronte (1)



Il valore dello stato memorizzato nell'elemento 1 al tempo T1 viene utilizzato (con il valore degli ingressi primari) per determinare tramite la rete combinatoria il valore di stato che verrà memorizzato nell'elemento 2 al tempo T2



Considerazioni sulla commutazione delle uscite sul fronte (2)



Lettura e scrittura dello stato in un ciclo di clock



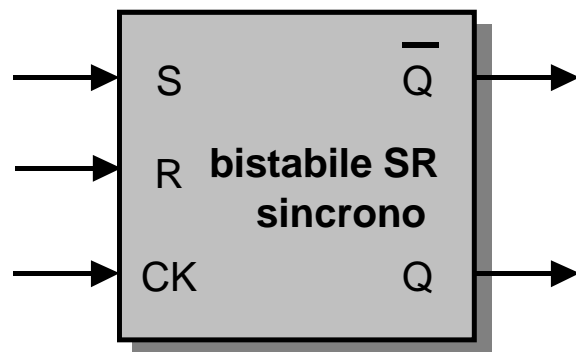
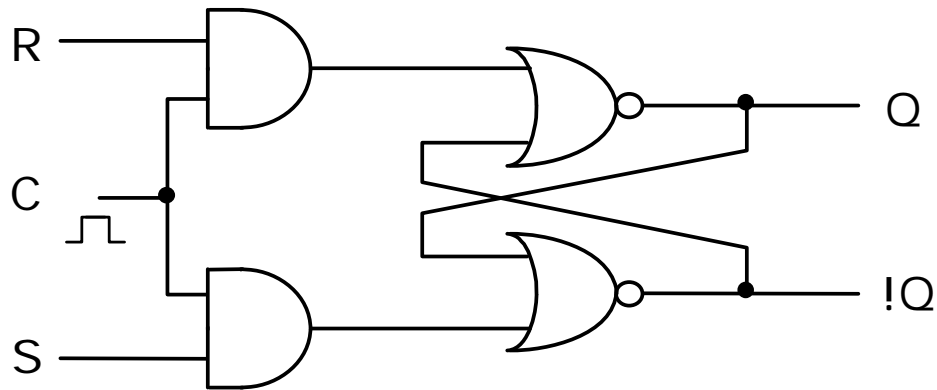
Bistabile SR sincronizzato (SR-latch)

- Il bistabile SR sincronizzato ha
 - 2 ingressi S e R (che costituiscono i segnali di Set e Reset)
 - 1 ingresso di sincronizzazione (clock)
 - un'uscita Q, il cui valore rappresenta lo stato del bistabile, e un'uscita !Q

- Nel bistabile SR sincronizzato:
 - Se il clock vale 0, gli ingressi S e R non hanno alcun effetto (latch SR opaco) , e il bistabile mantiene memorizzato il suo stato corrente
 - Se il clock vale 1, **gli ingressi S e R sono efficaci** (latch SR trasparente) , e il comportamento è lo stesso descritto per SR asincrono



Bistabile SR sincronizzato (SR-latch)



SR con controllo C

C	S	R	Q	!Q	
0	X	X	Q	!Q	Ingressi inibiti
1	0	0	Q	!Q	
1	0	1	0	1	Stato di Reset
1	1	0	1	0	Stato di Set
1	1	1	-	-	Stato indefinito



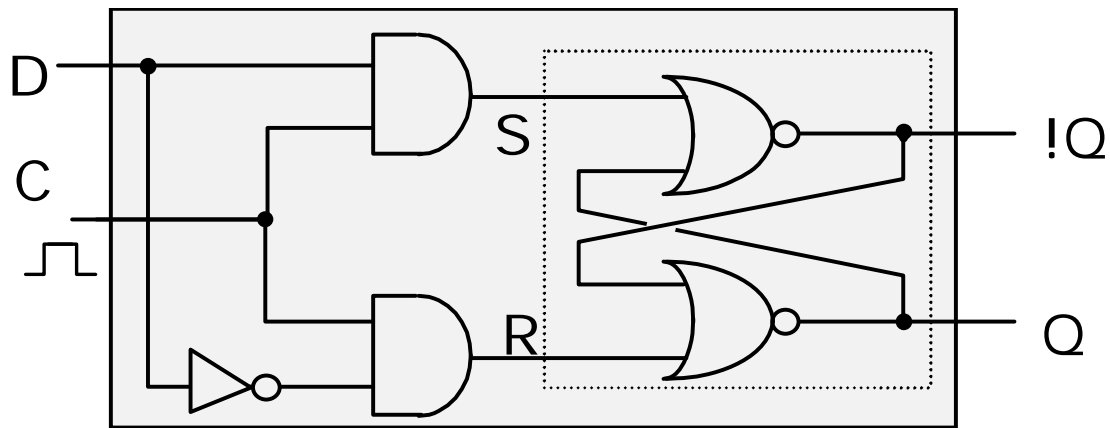
Bistabile D sincronizzato (D-latch)

- Il bistabile D ha
 - 1 ingresso D (che rappresenta il dato che verrà memorizzato)
 - 1 ingresso di sincronizzazione (clock)
 - un'uscita Q, il cui valore rappresenta lo stato del bistabile, e un'uscita !Q

- Nel bistabile D sincronizzato:
 - Se il clock vale 0, l'ingresso D non ha alcun effetto (latch D opaco), e il bistabile mantiene memorizzato il suo stato corrente
 - Se il clock vale 1, **l'ingresso D è efficace** (latch D trasparente), e il bistabile memorizza il valore logico (0 oppure 1) presente sull'ingresso D



Bistabile D sincronizzato (D-latch)



D con controllo C

C	D	Q	!Q
0	X	Q	!Q
1	0	0	1
1	1	1	0

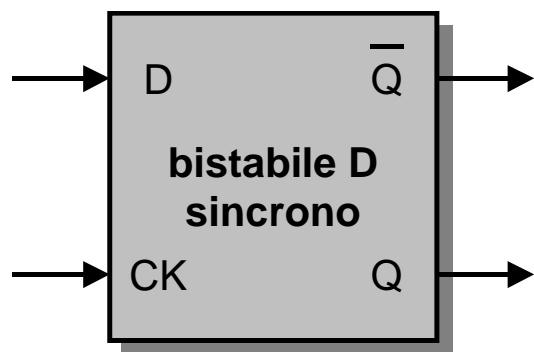
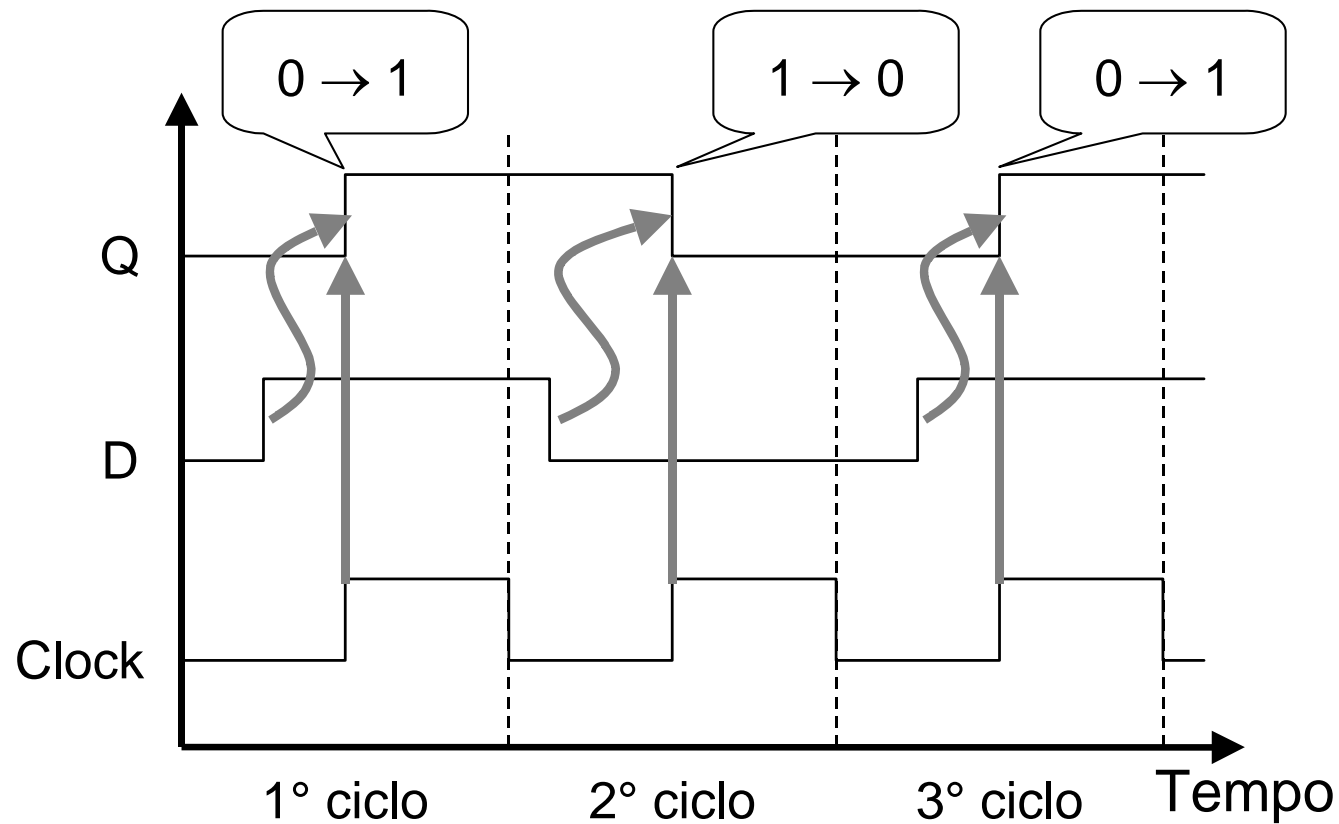




Diagramma temporale

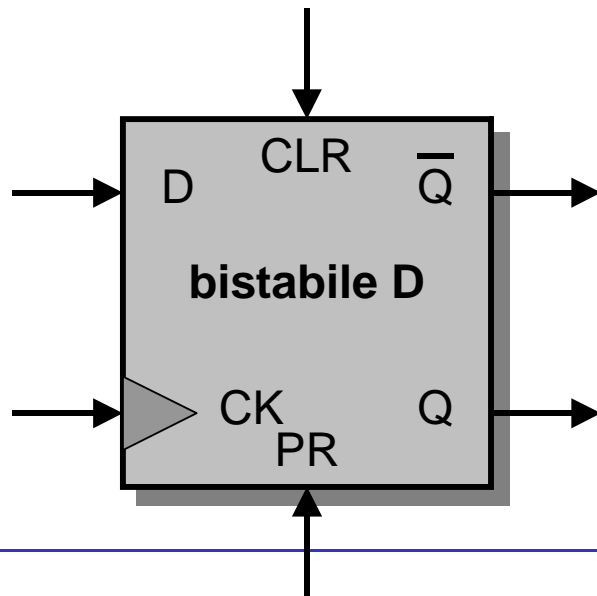


Le variazioni dell'uscita sono sincronizzate con il clock



Comando di ripristino

- Tutti i tipi di bistabili dispongono di varianti dotate di un comando di ripristino CLR (**clear o reset**), che forza lo stato del bistabile a 0
- Il comando di ripristino è molto utile per (re)inizializzare lo stato dei bistabili
- Alcuni bistabili dispongono anche del comando di precarica PR (**preset**), che forza lo stato del bistabile a 1



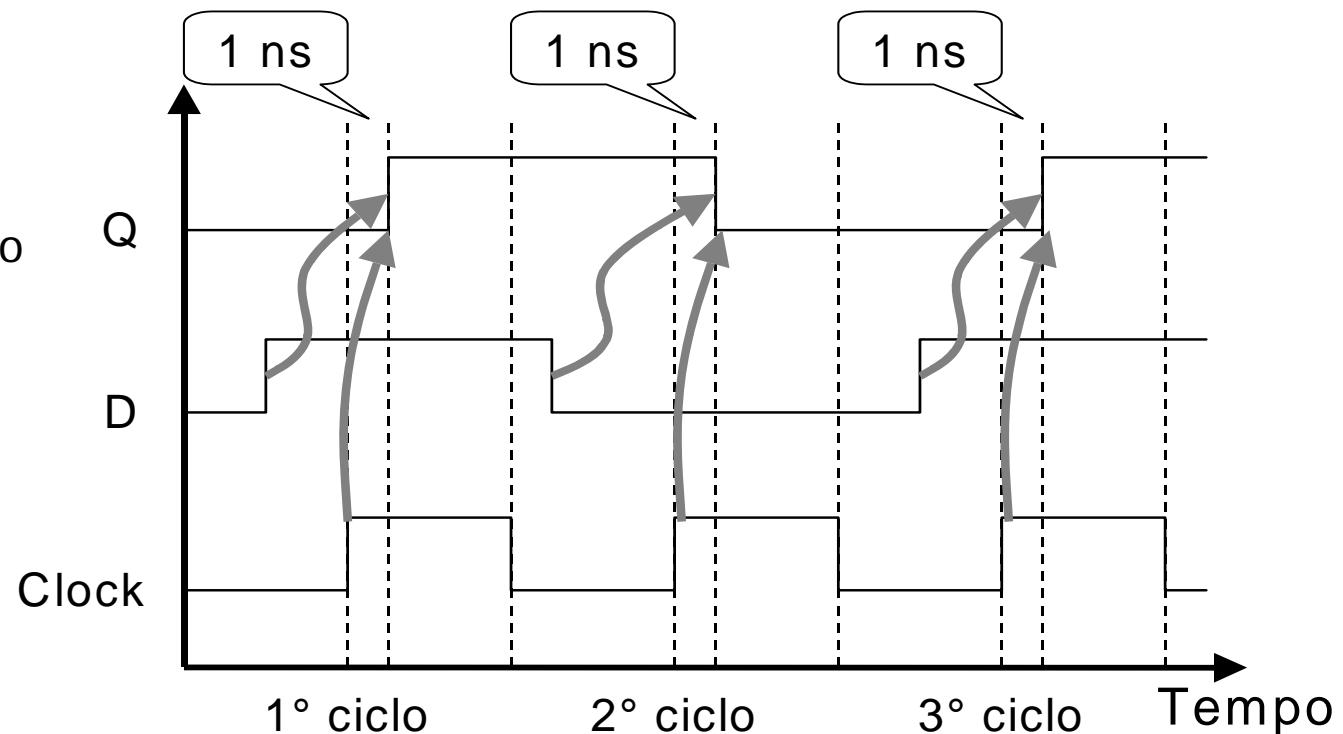
Bistabile di tipo D, dotato di comandi di ripristino e di precarica. Di norma questi comandi sono **asincroni**, cioè agiscono immediatamente, non appena vengono attivati, senza attendere il clock



Ritardo di commutazione

- I bistabili (sincronizzati o no), come le porte logiche, presentano un **ritardo di commutazione** dell'uscita
 - La commutazione dell'uscita avviene con un certo ritardo rispetto alla variazione degli ingressi o rispetto al fronte di clock che hanno indotto la transizione di stato. Il ritardo di commutazione dipende dalla tecnologia

Il bistabile sincrono di tipo D ha un ritardo di commutazione di 1 ns dell'uscita rispetto al fronte del clock



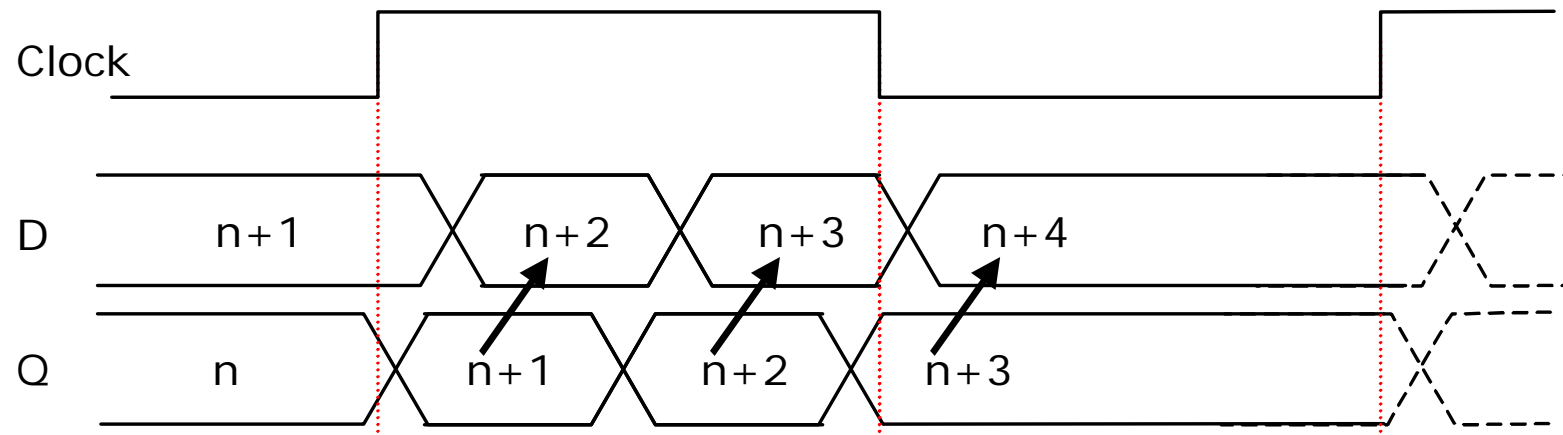
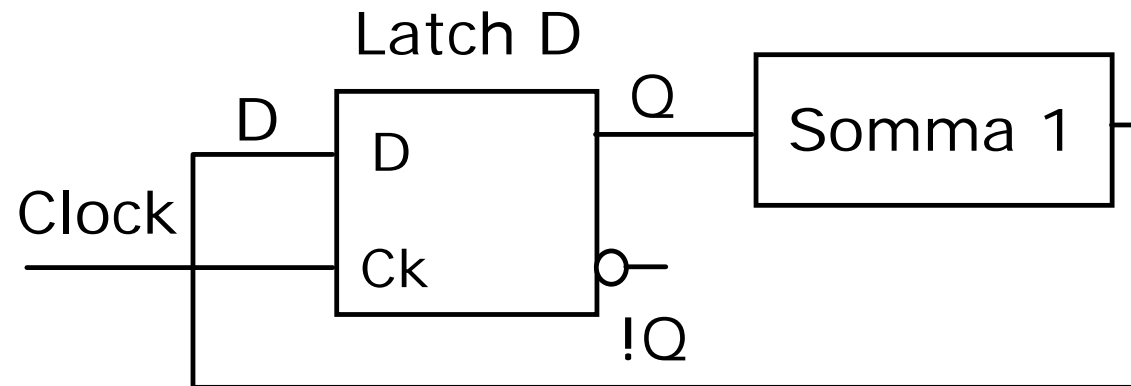


Trasparenza

- ❑ I latch sincroni (SR o D) presentano, durante l'intervallo di tempo in cui il clock è attivo, il fenomeno di **trasparenza delle uscite** (fenomeno indesiderato).
 - In questo intervallo, se gli ingressi si modificano, le uscite seguono questa modifica
 - E' come se, nell'intervallo attivo del clock, i bistabili non esercitassero alcuna funzione effettiva di memorizzazione
- ❑ Per evitare il fenomeno di trasparenza si utilizzano i **flip-flop** (D o SR) che sono costituiti da due latch in cascata in modo che lo stato possa **modificare le uscite** solo in corrispondenza di un **evento (fronte) del segnale di controllo**.
- ❑ Nei **flip-flop**:
 - Relazione *stato-uscita* (aggiornamento della uscita):
 - sul fronte.
 - Relazione *ingresso-stato* (aggiornamento dello stato):
 - **a livello (Flip-Flop master-slave)**
 - a fronte (Flip-Flop *edge-triggered*).



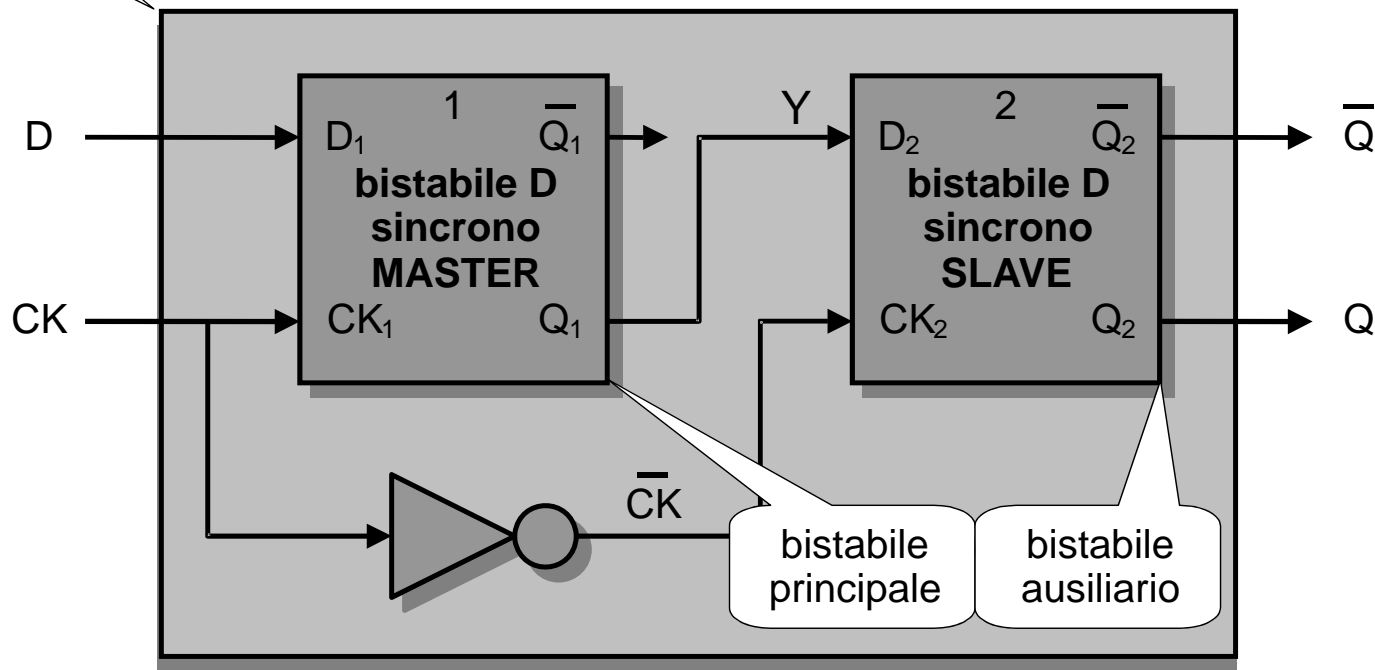
Esempio di trasparenza





Flip-flop D master-slave

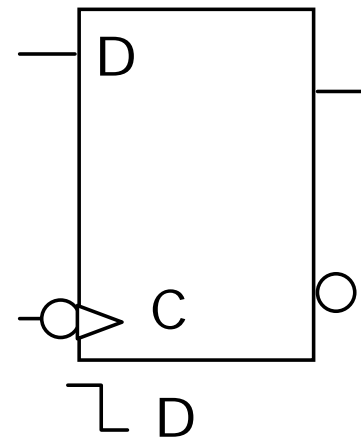
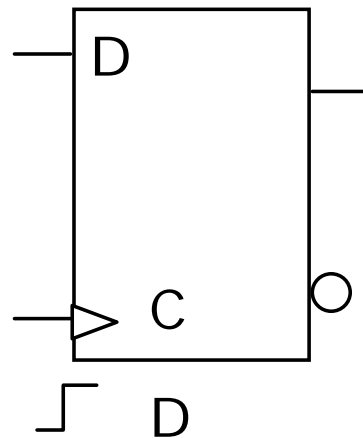
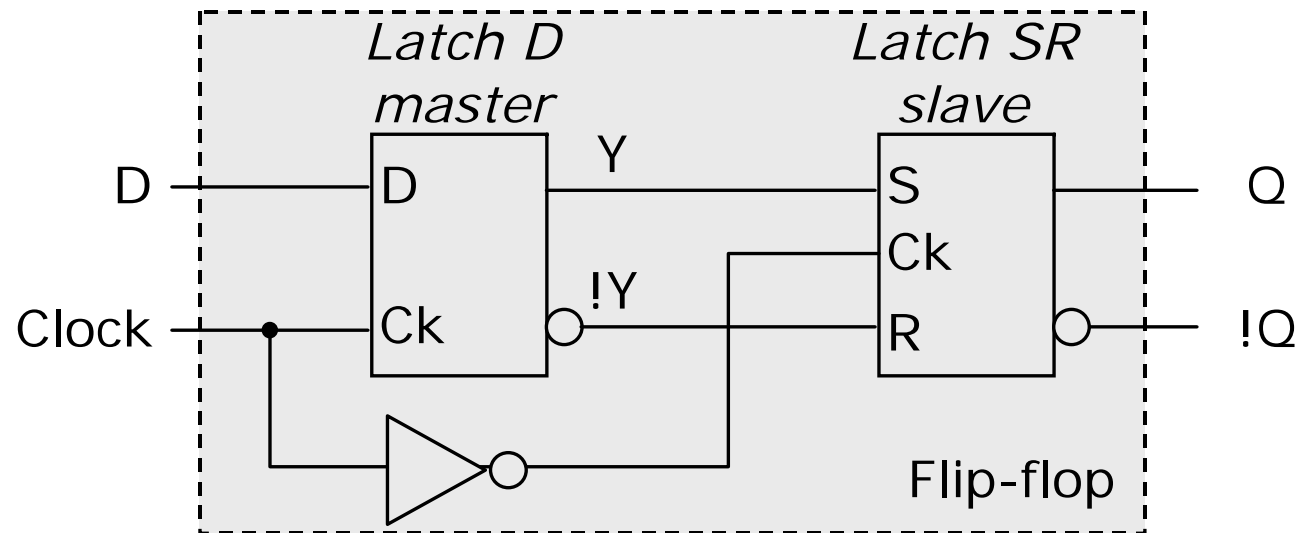
flip-flop D
master-slave



Coppia di bistabili sincroni D trasparenti in cascata con clock invertiti;
l'insieme dei due non presenta il fenomeno della trasparenza



Flip-flop D master-slave





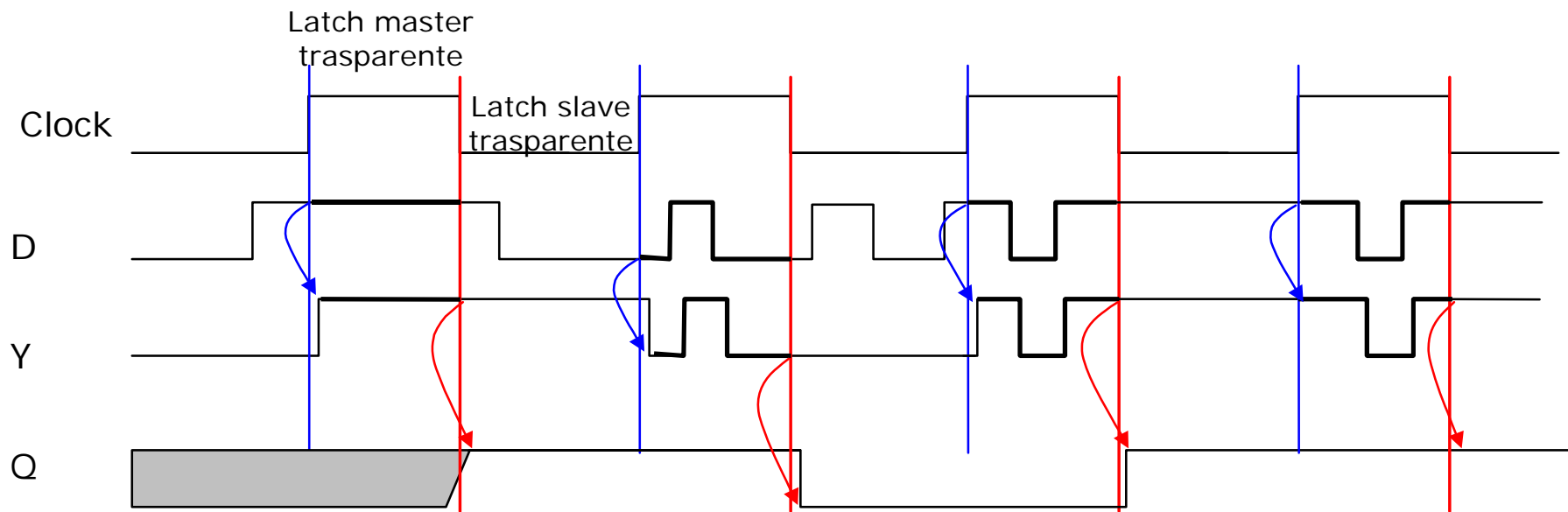
Funzionamento

- ❑ Il bistabile principale campiona l'ingresso $D = D_1$ durante l'intervallo alto del clock, lo emette sull'uscita Q_1 e lo manda all'ingresso D_2 del bistabile ausiliario
- ❑ Il bistabile ausiliario campiona l'ingresso D_2 durante l'intervallo basso del clock e lo emette sull'uscita $Q_2 = Q$
- ❑ L'uscita generale Q può variare solo nell'istante del **fronte di discesa del clock**

- ❑ **Trasparenza**
 - Nell'intervallo basso del clock, il bistabile SLAVE è in stato di trasparenza
 - Nell'intervallo alto del clock, il bistabile MASTER è in stato di trasparenza
 - Se l'ingresso D varia durante l'intervallo alto del clock, il bistabile MASTER si comporta in modo trasparente
 - Ma il bistabile SLAVE no, perché il suo clock si trova nell'intervallo basso

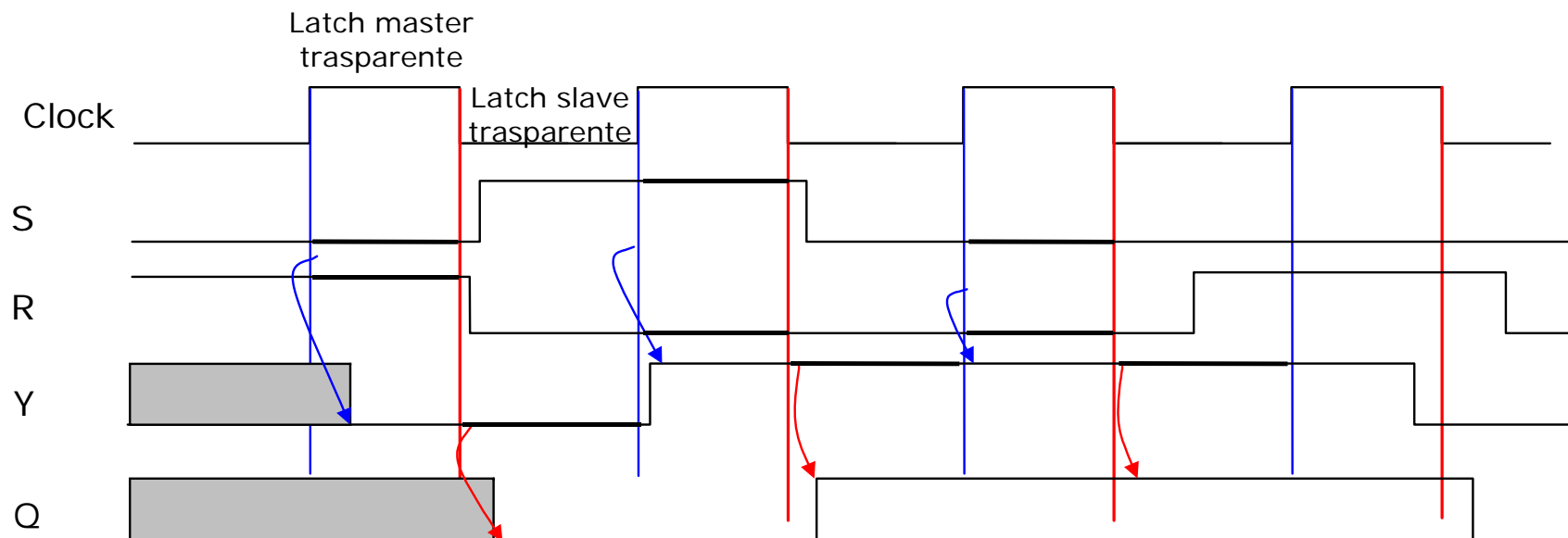
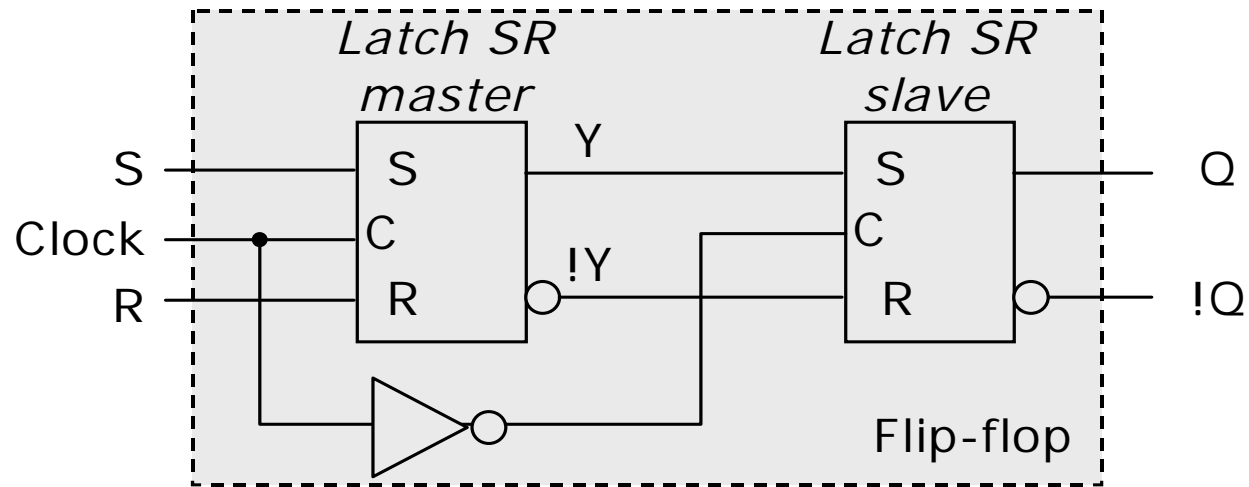


Diagramma temporale





Flip-flop SR master-slave





Contatore a 1 bit

