باسمه تعالی

آزمایشگاه معماری کامپیوتر

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان ۱۴۰۳

استاد:

دکتر حمید سربازی آزاد

مهندس عطیه غیبی فطرت

اعضای گروه:

زهرا آذر – ۹۹۱۰۹۷۴۴

سعید فراتی کاشانی – ۴۰۱۱۰۶۲۹۹

امیرحسین صوری – ۴۰۱۱۰۶۱۸۲

فهرست عناوین

موضوع آزمایش

طراحی BCD to Binary Cnverter ۳ رقمی

شرح کلی آزمایش

در این آزمایش قصد داریم یک مبدل دهدهی به دودویی طراحی کنیم که یک عدد دهدهی ۳ رقمی (۱۲ بیتی) را به یک عدد باینری ۱۰ بیتی تبدیل می‌کند.

الگوریتم مورد استفاده

برای تبدیل دهدهی به دودویی می‌توانیم از روش زیر استفاده کنیم:

1. ابتدا ۱۲ بیت ورودی را به راست شیفت می‌دهیم.
2. تمام ارقامی که بیت پرارزش آن‌ها ۱ است را منهای ۳ می‌کنیم.
3. به مرحله‌ی ۱ برمی‌گردیم.

در نهایت بیت‌هایی که در اثر شیف به راست به دست آمده‌اند معادل باینری عدد را می‌سازند.

پیاده‌سازی مدار

تراشه‌های مورد استفاده

- ۷۴۱۹۴: 4-bit shift register

این تراشه می‌تواند عملیات‌های زیر را انجام دهد:

عملیات	S0	S1
hold	L	L
Shift to left	H	L
Shift to right	L	H
Parallel load	H	H

- ۷۴۱۵۷: quadric 2 to 1 multiplexer

این تراشه ۴ مقدار دو بیتی و یک بیت select را ورودی گرفته و بر مبنای بیت select از هرمقدار دوبیتی یکی از بیت‌ها را انتخاب می‌کند. (یک بیت Enable نیز برای فعال کردن مدار استفاده می‌شود.)

- ۷۴۱۶۳: 4-bit counter

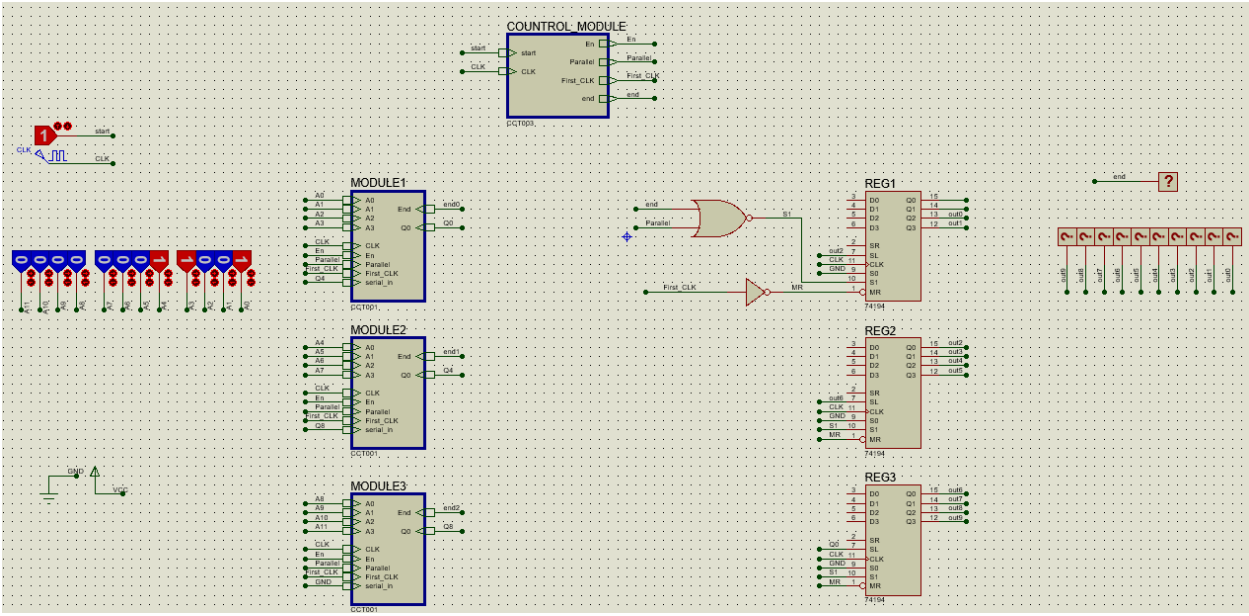
این تراشه قابلیت شمارش از ۰ تا ۱۵ را دارد.

$\overline{SR}$	$\overline{PE}$	CET	CEP	Action on the Rising Clock Edge (⌐)
L	X	X	X	Reset (Clear)
H	L	X	X	Load ($P_n \rightarrow Q_n$)
H	H	H	H	Count (Increment)
H	H	L	X	No Change (Hold)
H	H	X	L	No Change (Hold)

شکل ۱ جدول عملیات‌های تراشه‌ی ۷۴۱۶۳

پیاده‌سازی در Proteus

با استفاده از الگوریتمی که توضیح دادیم و تراشه‌هایی که نام بردیم مدار را پیاده‌سازی می‌کنیم:



شکل2 مدار مبدل دهدهی به دودویی

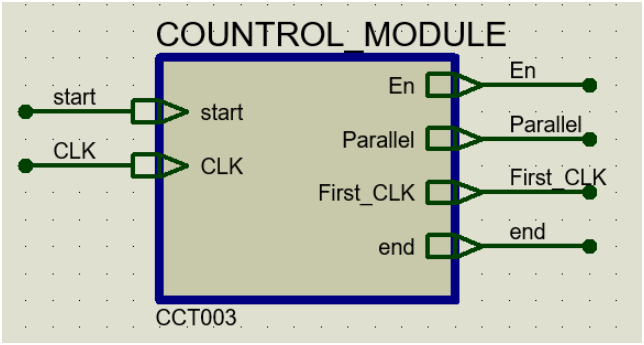
این مدار با ۱ شدن سیگنال start شروع به کار کرده و خروجی را در ۱۰ بیت نمایش می‌دهد.

در ادامه بخش‌های مختلف مدار را به تفکیک بررسی می‌کنیم:

تولیدکننده‌ی سیگنال‌های کنترلی

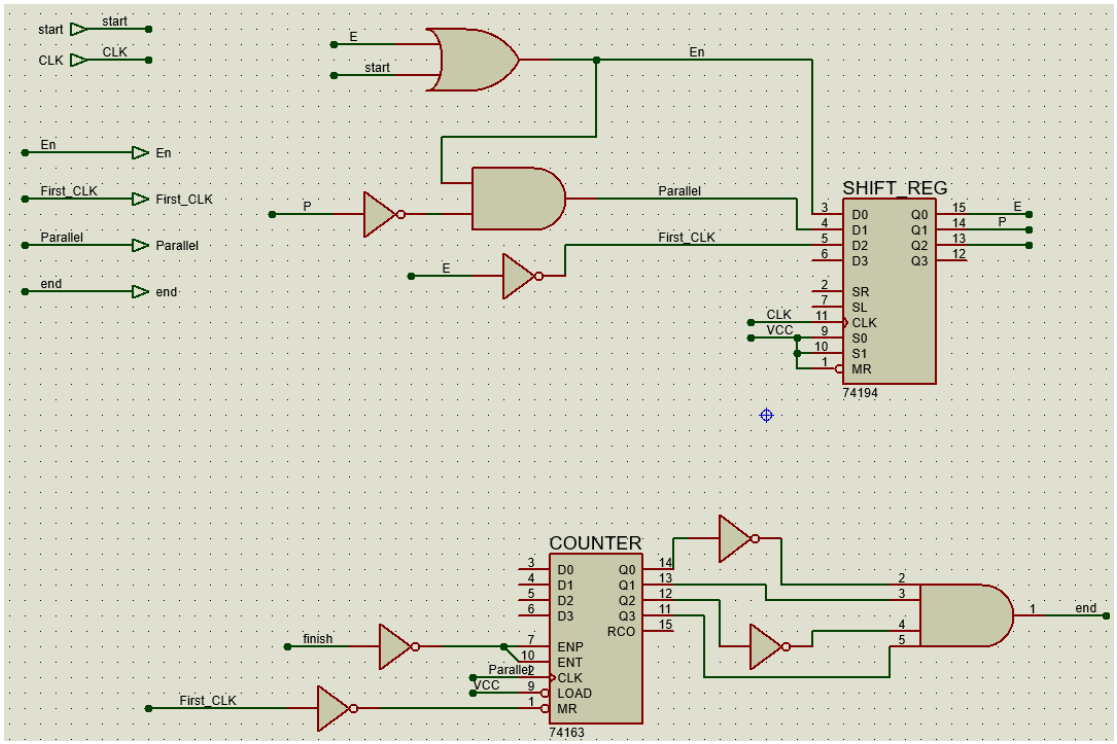
این ماژول ۳ سیگنالی که در بخش‌های بعدی از آن‌ها استفاده خواهد شد را تولید می‌کنند.

- سیگنال En: نشان می‌دهد که آیا سیگنال start یک شده است (مدار فعال است) یا خیر
- سیگنال First_CLK: نشان می‌دهد در اولین clock مدار (پس از فعال شدن) هستیم یا در clockهای بعدی
- سیگنال parallel: در اولین clock (پس از فعال شدن) یک است و در ادامه یکی در میان ۰ و ۱ می‌شود. (هنگامی که شیفت به راست انجام می‌دهیم صفر است و هنگامی که ارقام را منهای ۳ می‌کنیم ۱ است.)
- سیگنال end: نشان می‌دهد که محاسبات مدار به اتمام رسیده است و خروجی آماده است یا خیر



شکل ۳ ماژول تولیدکننده‌ی سیگنال‌های کنترلی

مدار داخلی این ماژول به شکل زیر است:



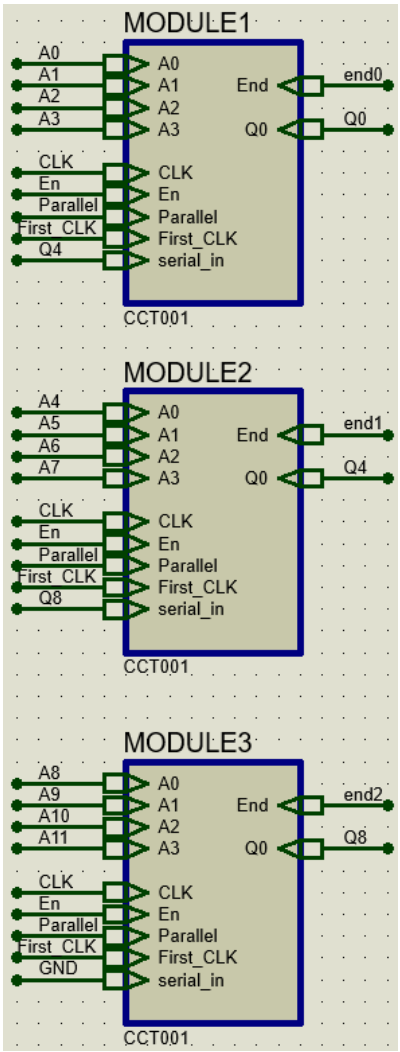
شکل ۴ مدار داخلی ماژول تولیدکننده‌ی سیگنال‌های کنترلی

برای تولید سیگنال‌های En و parallel و First_CLK از یک شیفت‌رجیستر استفاده کرده‌ایم که تنها عملیات parallel load را در هر clock اجرا می‌کند و مقادیر مورد نظر را می‌سازد.

برای تولید سیگنال end از یک شمارنده استفاده کرده‌ایم که به محض شروع به کار مدار (First_CLK = 1) مقدارش صفر می‌شود و در clockهای پس از آن اگر parallel = 1 شمارش رو به بالا را تا عدد ۱۰ انجام می‌دهد. (در واقع با لبه‌ی بالارونده‌ی سیگنال parallel شمارش را انجام می‌دهد که یعنی یک clock در میان.) از آن‌جایی که مدار برای اتمام کار خود به ۱۰ شیفت به راست (تولید ۱۰ رقم خروجی) احتیاج دارد، سیگنال parallel باید ۱۰ بار صفر و یک شود. البته این شمارش از بعد از clock اول شروع می‌شود. زیرا در clock اول شمارنده در حال clear شدن است.

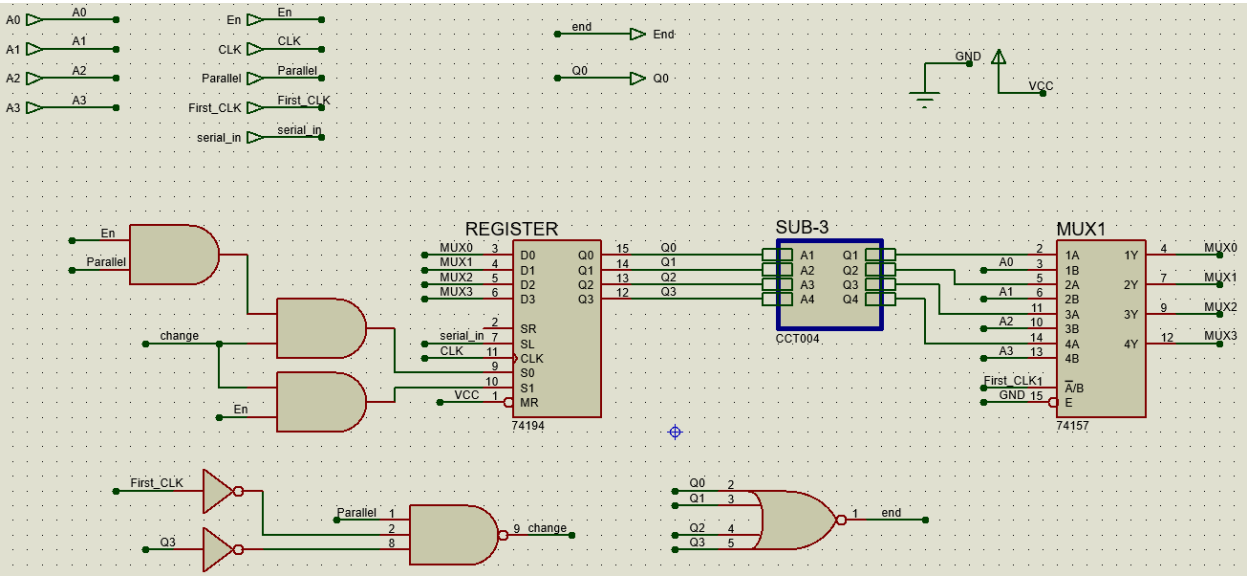
ماژول اجرای الگوریتم

در این بخش الگوریتمی که توضیح دادیم را اجرا می‌کنیم. یعنی یک clock در میان عملیات شیفت به راست را انجام می‌دهیم و ارقام با بیت پرارزش ۱ را منهای ۳ می‌کنیم. این عملیات‌ها برای هر رقم به طور جداگانه صورت می‌گیرد بنابراین در ۳ ماژول مشابه مدار مربوط به این بخش را پیاده‌سازی کرده‌ایم.



شکل ۵ ماژول‌های اجرای الگوریتم تبدیل دهدهی به دودویی (برای هر سه رقم)

مدار داخلی این ماژول‌ها را در ادامه مشاهده می‌کنید:



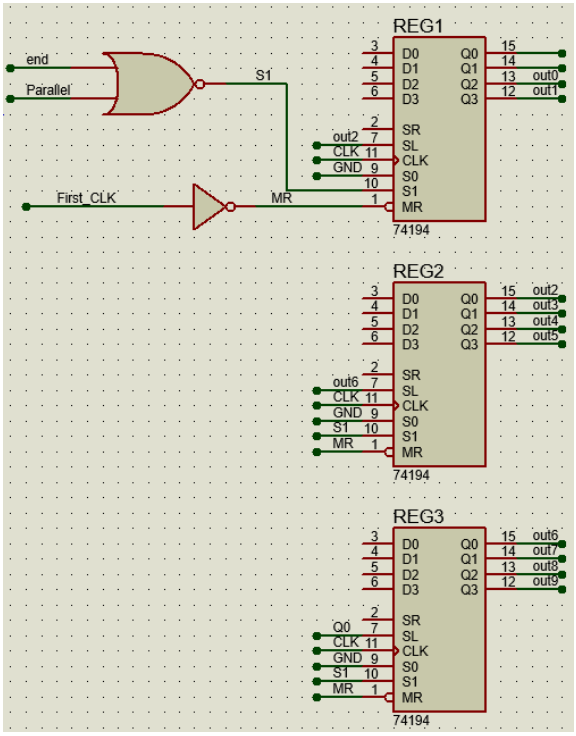
شکل ۶مدار داخلی ماژول‌های اجراکننده‌ی الگوریتم

در این مدار حالت‌های زیر ممکن است پیش بیایند:

- اولین clock (First_CLK = 1, En = 1, Parallel = 1): در multiplexer عدد ۴ بیتی ورودی انتخاب‌شده و با عملیات parallel load این مقدار وارد رجیستر می‌شود.
- clockهای مربوط به شیفت به راست (First_CLK = 0, En = 1, Parallel = 0): در رجیستر عملیات شیفت به راست انجام می‌شود. (خروجی multiplexer اهمیتی ندارد.)
- Clockهای مربوط به منهای ۳ کردن درصورت ۱ بودن رقم پرارزش (First_CLK = 0, En = 1, Parallel = 1): در multiplexer خروجی ماژول SUB-3 (این ماژول صرفا خروجی رجیستر را منهای ۳ می‌کند.) انتخاب می‌شود. اگر Q3 = 1 عملیات parallel load انجام شده و خروجی رجیستر منهای ۳ می‌شود. اگر Q3 = 0 عملیات hold در رجیستر انجام می‌شود و خروجی رجیستر تغییری نمی‌کند.

ماژول سازنده‌ی خروجی

در این بخش از مدار صرفا در ۳ شیفت رجیستر خروجی‌های حاصل از شیفت به راست دادن عدد ۱۲ بیتی را ذخیر می‌کنیم. (برا این کار این ارقام را از سمت پرارزش وارد رجیسترها کرده و به راست شیفت می‌دهیم. (در واقع با استفاده از این ۳ رجیستر یک رجیستر ۱۰بیتی شیفت دهنده به راست ساخته‌ایم که خروجی مدار را در خود ذخیر می‌کند.)

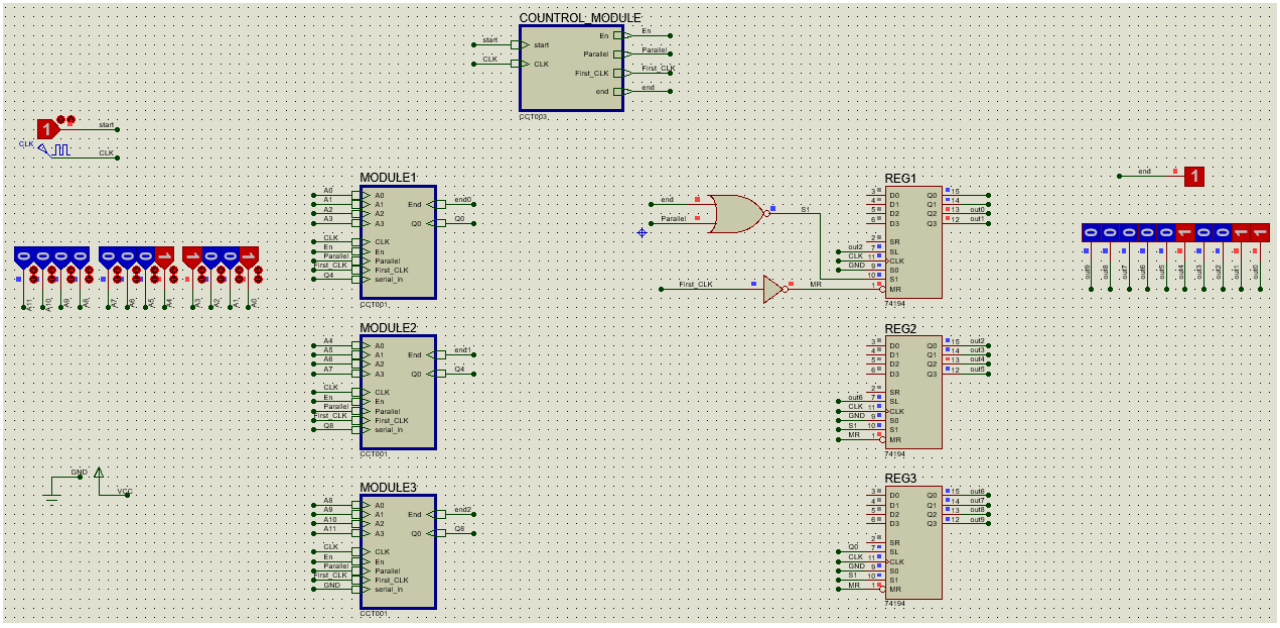


شکل ۷ ماژول سازنده‌ی خروجی مدار

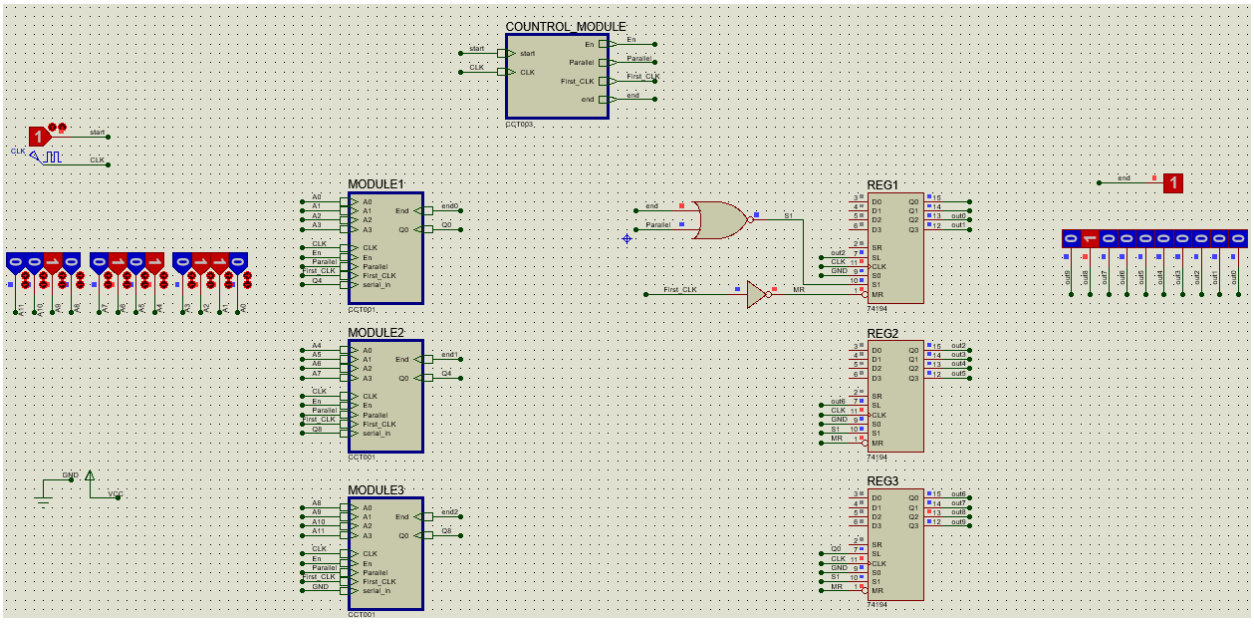
همانطور که در مدار مشخص است در اولین CLK ورودی MR رجیسترها صفر می‌شود که به معنی clear کردن مقدار رجیستر است. در بقیه‌ی clockها اگر parallel = 1 و هنوز بیت end یک نشده باشد (کار مدار به اتمام نرسیده باشد،) به راست شیفت می‌دهیم. در چنین clockهایی در ماژول اجرای الگوریتم شیفت به راست داده‌ایم و در این بخش از مدار نیز باید به راست شیفت بدهیم و بیت کم‌ارزش ماژول اجرای الگوریتم را از سمت پرارزش وارد رجیسترها کنیم. اگر هم parallel = 0 یا end = 0 مقدار خروجی را hold می‌کنیم.

خروجی مدار

در ادامه چند نمونه ورودی و خروجی مدار را مشاهده می‌کنیم:



شکل ۸ خروجی متناظر با ورودی ۱۹



شکل ۹ خروجی متناظر با ورودی ۲۵۶