

باسمه تعالی

آزمایشگاه معماری کامپیوتر



دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان ۱۴۰۳

استاد:

دکتر حمید سربازی آزاد

مهندس عطیه غیبی فطرت

اعضای گروه:

سعید فراتی کاشانی - ۴۰۱۱۰۶۲۹۹

امیرحسین صوری - ۴۰۱۱۰۶۱۸۲

زهرا آذر - ۹۹۱۰۹۷۴۴

فهرست عناوین

۳	موضوع آزمایش:
۳	شرح کلی آزمایش:
۳	پیاده‌سازی مدار اولیه در پروتئوس:
۳	طراحی Full Adder
۴	طراحی ۴-Bit Adder
۴	طراحی BCD Adder
۵	طراحی ۳-Digit BCD Adder
۶	نمایش خروجی ۳-Digit BCD Adder
۷	پیاده‌سازی مدار به صورت فیزیکی:
۷	تراشه‌های مورد استفاده
۸	توضیحات مدار

موضوع آزمایش:

جمع کننده‌ی سه رقمی BCD

شرح کلی آزمایش:

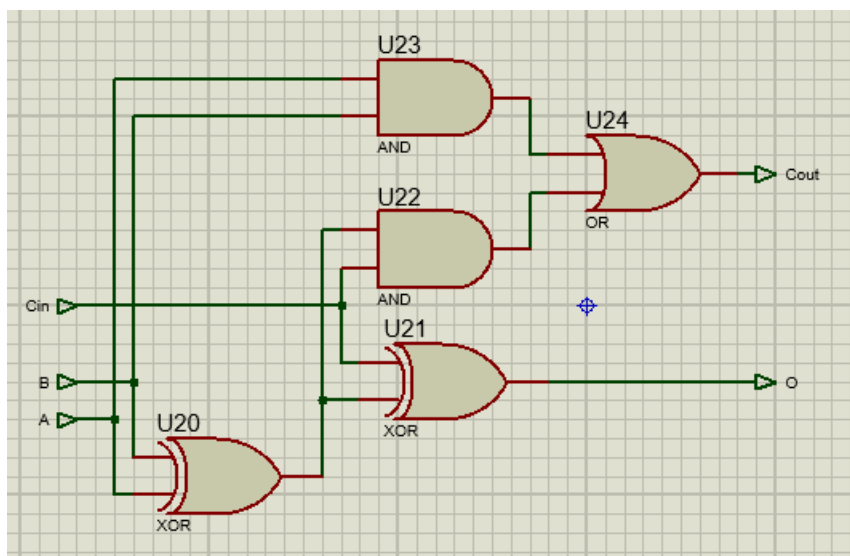
در این آزمایش می‌خواهیم دو عدد سه رقمی در مبنای ۱۰ که به صورت BCD هستند را با یکدیگر جمع بزنیم و حاصل را بر روی ۷ Segment نمایش دهیم.

پیاده‌سازی مدار اولیه در پروتئوس:

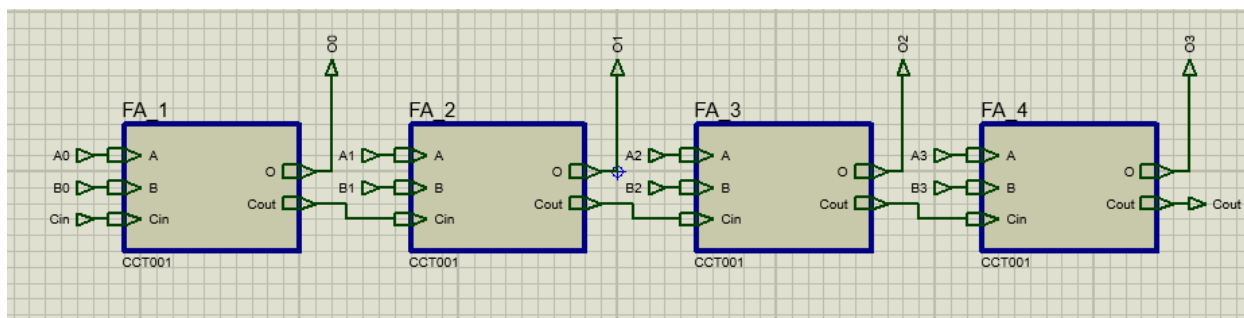
برای این آزمایش در چند سطح مختلف، قطعات را طراحی کردیم و در ادامه هر بخش را توضیح می‌دهیم.

طراحی Full Adder

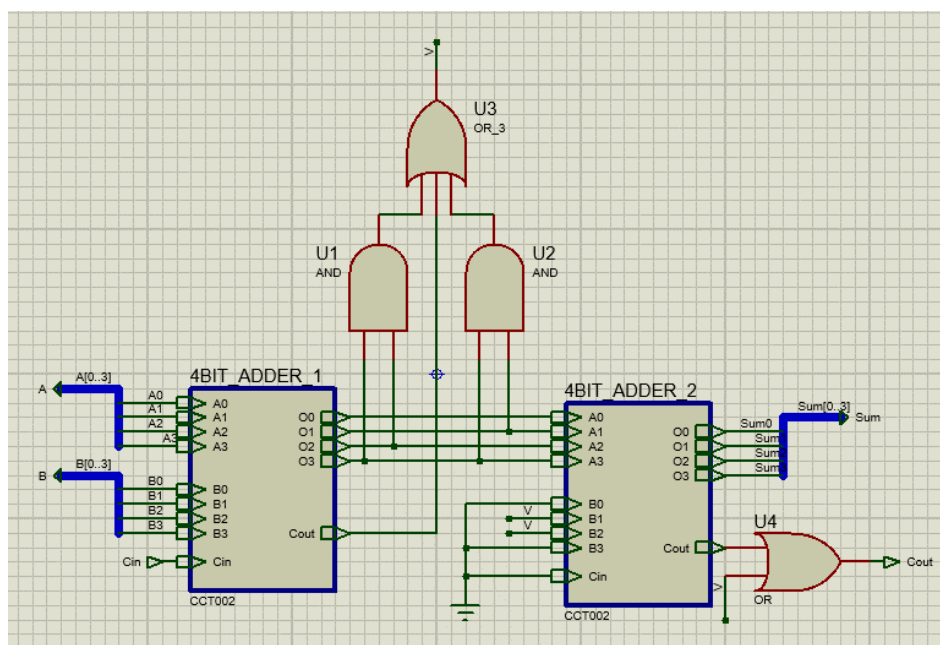
در گام اول یک تمام جمع کننده با استفاده از گیت‌های اولیه ساختیم تا بتوانیم در مراحل بعدی از آن استفاده کنیم.



در گام بعدی، با توجه به این که هر عدد BCD شامل ۴ بیت است، ۴ تمام جمع کننده را به طور سری به یکدیگر متصل کردیم تا بتوانیم دو عدد ۴ بیتی را با یکدیگر جمع بنیم.



در گام بعدی، با استفاده از جمع‌کننده‌ی ۴ بیتی که در مرحله قبل ساختیم، یک جمع‌کننده BCD را پیاده‌سازی کردیم. تفاوت این جمع‌کننده با مرحله‌ی قبلی در آن است که هر رقم خروجی ما حداکثر ۹ می‌تواند باشد و ورودی‌هایمان نیز بیشتر از ۹ نخواهند بود. لذا با مجموعی بزرگ‌تر از ۱۸ روبه‌رو نخواهیم شد. مدار پیاده‌سازی شده به صورت زیر است:

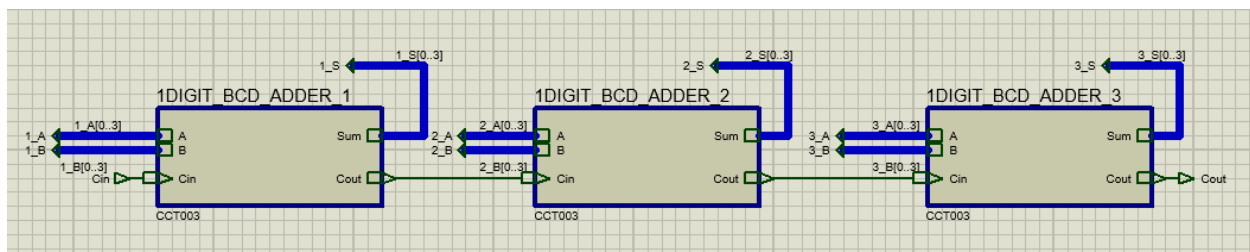


همان طور که مشاهده می کنید، ابتدا C in و دو رقم BCD را با استفاده از Bus های A و B به جمع کننده ی ۴ بیتی می دهیم. یک سیگنال تحت عنوان V تعریف کردیم که با استفاده از آن بتوانیم تشخیص دهیم که حاصل جمع، بیشتر از ۹ شده است یا نه. برای این کار، یک بار بیت دوم و چهارم، و باری دیگر بیت سوم و چهارم را AND کردیم. زیرا در صورتی که حاصل بخواهد بالای ۹ باشد، حاصل حداقل یکی از این دو گیت AND، ۱ خواهد بود. لذا خروجی گیت های گفته شده را به همراه C out، از گیت OR عبور دادیم تا سیگنال V که مشابه overflow است آماده گردد.

حال، برای استفاده از این سیگنال V باید بدین صورت عمل کنیم که اگر V رخ داده بود، عدد حاصل را با ۶ جمع کنیم و در صورتی که V رخ نداده بود، عدد حاضر بدون تغییر بماند و یا به عبارتی دیگر با ۰ جمع شود. دلیل جمع کردن با ۶ نیز، انتقال عدد از محدوده ی غیر مجاز BCD به محدوده ی مجاز آن است. پس به همین دلیل، بیت های دوم و سوم عدد B در جمع کننده ی دوم را برابر با V قرار می دهیم که بسته به نیاز، ۰ یا ۶ تشکیل شود. در نهایت نیز اگر V رخ داد، C out نیز داریم.

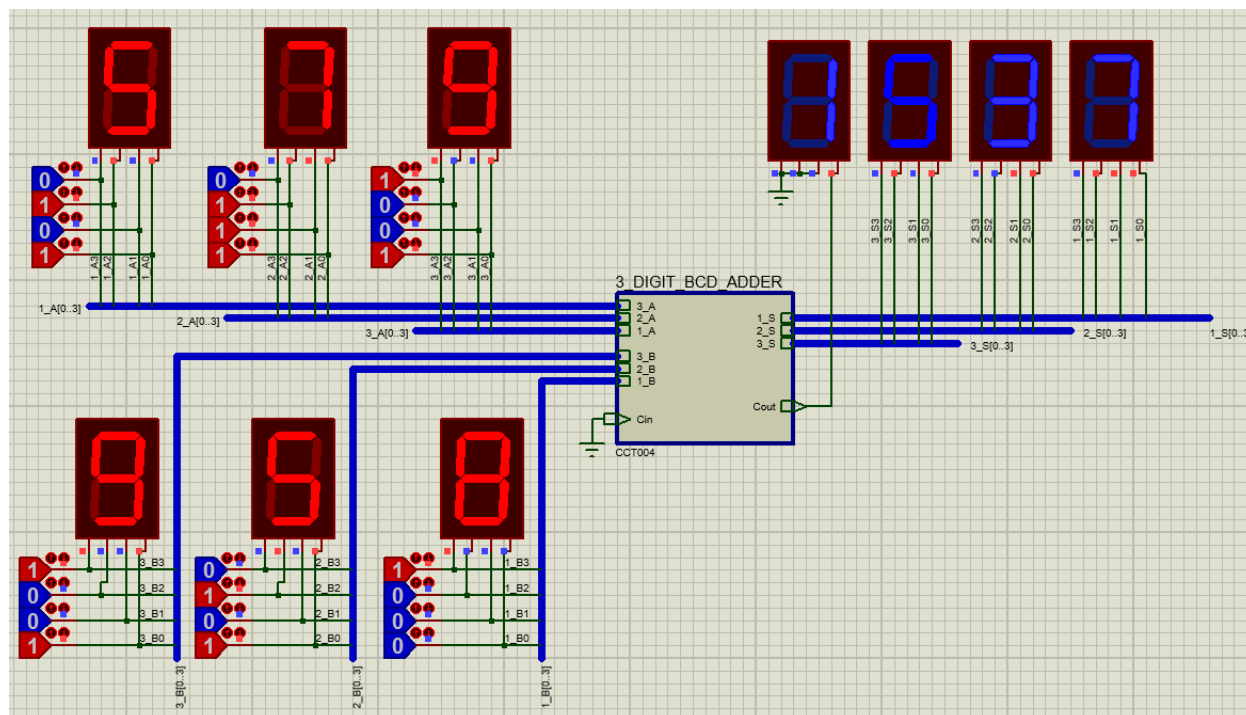
طراحی ۳-Digit BCD Adder

با استفاده از BCD Adder که پیاده سازی کردیم، سه تا از آن ها را به صورت متوالی به یکدیگر متصل می کنیم تا یک جمع کننده ی سه رقمی دهدهی تشکیل دهیم.



نمایش خروجی ۳-Digit BCD Adder

در گام نهایی، با استفاده از قطعه‌ای که در مرحله قبل ساختیم و تعدادی ۷ Segment، صحت عملکرد مدار جمع‌کننده‌مان را نمایش دادیم.

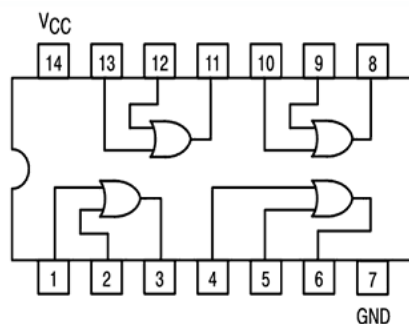


پیاپی سازی مدار به صورت فیزیکی:

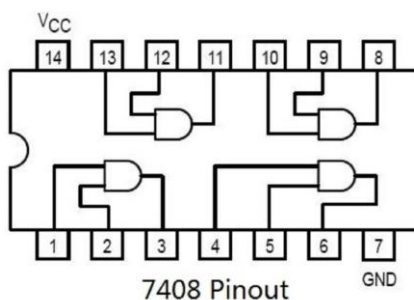
مداری که شبیه ساز آن را در پروتئوس پیاپی سازی کردیم را بر روی بردبرد نیز به صورت فیزیکی آماده کردیم.

تراشه های مورد استفاده

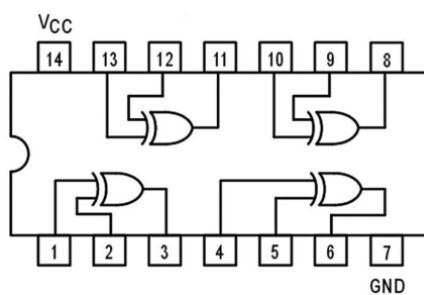
- ۲-input OR: ۷۴۳۲



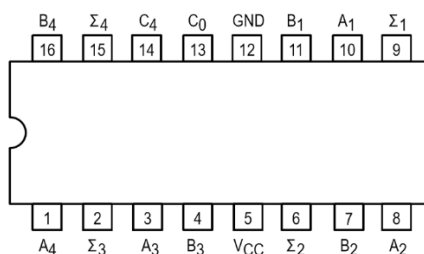
- ۲-input AND: ۷۴۰۸



- ۲-input XOR: ۷۴۸۶

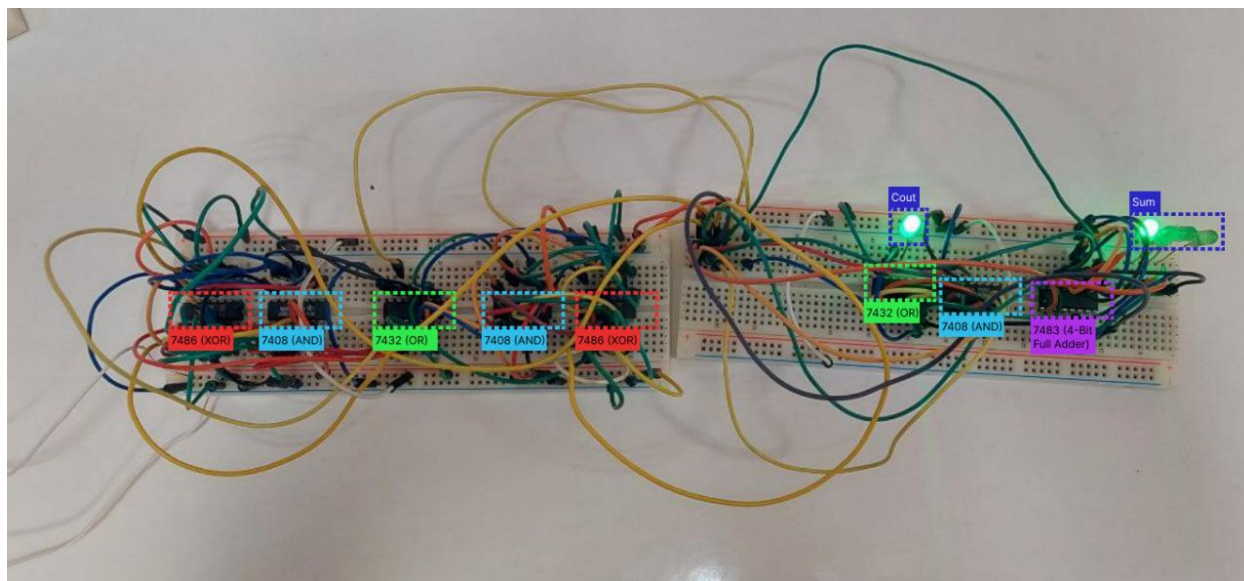


- ۴-bit full adder: ۷۴۸۳



توضیحات مدار

تصویر مدار پیاده‌سازی شده به صورت زیر است:



جهت سهولت در پیاده‌سازی مدار فیزیکی، به جای جمع زدن سه رقم BCD، صرفاً یک رقم را جمع زدیم. همچنین از آن جا که برای جمع زدن هر رقم BCD نیاز به دو تمام جمع‌کننده‌ی ۴ بیتی داریم، یکی از آن‌ها را خودمان با استفاده از گیت‌های اولیه ساختیم و برای دیگری از تراشه آماده‌ی جمع‌کننده استفاده کردیم.

در بردبورد سمت چپ، چهار تا تمام‌جمع‌کننده‌ی یک بیتی ساختیم. از آن جا که برای هر یک تمام جمع‌کننده، نیاز به ۲ گیت XOR، ۲ گیت AND و ۱ گیت OR داریم پس چینش تراشه‌ها را به صورت بالا انجام دادیم تا استفاده بهینه از تمامی ۴ گیت موجود در هر چهار تراشه صورت بگیرد.

در بردبورد سمت راست نیز نیمه‌ی راست مدار پیاده‌سازی شده در پروتئوس را آماده کردیم. ۴ بیت خروجی جمع را با استفاده از ۴ عدد LED و همچنین بیت C out که معادل با ۱۰ است را نیز با LED دیگری همان‌طور که در تصویر مشخص شده‌است، نمایش دادیم.