

باسمه تعالی

آزمایشگاه معماری کامپیوتر



دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تأسیسات ۱۴۰۳

استاد:

دکتر حمید سربازی آزاد

مهندس عطیه غیبی فطرت

اعضای گروه:

زهرآ آذر — ۹۹۱۰۹۷۴۴

سعید فراتی کاشانی — ۴۰۱۱۰۶۲۹۹

امیرحسین صوری — ۴۰۱۱۰۶۱۸۲

فهرست عناوین

موضوع آزمایش:	۳
شرح کلی آزمایش:	۳
بررسی جزئیات مدار	۳
پیاده‌سازی مدار در پروتئوس:	۳
خروجی مدار	۸
پیاده‌سازی مدار به صورت فیزیکی:	۹
تراشه‌های مورد استفاده	۹

موضوع آزمایش:

واحد محاسبه با امکان انتخاب ثبات مبدا و مقصد

شرح کلی آزمایش:

در این آزمایش قصد داریم یک ALU در کنار ۴ رجیستر ۸ بیتی بسازیم تا بتوانیم محاسبات انجام دهیم و در رجیسترها ذخیره سازی کنیم.

بررسی جزئیات مدار

در این مدار ۴ رجیستر R0 تا R3 داریم. یک ALU داریم که ورودی اول آن همواره مقدار رجیستر R0 است و ورودی دوم آن می تواند مقدار رجیسترهای R0 تا R3 و یا مقادیر ثابت ۰ و ۱ و -۱ باشد؛ این ALU امکان اعمال عملیات جمع و تفریق را دارد.

دستورات این پردازنده ۶ بیتی هستند، بیت ها از سمت چپ به این صورت هستند:

- بیت اول (بیت sub): صفر برای جمع و یک برای تفریق
 - بیت های دوم و سوم (سلکت رجیستر مقصد): شماره ی یکی از ۴ رجیستر مقصد را مشخص می کند.
 - بیت های چهارم تا ششم (سلکت ورودی دوم ALU): شماره ی یکی از ۷ حالت ممکن را مشخص می کند.
- پس از انجام عملیات مورد نظر، مقدار حاصل در رجیستری که انتخاب شده است، ذخیره می شود.

پیاده سازی مدار در پروتئوس:

برای پیاده سازی این پردازنده در پروتئوس از این تراشه های آماده استفاده کردیم:

- ۷۴۱۹۸: 8-bit bidirectional shift register with clear

این تراشه یک شیفت رجیستر ۸ بیتی است که قابلیت های پارالل لود، شیفت به چپ (با قرار دادن صفر/یک در LSB)، شیفت به راست (با قرار دادن صفر/یک در MSB) و عدم تغییر (نگه داشتن مقدار) را دارد. به کمک ورودی های S0 و S1 یکی از ۴ حالت بالا و به کمک SR و SL صفر یا یک بودن بیت آخر هنگام شیفت را مشخص می کند.

• ۷۴۱۳۹: dual 4-line to 2-line decoder

این تراشه دو ورودی گرفته و خروجی مربوط به آن شماره را صفر می‌کند، در حالی که بقیه‌ی خروجی‌ها یک هستند.

• ۷۴۱۵۱: 1 of 8 data selectors/multiplexers

این تراشه همان مالتی‌پلکسر ۸ به یک است و با توجه به سلکت ۳ بیتی، یکی از ۸ ورودی تک‌بیتی خود را خروجی می‌دهد.

• ۷۴۱۵۷: quadruple 1 of 2 data selectors/multiplexers

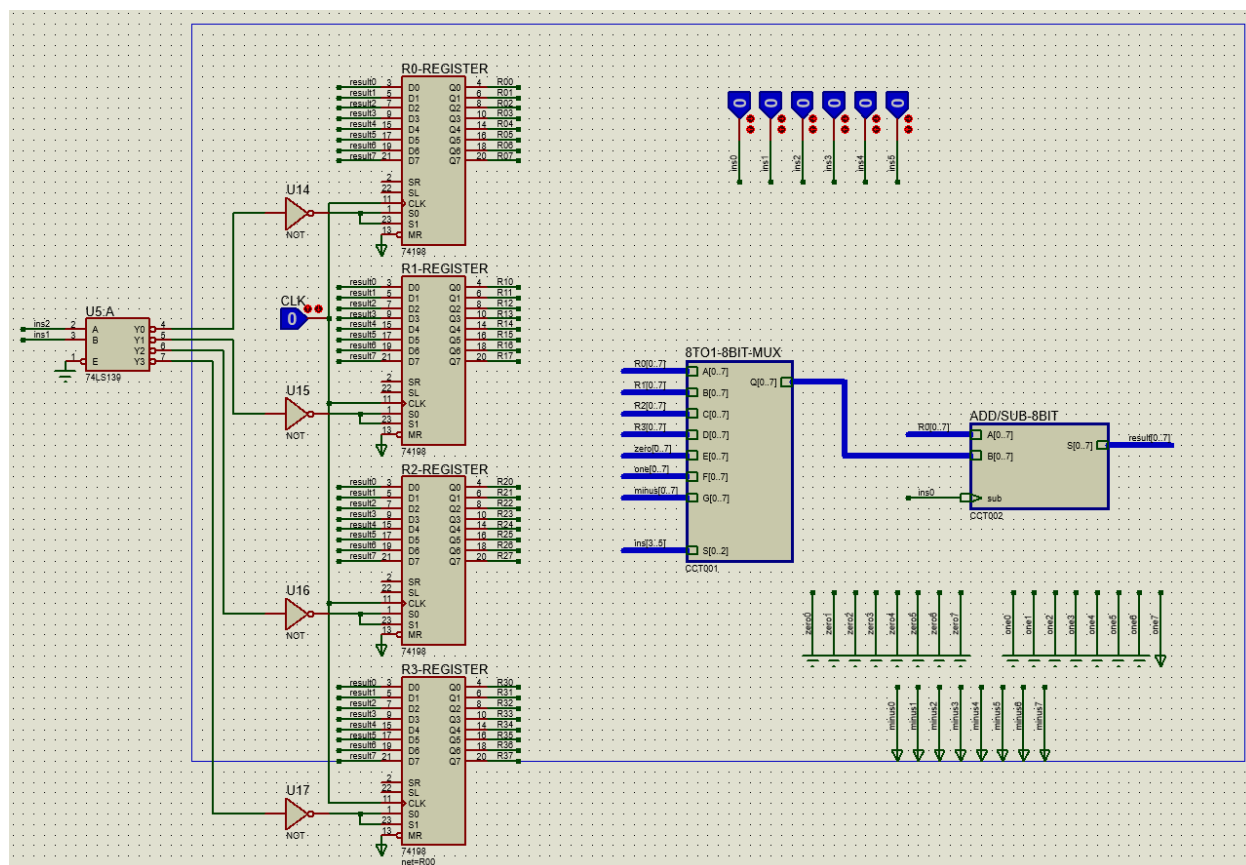
این تراشه شامل ۴ مالتی‌پلکسر ۲ به یک است و با توجه به سلکت تک‌بیتی، یکی از ۲ ورودی هر یک از مالتی‌پلکسرهای خودش را خروجی می‌دهد.

• ۷۴۸۳: 4-bit binary full adder

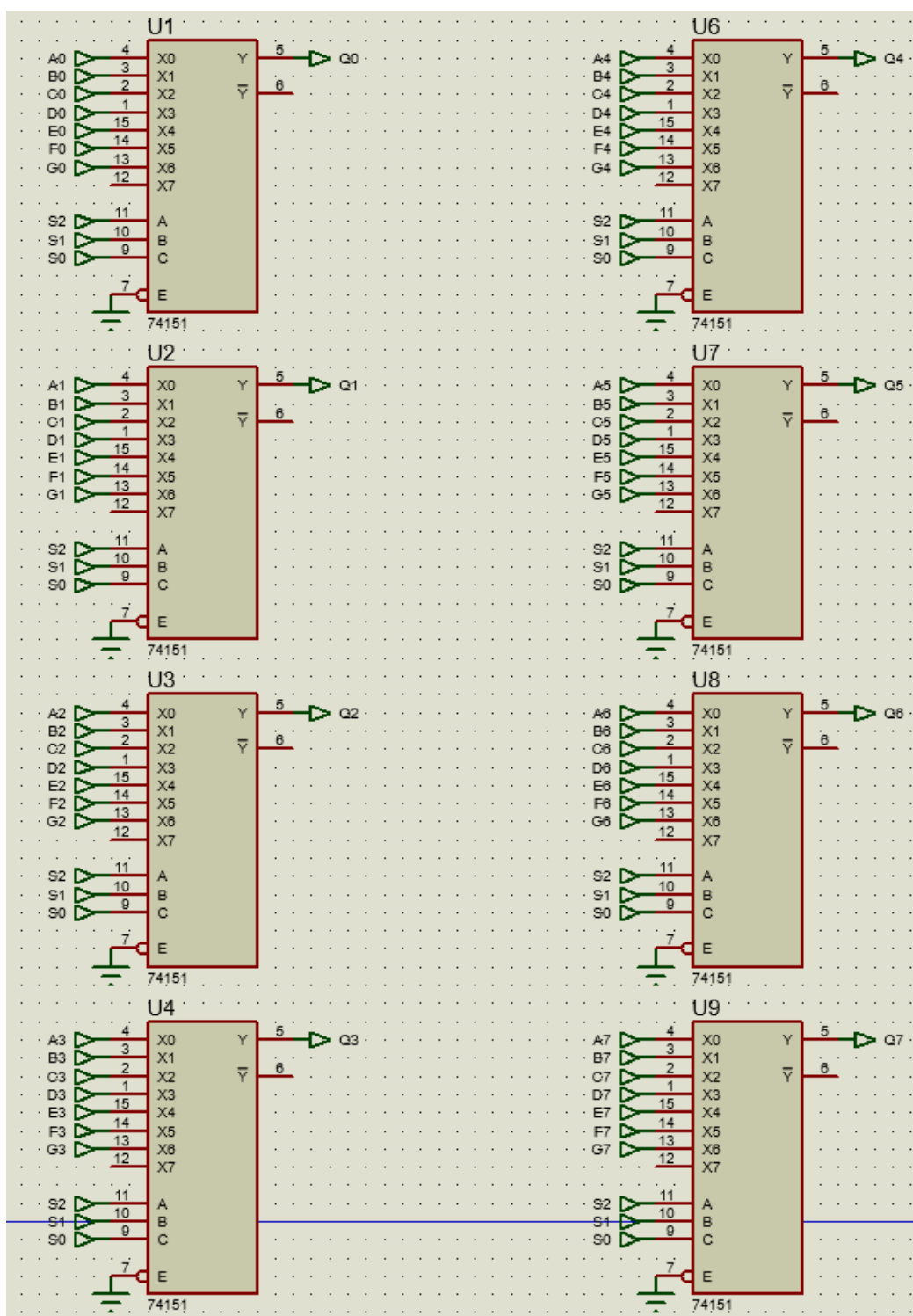
این تراشه فول‌ادر ۴ بیتی است که دو عدد ۴ بیتی و یک carry ورودی می‌گیرد و ضمن جمع کردن آن‌ها یک عدد ۴ بیتی و یک carry خروجی می‌دهد.

• تراشه‌ی ۷۴۰۴ (hex inverse) نیز مورد استفاده است.

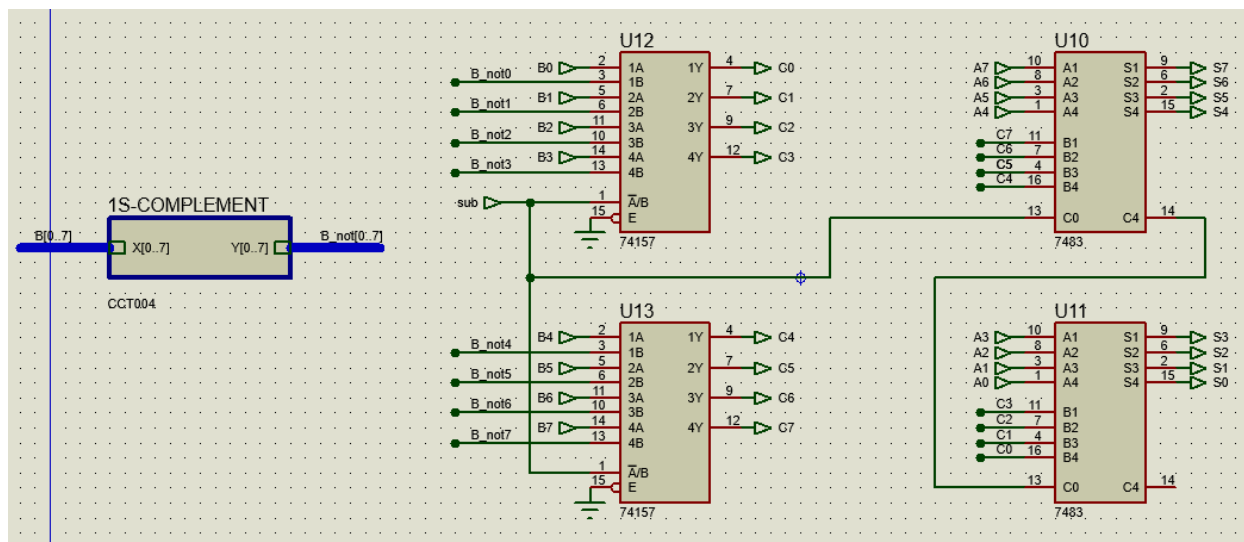
با توجه به توضیحاتی که در مورد پردازنده داده‌شد، این مدار را پیاده‌سازی کردیم:



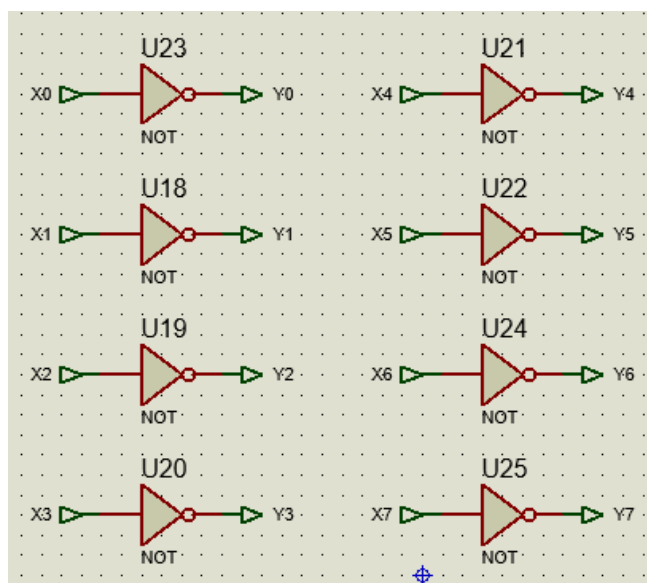
مدار داخلی بخش 8TO1-8BIT-MUX نیز بدین صورت است و هدف آن انتخاب یکی از ۷ ورودی ۸ بیتی به عنوان دومین ورودی ALU است:



همچنین مدار داخلی بخش ADD/SUB-8BIT نیز به صورت زیر است و هدف آن جمع یا تفریق دو ورودی ۸ بیتی بر اساس سیگنال sub است:



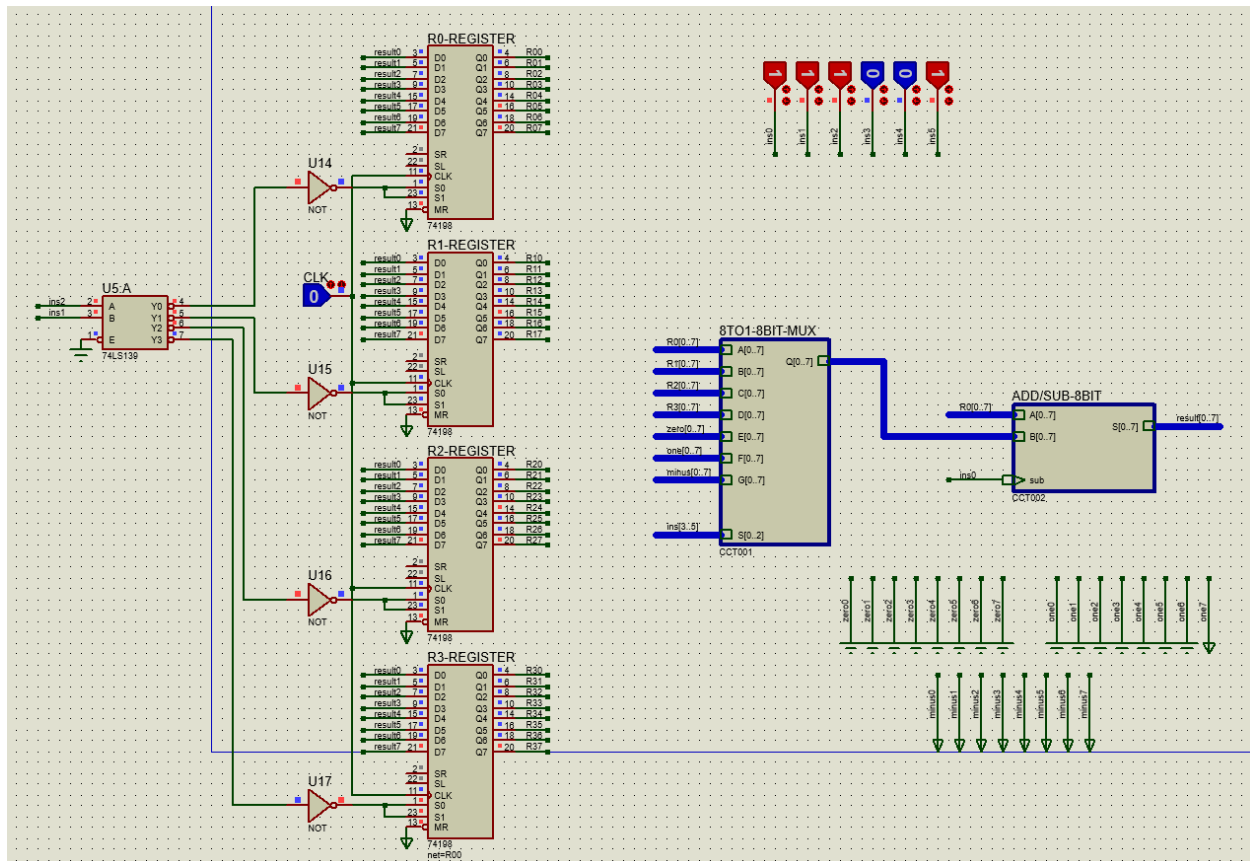
در نهایت نیز مدار داخلی بخش 1S-COMPLEMENT به این شکل است و تمامی بیت‌های عدد ۸ بیتی ورودی را not می‌کند:



در این مدار، ماکس ۸ بیتی ۸ به یک ورودی دوم ALU را انتخاب می‌کند؛ سپس در ADD/SUB-8BIT ابتدا 1's complement دومین ورودی محاسبه می‌شود، سپس بر اساس سیگنال sub یک عدد از میان ورودی دوم یا 1's complement آن انتخاب می‌شود و به عنوان ورودی دوم adder ها داده می‌شود. ورودی اول adder ها نیز همان ورودی اول این مدار است. در نهایت نیز مقدار carry_in اولین ادر ۴ بیتی همان sub خواهد بود، تا در صورت نیاز به تفریق مقدار 1's complement را یکی اضافه کرده و به 2's complement تبدیل کند. در نهایت نیز خروجی محاسبه شده توسط ALU در یکی از ۴ رجیستر ذخیره می‌شود که توسط دیکودر مشخص شده است.

خروجی مدار

در این قسمت یک نمونه ورودی و خروجی برای این مدار نمایش داده شده است:



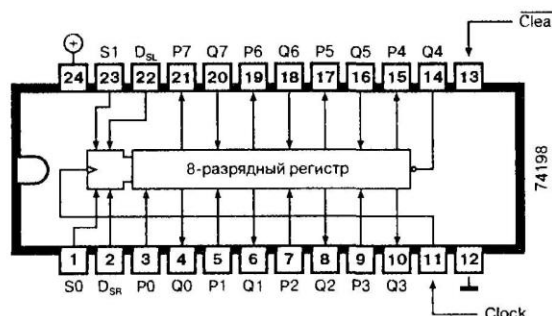
در این نمونه مقدار ۵ در R0 و ۴ در R1 ذخیره شده است، سپس مجموع آن‌ها (۹) در R2 و تفاضل آن‌ها (۱) در R3 ذخیره شده است.

پیاده‌سازی مدار به صورت فیزیکی:

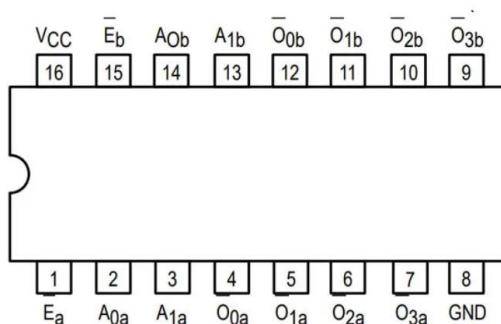
مداری که به صورت فیزیکی پیاده‌سازی کردیم، با کمی ساده‌سازی همراه بود. ورودی دوم ALU می‌تواند مقدار رجیسترهای R0، R1 و یا مقادیر ثابت ۰ یا ۱ باشد. همچنین خروجی نیز در R0 یا R1 ذخیره می‌شود؛ عمل رجیسترهای R2 و R3 حذف شده‌اند.

تراشه‌های مورد استفاده

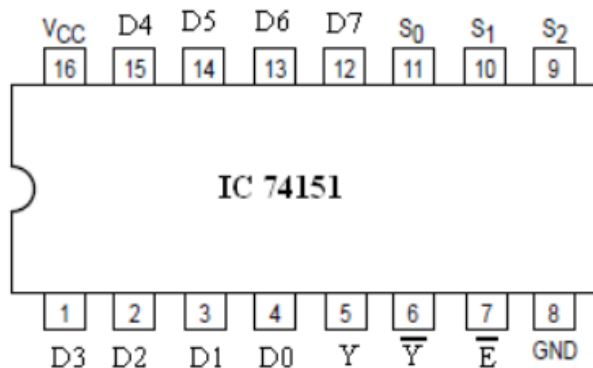
- 8-bit bidirectional shift register with clear: ۷۴۱۹۸



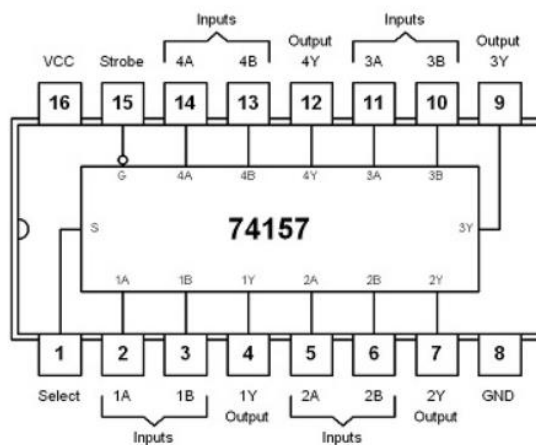
- dual 4-line to 2-line decoder: ۷۴۱۳۹



- 1 of 8 data selectors/multiplexers: ۷۴۱۵۱



- quaduple 1 of 2 data selectors/multiplexers: ۷۴۱۵۷



- 4-bit full adder: ۷۴۸۳

