

# FPGA 黑金开发平台

## 用户手册

AX530



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

## 版权申明：

本手册版权归属芯驿电子公司(上海)有限公司所有, 并保留一切权力。非经本公司(书面形式), 同意, 任何单位及个人不得擅自摘录或修改本手册部分或全部内容, 违者我们将追究其法律责任。

感谢您购买黑金开发板, 在使用产品之前, 请仔细地阅读该手册并且确保知道如何正确使用该产品, 不合理的操作可能会损坏开发板, 使用过程中随时参考该手册以确保正确使用。

此手册不断更新中, 建议您使用时下载最新版本。

## 软件版本：

本手册使用 ALTERA 官方提供的 Quartus 12.1 版本, 请从 Xilinx 网站下载正确的版本和使用我们提供的软件版本安装。

### 黑金官网：

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

### 黑金动力社区：

<http://www.heijin.org>

### 黑金官方淘宝店：

<http://oshcn.taobao.com>

### 联系方式：

021-67676997

### 黑金微信公众号：

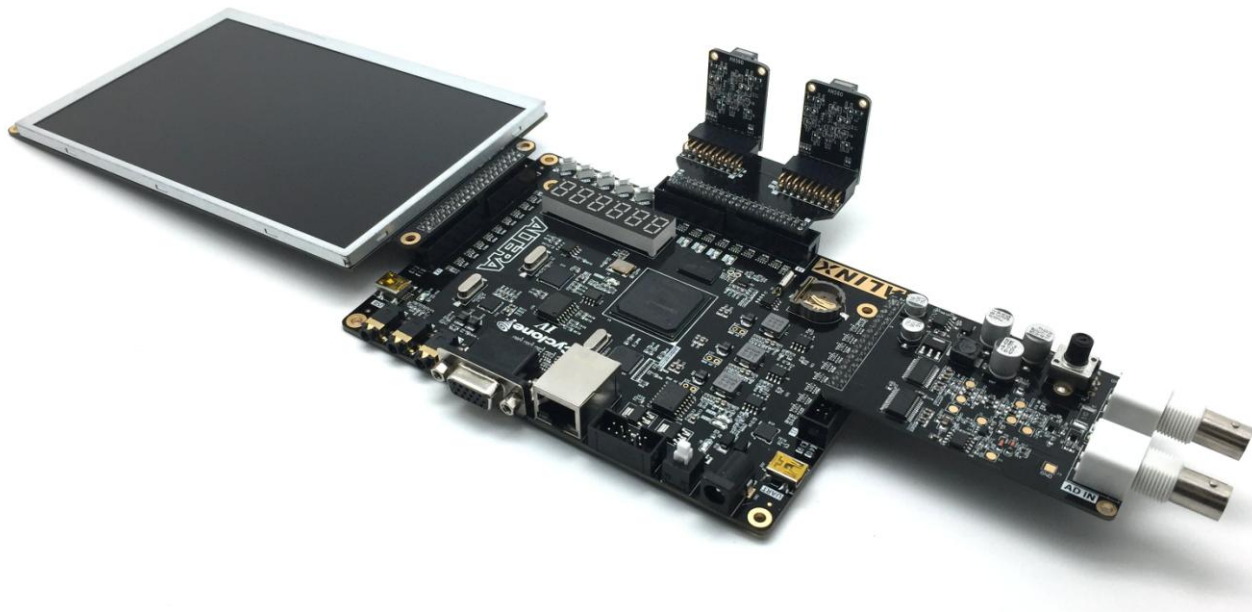
ALINX-HEIJIN



# 目 录

文档版本控制 .....	2
版权申明： .....	3
软件版本： .....	3
一、 简介.....	5
二、 电源.....	8
三、 FPGA .....	9
1) FPGA 资源 .....	10
2) JTAG 接口 .....	10
3) FPGA 供电引脚.....	11
四、 50M 有源晶振 .....	12
五、 配置芯片 .....	13
六、 QSPI FLASH .....	15
七、 DDR2 DRAM .....	16
八、 EEPROM 24LC04.....	19
九、 实时时钟 DS1302.....	20
十、 千兆以太网接口.....	21
十一、 USB 转串口.....	24
十二、 VGA 接口 .....	26
十三、 USB2.0 .....	28
十四、 音频接口.....	30
十五、 SD 卡槽 .....	31
十六、 扩展口.....	33
1) 扩展口 J1.....	33
2) 扩展口 J2.....	35
3) 扩展口 J3.....	38
十七、 LED.....	40
十八、 按键.....	41
十九、 数码管.....	42

黑金 ALTERA 系列 FPGA 开发平台 5 系列再添一款全新产品 AX530，此款开发平台使用的是 ALTERA 的 CYCLONE IV 系列 FPGA，型号为：EP4CE30F23C7，此款 FPGA 是 FBGA 封装 484 个引脚。具有丰富的硬件资源和外围接口。在设计上坚持“精致、实用、简洁”的设计理念，它非常适合软件无线电、工业控制、多媒体应用、IC 验证、并行运算等项目开发，同时它还可适用与高校教学、FPGA 培训、个人研究学习和 DIY 等。



## 一、简介

在这里，对这款 FPGA 开发平台进行简单的功能介绍。

此款开发板使用的是 ALTERA 公司的 CYCLONE IV 系列 FPGA 型号为 EP4CE30F23C7，484 个引脚的 FBGA 封装。此款 FPGA 的资源如下图所示：

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O <sup>(1)</sup>	179	179	343	153	532	532	374	426	528

其中，主要的参数，

逻辑单元 Logic Elements/Cells：28848；

Total RAM bits：594Kbits；

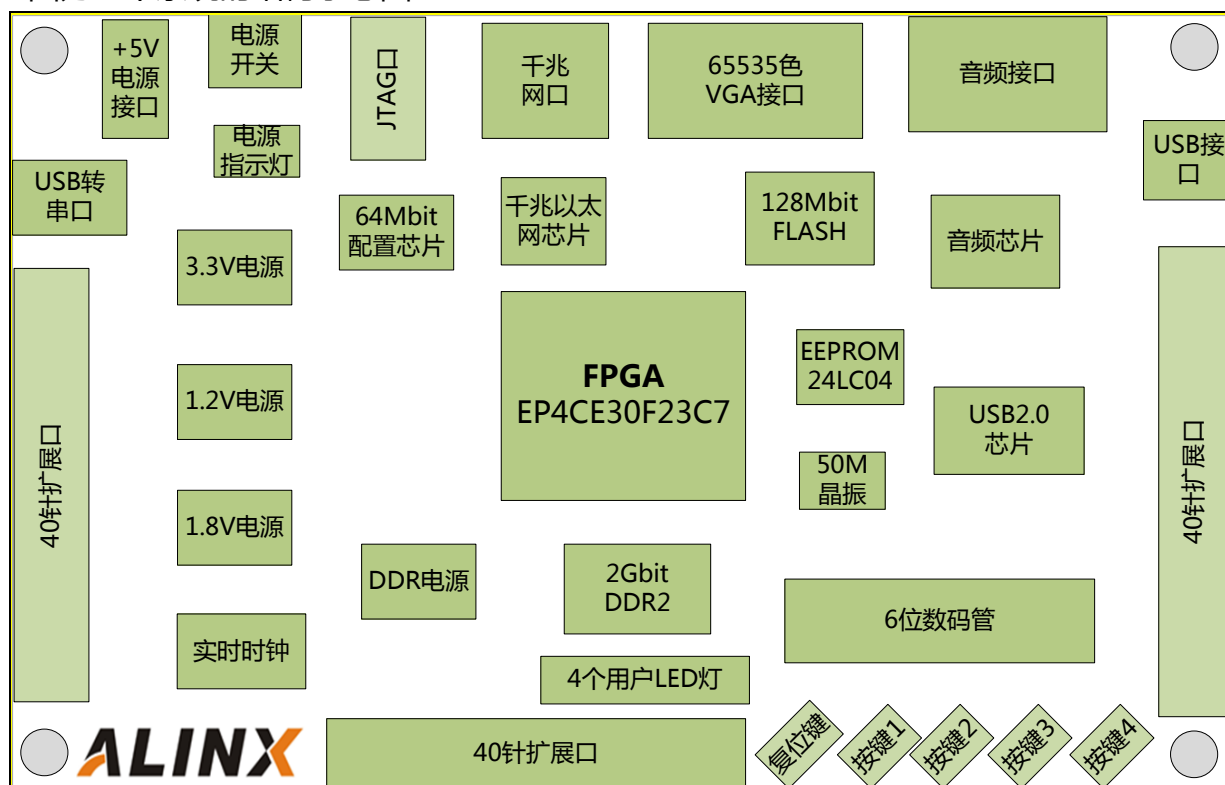
乘法器：66;

锁相环 PLL: 4 个 ;

全局时钟网络：20 个；

可用 IO 数量：343 个；

图为整个系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- +5V 电源输入,最大 2A 电流保护；
- 一片大容量的 2Gbit 高速 DDR2 SDRAM,可作为数据的缓存，也可以作为 NIOS II 运行的内存；
- 一片 64Mbit 的配置芯片 EPCS64 ( 实际焊接为 M25P64，构建工程选择的时候选择 EPCS64 )，可用作 FPGA 配置文件的存储；
- 一片 256Mbit 的 QSPI FLASH, 可用作 FPGA 用户数据的存储；
- 一路 10/100M/1000M 以太网 RJ-45 接口, 可用于和电脑或其它网络设备进行以太网数据交换；
- 一路高速 USB2.0 接口, 可用于开发板和 PC 之间的 USB2.0 高速通信；
- 一路 USB Uart 接口, 用于和 PC 或外部设备的串口通信；
- 一路 VGA 接口，VGA 接口为 16bit，可以显示 65536 种颜色，可以显示彩色图片等信息。

- 一路高质量音频接口，可实现音频采集输出等功能；
- 一片的 RTC 实时时钟，配有电池座，电池的型号为 CR1220。
- 一片 IIC 接口的 EEPROM 24LC04;
- 4 个用户发光二极管 LED;
- 4 个独立用户按键；
- 板载 50M 的有源晶振，给开发板提供稳定的时钟源；
- 3 路 40 针的扩展口 ( 2.54mm 间距 ), 其中 102 个独立 IO 口 , 3 路 5V 电源 , 6 路 3.3V 电源 , 9 路 GND。可以同时接 3 个 4.3 寸/7 寸 TFT 和 AD/DA 模块等扩展模块。
- 预留了 JTAG 口，可对 FPGA 进行调试和程序固化。
- 1 路 Micro SD 卡座，支持 SD 模式和 SPI 模式。

预留了一路 2.5V 电源,对 FPGA 的 IO 电压 3.3V 和 2.5V 可选。

二、电源

电源输入：开发板供电电压为 DC5V，请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。开发板上的电源设计示意图如下：

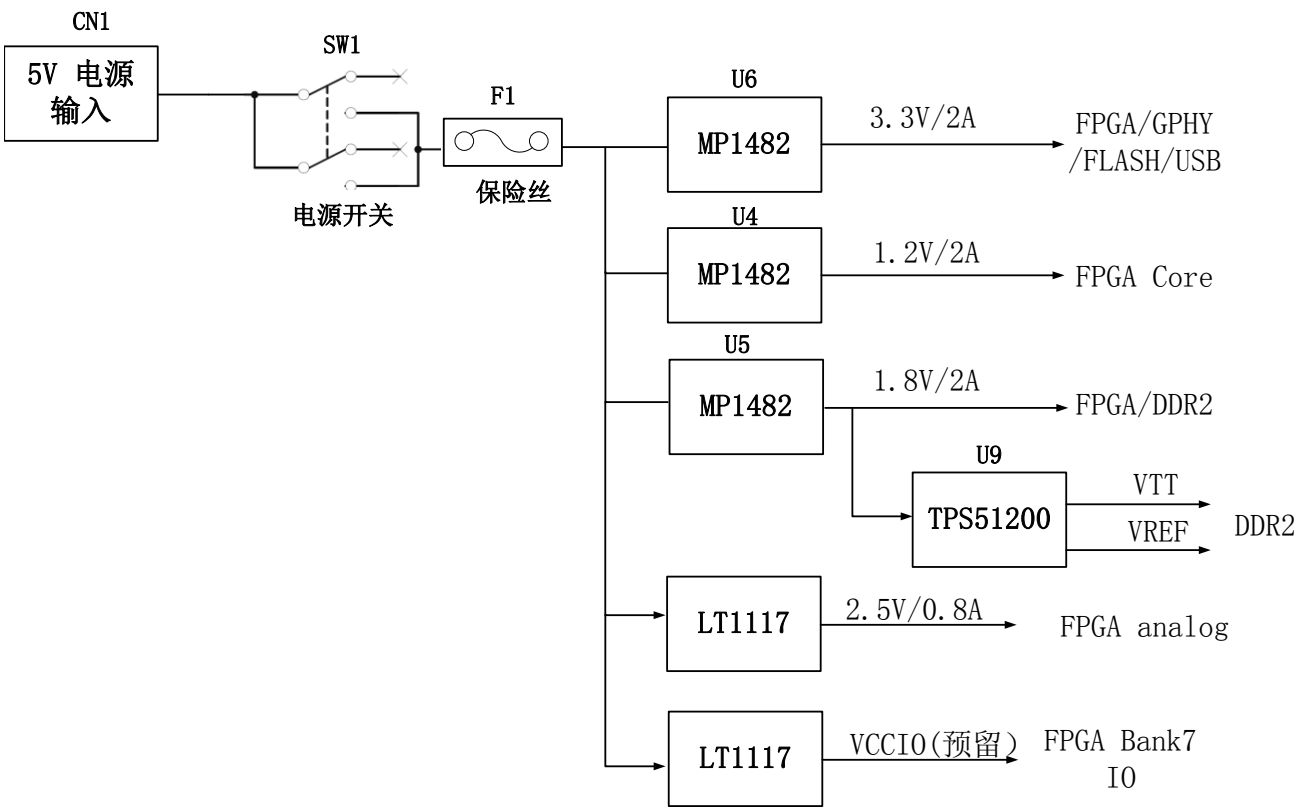


图 2.1 原理图中电源接口部分

开发板通过+5V 供电，通过三路 DC/DC 电源芯片 MP1482 转化成+3.3V，+1.2V，+1.8V 三路电源，通过 2 路 LDO LT1117 产生+2.5V 电源和 VCCIO(2.5V)，1.8V 通过 TI 的 TPS51200 生成 DDR2 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

电源	功能
+3.3V	FPGA, 以太网，串口，RTC，FLASH, EEPROM USB2.0 以及 SD card
+1.2V	FPGA Core
+1.8V	DDR2, FPGA Bank3 Bank4
+2.5V	FPGA Analog Power
VREF, VTT	0.9V, DDR2 参考电压和端接电压
VCCIO	2.5V, FPGA Bank7 可选



FPGA 的 BANK7 的 IO 电压可以通过板上的两个 0 欧姆的电阻(R158,R159)来选择, 当 R158 安装 ,R159 不安装时 ,Bank7 的 IO 电平为 3.3V; 当 R158 不安装 ,R159 安装时 ,Bank7 的 IO 电平为 2.5V。

FPGA 每个 BANK 电压分配：

BANK	功能	电压	备注
BANK1	1000M 以太网	3.3V	
BANK2	扩展口 J1	3.3V	
BANK3	DDR2	1.8V	
BANK4	DDR2	1.8V	
BANK5	数码管、扩展口 J3	3.3V	
BANK6	USB、SD 卡座	3.3V	
BANK7	LED 灯，扩展口 J2	3.3V/2.5V	IO 电压可调
BANK8	音频、EEPROM、VGA、RTC、UART	3.3V	

我们在设计 PCB 的时候，采用 6 层 PCB，预留了独立的电源层和 GND 层，使得整个开发板的电源，具有非常好的稳定性。在 PCB 板上我们预留了各个电源的测试点，以使用户确认板上的电压。

### 三、FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 EP4CE30F23C7，属于 ALTERA 公司 CYCLONE IV 的产品。此型号为 FBGA 封装，484 个引脚。再次说明一下 FPGA 引脚的定义。很多人使用 FPGA 都是非 BGA 封装的，比如 144 引脚，208 引脚的 FPGA 芯片，他们的引脚定义是由数字组成，比如 1 到 144，1 到 208 等等，而当我们使用 BGA 封装的芯片以后，引脚名称变为由**字母+数字**的形式，比如 E3，G3 等等，因此我们在看原理图的时候，看到的**字母+数字**这种形式的，就是代表了 FPGA 的引脚。说完这个，我们来看与 FPGA 有关系的各个部分的功能。图 3.1 为开发板所用的 FPGA 芯片实物图。

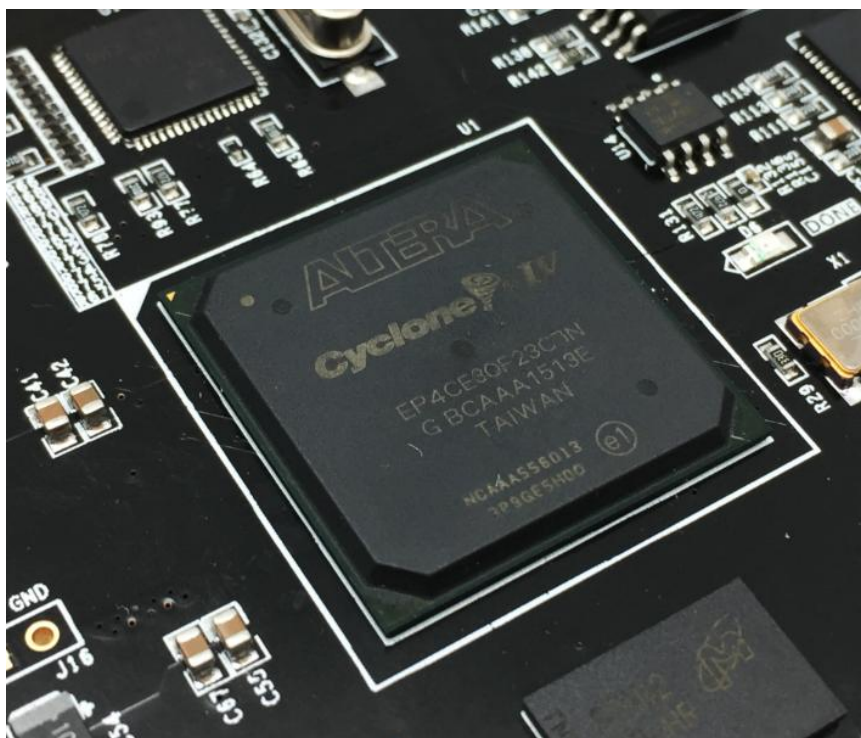


图 3.1 FPGA 芯片实物

## 1) FPGA 资源

EP4CE30F23C7 芯片内部包含逻辑资源，内置的 RAM,乘法器，锁相环，全局时钟网络和 IO 口，不同型号的 FPGA 之间的资源会有不同。AX530 开发板上的 FPGA 型号的资源如下图所示 3.2 所示。

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O <sup>(1)</sup>	179	179	343	153	532	532	374	426	528

图 3.2 FPGA 内部资源

## 2) JTAG 接口

首先我们来说 FPGA 的配置和调试接口：JTAG 接口。JTAG 接口的作用是将编译好的程序 (.sof) 下载到 FPGA 中或把配置文件(jic)下载到配置芯片 EPCS64 中，sof 文件下载到

FPGA 后，掉电以后就会丢失，需要上电重新下载才可以。但固化到配置芯片中的 JIC 文件，掉电以后就不会丢失，重新上电后 FPGA 会读取配置芯片 EPCS64 中的配置文件并运行。

图 3.3 就是 JTAG 口的原理图部分，其中涉及到 TCK,TDO,TMS,TDI 这四个信号。

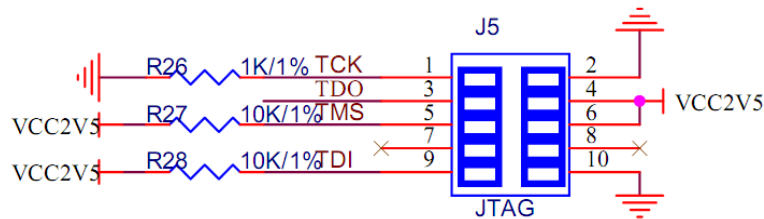


图 3.3 原理图中 JTAG 接口部分

JTAG 接口采用 10 针的 2.54mm 标准的连接器，图 3.4 为 JTAG 接口在开发板上的实物图

图

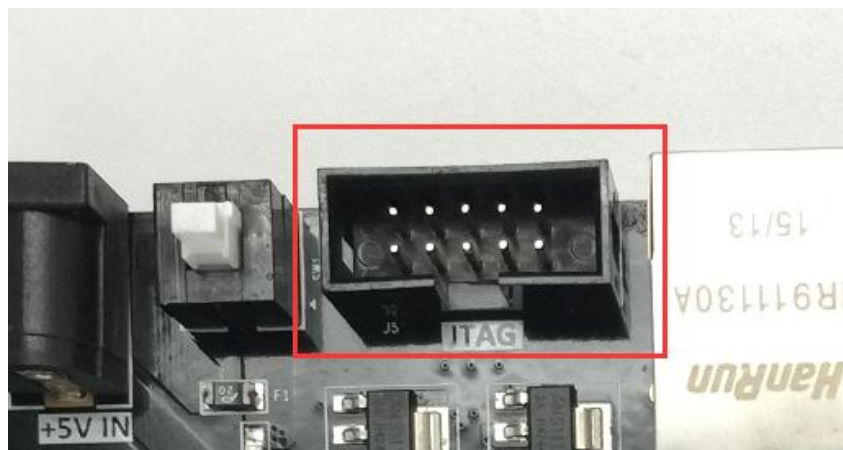


图 3.4 JTAG 接口实物图

### 3) FPGA 供电引脚

接下来，我们说一下 FPGA 的电源引脚部分，其中 VCCIO 为 Bank 的供电引脚，决定每个 BANK 所对应的 IO 口的电平，通过图 3.5 所示可知，Bank1，Bank2，Bank5，Bank6，Bank8 接的是 VCC3V3 这些 Bank 对应的 IO 电平为 3.3V；Bank3，Bank4 上接的是 DDR2，要求 IO 为 1.8V，所以我们接的是 VCC1V8；Bank7 我们设置为 VCCIO7，在这里面我们可以根据自己的需求来进行电压的选择，默认我们接的是 3.3V，可通过将 R158 的电阻换到 R159，将 BANK7 电压变为 2.5V。如果还有其他需求，可以通过更换电源芯片 U19 来实现不同的电压。

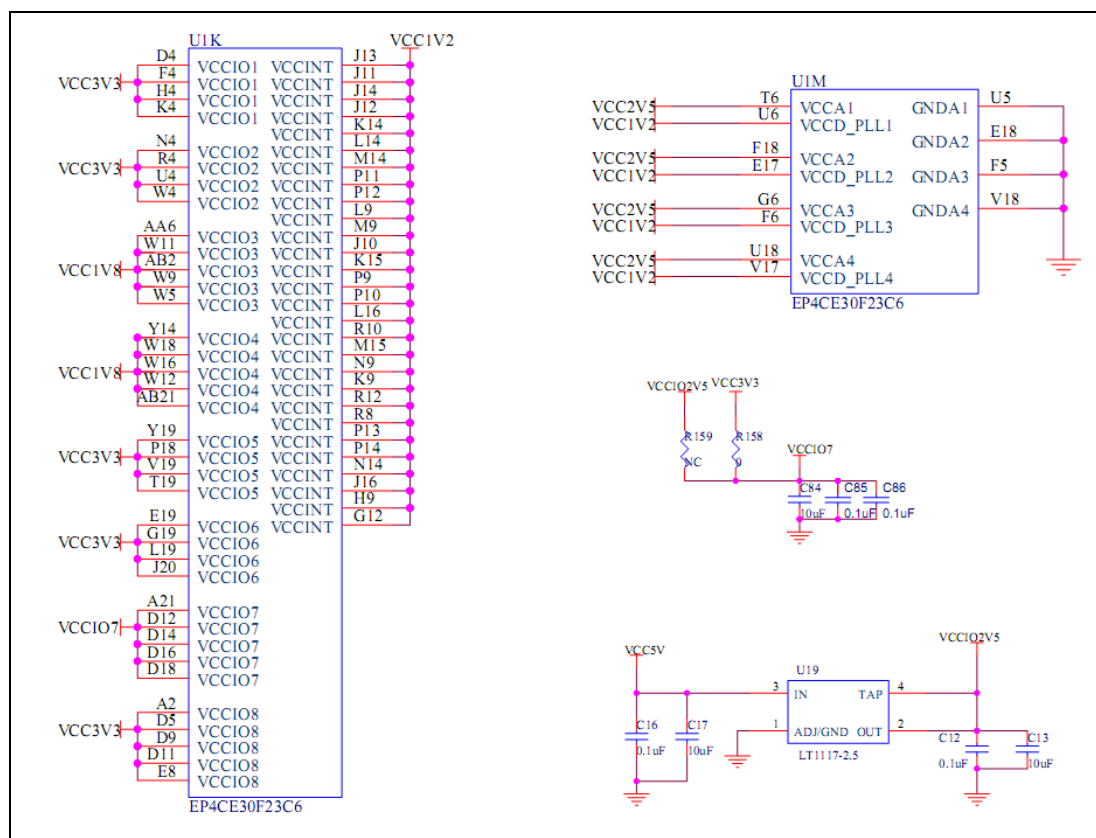


图 3.5 FPGA 电源引脚

#### 四、50M 有源晶振

图 4.1 即为我们上述提到的给开发板提供时钟源的 50M 有源晶振电路。晶振输出连接到 FPGA 的全局时钟(GCLK Pin T21), 这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路, 用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

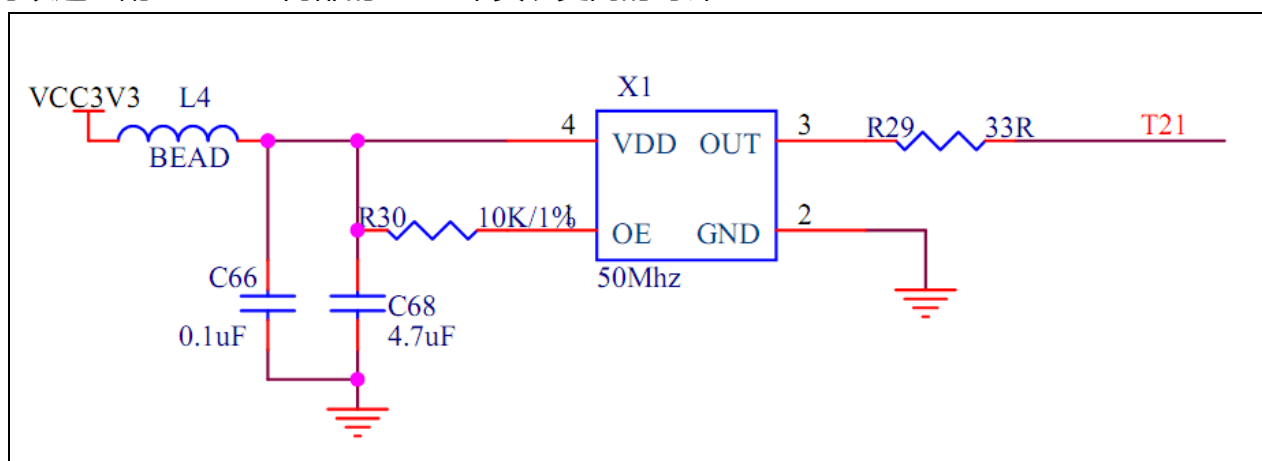


图 4.1 50M 有源晶振

图 4.2 为有源晶振实物图

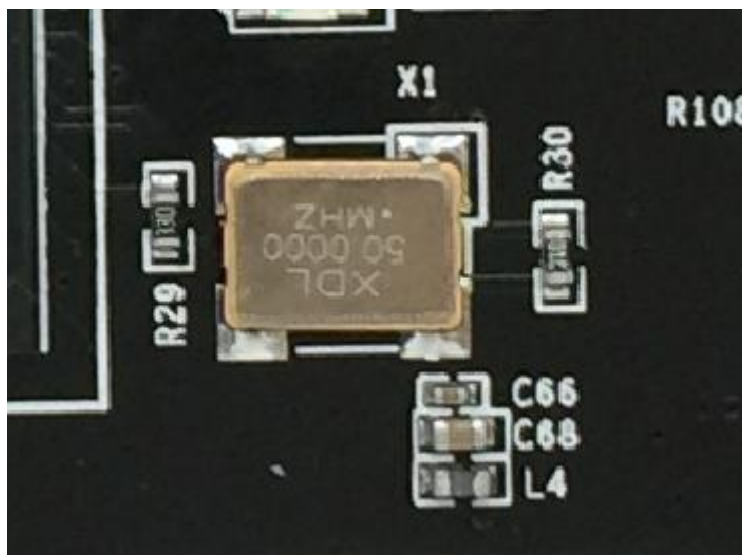


图 4.2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
CLK	T21

## 五、配置芯片

开发板上使用了一片 64Mbit 大小的配置芯片，型号为 M25P64。此芯片跟配置芯片 EPCS64 完全兼容，我们在做配置芯片选择时，可以直接选择 EPCS64 即可。由于它的非易失特性，在使用中，配置芯片可以作为 FPGA 系统的配置信息的存储，掉电也可以保存信息内容。当重新上电时，配置芯片 EPCS64 将配置信息传送到 FPGA 中，然后进行运行。

SPI FLASH的具体型号和相关参数见表5.1。

位号	芯片类型	容量	厂家
U7	M25P64VMF	64M Bit	ST

表 5.1 SPI Flash 的型号和参数

图 5.1 为配置芯片在原理图中的部分。

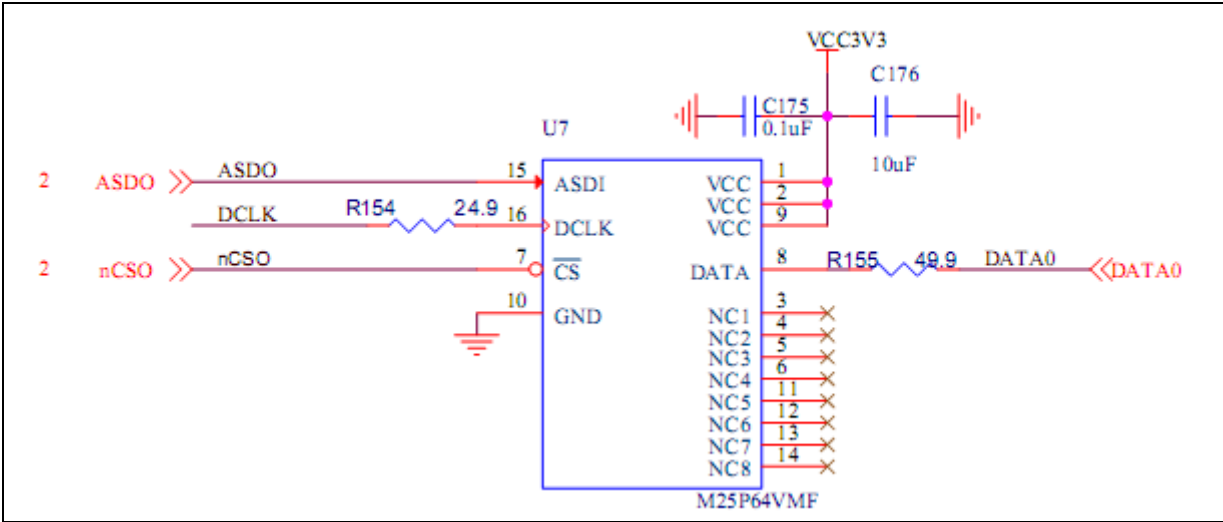


图 5.1 配置芯片连接示意图

配置芯片引脚分配：

引脚名称	FPGA 引脚
ASDO	D1
DCLK	K2
nCSO	E2
DATA0	K1

图 3.5 为配置芯片 EPCS64(M25P64)在原理图中的部分。

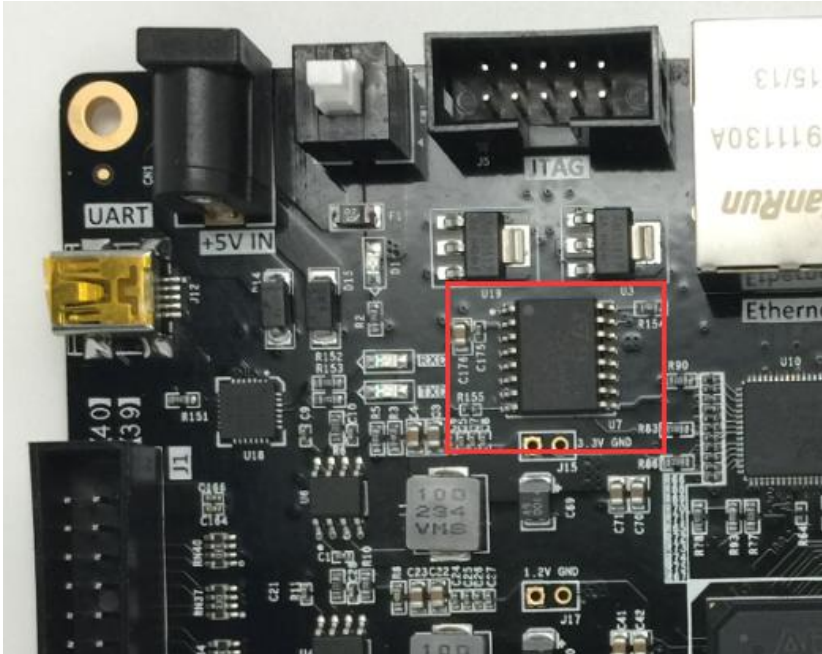


图 3.5 配置芯片实物图



## 六、QSPI FLASH

开发板上使用了一片 256Mbit 大小的 Quad-SPI FLASH 芯片用于存储用户数据或文件，芯片型号为 W25Q256，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为用户数据的掉电存储。主要包括用户数据，图像信息和系统文件等等。

QSPI FLASH的具体型号和相关参数见表5.1。

位号	芯片类型	容量	厂家
U17	W25Q256V	256M Bit	Winbond

表 6.1 QSPI Flash 的型号和参数

图 6.1 为 QSPI Flash 在原理图中的部分。

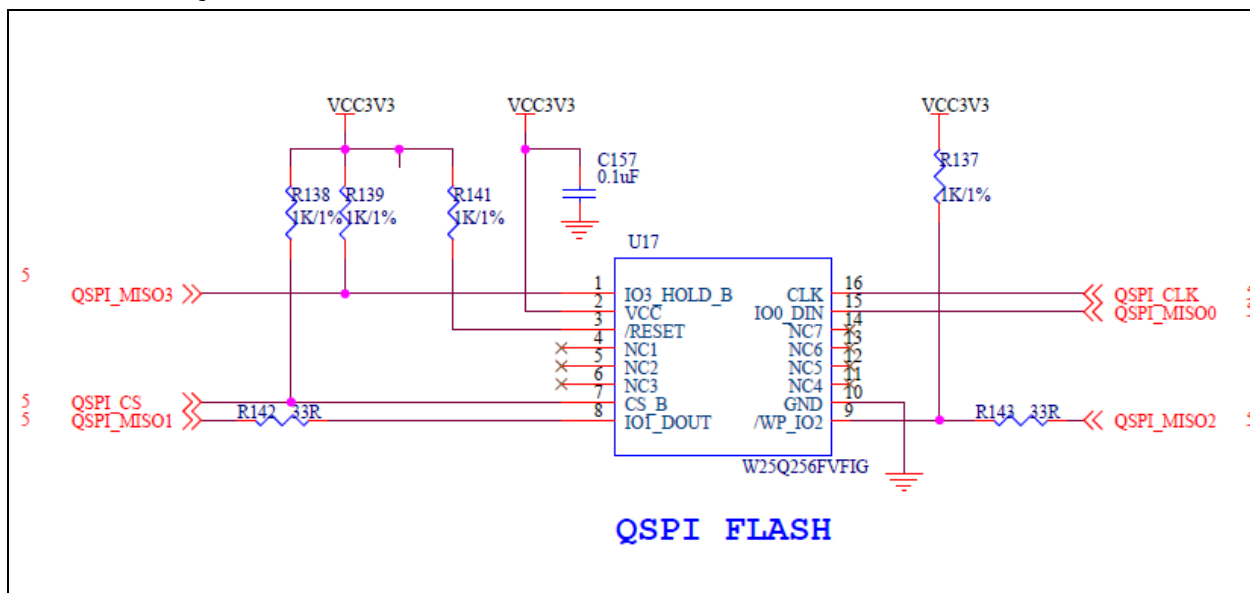


图 6.1 QSPI Flash 连接示意图

图 6.2 为 QSPI Flash 的实物图

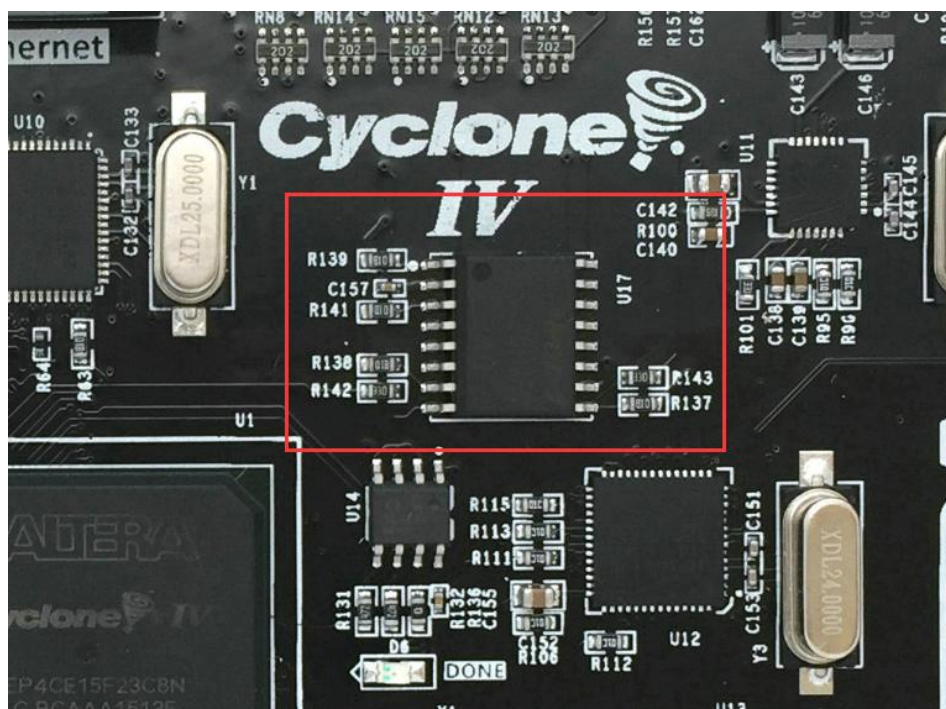


图 6.2 配置芯片实物图

配置芯片引脚分配：

引脚名称	FPGA 引脚
QSPI_CLK	A7
QSPI_CS	A6
QSPI_MISO0	B7
QSPI_MISO1	B6
QSPI_MISO2	E9
QSPI_MISO3	B8

## 七、DDR2 DRAM

开发板板载了一片高速 DDR2 DRAM,型号：MT47H256M16HR-3IT，容量：2Gbit (256M\*16bit)，16bit 总线。开发板上 FPGA 和 DDR2 DRAM 相连的是 BANK3，BANK4 的 IO，电平是 1.8V。FPGA 跟 DDR2 之间的读写的时钟频率最高 166.7MHz，数据频率最高可达 333MHz。DDR2 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR2 的高速稳定的工作。

DDR2 DRAM 的硬件连接方式如图 7.1 所示



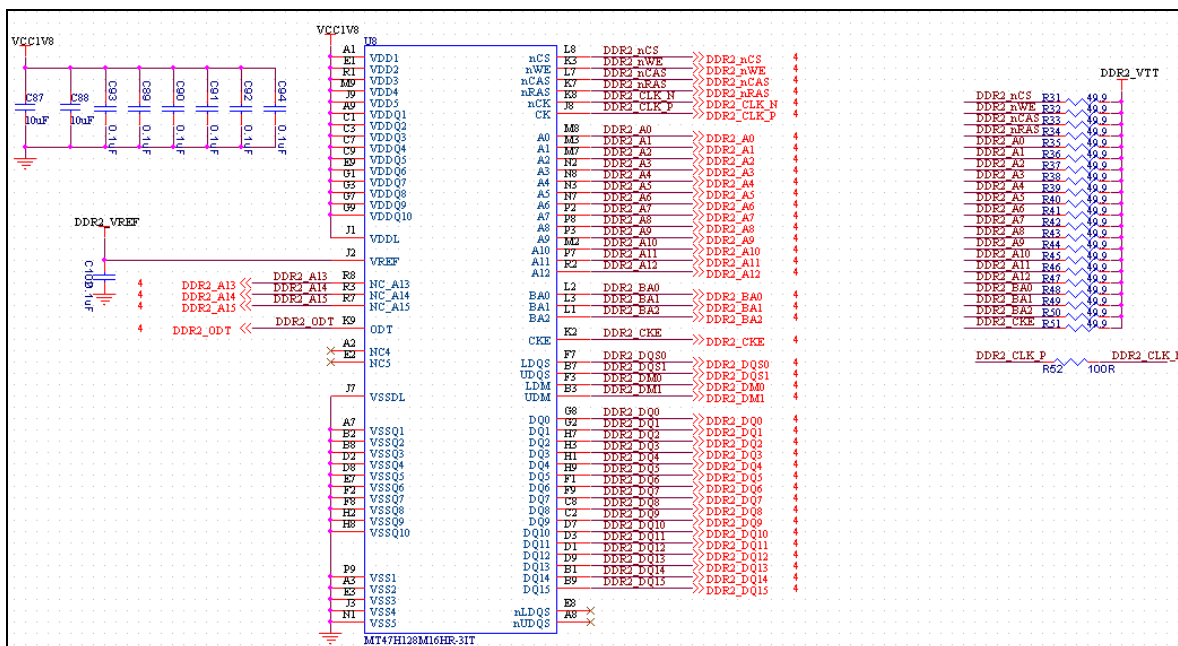


图 7.1 DDR2 DRAM 原理图部分

图 7.2 为 DDR2 DRAM 实物图

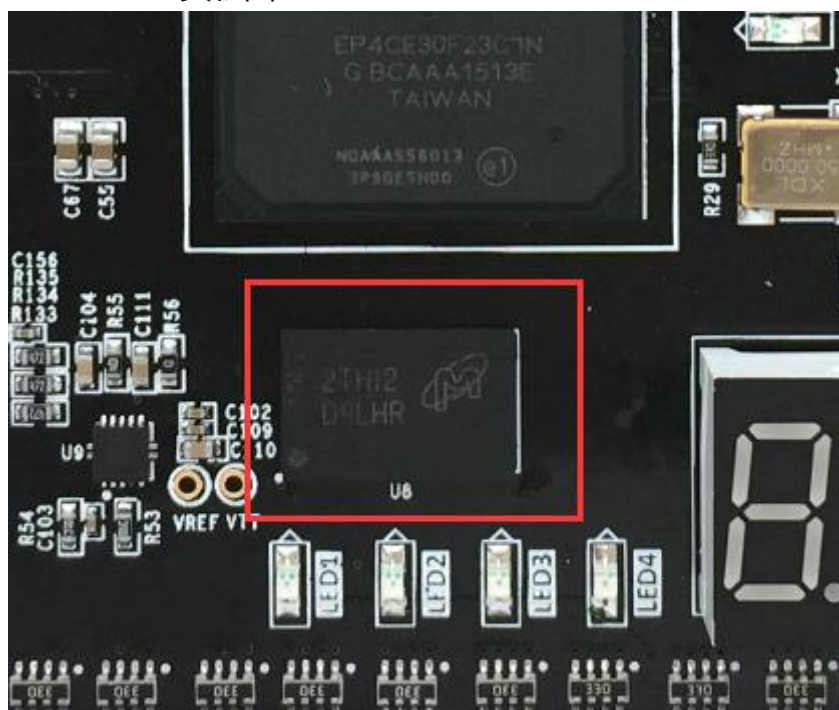


图 7.2 DDR2 DRAM 实物图

DDR2 DRAM 引脚分配：

引脚名称	FPGA 引脚
DDR2_DQS[0]	AB9

DDR2_DQS[1]	V10
DDR2_DQ[0]	AB8
DDR2_DQ [1]	Y8
DDR2_DQ [2]	AA9
DDR2_DQ [3]	W10
DDR2_DQ [4]	V11
DDR2_DQ [5]	Y10
DDR2_DQ [6]	AB7
DDR2_DQ [7]	AA8
DDR2_DQ [8]	Y7
DDR2_DQ [9]	U9
DDR2_DQ [10]	V8
DDR2_DQ [11]	W6
DDR2_DQ [12]	W7
DDR2_DQ [13]	W8
DDR2_DQ [14]	Y3
DDR2_DQ [15]	AA5
DDR2_DM[1]	V5
DDR2_DM[0]	AA7
DDR2_A[0]	V6
DDR2_A [1]	U13
DDR2_A [2]	V7
DDR2_A [3]	T14
DDR2_A [4]	U7
DDR2_A [5]	U15
DDR2_A [6]	U8
DDR2_A [7]	R16
DDR2_A [8]	U10
DDR2_A [9]	R14
DDR2_A [10]	U14
DDR2_A [11]	T9
DDR2_A [12]	R15

DDR2_A [13]	T10
DDR2_A [14]	T16
DDR2_BA [0]	Y17
DDR2_BA [1]	W15
DDR2_BA [2]	V15
DDR2_RAS_N	AA4
DDR2_CAS_N	AB10
DDR2_WE_N	AA3
DDR2_ODT	AB5
DDR2_CLK	AA17
DDR2_CLK_N	AB17
DDR2_CKE	AB3
DDR2_CS_N	Y6

## 八、EEPROM 24LC04

开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit ( 2\*256\*8bit )，由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 一般用在仪器仪表等设计上，用作一些参数的存储，掉电不丢失。这种芯片操作简单，具有极高的性价比，所以虽然容量比较小，但价格非常便宜，对于那些对成本要求很高的产品来说，是个不错的选择。图 8.1 为 EEPROM 的原理图

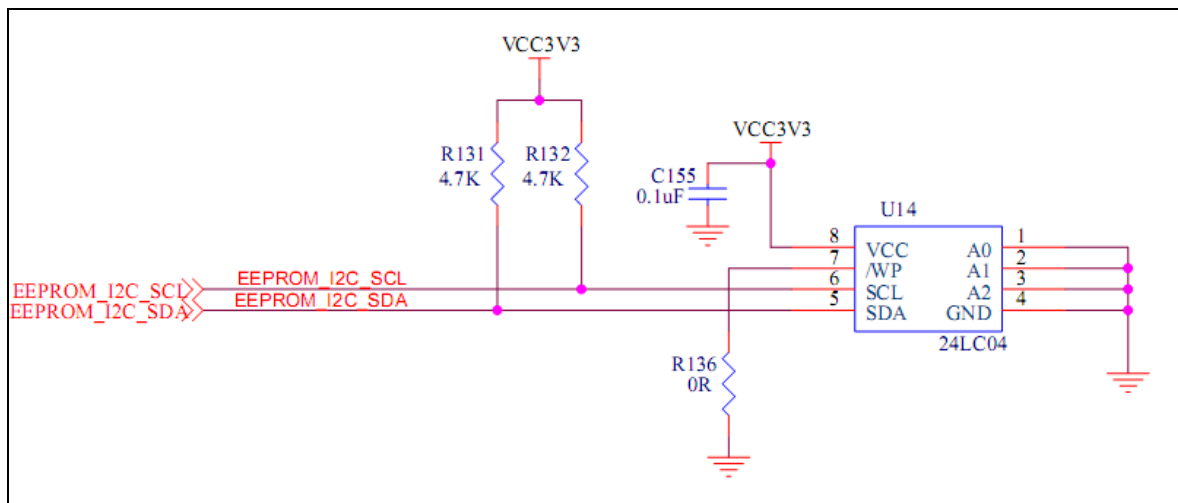


图 8.1 EEPROM 原理图部分

图 8.2 为 EEPROM 实物图

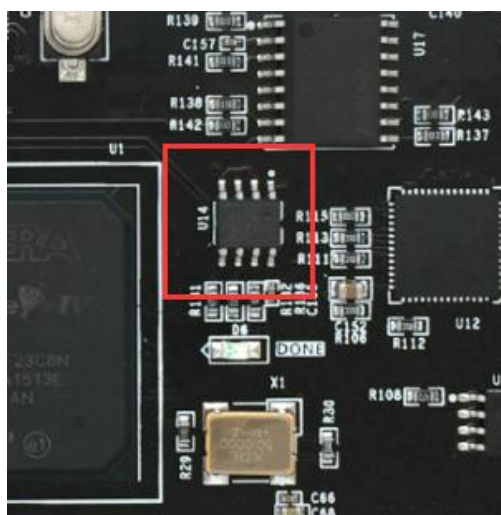


图 8.2 EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
EEPROM_I2C_SDA	A8
EEPROM_I2C_SCL	G11

## 九、实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 9.1 中的 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。图 9.1 为 DS1302 原理图

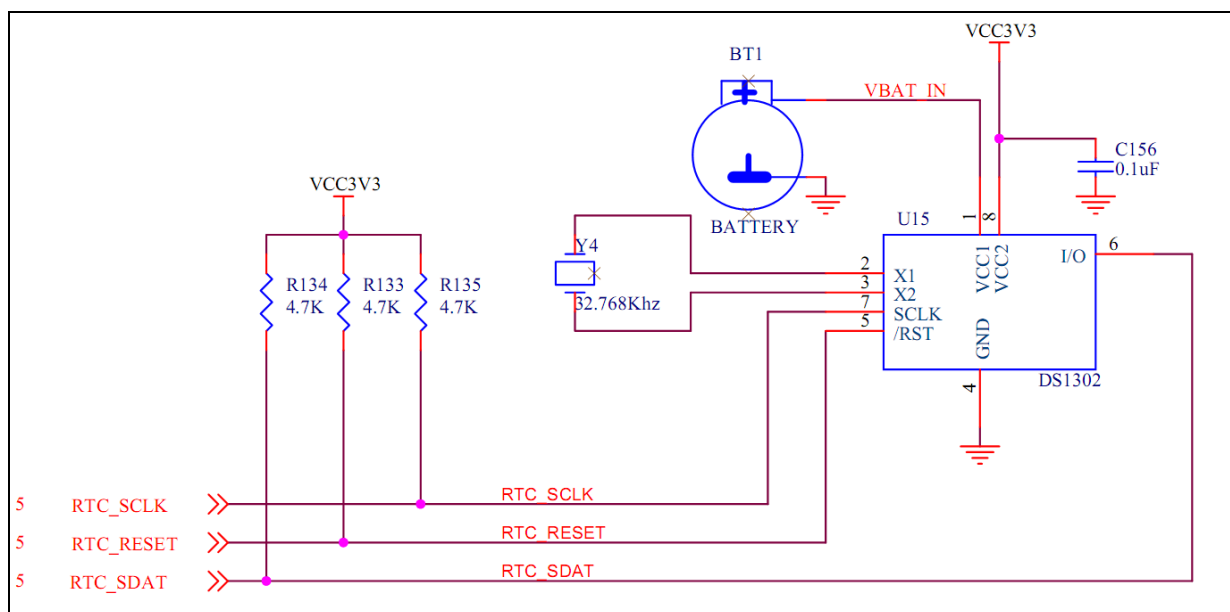


图 9.1 DS1302 原理图

图 9.2 为 DS1302 实物图

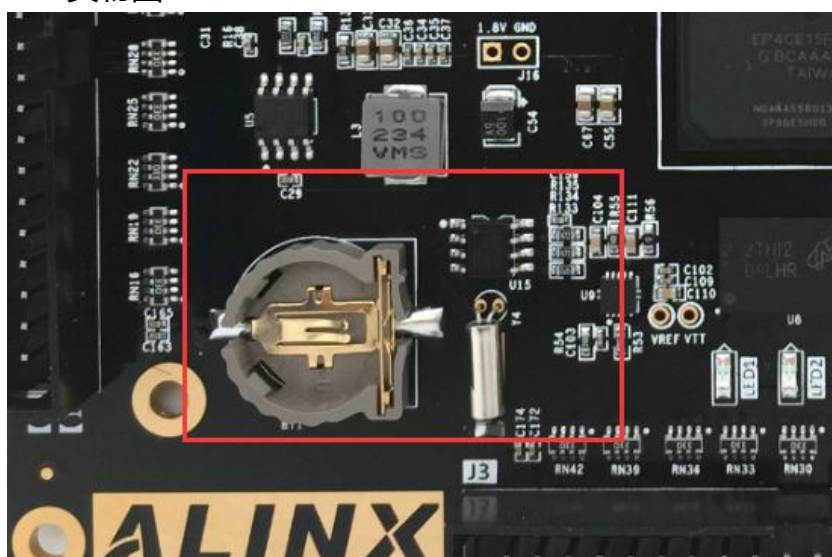


图 9.2 DS1302 实物图

DS1302 接口引脚分配：

引脚名称	FPGA 引脚
RTC_SIO	E6
RTC_RESET	G9
RTC_SCLK	E5

## 十、千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。TL8211EG 芯片支持 10/100/1000 Mbps 自协商网络传输速率，通过 GMII 接口跟 FPGA 进

行数据通信。RTL8211EG 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的IO 的电平状态，从而确定自己的工作模式。表 10.1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	GMII

表 10.1 PHY 芯片默认配置值

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 GMII 总线通信，传输时钟为 125Mhz。接收时钟 E\_RXC 由 PHY 芯片提供，发送时钟 E\_GTXC 由 FPGA 提供，数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信，传输时钟为 25Mhz。接收时钟 E\_RXC 和发送时钟 E\_TXC 都由 PHY 芯片提供，数据在时钟的上升沿采样。

图 10.1 为 FPGA 与以太网 PHY 芯片连接示意图：

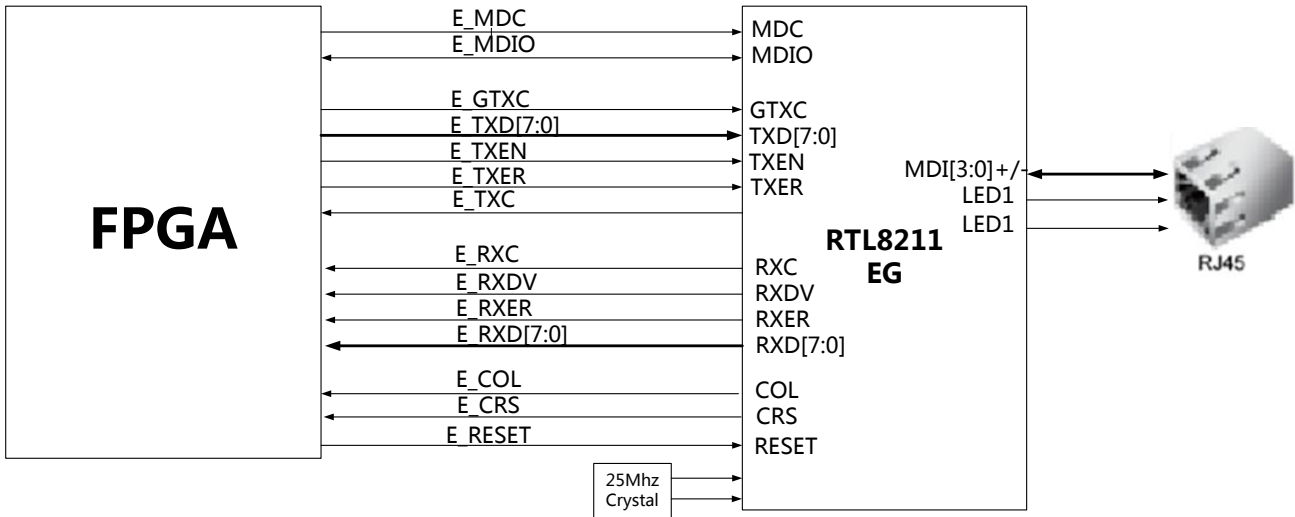


图 10.1 FPGA 与 PHY 连接示意图

图 10.2 为以太网 PHY 芯片的实物图

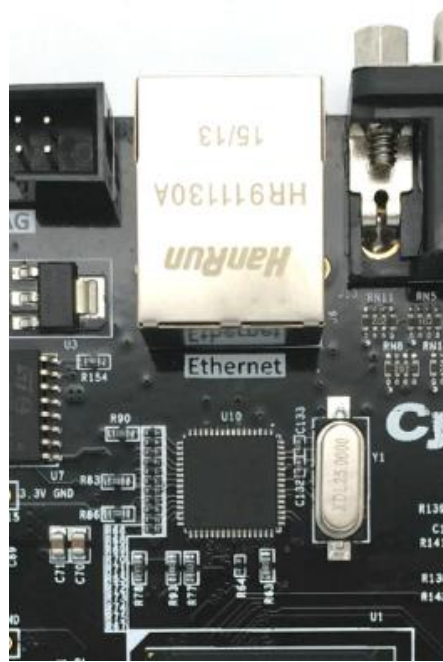


图 10.2 以太网 PHY 芯片实物图

## 以太网引脚分配

引脚名称	FPGA 引脚	备注
E_GCLK	H1	GMII 发送时钟
E_TXD0	F2	发送数据 bit 0
E_TXD1	E1	发送数据 bit1
E_TXD2	G4	发送数据 bit2
E_TXD3	J1	发送数据 bit3
E_TXD4	H5	发送数据 bit4
E_TXD5	J3	发送数据 bit5
E_TXD6	K7	发送数据 bit6
E_TXD7	J7	发送数据 bit7
E_TXEN	G3	发送使能信号
E_TXER	L6	发送错误信号
E_TXC	J4	MII 发送时钟
E_RXC	E3	GMII 接收时钟
E_RXDV	J6	接收数据有效信号
E_RXER	B2	接收数据错误
E_RXD0	H6	接收数据 Bit0
E_RXD1	G5	接收数据 Bit1



E_RXD2	H7	接收数据 Bit2
E_RXD3	E4	接收数据 Bit3
E_RXD4	D2	接收数据 Bit4
E_RXD5	C1	接收数据 Bit5
E_RXD6	C2	接收数据 Bit6
E_RXD7	B1	接收数据 Bit7
E_COL	H2	Collision 信号
E_CRS	J2	Carrier Sense 信号
E_RESET	F1	复位信号
E_MDC	K8	MDIO 管理时钟
E_MDIO	L8	MDIO 管理数据

十一、USB 转串口

开发板包含了Silicon Labs CP2102GM的USB-UART芯片, USB接口采用MINI USB接口，可以用一根USB线将它连接到上PC的USB口进行串口数据通信。

USB 转串口的原理图如图 11.1 所示

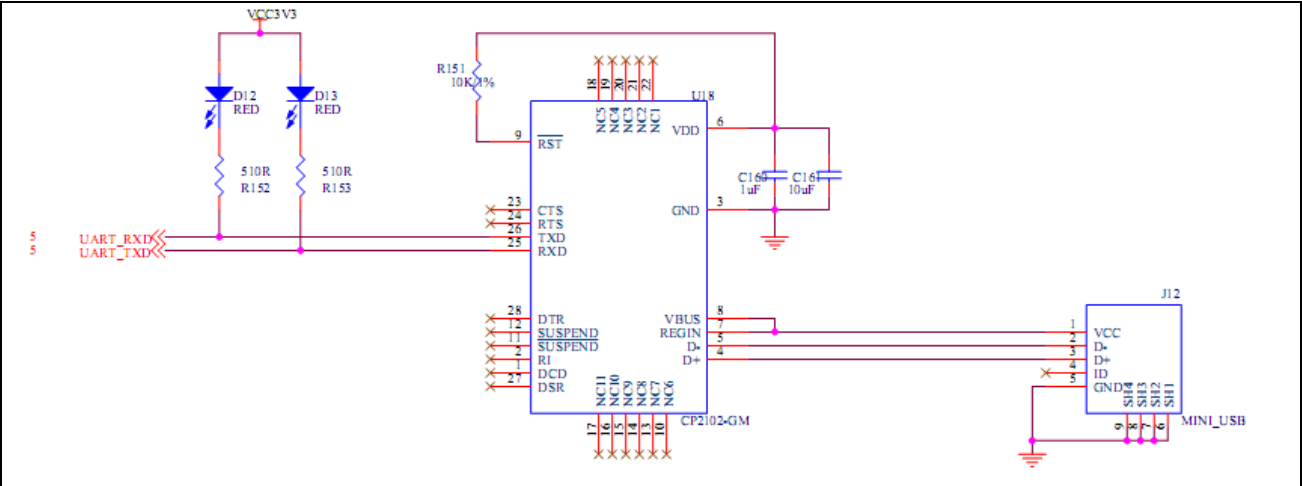


图 11.1 USB 转串口原理图

图 11.2 为 USB 转串口的实物图



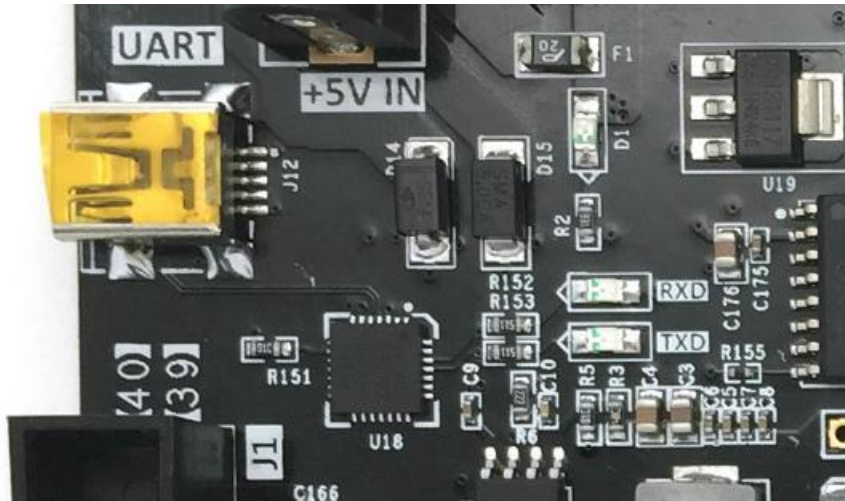


图 11.2 USB 转串口实物图

同时对串口信号设置了 2 个 led 指示灯 LED7(RXD)和 LED8(TXD)，当 UART 口(J12)连接到 PC 的 USB 口时，LED7(RXD)和 LED8(TXD)会指示串口是否有数据发出或者是否有数据接受，如图 11.3 所示，

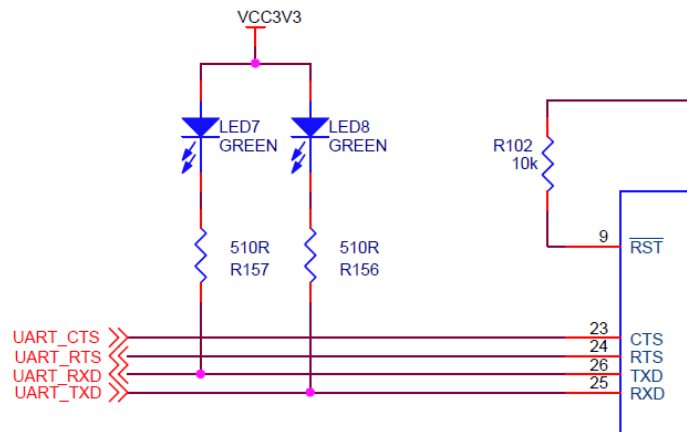


图 11.3 USB 转串口信号指示灯

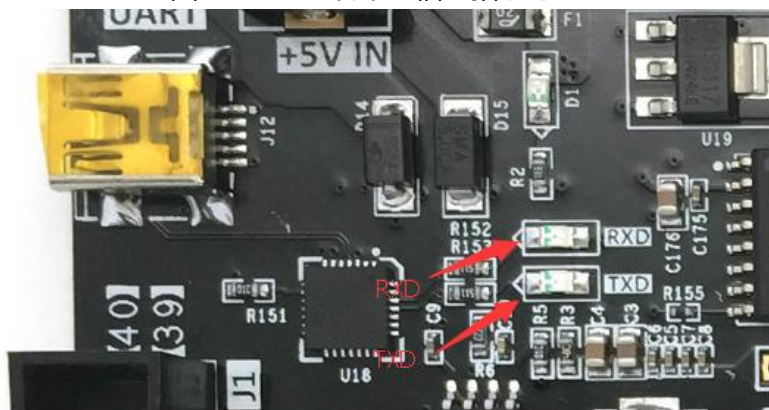


图 11.4 USB 转串口信号灯实物图

串口引脚分配：

引脚名称	FPGA 引脚
UART_RXD	G7

UART\_TXD

F9

## 十二、VGA 接口

说到 VGA 接口,相信很多朋友都不会陌生,因为这种接口是电脑显示器上最主要的接口,从块头巨大的 CRT 显示器时代开始,VGA 接口就被使用,并且一直沿用至今,另外 VGA 接口还被称为 D-Sub 接口。

VGA 接口是一种 D 型接口,上面共有 15 针孔,分成三排,每排五个。比较重要的是 3 根 RGB 彩色分量信号和 2 根扫描同步信号 HSYNC 和 VSYNC 针。

引脚 1、2、3 分别为红绿蓝三基色模拟电压,为 0~0.714V peak-peak (峰-峰值),0V 代表无色,0.714V 代表满色。一些非标准显示器使用的是 1Vpp 的满色电平。

三基色源端及终端匹配电阻均为 75 欧姆。如图 12.1

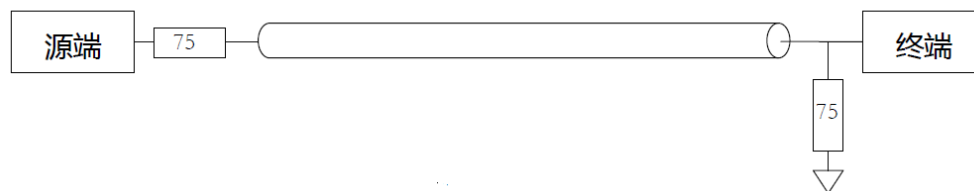
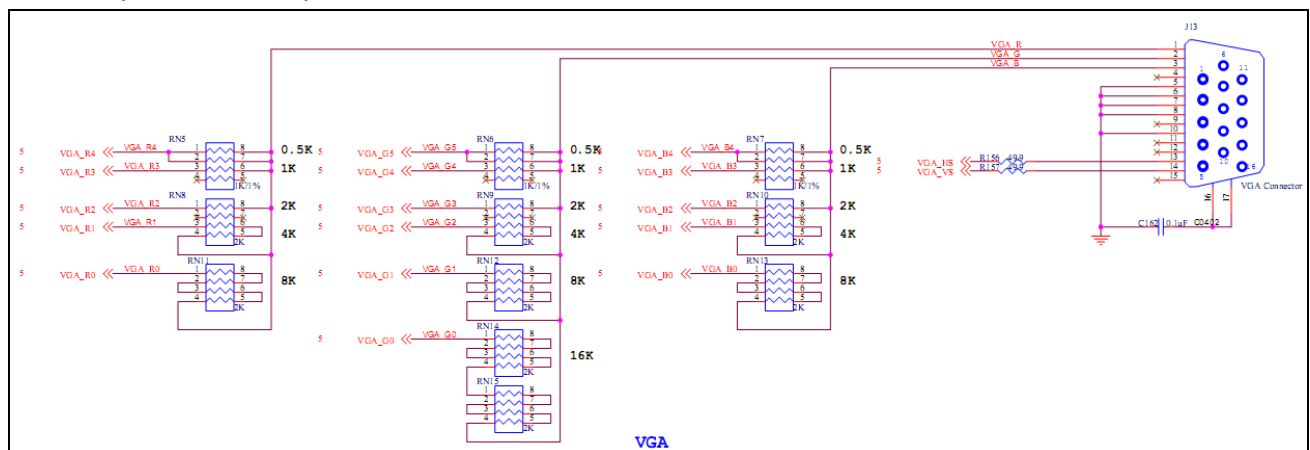


图 12.1 VGA 视频信号传输示意图

HSYNC 和 VSYNC 分别为行数据同步和帧数据同步,为 TTL 电平。FPGA 只能输出数字信号,而 VGA 需要的 R、G、B 是模拟信号,VGA 的数字转模拟信号是通过一个简单的电阻电路来实现。这个电阻电路可以产生 32 个梯度等级的红色和蓝色信号和 64 个梯度等级的绿色信号 (RGB 5-6-5),VGA 接口部分电路如下图 12.2 所示





11.3 VGA 接口实物图

VGA 接口引脚分配

引脚名称	FPGA 引脚	备注
VGA_B[0]	G8	BLUE[0]
VGA_B[1]	G10	BLUE[1]
VGA_B[2]	F8	BLUE[2]
VGA_B[3]	C7	BLUE[3]
VGA_B[4]	F7	BLUE[4]
VGA_G[0]	B4	GREEN[0]
VGA_G[1]	E7	GREEN[1]
VGA_G[2]	C6	GREEN[2]
VGA_G[3]	D6	GREEN[3]
VGA_G[4]	A5	GREEN[4]
VGA_G[5]	B5	GREEN[5]
VGA_R[0]	B3	RED[0]
VGA_R[1]	C4	RED[1]
VGA_R[2]	A3	RED[2]
VGA_R[3]	A4	RED[3]
VGA_R[4]	C3	RED[4]
VGA_HS	F10	行同步信号
VGA_VS	H11	场同步信号

## 十三、USB2.0

开发板上通过Cypress CY7C68013A USB2.0控制器芯片实现PC与FPGA间的高速数据通信，CY7C68013A控制器完全符合通用串行总线协议2.0版规范，支持全速（12Mbit/s）以及低速（480Mbit/s）模式。用户通过用USB线连接PC的USB口和开发板的MINI型的USB口（J10）就可以进行USB2.0的数据通信。

CY7C68013A是一款集成USB2.0的微控制器。通过集成USB2.0收发器、SIE(串行接口引擎，serial interface engine)、增强的8051微控制器以及可编程的外部接口于一个单片中。CY7C68013A与其它器件间的通信很简单，它提供的GPIF于FIFO两种模式可以与FPGA, DSP, ATA, UTOPIA, EPP, PCMCIA等实现无缝的数据交换。

CY7C68013A收发器由一个24MHz的晶振提供时钟，FPGA和CY7C68013A连接的示意图如图13.1

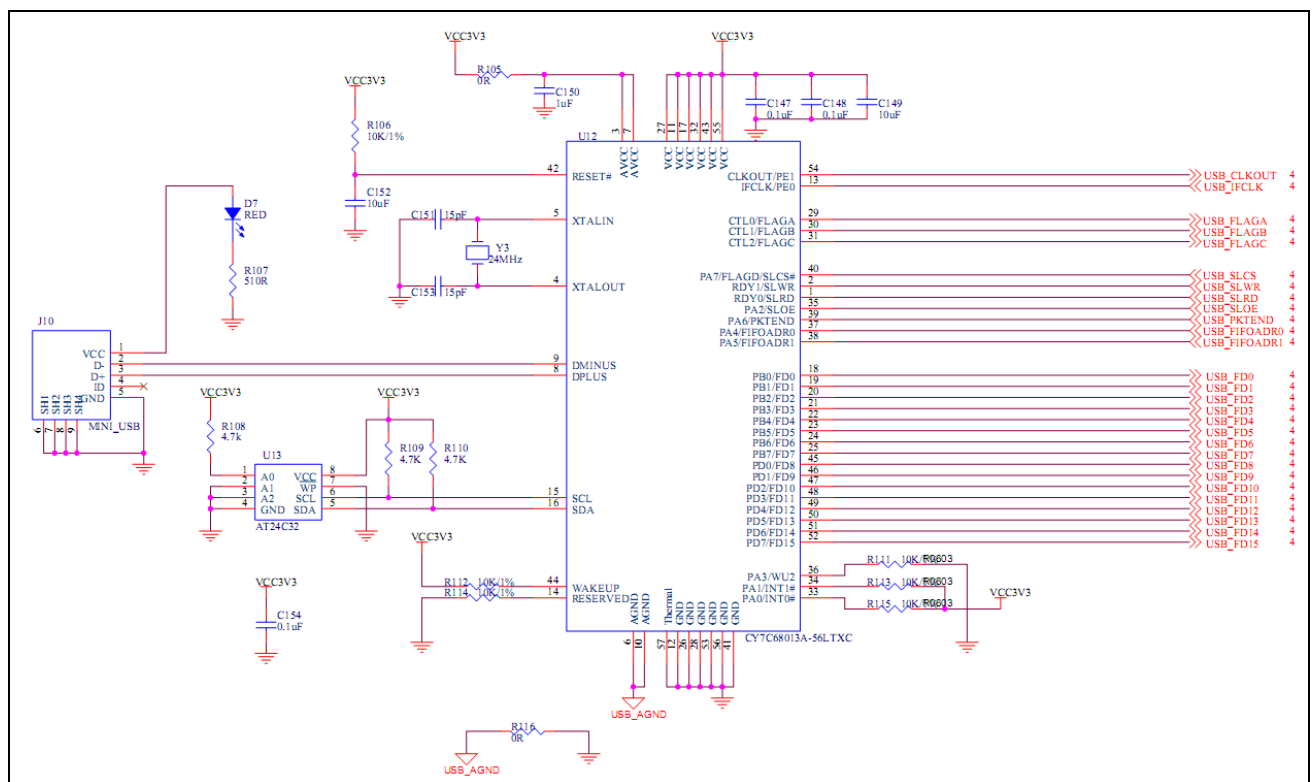


图 13.1 FPGA 和 CY7C68013A 连接图

图 13.2 为 USB2.0 部分的实物图，U12 为 CY7C68013A，J10 为 USB 接口。

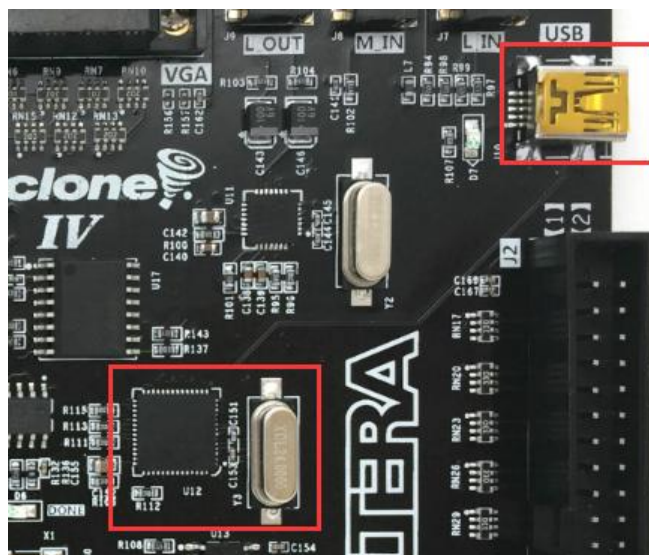


图 12.2 USB2.0 原理图

## USB2.0 引脚分配：

引脚名称	FPGA 引脚	备注
USB_CLKOUT	K18	12-, 24- or 48 MHz 时钟输出
USB_IFCLK	H16	同步通信时钟信号
USB_FLAGA	F22	状态输出信号
USB_FLAGB	F21	状态输出信号
USB_FLAGC	G18	状态输出信号
USB_SLCS	H20	Slave FIFO 片选
USB_SLWR	K17	Slave FIFO 写信号
USB_SLRD	J17	Slave FIFO 读信号
USB_SLOE	H18	Slave FIFO 数据输出使能
USB_PKTEND	H21	包结束信号
USB_FIFOADR[0]	H19	FIFO 的地址 0
USB_FIFOADR[1]	H22	FIFO 的地址 1
USB_FD[0]	C22	USB 数据 Bit0
USB_FD[1]	H17	USB 数据 Bit1
USB_FD[2]	D21	USB 数据 Bit2
USB_FD[3]	D22	USB 数据 Bit3
USB_FD[4]	E21	USB 数据 Bit4
USB_FD[5]	E22	USB 数据 Bit5
USB_FD[6]	F19	USB 数据 Bit6

USB_FD[7]	F20	USB 数据 Bit7
USB_FD[8]	J22	USB 数据 Bit8
USB_FD[9]	J21	USB 数据 Bit9
USB_FD[10]	J18	USB 数据 Bit10
USB_FD[11]	K22	USB 数据 Bit11
USB_FD[12]	K21	USB 数据 Bit12
USB_FD[13]	K19	USB 数据 Bit13
USB_FD[14]	L22	USB 数据 Bit14
USB_FD[15]	L21	USB 数据 Bit15

## 十四、 音频接口

AX515开发板使用Wolfon WM8731 音频编解码 (CODEC) 芯片为用户提供高品质音频界面。芯片支持麦克风输入、线路输入以及线路输出端口，采样率在8kHz到96kHz间可调。WM8731支持 I2S/PCM/AC97 等音频接口和I2C控制接口，用户可以通过I2C总线对WM8731进行寄存器配置。

图14.1给出了音频电路相关的原理框图。

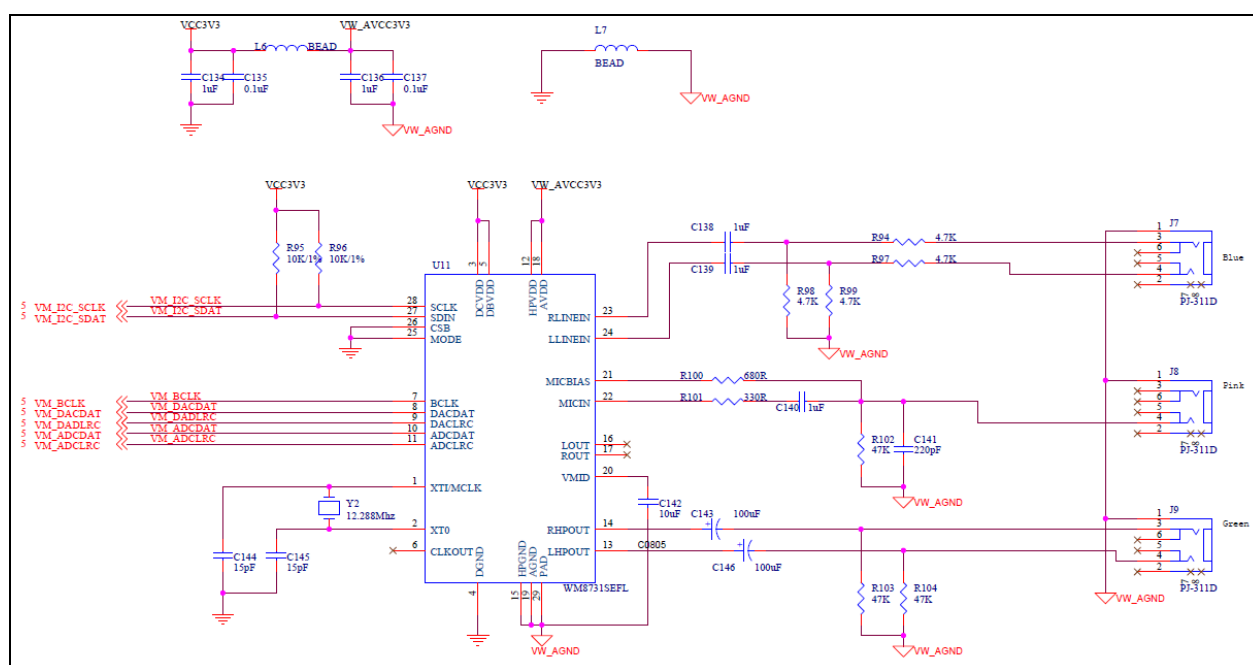


图 14.1 FPGA 和 WM8731 连接图

图 14.2 为音频部分的实物图，U11 为WM8731，J7 为音频输入，J8 为麦克风输入，J9 为音频输出。





使用的 SD 卡为 MicroSD 卡。原理图如图 15.1 所示。

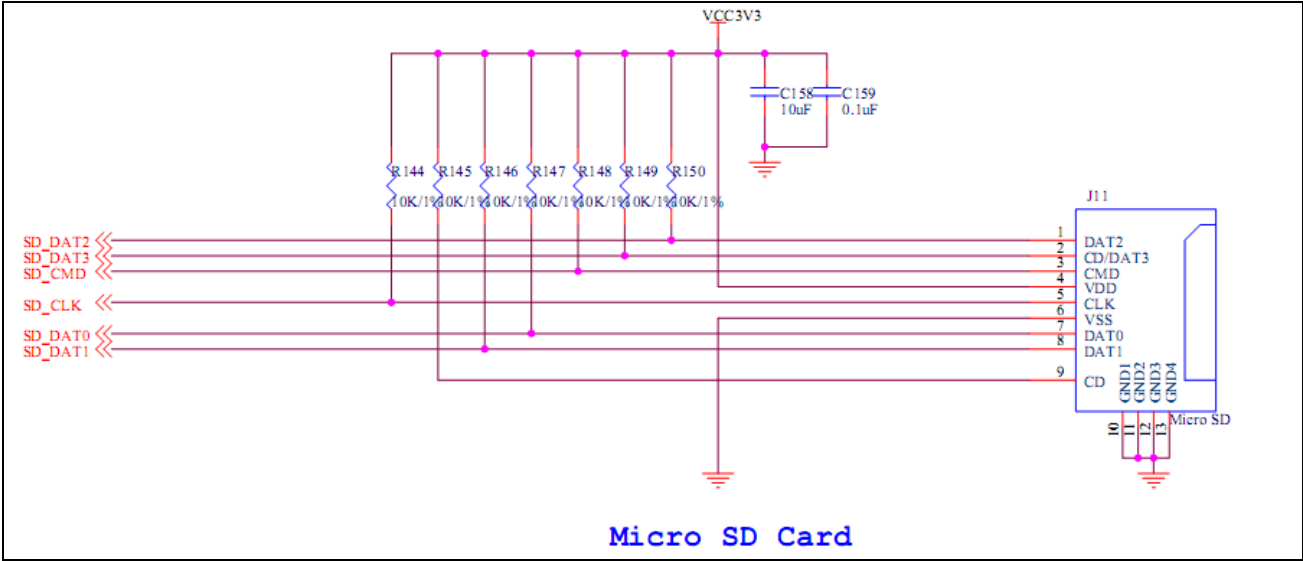


图 15.1 SD 卡槽原理图

图 15.2 SD 卡槽实物图

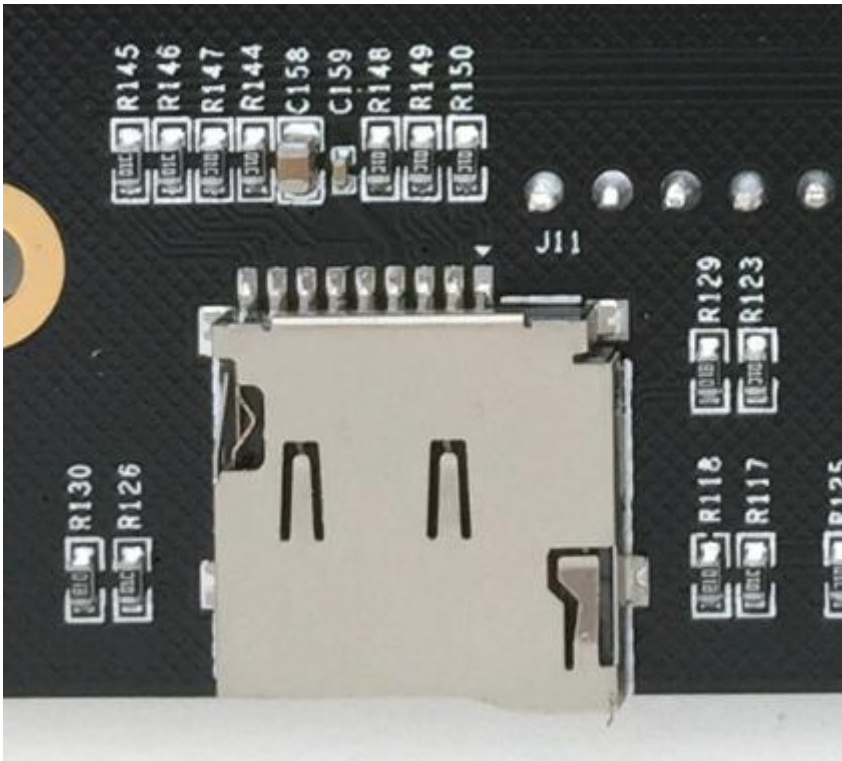


图 15.2 SD 卡槽实物图

SD 卡槽引脚分配

SD 模式	
引脚名称	FPGA 引脚
SD_CLK	D20
SD_CMD	B21



SD_DAT0	C20
SD_DAT1	F17
SD_DAT2	B22
SD_DAT3	C21

## 十六、扩展口

开发板预留 3 个扩展口 ( J1 , J2 , J3 ), 其中 J1 和 J3 的扩展口的 IO 电平为 3.3V, J2 的扩展口的 IO 电平为可调(3.3V 或 2.5V )。每个扩展口有 40 个信号 ,其中 ,5V 电源 1 路 ,3.3V 电源 2 路 ,地 3 路 ,IO 口 34 路。这些 IO 口都是独立的 IO 口 ,没有跟其他设备复用。IO 口通过 33 欧姆的电阻连接到 FPGA 的引脚上。**切勿直接跟 5V 设备直接连接 ,以免烧坏 FPGA。如果要接 5V 设备 ,需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻 ,用于保护 FPGA 以免外界电压或电流过高造成损坏 ,以下对每个扩展口的连接和信号做一下说明。

### 1) 扩展口 J1

图 16.1 为 J1 扩展口连接图 , Pin1,Pin37,Pin38 为 GND , Pin2 为+5V, Pin39 和 Pin40 为+3.3V。

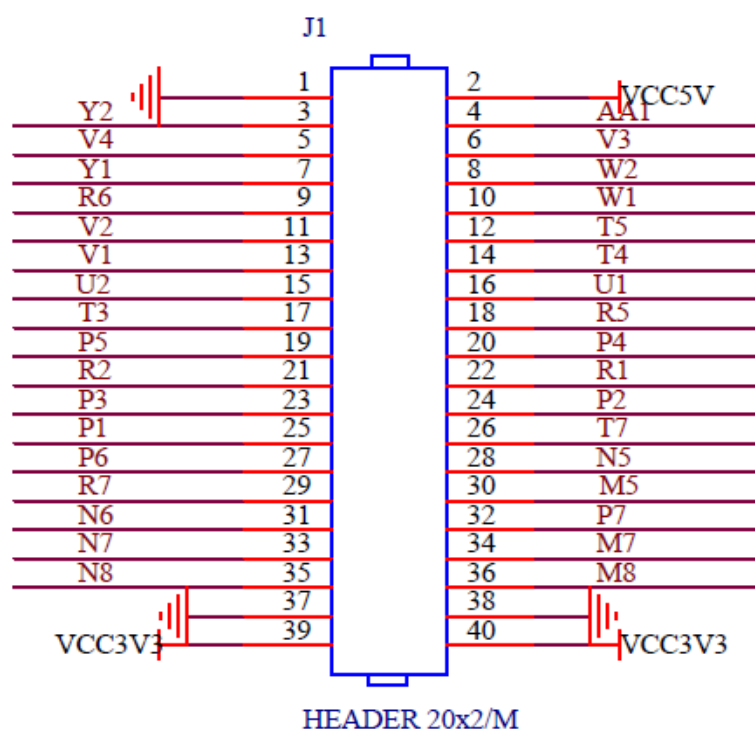


图 16.1 J1 扩展口原理图

图 16.2 为 J1 扩展口实物图 , 扩展口的 Pin1 , Pin2 和 Pin39 , Pin40 已经在板上标示出。

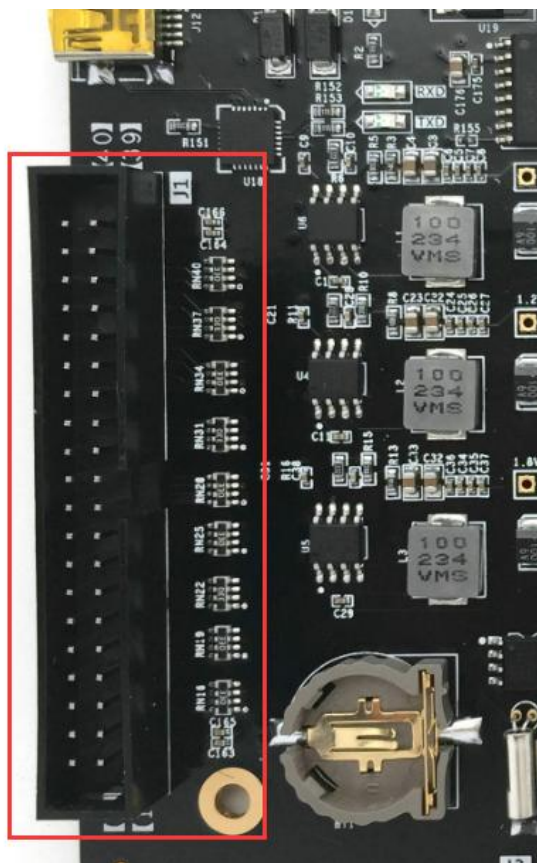


图 16.2 J3 扩展口实物图

## J1 扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	Y2	4	AA1
5	V4	6	V3
7	Y1	8	W2
9	R6	10	W1
11	V2	12	T5
13	V1	14	T4
15	U2	16	U1
17	T3	18	R5
19	P5	20	P4
21	R2	22	R1
23	P3	24	P2
25	P1	26	T7
27	P6	28	N5

29	R7	30	M5
31	N6	32	P7
33	N7	34	M7
35	N8	36	M8
37	GND	38	GND
39	VCC3V3	40	VCC3V3

## 2) 扩展口 J2

图 16.3 为 J2 扩展口连接图，Pin1,Pin37,Pin38 为 GND，Pin2 为+5V, Pin39 和 Pin40 为+3.3V。J2 的信号除了 Pin33 和 Pin34 外，其它接口的信号都以差分对形式连接到 FPGA 的 Bank7，用户可以这些查分对实现 LVDS2.5 和 LVDS3.3 的数据通信。

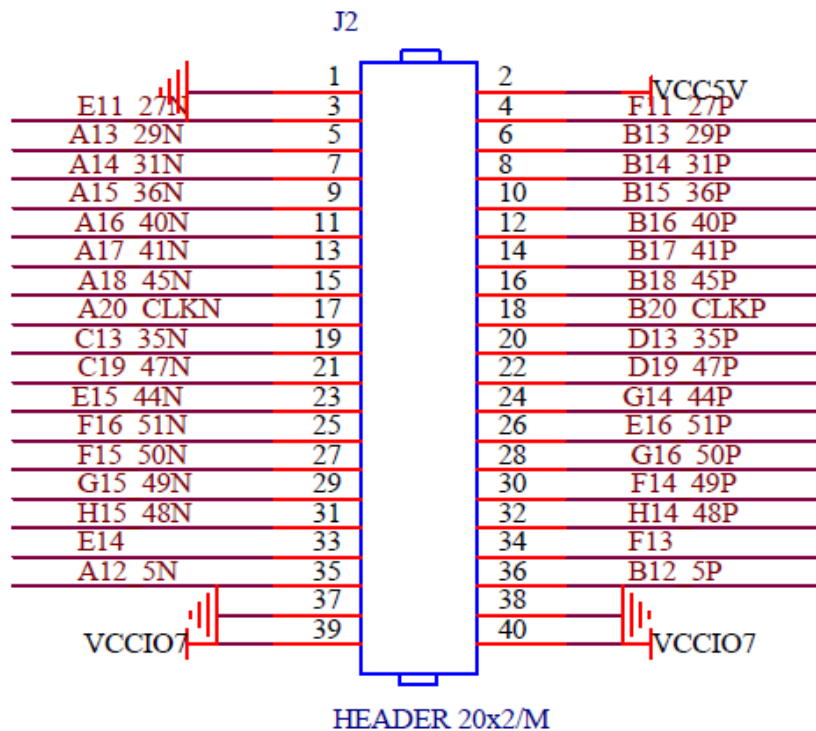


图 16.3 J2 扩展口原理图

图 16.4 为 J2 扩展口 PCB 差分走线图，差分线实现严格的等长，等距和阻抗 100ohm 的控制。

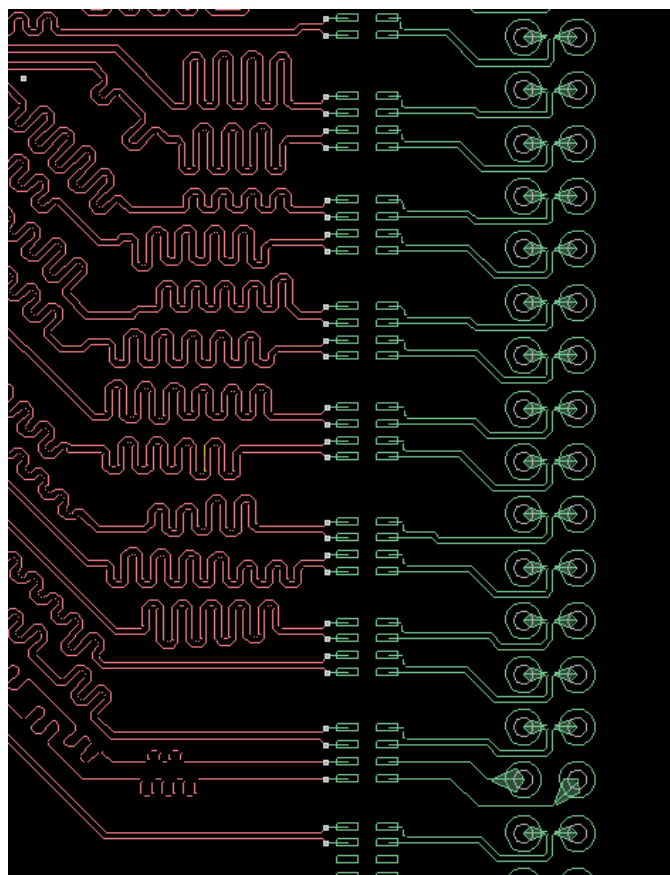


图 16.4 J2 扩展口 PCB 走线图

J2 扩展口的 IO 口连接到 FPGA 的 Bank7 上，电平默认为 3.3V。如果用户需要修改 J2 的 IO 为 2.5V 电平，可以通过调整板上的 0 欧姆的电阻(R158 不安装，R159 安装时)。如果用户需要 1.8V 的 IO 电平，可以再更换 LDO ( U19)的电源芯片为 1117-1.8 来实现。

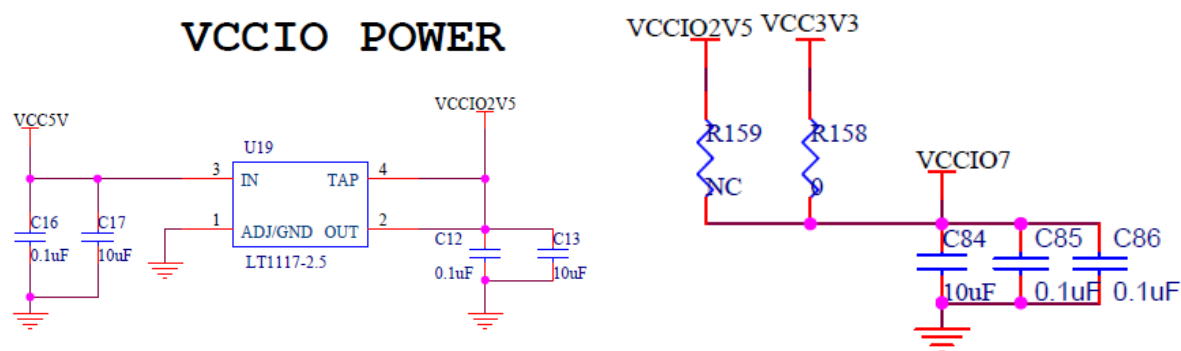


图 16.5 为 J2 扩展口实物图，扩展口的 Pin1，Pin2 和 Pin39，Pin40 已经在板上标示出。

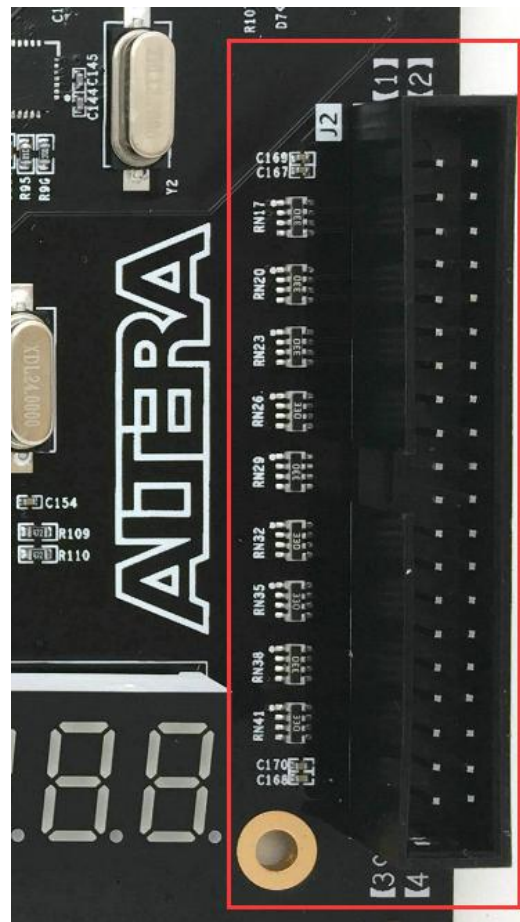


图 16.5 J2 扩展口实物图

## J2 扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	E11	4	F11
5	A13	6	B13
7	A14	8	B14
9	A15	10	B15
11	A16	12	B16
13	A17	14	B17
15	A18	16	B18
17	A20	18	B20
19	C13	20	D13
21	C19	22	D19
23	E15	24	G14
25	F16	26	E16

27	F15	28	G16
29	G15	30	F14
31	H15	32	H14
33	E14	34	F13
35	A12	36	B12
37	GND	38	GND
39	VCC3V3	40	VCC3V3

3) 扩展口 J3

图 16.6 为 J3 扩展口连接图，Pin1,Pin37,Pin38 为 GND，Pin2 为+5V, Pin39 和 Pin40 为+3.3V。

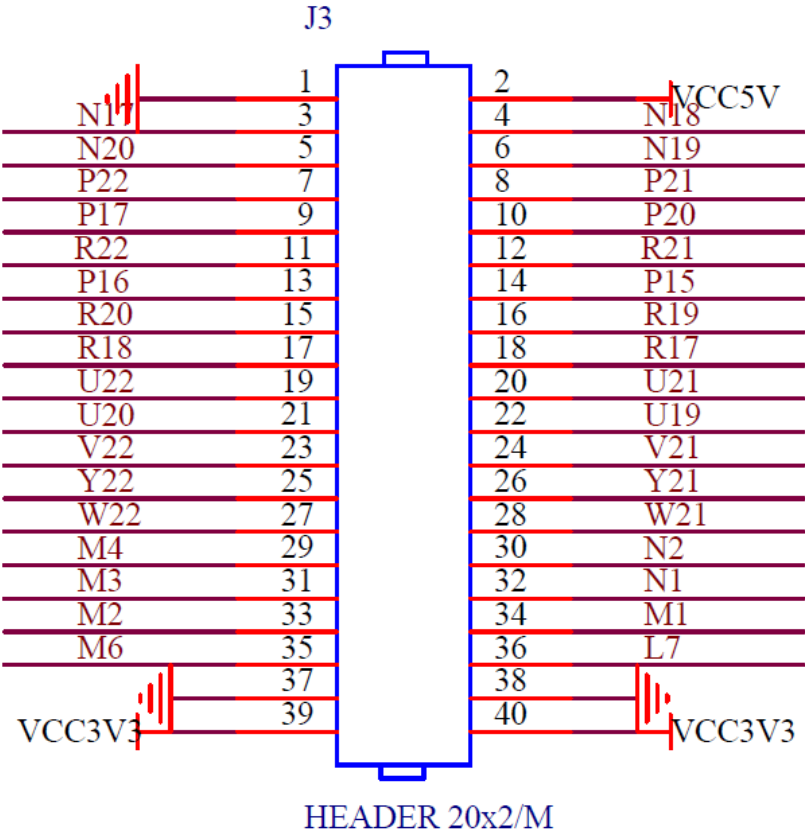


图 16.6 J3 扩展口原理图

图 16.7 为 J3 扩展口实物图，扩展口的 Pin1 和 Pin2 已经在板上标示出。

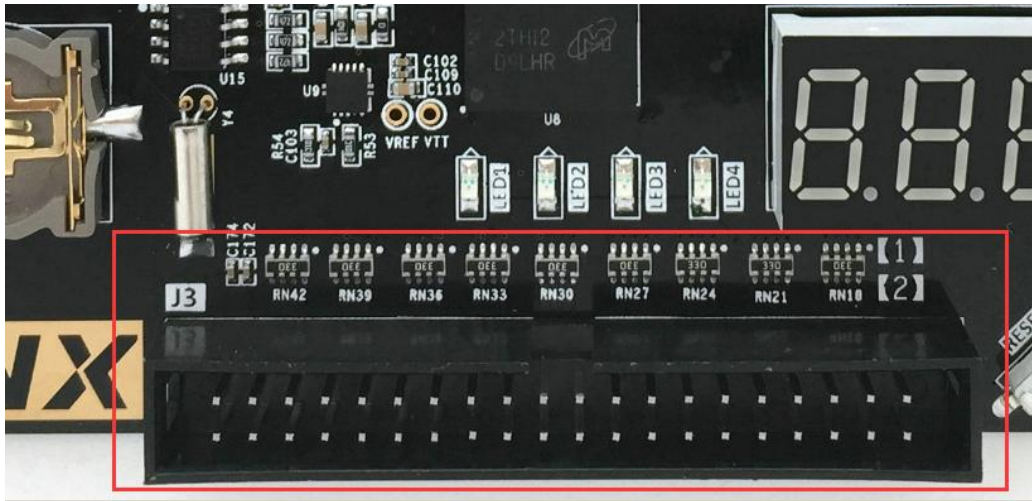


图 16.7 J3 扩展口实物图

## J3 扩展口引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	N17	4	N18
5	N20	6	N19
7	P22	8	P21
9	P17	10	P20
11	R22	12	R21
13	P16	14	P15
15	R20	16	R19
17	R18	18	R17
19	U22	20	U21
21	U20	22	U19
23	V22	24	V21
25	Y22	26	Y21
27	W22	28	W21
29	M4	30	N2
31	M3	32	N1
33	M2	34	M1
35	M6	36	L7
37	GND	38	GND
39	VCC3V3	40	VCC3V3



十七、 LED

开发板板载了 6 个 LED 发光二极管 4 个用户 LED 发光二极管和 1 个 FPGA 配置指示 LED 发光二极管。4 个用户 LED 部分的原理图如图 17.1，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。

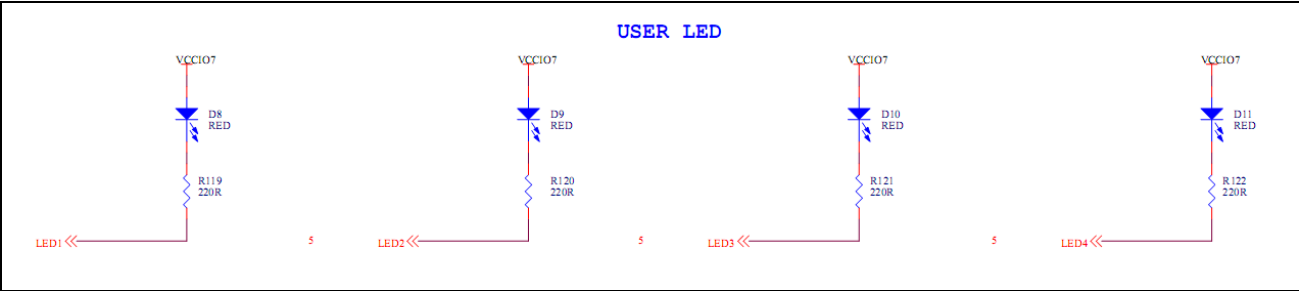


图 17.1 用户 LED 原理图

图 17.2 为 LED 实物图

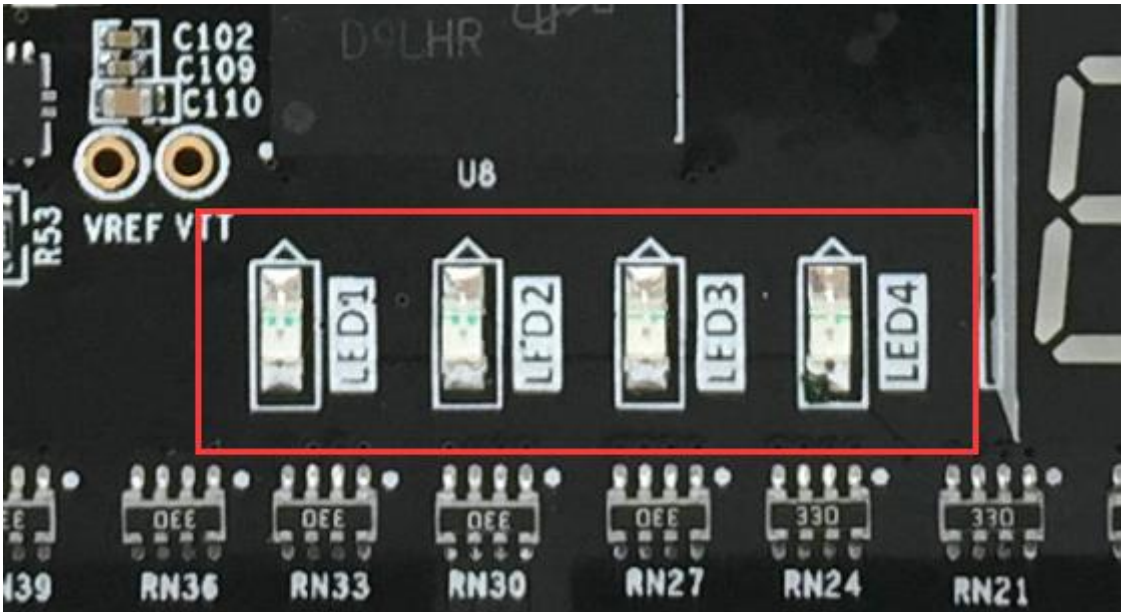


图 17.2 配置指示 LED 实物图

LED 引脚分配：

引脚名称	FPGA 引脚
LED1	D15
LED2	G13
LED3	C15
LED4	E12



## 十八、 按键

开发板板载了 5 个独立按键，4 个用户按键(KEY1~KEY4),1 个复位按键 RESET。**按键都为低电平有效**，4 个用户按键的原理图如图 18.1 所示

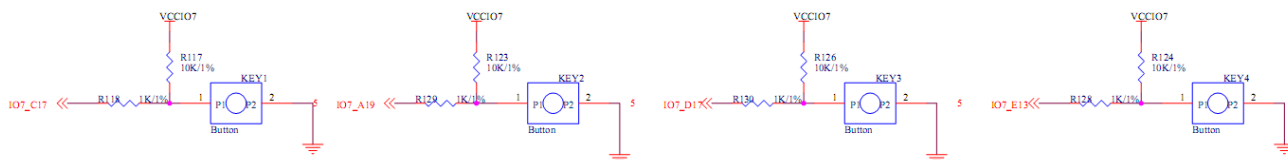


图 18.1 4 个用户按键原理图

Reset 按键连接到 FPGA 的普通 IO 用于 FPGA 的程序复位

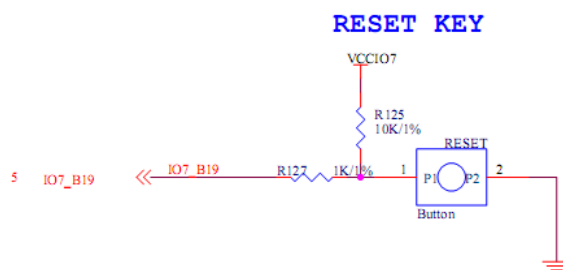


图 18.2 2 个功能按键原理图

图 18.3 为 5 个独立按键实物图

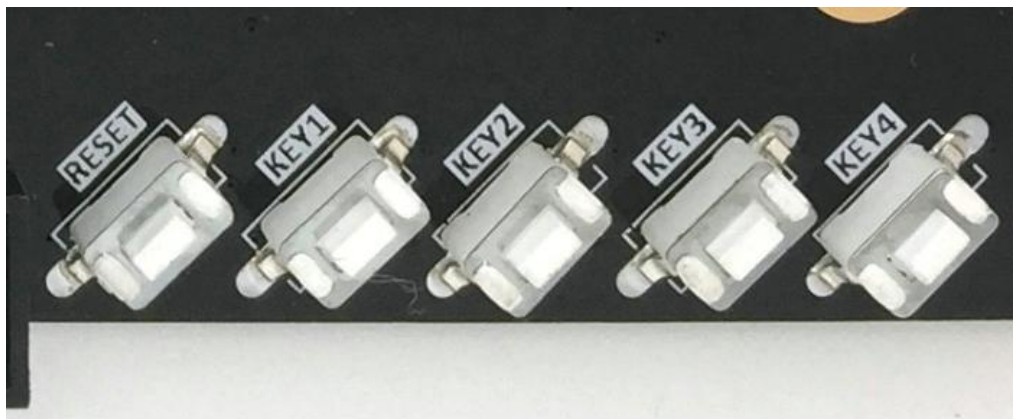


图 18.3 5 个独立按键实物图

按键引脚分配：

按键名称	FPGA 引脚	按键标号
KEY1	C17	KEY 1
KEY2	A19	KEY 2
KEY3	D17	KEY 3
KEY4	E13	KEY 4
RESET	B19	RESET

## 十九、 数码管

数码管是很常见的一种显示设备，一般分为七段数码管和八段数码管，两者区别就在于八段数码管比七段数码管多了一个“点”。我们采用的数码管为 6 位一体的八段数码管，数码管的段结构图 19.1 所示

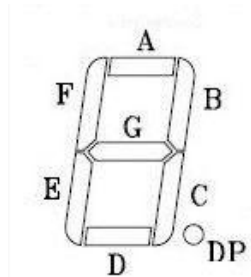


图 19.1 数码管的段结构

我们使用的是共阳极数码管，当某一字段对应的引脚为低电平时，相应字段就点亮，当某一字段对应的引脚为高电平时，相应字段就不亮。

说完上面的原理图，我们来看我们开发板上的设计。

六位一体数码管是属于动态显示，由于人的视觉暂留现象及发光二极管的余辉效应，尽管实际上各位数码管并非同时点亮，但只要扫描的速度足够快，给人的印象就是一组稳定的显示数据，不会有闪烁感。

六位一体数码管的相同的段都接在了一起，一共是 8 个引脚，然后加上 6 个控制信号引脚，一共是 14 个引脚，如图 15.2 所示，其中 DIG[0..7]是对应数码管的 A,B,C,D,E,F,G,H(即点 DP)；SEL[0..5]是六个数码管的六个控制引脚，也是低电平有效，当控制引脚为低电平时，对应的数码管有了供电电压，这样数码管才能点亮，否则无论数码管的段如何变化，也不能点亮对应的数码管。

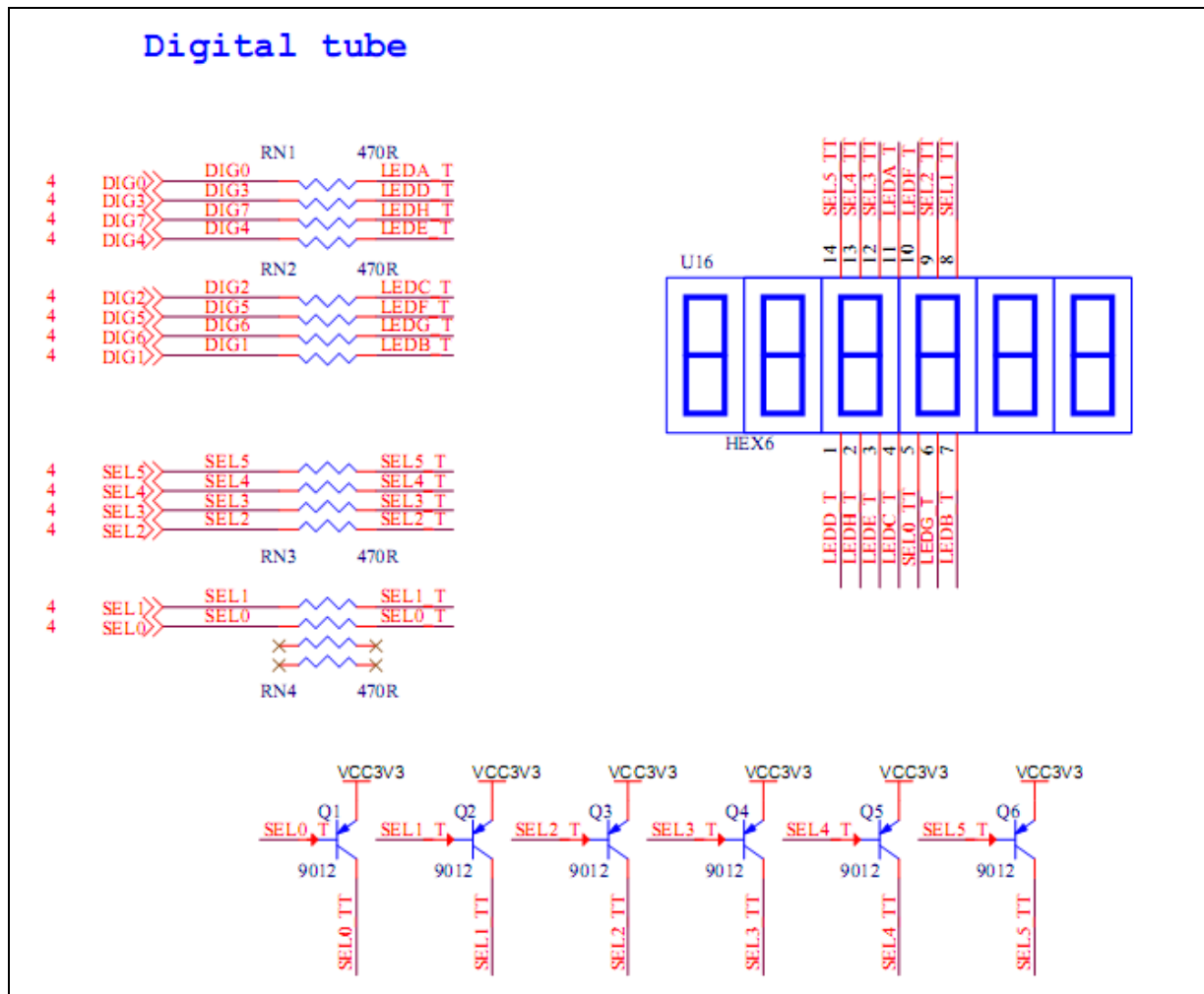


图 19.2 数码管原理图

图 19.3 为数码管实物图



图 19.3 数码管实物图

数码管引脚分配

引脚名称	FPGA 引脚	备注
SMG_Data[7]	M16	对应点 DP
SMG_Data[6]	N22	对应段 G
SMG_Data[5]	N21	对应段 F

SMG_Data[4]	M19	对应段 E
SMG_Data[3]	N16	对应段 D
SMG_Data[2]	M20	对应段 C
SMG_Data[1]	M22	对应段 B
SMG_Data[0]	W20	对应段 A
Scan_Sig[5]	W19	从右面数第一个数码管
Scan_Sig[4]	AA21	从右面数第二个数码管
Scan_Sig[3]	T18	从右面数第三个数码管
Scan_Sig[2]	T17	从右面数第四个数码管
Scan_Sig[1]	G17	从右面数第五个数码管
Scan_Sig[0]	M21	从右面数第六个数码管