

26/8/2013

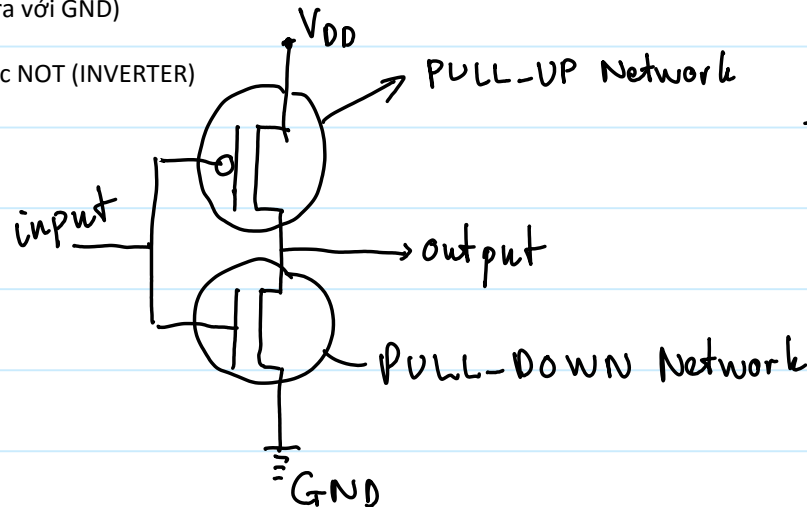
Monday, August 26, 2013

1:26 PM

1.2.2. Full-custom ASIC:

Cổng logic được triển khai bằng công nghệ CMOS gồm 2 mạng: PULL-UP và PULL-DOWN. (PULL-UP gồm các transistor loại kênh P dùng để kết nối đầu ra với Vdd; PULL-DOWN gồm các transistor loại kênh n dùng để kết nối đầu ra với GND)

Ví dụ: Cổng logic NOT (INVERTER)



+ input = 0

→ PULL-UP dẫn điện

PULL-DOWN ngắt

→ output = VDD = 1

+ input = 1

→ PULL-DOWN dẫn điện

PULL-UP ngắt

→ output = 0 = GND

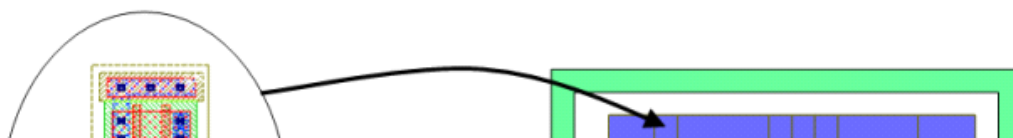
Tóm lại, mạch số ở mức cổng logic (gate-netlist) có thể được chuyển đổi thành mạng các transistor (transistor-netlist)

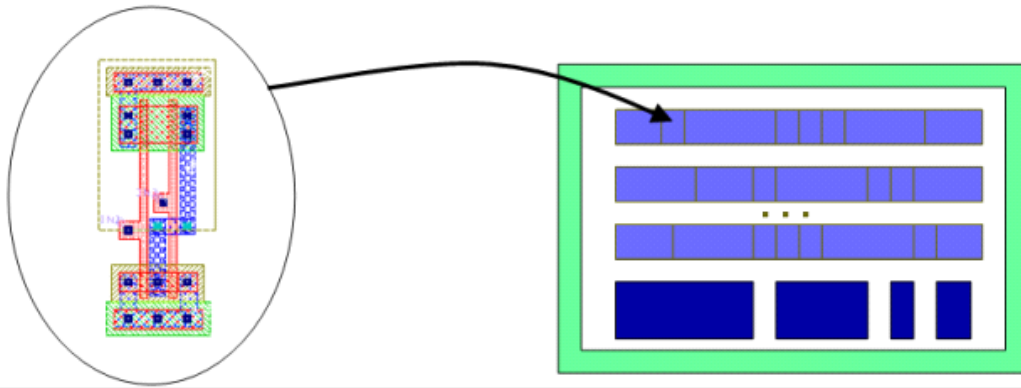
Để có thể chế tạo được vi mạch số VLSI bằng công nghệ CMOS thì ta cần gửi tới nhà sản xuất bản thiết kế layout (bản thiết kế mask). Bản thiết kế layout là bố trí vị trí của các thành phần như cực S, D, G của transistors cũng như các dây nối giữa các cực của các transistor.

Trong kỹ thuật triển khai full-custom ASIC, bản thiết kế layout của tất cả các cổng và các thành phần khác trong mạch (dây dẫn, lỗ kết nối - via) đều được thiết kế bằng tay (bán tự động).

1.2.3 Semi-custom ASIC

- Phương pháp triển khai vi mạch số sử dụng công nghệ semi-custom ASIC dựa trên bộ thư viện phần tử chuẩn (Standard Cell Library)
- Thư viện Standard Cell Library chứa thiết kế ở mức vật lý (thiết kế layout: thiết kế vị trí cụ thể của các cực, các kết nối) của các phần tử logic cơ bản (AND, OR, NOT, INPUT/OUTPUT PAD, XOR, LATCH, FLIP-FLOP... cells) và các phần chức năng (RAM, ROM, ADDER, MULTILIER, CPU... macro cells)
- Để triển khai, từ mạch logic người ta sẽ sử dụng phần mềm tự động để:
 - Đặt các standard cell tương ứng với các cổng logic trong mạch vào một vị trí hàng, cột trong vi mạch (place)
 - Kết nối các cổng logic tương ứng trong mạch (route)



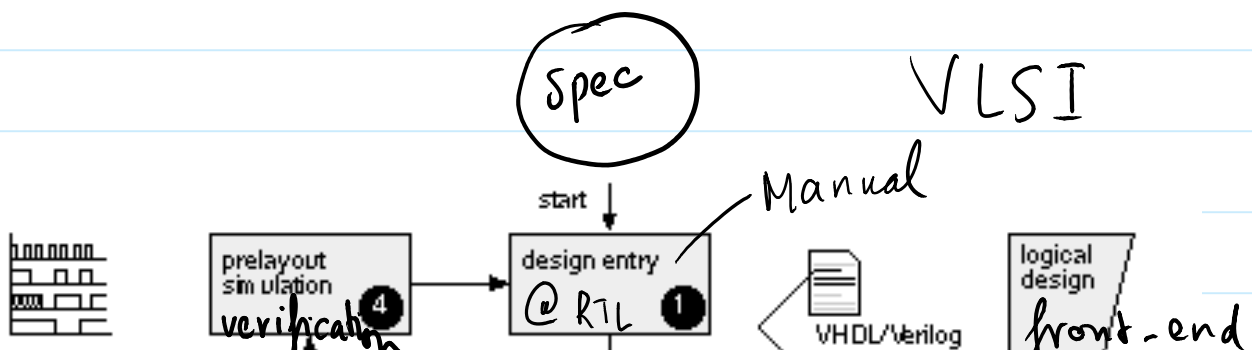


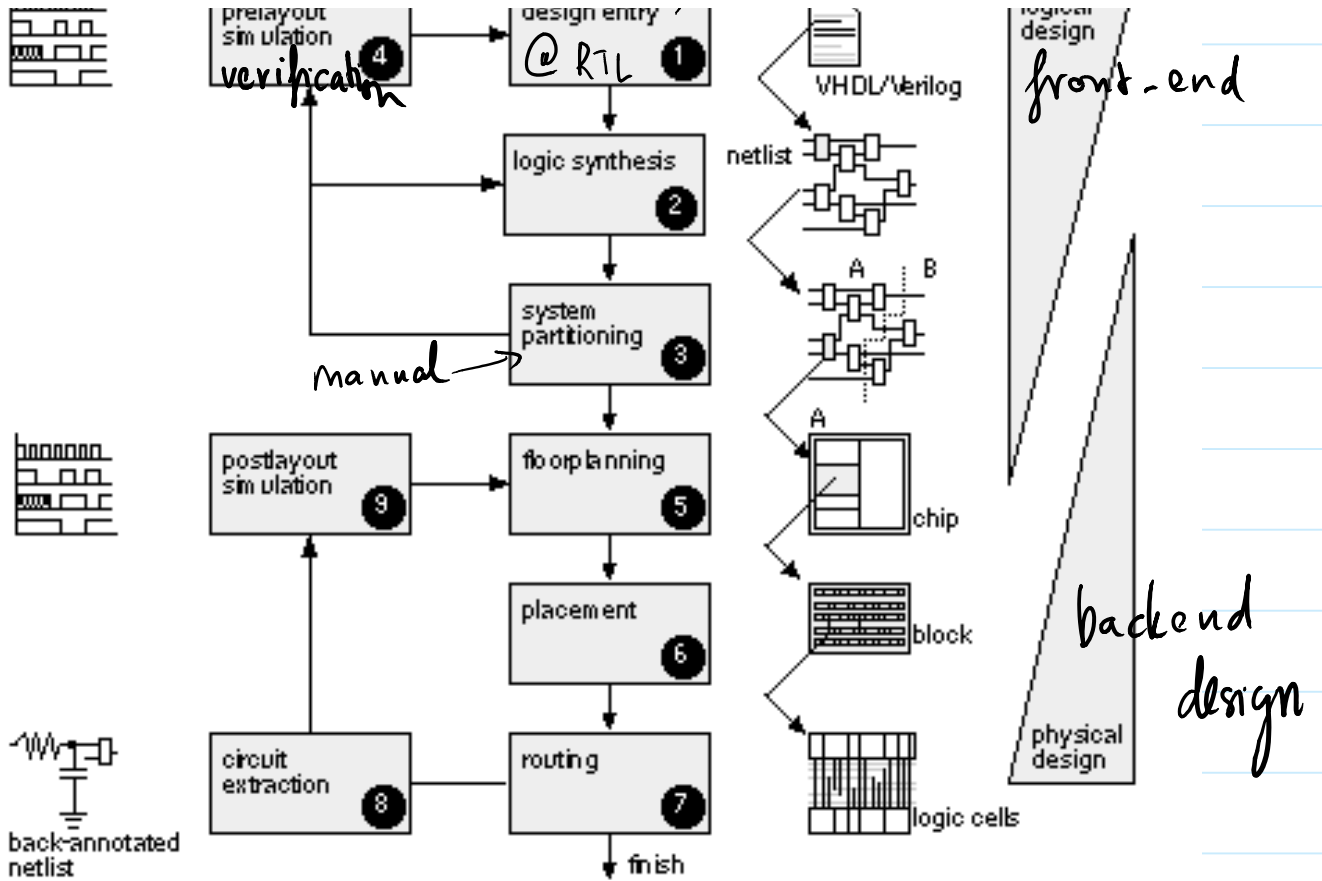
Tiêu chí	FPGA	Semi-custom	Full-custom
Công sức (thời gian thiết kế)	Nhanh	Trung bình	Rất Chậm
Giá thành NRC (Non-recurrence Cost)	Nhỏ	Trung bình	Rất Lớn
Giá thành sản xuất đơn vị sản phẩm	Lớn	Nhỏ	Nhỏ
Hiệu năng (Tốc độ, Mức tiêu thụ năng lượng)	Nhỏ	Trung bình	Lớn
Lựa chọn	Số lượng sản phẩm nhỏ; hiệu năng yêu cầu không cao Sử dụng triển khai thử nghiệm cho chip ASIC	Số lượng sản phẩm lớn; Yêu cầu hiệu năng cao hơn FPGA	Số lượng sản phẩm rất lớn; Yêu cầu hiệu năng đặc biệt

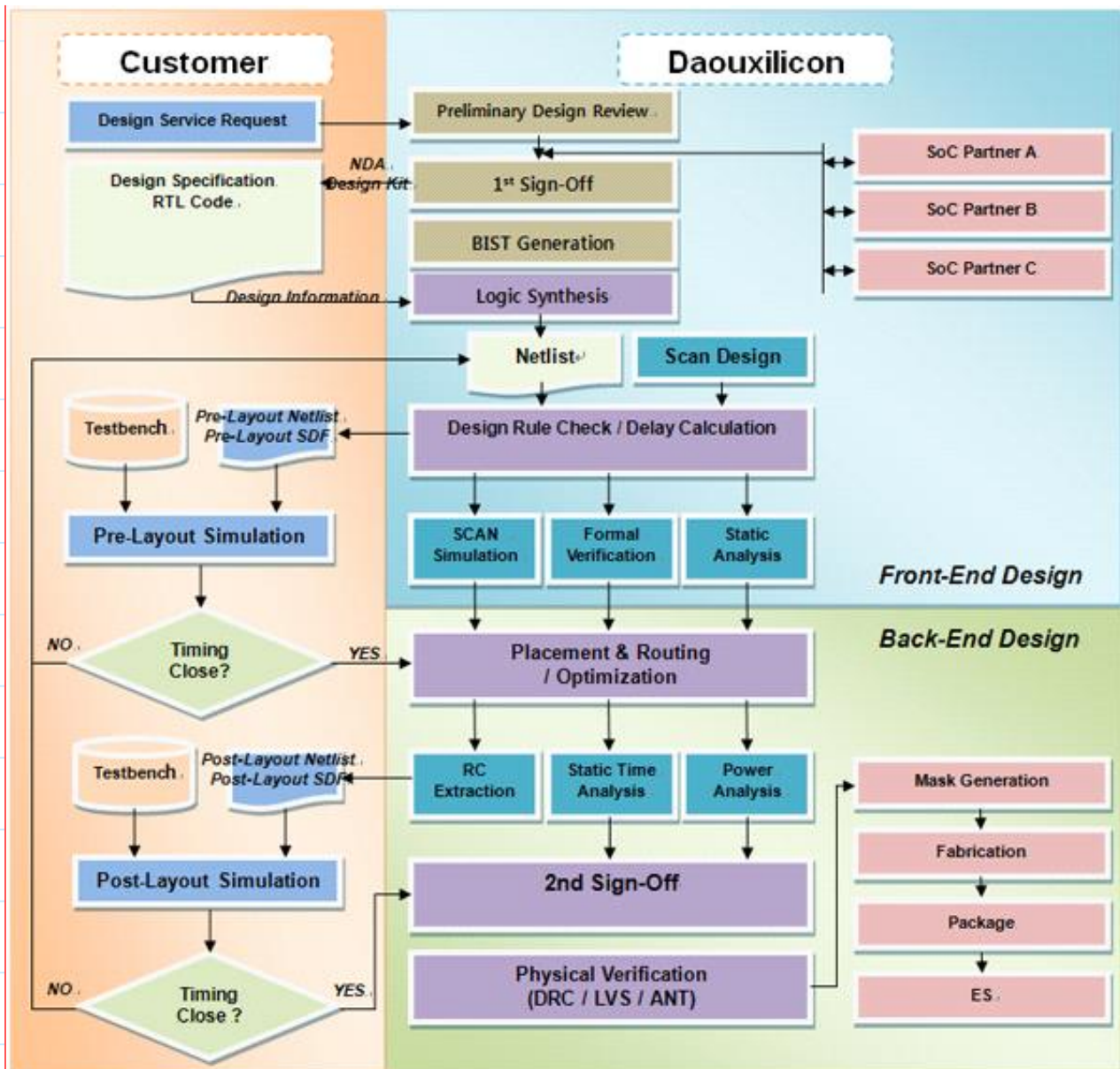
Giá thành của IC:

- Giá thành sản xuất:
 - Phụ thuộc vào kích thước IC tính bằng mm²
 - Phụ thuộc vào số lượng sản xuất
- Giá NRC
 - Thiết kế IC

1.3. Quy trình thiết kế IC số, hệ thống số sử dụng ngôn ngữ mô tả phần cứng (Phân tích xây dựng tài liệu kỹ thuật; Mô tả hoạt động mạch bằng HDL; Kiểm tra chức năng logic; Tổng hợp; Phân tích kiểm tra tốc độ; Tối ưu mạch ở mức RTL; Thiết kế vật lý - Layout - Place&Route; Tách tham số thời gian; Phân tích thời gian sau layout) – 2 LT







Câu hỏi kiểm tra:

NRC là gì?

Giá thành của FPGA/ASIC gồm gì?

Khi nào thì chọn FPGA, hay ASIC

Các bước thiết kế IC số trong Front-end design

Standard cell là gì?

Thể nào là FPGA vs. semi-custom ASIC, full custom asic?