

GUÍA DE EJERCICIOS N° 1

TIMING Y BUSES

Esta práctica se desarrollara sobre la placa de HC11 (Equinoxe) provista por la cátedra.

1. Desarrollar en papel el diagrama de tiempos a escala ciclo por ciclo del siguiente *loop* (al menos 2 vueltas completas):

```
org    $2000
ldaa   $C000
jmp    $2000
```

En el diagrama deberán estar presentes las siguientes señales:

- Bus de Datos
- Bus de direcciones
- E (Data strobe)
- AS (Address strobe)
- LIR (Load Instruction register- Fetch Cycle)
- CE\ de la ROM (Flash 29F010)

Cargar el programa a partir de la \$2000 y verificar el funcionamiento tomando capturas de las señales mediante el osciloscopio.

2. Utilizando el programa monitor hacer un *dump* de la posición de memoria \$A000 (zona libre). Explique los valores que resultan de esta operación.
3. Medición del Tiempo de Acceso.
Teniendo en cuenta la existencia de capacidades en las líneas de Bus, hallar un método que permita medir el tiempo de acceso de la memoria RAM y de la memoria FLASH. Se puede hacer uso de la memoria interna del procesador a partir de la posición \$0000. Medir los tiempos de Acceso.
4. Cableado de un periférico
Elegir un *latch* de 8 bits para usar como periférico de salida. El mismo se deberá montar sobre una tarjeta perforada. Sobre la salida del *latch* se podrán conectar algunos LEDs (4 máximo) para comprobar el funcionamiento. Para habilitar el *latch* se dispone de una línea IO1 disponible en el conector de expansión del HC11. Este *enable* sale de la PAL y está asociado al rango de direcciones \$A000-AFFF (ver ecuaciones de la PAL) Justificar la elección del *latch*.
Realizar un programa que verifique que **todas** las 8 salidas del *latch* operan correctamente usando solo la punta del osciloscopio (no LEDS).

Esta práctica deberá realizarse en el laboratorio.

Problemas Suplementarios:

1. Dado el siguiente programa realizar los diagramas de tiempos ciclo a ciclo (usar la señal E como referencia) e incluir la señal LIR (ver HC11 Reference Manual).

```

        org    $C000
        ldaa   #$A5
L1:     staa   $4000
        jmp    L1

```

2. Se desea conectar una memoria RAM de 8K al bus del HC11 a partir de la posición \$4000. Se pide diseñar el decodificador de direcciones usando alguna de las siguientes opciones:

- a) Lógica discreta (Compuertas)
- b) Lógica de baja complejidad (decodificadores Ej: 74HC138)
- c) Una PAL (PALCE22V10) escribir solo las ecuaciones

Realizar el análisis del diagrama de tiempos tanto para lectura como escritura. Usar como referencia el esquemático de la placa del HC11 y las siguientes tablas (2 MHz):

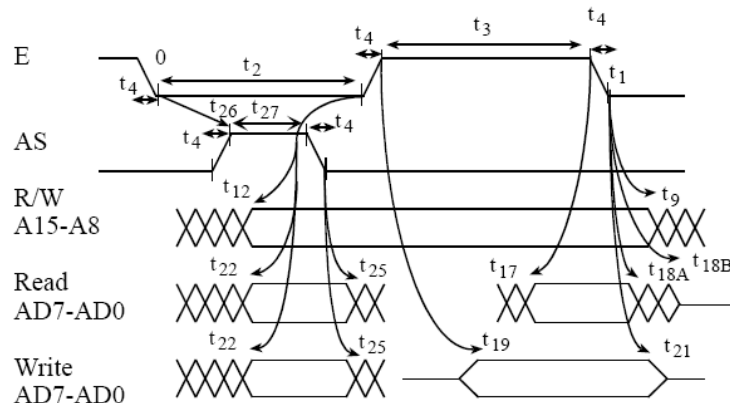


Figure 9.34. Simplified bus timing for the 6811 in expanded mode.

Num	Characteristic	1.0 MHz	2.0 MHz	2.1 MHz	Units
	Frequency	1.0	2.0	2.1	MHz
t ₁	Cycle Time	1000	500	476	ns
t ₂	Pulse Width E low	480	230	218	ns
t ₃	Pulse Width E high	480	230	218	ns
t ₄	rise/fall time	20	20	20	ns
t ₉	address hold time	95.5 min	33 min	30 min	ns
t ₁₂	A15-A8, R/W valid time	281.5 min	94 min	85 min	ns
t ₁₇	Read data setup time	30 min	30 min	30 min	ns
t _{18A}	Read data hold time	10 min	10 min	10 min	ns
t _{18B}	Read data goes hiZ	145.5 max	83 max	80 max	ns
t ₁₉	Write data delay time	190.5 max	128 max	125 max	ns
t ₂₁	Write data hold time	95.5 min	33 min	30 min	ns
t ₂₂	A7-A0 valid time	271.5 min	84 min	75 min	ns
t ₂₅	A7-A0 hold time	95.5 min	33 min	30 min	ns
t ₂₆	E to AS rise time	115.5	53	50	ns
t ₂₇	AS pulse width	221	96	90	ns

3. Diseñar el decodificador de direcciones para el siguiente mapa:

Rango	Dispositivo
C000-FFFF	ROM\
4000-7FFF	RAM\
A000	Latch de salida (8 bits) (Input Port)
A800	Latch de entrada (8 bits) (Output Port)

¿Qué *latch* usaría como salida? ¿Un 74LS374 o un 74LS373? Justificar su respuesta.

4. Existe un límite físico respecto de cuantos dispositivos se pueden conectar al bus de un microprocesador. ¿Qué soluciones existen cuando se excede dicho límite?
5. Investigar cuales son las diferentes soluciones que existen cuando se desea interconectar un sistema de 5V TTL a uno de 3.3V TTL y viceversa. Dar ejemplos. ¿Qué es LVTTTL?

Aclaración: Los problemas suplementarios son solo de referencia no se deben entregar.