

1. Ejercicio 1

1.1. ítem a

Buscamos en el reference manual seccion 11.5: Port Control and Interrupt. La direccion es 4004_9030, en Hexa.

1.2. ítem b

En la seccion 11.5.1 del RM esta la estructura del PCR. Es el bit 24.

1.3. ítem c

1.3.1. PDDR

Seccion 55.2.6 indica los valores que toma el GPIOx_PDDR (Port Data Direction Register) luego del reset. setea a 0: General Purpose Input.

1.3.2. PCR-¿SRE

Sección 11.5.1 indica como quedan los bits del PCR luego del reset. SRE (Slew Rate Enable) varia según el puerto. Nos fijamos la especificación del puerto B en 0: Fast Slew Rate 1: Slow Slew Rate

Seccion 2.2.2 indica SRE segun puerto luego del reset. El estado es Disable, es decir, el estado de SRE es 1: Fast Slew Rate (no ralentiza la salida).

1.3.3. PCR-¿Pull

el bit PS indica el tipo de pull (pullup o pulldown) y el bit PE indica si esta habilitada o no la opcion de pull interno para ese pin. Luego del reset se pone PE en Disabled y PS pulldown

PE

- 0: disabled
- 1: enabled

PS

- 0: pulldown
- 1: pullup

PS: 0:

1.3.4. PDOR

Seccion 55.2.1 indica que valores toma el GPIOx_PDOR (Port Data Output Register) luego de un reset. Setea todos los pines a 0.

1.3.5. PDIR

Seccion 55.2.5 indica que valores toma el GPIOx_PDIR (Port Data Input Register) luego del reset. Setea todos los pines a 0.

2. Ejercicio 2

Se encuentra en el archivo MK64F12.h. Tiene campos reservados porque el RM indica que hay un espacio o salto de direcciones de 'memoria' por ejemplo entre los registros GPCHR y ISFR de un puerto (en este caso nos fijamos en la datasheet del puerto C, pero se repite para todos los puertos).