

Instituto Tecnológico de Buenos Aires

22.99 LABORATORIO DE MICROPROCESADORES

Guía N°1: Timing y Buses

Grupo 1

ÁLVAREZ, Lisandro	57771
GONZÁLEZ ORLANDO, Tomás Agustín	57090
PARRA, Rocío	57669
REINA KIPERMAN, Gonzalo Julián	56102

Profesores

JACOBY, Daniel Andrés
MAGLIOLA, Nicolás
ISMIRLIAN, Diego Matías

Presentado: 16/08/2019

Índice

1.

Se estudió el comportamiento del microprocesador HC11 al correr el siguiente programa:

```
org      $2000
ldaa     $C000
jmp      $2000
```

En primer lugar, se realizó un análisis teórico de lo que esperaba verse. El mismo se encuentra plasmado en la figura ?? . Luego, se procedió a observar estas señales en el osciloscopio.

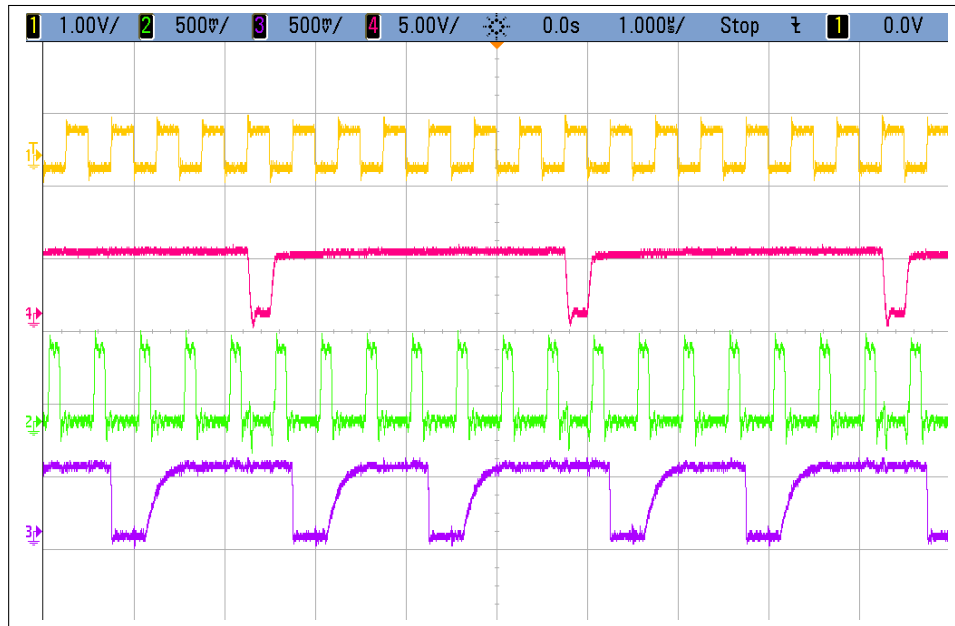


Figura 1:

2.

Se realizó un memory dump de la posición A000 en adelante. El resultado obtenido se observa en la figura ??.

Estas posiciones se encuentran en una zona libre de la memoria, es decir que no corresponden a ninguna memoria física. Por lo tanto, lo que se obtiene en la terminal no puede corresponder realmente a un dato que se leyó.

Se observa que la lectura obtenida coincide con la parte baja del número de posición (la posición A000 devuelve 00, la A001 devuelve 01, etcétera). Esto puede explicarse si se considera que el bus de datos se utiliza también para transmitir la parte baja de la dirección (el bus está multiplexado). Cuando E cambia de 0 a 1, el bus pasa a baja impedancia, pero por las capacidades parásitas presentes en el microprocesador, como nadie fuerza un valor al bus, queda en el estado anterior. Dicho estado no es otra cosa que el byte menos significativo de la dirección.

3.

Se midió el tiempo de acceso de la memoria flash: desde que se activa chip enable (en este caso desde que pasa de 1 a 0, pues es active low), hasta que se tiene el dato leído en el bus.

Para determinar cuándo ocurre esto, se tuvo en cuenta que el bus de datos se multiplexa con el LSB de la dirección. Se buscó una posición de memoria de la flash que fuera par y tuviese guardado un dato impar, o viceversa. De esta manera, el bit menos significativo conmuta cuando se lee el dato. Se encontró que en la posición C001, el dato era 10, lo cual cumple este requisito. Alterando el programa del ejercicio 1 para que se accediera a esta posición en lugar de a la C000, se realizó la medición que se observa en la figura ??.

Se observa que el tiempo de acceso es de alrededor 67ns. En la primera parte de este tiempo, aproximadamente 20ns, no se observan cambios en la señal D0, lo cual sugería que este es el tiempo de propagación de la señal de chip enable en la memoria. Los restantes ~ 50 ns corresponden al tiempo que tarda al bus de datos en cambiar de estado.

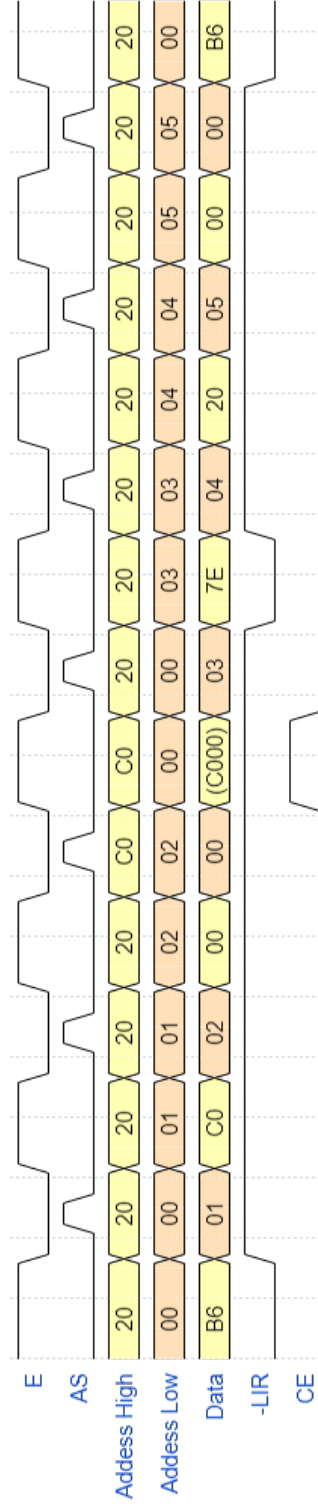


Figura 2: Diagrama de tiempos del programa analizado

```

BUFFALO 3.50B <ext> - Bit User Fast Friendly Aid to Logical Operation
Programming Support for 29F010B included - Daniel Jacoby
>d a000

A000 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F
A010 10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F
A020 20 21 22 23 24 25 26 27 28 29 2A 2B 2C 2D 2E 2F  !"#$%&'(>*,.-./
A030 30 31 32 33 34 35 36 37 38 39 3A 3B 3C 3D 3E 3F 0123456789:;<=>?
A040 40 41 42 43 44 45 46 47 48 49 4A 4B 4C 4D 4E 4F @ABCDEFGHIJKLMNO
A050 50 51 52 53 54 55 56 57 58 59 5A 5B 5C 5D 5E 5F PQRSTUVWXYZ[\]^_
A060 60 61 62 63 64 65 66 67 68 69 6A 6B 6C 6D 6E 6F `abcdefghijklmnopqrstuvwxyz
A070 70 71 72 73 74 75 76 77 78 79 7A 7B 7C 7D 7E 7F
A080 80 81 82 83 84 85 86 87 88 89 8A 8B 8C 8D 8E 8F
>

```

Figura 3: Memory dump de la posición de memoria A000 en adelante

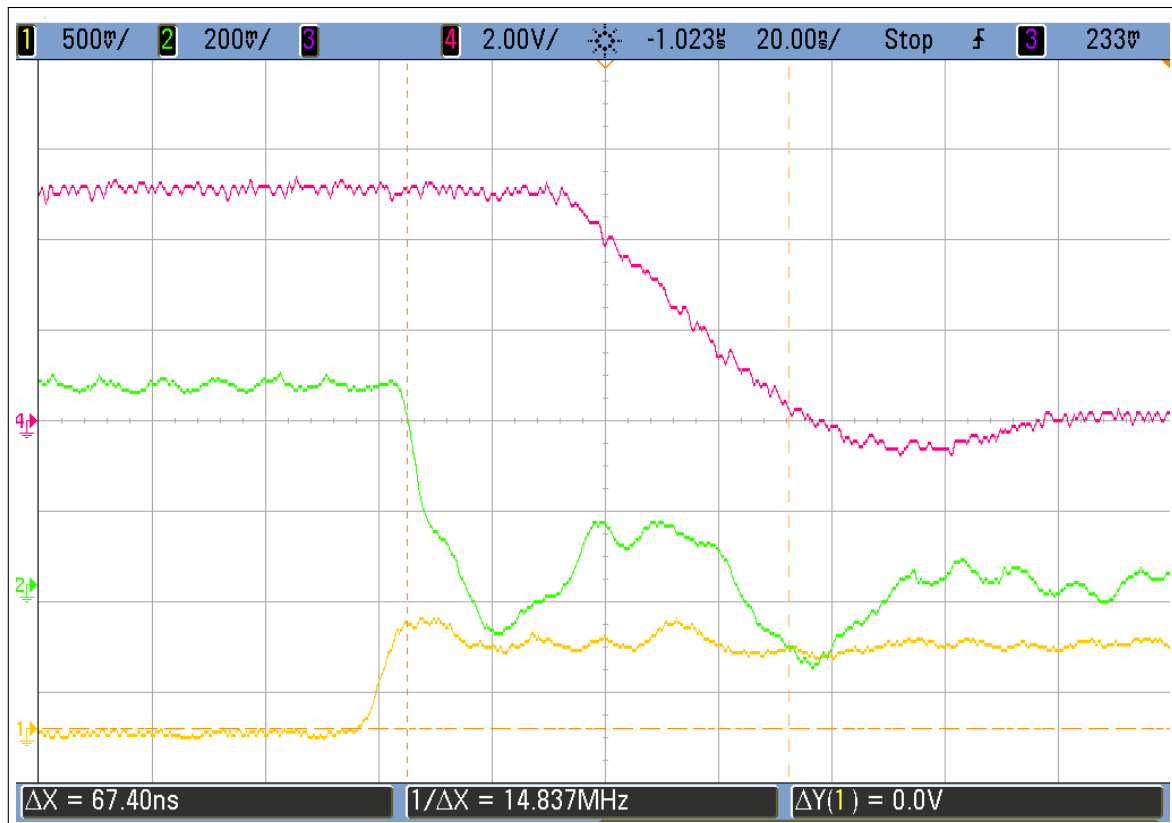


Figura 4: Medición del tiempo de acceso de la memoria flash. Señales representadas: E (amarillo), CE (verde), D0 (rosa)