

1.

Se midió el tiempo de acceso de la memoria flash: desde que se activa chip enable (en este caso desde que pasa de 1 a 0, pues es active low), hasta que se tiene el dato leído en el bus.

Para determinar cuándo ocurre esto, se tuvo en cuenta que el bus de datos se multiplexa con el LSB de la dirección. Se buscó una posición de memoria de la flash que fuera par y tuviese guardado un dato impar, o viceversa. De esta manera, el bit menos significativo conmuta cuando se lee el dato. Se encontró que en la posición C001, el dato era 10, lo cual cumple este requisito. Alterando el programa del ejercicio 1 para que se accediera a esta posición en lugar de a la C000, se realizó la medición que se observa en la figura 1.

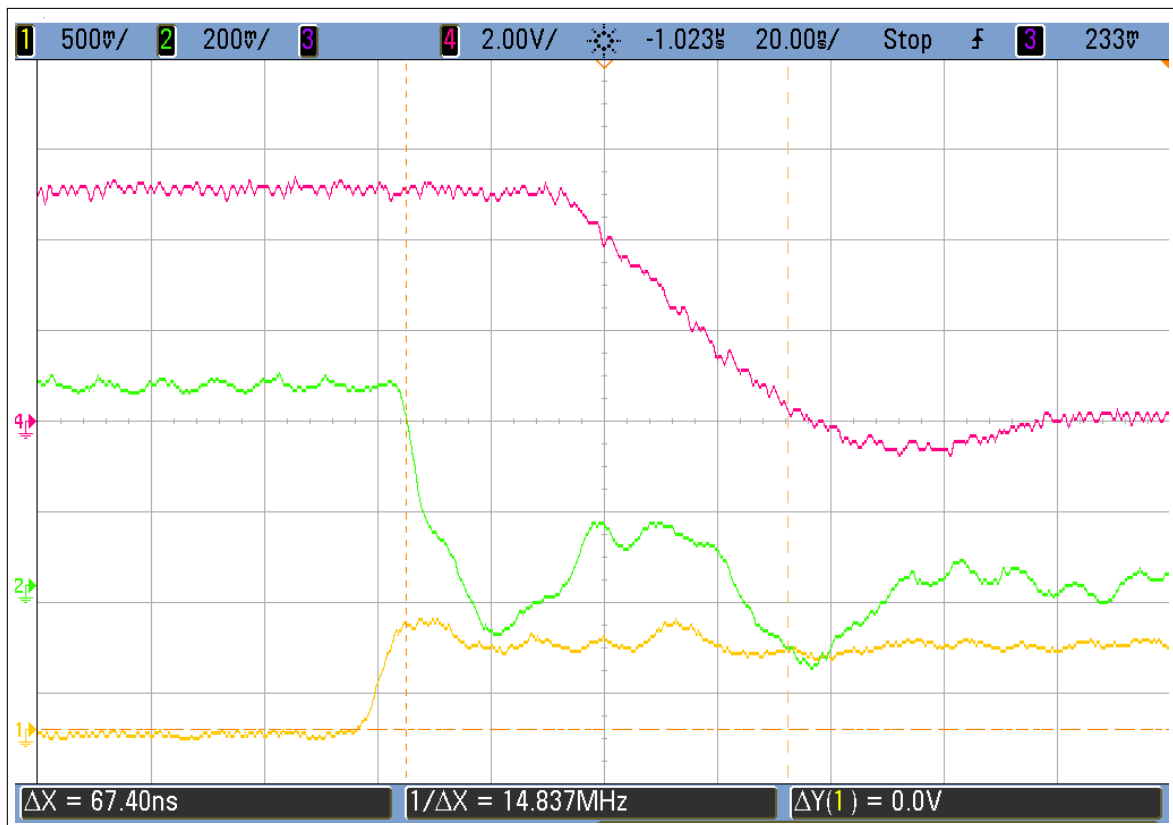


Figura 1: Medición del tiempo de acceso de la memoria flash. Señales representadas: E (amarillo), $\overline{\text{CE}}$ (verde), D0 (rosa)

Se observa que el tiempo de acceso es de alrededor 67 ns. En la primera parte de este tiempo, aproximadamente 20 ns, no se observan cambios en la señal D0, lo cual sugería que este es el tiempo de propagación de la señal de chip enable en la memoria. Los restantes $\sim 50\text{ns}$